

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-40915
(P2006-40915A)

(43) 公開日 平成18年2月9日(2006.2.9)

| | | |
|--------------------------------|----------------------|-------------|
| (51) Int. Cl. | F I | テーマコード (参考) |
| HO 1 L 21/027 (2006.01) | HO 1 L 21/30 5 1 5 D | 5 F O 4 6 |
| GO 3 F 7/20 (2006.01) | GO 3 F 7/20 5 2 1 | |

審査請求 未請求 請求項の数 11 O L (全 11 頁)

| | | | |
|-----------|------------------------------|----------|---|
| (21) 出願番号 | 特願2004-213932 (P2004-213932) | (71) 出願人 | 000002369 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号 |
| (22) 出願日 | 平成16年7月22日 (2004.7.22) | (74) 代理人 | 100095728 弁理士 上柳 雅誉 |
| | | (74) 代理人 | 100107076 弁理士 藤網 英吉 |
| | | (74) 代理人 | 100107261 弁理士 須澤 修 |
| | | (72) 発明者 | 山崎 秀一 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内 |
| | | Fターム(参考) | 5F046 BA03 CB05 CB24 CB26 CC01 DA01 |

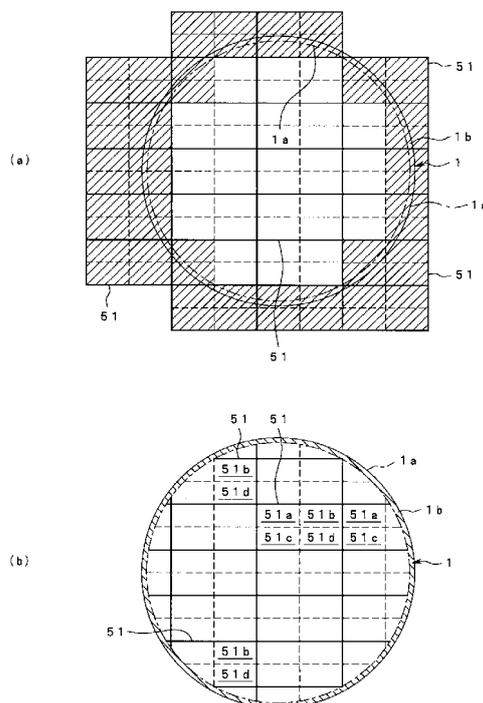
(54) 【発明の名称】 半導体装置の製造方法、及びその製造装置、並びに電気光学装置の製造方法

(57) 【要約】

【課題】 大型基板のエッジ部のフォトリソ膜や薄膜の剥離を防止する。

【解決手段】 レチクル50に形成された回路パターン51a~51dを、半導体装置を複数枚取りする大型基板1上のレジスト膜に転写してパターンニングを行うに際し、大型基板1のエッジ部1a全周に、回路パターン51a~51dが転写されない一定幅の非露光領域1bを、基板エッジブラインド41により形成する。

【選択図】 図6



【特許請求の範囲】**【請求項 1】**

レチクルに形成された回路パターンを、複数の半導体装置を形成可能な大型基板上のレジスト膜に転写してパターンニングを行う半導体装置の製造方法において、

上記大型基板のエッジ部において、上記回路パターンが転写されないように、所定幅の領域を露光させないようにする

ことを特徴とする半導体装置の製造方法。

【請求項 2】

上記大型基板のエッジ部全周において前記所定幅の領域を露光させないようにすることを特徴とする請求項 1 に記載の半導体装置の製造方法。

10

【請求項 3】

上記大型基板において、上記回路パターンが転写されるように露光される有効ショット領域を上記所定幅の領域に囲まれるように形成することを特徴とする請求項 1 又は 2 記載の半導体装置の製造方法。

【請求項 4】

上記大型基板のエッジ部全周に非露光領域を形成する基板エッジブラインドを備えることを特徴とする請求項 1 ~ 3 の何れかに記載の半導体装置の製造方法。

【請求項 5】

上記レチクルと上記大型基板とは相対移動しながら該レチクルに形成された上記回路パターンを上記大型基板上に繰り返し投影露光させる

ことを特徴とする請求項 1 ~ 4 の何れかに記載の半導体装置の製造方法。

20

【請求項 6】

レチクルに形成された回路パターンを、複数の半導体装置を形成可能な大型基板上のレジスト膜に転写してパターンニングを行う半導体装置の製造装置において、

上記大型基板を位置決めした状態で載置する基板ステージと、

上記基板ステージの上方に配設されている投影露光装置と、

上記投影露光装置から上記大型基板に至る光路の中途に介装すると共に該大型基板のエッジ部に所定幅の非露光領域を形成する基板エッジブラインドと

を備えることを特徴とする半導体装置の製造装置。

【請求項 7】

上記投影露光装置と上記基板ステージとの相対移動により上記レチクルに形成された上記回路パターンを上記大型基板に繰り返し投影露光させて上記大型基板の上記非露光領域の内周全体に回路パターンをパターンニングすると共に、

上記基板エッジブラインドを上記基板ステージと一体移動させる

ことを特徴とする請求項 6 記載の半導体装置の製造装置。

30

【請求項 8】

上記投影露光装置は上記大型基板に対し該大型基板全体を 1 ショットで投影露光させることを特徴とする請求項 6 記載の半導体装置の製造装置。

【請求項 9】

上記基板エッジブラインドは上記投影露光装置と上記大型基板との間に介装されている

ことを特徴とする請求項 6 ~ 8 の何れかに記載の半導体装置の製造装置。

40

【請求項 10】

上記基板エッジブラインドは上記投影露光装置の中途に介装されている

ことを特徴とする請求項 6 ~ 8 の何れかに記載の半導体装置の製造装置。

【請求項 11】

請求項 1 ~ 4 の何れかに記載の半導体装置の製造方法を用いて半導体装置を製造する工程を備える

ことを特徴とする電気光学装置の製造方法。

【発明の詳細な説明】**【技術分野】**

50

【0001】

本発明は、大型基板上のレジスト膜に対し、レチクルに形成された回路パターンを投影して露光させる半導体装置の製造方法、及びその製造装置、並びに電気光学装置の製造方法に関する。

【背景技術】

【0002】

一般に、半導体装置の製造工程においては、大型基板上に、ステップ・アンド・リピート方式による縮小投影露光装置（以下、「ステッパ」と称する）等を用いて、レチクル（フォトマスクとも称する）に形成されている回路パターンを、大型基板上に形成されたフォトレジスト膜に繰り返し投影、露光することで、複数の半導体装置を大型基板上にまとめて製造する場合が多い。

10

【0003】

1枚の大型基板から製造される半導体装置の枚数は、大型基板の大きさ、及びそこに形成する半導体装置の大きさに依存して決定される。生産効率、及び製品の歩留まりを向上させるには、1枚の大型基板に対して多くの半導体装置を製造することが望ましいが、半導体装置の実装効率を高めようとした場合、そのレイアウトによっては、レチクルによって大型基板上に形成される1回の露光領域（以下「ショット領域」と称する）の一角が大型基板のエッジ部に近接し易く、或いは、1枚のレチクルにて1つのショット領域に複数の回路パターンを形成する場合は、1ショット領域中の1つの回路パターンが大型基板のエッジ部を超えて投影されてしまう。

20

【0004】

しかし、大型基板のエッジ部に形成されているフォトレジスト膜や各薄膜は不完全であり、剥離を引き起こし易く、回路パターンが大型基板のエッジ部付近、或いはエッジ部を超えて形成された場合、他の有効な回路パターンに、エッジ部から剥離したフォトレジスト膜や薄膜等の不純物が付着し易く、製品不良の原因となる。

【0005】

そのため、例えば特許文献1（特開2003-158067号公報）には、1ショット6チップ（1つのショット領域に6つの回路パターン領域を形成するもの）のレチクルを用いて、大型基板上に複数の半導体装置を形成するに際し、ステッパに設けられているマスクングブレードを、レチクルのショット領域に合わせた開口を有する大口のレチクルブラインドと、このレチクルブラインドとは独立して移動可能なL字形状に形成された一対のレチクルブラインドとを備え、大口のレチクルブラインドによって制限されたショット領域の一角が大型基板のエッジ部に係る場合は、L形状に形成された一対のレチクルブラインドを用いて、ショット領域内のエッジ部に係る回路パターンを覆い隠し、回路パターンが大型基板のエッジ部に係るのを防止し、エッジ部のフォトレジスト膜や各薄膜の剥離を防止する技術が開示されている。

30

【特許文献1】特開2003-158067号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

しかし、上述した特許文献1に開示されている技術では、例えば、図7に示すように、1ショット4チップのレチクルを用いて、大型基板1上にショット領域110を形成しようとする場合、大型基板1のエッジ部100aに近接し、或いは横切る回路パターン領域110dがL字形状のレチクルブラインドによってマスクされるため、エッチング工程においては、このマスクされた部位、及びレチクルを用いて露光されなかった領域（図7にハッチングで示す領域、以下、この領域を「非パターン領域」と称する）100bには回路パターンが形成されず、各薄膜がそのまま残されることになる。

40

【0007】

その結果、図7にハッチングで示す非パターン領域100bと、有効な回路パターン領域110a～110dとの間に段差が生じる。有効な回路パターン領域110a～110

50

dと非パターン領域110eとの間に段差が生じると、例えばエッチング処理に際し、この段差部付近では、パターン密度の相違によりエッチング速度が微妙に変動し、パターン寸法が変動するローディング効果が生じ易くなる。

【0008】

又、CMP (Chemical Mechanical Polishing; 化学機械的研磨法) 処理により各薄膜の表面の凹凸を平坦化する際に、非パターン領域110eと回路パターン領域110a~110dとの境界に段差が存在していると、パターン密度の相違により十分に平坦化を実現することができず、製品の品質に悪影響を及ぼしてしまうことになる。

【0009】

本発明は、上記事情に鑑み、大型基板のエッジ部のフォトリソ膜や薄膜の剥離を防止すると共に、大型基板に形成される非パターン領域と回路パターン領域との境界部分の段差を少なくして、ローディング効果の発生を抑制すると共に、各薄膜の平坦化をより精緻に行うことのできる半導体装置の製造方法、及びその製造装置、並びに電気光学装置の製造方法を提供することを目的とする。

10

【課題を解決するための手段】

【0010】

上記目的を達成するため第1発明は、レチクルに形成された回路パターンを、複数の半導体装置を形成可能な大型基板上のレジスト膜に転写してパターンニングを行う半導体装置の製造方法において、上記大型基板のエッジ部において、上記回路パターンが転写されないように、所定幅の領域を露光させないようにすることを特徴とする。

20

【0011】

このような構成では、大型基板のエッジ部全周に、レチクルに形成した回路パターンが転写されないように、所定幅の領域を露光させないようにしたので、レチクルによって投影されるショット領域が大型基板のエッジ部にかかっても、このエッジ部が露光されず、従って、このエッジ部のフォトリソ膜や薄膜の剥離を防止することができる。更に、回路パターンが露光されていない領域の内周まで投影露光させることができるので、露光されていない領域の内周に形成されたダミーパターンにより有効な回路パターン領域との境界部分に発生する段差が解消され、エッチング時のローディング効果の発生を抑制することができる。更に、大型基板上の有効な回路パターンとダミーパターンとの境界部分の段差がなくなるので、この境界部分のパターン密度がほぼ等しくなり、その結果、CMP処理において平坦化をより精緻に行うことができる。

30

【0012】

第2発明は、第1発明において、上記大型基板のエッジ部全周において前記所定幅の領域を露光させないようにすることを特徴とする。

【0013】

このような構成では、大型基板のエッジ部全周において所定幅の領域を露光させないようにしたので、大型基板のエッジ部のフォトリソ膜や薄膜の剥離をより確実に防止することができる。

【0014】

第3発明は、第1或いは第2発明において、上記大型基板において、上記回路パターンが転写されるように露光される有効ショット領域を上記所定幅の領域に囲まれるように形成することを特徴とする。

40

【0015】

このような構成では、大型基板の回路パターンが転写されるように露光される有効ショット領域を所定幅の領域に囲まれるように形成したので、回路パターンが露光されていない領域の内周まで投影露光させて、露光されていない領域の内周にダミーパターンを形成し、有効な回路パターン領域との境界部分に発生する段差を解消することができる。

【0016】

第4発明は、第1~第3発明において、上記大型基板のエッジ部全周に非露光領域を形成する基板エッジブラインドを備えることを特徴とする。

50

【0017】

このような構成では、基板エッジブラインドにて大型基板のエッジ部全周に一定幅の非露光領域を形成するようにしたので、レチクルによって投影されるショット領域が大型基板のエッジ部にかかっても、このエッジ部が露光されず、従って、このエッジ部のフォトレジスト膜や薄膜の剥離を防止することができる。

【0018】

第5発明は、第1～第4発明において、上記レチクルと上記大型基板とは相対移動しながら該レチクルに形成された上記回路パターンを上記大型基板上に繰り返し投影露光させることを特徴とする。

【0019】

このような構成では、レチクルと大型基板とを相対移動させながらレチクルに形成された回路パターンを大型基板上に繰り返し投影露光させるようにしたので、繰り返し露光を行う際に、レチクルのショット領域の一部が大型基板のエッジ部にかかっても、このエッジ部が露光しないので、投影露光作業を効率よく行うことができる。

10

【0020】

第6発明は、レチクルに形成された回路パターンを、複数の半導体装置を形成可能な大型基板上のレジスト膜に転写してパターンニングを行う半導体装置の製造装置において、上記大型基板を位置決めした状態で載置する基板ステージと、上記基板ステージの上方に配設されている投影露光装置と、上記投影露光装置から上記大型基板に至る光路の中途に介装すると共に該大型基板のエッジ部に所定幅の非露光領域を形成する基板エッジブライ

20

【0021】

このような構成では、投影露光装置から大型基板に至る光路の中途に基板エッジブラインドを介装し、この基板エッジブラインドにて大型基板のエッジ部に所定幅の非露光領域を形成するようにしたので、レチクルによって投影されるショット領域が大型基板のエッジ部にかかっても、このエッジ部が露光されず、従って、このエッジ部のフォトレジスト膜や薄膜の剥離を防止することができる。更に、回路パターンを非露光領域の内周まで投影露光させることができるので、非露光領域の内周に形成されたダミーパターンにより有効な回路パターン領域との境界部分に発生する段差が解消され、エッチング時のローディング効果の発生を抑制することができる。更に、大型基板上の有効な回路パターンとダミ

30

【0022】

第7発明は、第6発明において、上記投影露光装置と上記基板ステージとの相対移動により上記レチクルに形成された上記回路パターンを上記大型基板に繰り返し投影露光させて上記大型基板の上記非露光領域の内周全体に回路パターンをパターンニングすると共に、上記基板エッジブラインドを上記基板ステージと一体移動させることを特徴とする。

【0023】

このような構成では、基板エッジブラインドを基板ステージと一体移動させるようにしたので、ステップ・アンド・リピート式の相対移動にて、大型基板上に回路パターンを繰

40

【0024】

第8発明は、第6発明において、上記投影露光装置は上記大型基板に対し該大型基板全体を1ショットで投影露光させることを特徴とする。

【0025】

このような構成では、大型基板に対し、この大型基板全体を1ショットで投影露光させて回路パターンをパターンニングする場合においても、大型基板のエッジ部が露光されない

【0026】

50

第9発明は、第6～第8発明において、上記基板エッジブラインドは上記投影露光装置と上記大型基板との間に介装されていることを特徴とする。

【0027】

このような構成では、基板エッジブラインドを投影露光装置と大型基板との間に介装することで、基板エッジブラインドを投影露光装置とは独立して動作させることができ、大型基板に対する位置調整が容易になる。

【0028】

第10発明は、第6～第8発明において、上記基板エッジブラインドは上記投影露光装置の中途に介装されていることを特徴とする。

【0029】

このような構成では、基板エッジブラインドを投影露光装置の中途に介装することで、基板エッジブラインドと投影露光装置とを一体に組み付けることができ、投影露光装置中の光路との調整が容易になる。

【0030】

第11発明は、電気光学装置の製造方法において、第1～第4発明による半導体装置の製造方法を用いて半導体装置を製造する工程を備えたことを特徴とする。

【0031】

このような構成では、電気光学装置の製造方法において、第1発明或いは第2発明による半導体装置の製造方法で半導体装置を製造する工程を備えたことで、大型基板のエッジ部全周に、レチクルに形成した回路パターンが転写されない一定幅の非露光領域を形成したので、レチクルによって投影されるショット領域が大型基板のエッジ部にかかっても、このエッジ部が露光されず、従って、このエッジ部のフォトリソ膜や薄膜の剥離を防止することができる。

【発明を実施するための最良の形態】

【0032】

以下、図1～図6に基づいて本発明の一形態を説明する。図1はステッパの概略構成図である。

【0033】

同図の符号10は基板ステージであり、この基板ステージ10に大型基板1が載置される。大型基板1は、例えば石英、ガラス、シリコンを素材に形成されており、この大型基板1に多数枚の半導体装置が形成される。尚、図に示す大型基板1は円形をなしているが、角形であっても良く、又、図示しないが、この大型基板1にはオリフラ、ノッチ等の位置決め部位が所定に形成されている。

【0034】

この大型基板1は、その表面にフォトリソ膜を塗布した後、基板ステージ10に載置され、所定に位置決めされた状態で保持される。

【0035】

又、基板ステージ10の上方にステッパ20が対設されている。ステッパ20は、フォトリソグラフィにより、ステッパ20に配設したレチクル(「露光マスク」とも称する)に形成されている回路パターンを、大型基板1上に塗布されているフォトリソ膜に転写してパターンニングを行うものである。

【0036】

ステッパ20は、高圧水銀ランプ等の発光体21aを有する光源21を備え、この光源21から放射される紫外線が、第1のコンデンサレンズ22を透過して干渉フィルタ23により特定波長(たとえばi線)に選別された後、フライアイレンズ24に入射されて面内照度が均一化される。その後、フライアイレンズ24から出射された紫外線は、第2のコンデンサレンズ25、レチクルブラインド(「マスクングブレード」とも称する)26、第3のコンデンサレンズ27、レチクルステージ28、縮小投影レンズ29を順次透過し、最終的に、基板ステージ10に載置されている大型基板1の表面に塗布されているフォトリソ膜に、レチクルステージ28に載置されているレチクル50に形成されてい

10

20

30

40

50

る回路パターンが縮小投影される。

【0037】

図2に示すように、レチクル50は、本形態では1ショット4チップタイプ、すなわち、1つのショット領域51に4つの回路パターン51a~51dが形成されている。尚、レチクル50は、1ショット4チップ以外のもであっても良く、勿論、1ショット1チップタイプであっても良い。

【0038】

又、図3に示すように、レチクルブラインド26は、水平方向の四方から進退自在に臨まされるレチクル用遮光板26a~26dを有し、各レチクル用遮光板26a~26dが光を完全に遮光することのできるクロムやAl等の金属を素材に形成されている。

10

【0039】

各レチクル用遮光板26a~26dが、水平方向の四方から光路の中途に臨まされると、この各レチクル用遮光板26a~26dによって、光路の中途に四角形の開口部が形成される。この開口部はレチクル50のショット領域51に対応しており、この開口部でショット領域51の輪郭を囲繞することで、不要な部分への投影、露光を抑制することができる。

【0040】

又、ステップ20の縮小投影レンズ29と基板ステージ10との間に、基板ステージ10と一体に移動する基板エッジブラインド41が配設されている。基板エッジブラインド41は、対向する一对の基板エッジ用遮光板42,43を有し、この各基板エッジ用遮光板42,43の後端がアーム44a,44bを介してアクチュエータ45a,45bに連結されて、水平方向へ進退自在に支持されている。又、各基板エッジ用遮光板42,43は、レチクルブラインド26のレチクル用遮光板26a~26dと同様、光を完全に遮光することのできるクロムやAl等の金属を素材に形成されている。

20

【0041】

図4に示すように、各基板エッジ用遮光板42,43の内周面42a,43aは半円形状に形成されており、各基板エッジ用遮光板42,43が互いに近接し、その開口側端部に形成されている接合段部42b,43bが接合されると、両基板エッジ用遮光板42,43の内周面42a,43aにて、光路の中途に円形状の開口部が形成される(図5参照)。

30

【0042】

両基板エッジ用遮光板42,43の内周面42a,43aにて形成された円形状の開口部は、大型基板1のエッジ部1aをマスクするものであり、図5に示すように、大型基板1は、両基板エッジ用遮光板42,43の内周面42a,43aにて、そのエッジ部1aに、図6(b)にハッチングで示すように、一定幅(例えば3mm程度)の非露光領域1bが形成される。

【0043】

次に、このような構成によるステップ20を用いた大型基板1の露光手順について説明する。

【0044】

まず、表面にフォトリソ膜が所定塗布された大型基板1を基板ステージ10に載置し、所定に位置決めした後、保持固定する。次いで、基板ステージ10上に配設されている基板エッジブラインド41を構成する一对の基板エッジ用遮光板42,43を、アクチュエータ45a,45bの駆動により互いに近接する方向へ水平移動させ、その開口端部に各々形成されている接合段部42b,43bを嵌合させる。

40

【0045】

すると、図5に示すように、この両基板エッジ用遮光板42,43の内周面42a,43aにて、光路の中途に円形状の開口部が形成される。この開口部は、大型基板1のエッジ部1aに対し、図6(b)にハッチングで示すように、一定幅(例えば3mm程度)の非露光領域1bが形成される。換言すれば、大型基板1は非露光領域1bにより、その内周

50

側に有効ショット領域が形成される。

【0046】

一方、基板ステージ10の上方に配設されているステップ20のレチクルステージ28に、レチクル50をセットする。図2に示すように、本形態によるレチクル50は、1つのショット領域51に4つの回路パターン51a~51dが形成されており、従って、1ショットで4つの回路パターン51a~51dが大型基板1上のフォトレジスト膜に転写される。

【0047】

次いで、レチクルブラインド26を構成する各レチクル用遮光板26a~26dにて光路の途中に開口部を形成し、この開口部にてレチクル50のショット領域51の輪郭を圍繞し(図3参照)、ショット領域51からのみ光が透過するように設定する。

10

【0048】

次いで、ステップ20と基板ステージ10とによるステップ・アンド・リピート式の相対移動にて、大型基板1に塗布されているフォトレジスト膜の予め設定された位置に、レチクル50のショット領域51に形成されている4チップ分の回路パターン51a~51dを繰り返し縮小投影し、露光させる。このとき、基板エッジブラインド41は基板ステージ10と一体に移動するため、基板エッジ用遮光板42,43の内周面42a,43aと、大型基板1とは常に一定の位置関係を保持している。

【0049】

又、図5に示すように、レチクル50のショット領域51に形成されている回路パターン51a~51dの一部が、基板エッジブラインド41を構成する基板エッジ用遮光板42,43の内周面42a,43aにかかっても、この領域では内周面42a,43aの内周側のみが露光される。その結果、図6(a)にハッチングで示すように、大型基板1のエッジ部1aを横切る領域に、レチクル50のショット領域51に形成されている4チップ分の回路パターン51a~51dが縮小投影されても、大型基板1のエッジ部1aは露光されない。従って、図6(b)に示すように、大型基板1全体に回路パターンを縮小投影しても、大型基板1のエッジ部1aに形成されている所定幅の非露光領域1bは露光されず一方、この非露光領域1bの内側は、その全体に回路パターンが縮小投影されて露光される。但し、非露光領域1bに接する回路パターンは、製品としては成立しないダミーパターンである。

20

30

【0050】

そして、大型基板1全体に対する回路パターンの投影及び露光が完了した後、この大型基板1をエッチング液に浸漬してエッチング処理を行い、フォトレジスト膜の下層に成膜されている薄膜に回路パターンを形成する。その後、フォトレジスト膜を、硫酸と過酸化水素水との混合液(硫酸過水)からなる除去液、又はアセトン、エタノール、トルエン等の薬液を用いて除去する。

【0051】

このように、本形態では、大型基板1上に回路パターンを転写するに際し、大型基板1のエッジ部1aに一定幅の非露光領域1bを、基板エッジブラインド41により形成するようにしたので、レチクル50のショット領域51が大型基板1のエッジ部1aを越えて縮小投影されても、大型基板1のエッジ部1aは露光されず、従って、エッジ部1aに形成されているフォトレジスト膜や薄膜の剥離を未然に防止することができる。

40

【0052】

しかも、大型基板1の非露光領域1bの内側全体に回路パターンが形成されるので、図6(b)に示すように、殆どの有効な回路パターンの外側はダミーパターンが形成されることになる。そのため、有効な回路パターンとダミーパターンとの境界に段差が形成されず、エッチング時のローディング効果の発生を抑制することができる。

【0053】

又、大型基板1上の有効な回路パターンとダミーパターンとの境界部分の段差がなくなるので、この境界部分のパターン密度がほぼ等しくなり、その結果、CMP処理において

50

平坦化をより精緻に行うことができる。

【0054】

尚、本発明は、上述した形態に限るものではなく、例えばステッパ20は縮小投影についてのみ説明したが、等倍投影に適用できることは云うまでもない。更に、大型基板1に対する回路パターンの投影を、ステッパを用いることなく、1ショットで大型基板1全体を一括で投影露光する装置にも、本形態を適用することができる。この場合、基板エッジブラインド41は、投影露光装置と基板ステージとの間に介装する必要は必ずしもなく、投影露光装置の光路の途中に介装するようにしても良い。

【産業上の利用可能性】

【0055】

本発明における半導体装置は、種々の電子機器、電気光学装置の回路に組み込むことができる。例えば、電子機器では、それを構成するトランスファークロックス、インバータ、クロックインバータ、論理ゲート(NAND, NOR等)、シフトレジスタ、レベルシフタ、バッファ回路、差動増幅器、カレントミラーオペアンプ、D/Aコンバータ、A/Dコンバータ、DRAM, SRAM、算術回路加算器、マイコン、DSP(Digital Signal Processor)、アナログスイッチ、及びCPUに組み込むことができる。

10

【0056】

又、電気光学装置では、例えば、TFTアクティブマトリクス駆動方式の液晶装置、パッシブマトリクス型の液晶装置、TFD(薄型ダイオード)をスイッチング素子として備えた液晶装置以外に、エレクトロルミネッセンス装置、有機エレクトロルミネッセンス装置、プラズマディスプレイ装置、電気泳動ディスプレイ装置、電子放出素子を用いた装置(Field Emission Display、及びSurface-Conductin Electron-Emitter Display)、更には、DLP(Digital Light Processing)やDMD(Digital Micromirror Device)等に組み込むことが可能である。

20

【図面の簡単な説明】

【0057】

【図1】縮小投影露光装置の概略構成図

【図2】レチクルの概略平面図

【図3】レチクルのショット領域の輪郭をレチクル用遮光板で囲繞した状態を示す平面図

【図4】大型基板と基板エッジブラインドとの関係を示す斜視図

30

【図5】大型基板上にレチクルのショット領域を縮小投影する状態を示す平面図

【図6】(a)はレチクルのショット領域と大型基板との関係を示す平面図、(b)大型基板のエッジ部に非露光領域が形成されている状態を示す平面図

【図7】従来のレチクルのショット領域と大型基板との関係を示す平面図

【符号の説明】

【0058】

1...大型基板、1a...エッジ部、1b...非露光領域、10...基板ステージ、20...ステッパ、26...レチクルブラインド、26a~26d...レチクル用遮光板、28...レチクルステージ、41...基板エッジブラインド、42, 43...基板エッジ用遮光板、42a, 43a...内周面、50...レチクル、51...露光領域、51a~51d...回路パターン

40

【 図 7 】

