

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014年3月13日(13.03.2014)

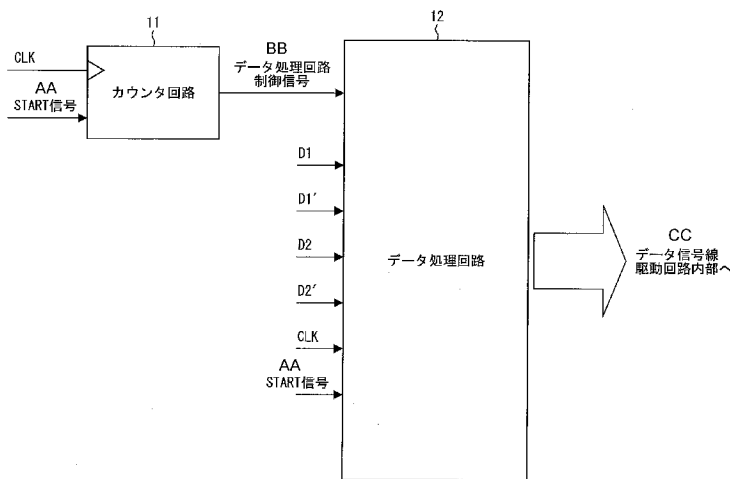


(10) 国際公開番号
WO 2014/038448 A1

- (51) 国際特許分類:
H04L 25/02 (2006.01) G09G 3/36 (2006.01)
G09G 3/20 (2006.01) H03K 17/28 (2006.01)
G09G 3/30 (2006.01) H03K 19/0175 (2006.01)
 - (21) 国際出願番号: PCT/JP2013/073011
 - (22) 国際出願日: 2013年8月28日(28.08.2013)
 - (25) 国際出願の言語: 日本語
 - (26) 国際公開の言語: 日本語
 - (30) 優先権データ:
特願 2012-194588 2012年9月4日(04.09.2012) JP
 - (71) 出願人: シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町2番2号 Osaka (JP).
 - (72) 発明者: 今井 雅博(IMAI, Masahiro).
 - (74) 代理人: 特許業務法人原謙三国際特許事務所(HARAKENZO WORLD PATENT & TRADEMARK); 〒5300041 大阪府大阪市北区天神橋2丁目北2番6号 大和南森町ビル Osaka (JP).
 - (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
 - (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: INTERFACE CIRCUIT AND DISPLAY DEVICE

(54) 発明の名称: インターフェース回路および表示装置



- 11 Counter circuit
- 12 Data processing circuit
- AA START signal
- BB Data processing circuit control signal
- CC To inside of data signal line drive circuit

(57) Abstract: This interface circuit is provided with: a differential output circuit in which the output of a potential level of a differential signal stabilizes after a prescribed period from a start signal; and a counter circuit (11) that performs control in such a manner that a data processing operation of a data processing unit (12) is not performed on a signal based on the differential signal during the abovementioned prescribed period. Thus, a liquid crystal display device that is capable of preventing a distorted drive video from being displayed in an initial drive period can be achieved.

(57) 要約: スタート信号から所定期間後に、差動信号の電位レベルの出力が安定となる差動出力回路と、上記所定期間中の差動信号に基づいた信号について、データ処理部(12)のデータ処理動作が行われないように制御するカウンタ回路(11)と、を備えているので、駆動初期において、乱れた映像が表示されるのを防ぐことができる液晶表示装置を実現できる。



WO 2014/038448 A1

明 細 書

発明の名称： インターフェース回路および表示装置

技術分野

[0001] 本発明は、差動信号を処理するインターフェース回路およびこのようなインターフェース回路を備えた表示装置に関するものである。

背景技術

[0002] 近年、差動信号を処理するインターフェース回路は、ノイズに強く、高速データ伝送が可能であることから、各種デバイスにおいて、データ伝送の標準的なインターフェースとして活発に採用されている。

[0003] 以下、図7および図8に基づいて、差動信号方式とシングルエンド（Single Ended）信号方式との差について説明する。

[0004] 図7（a）は、差動信号を処理するインターフェース回路の概略構成を示す図であり、図7（b）は、シングルエンド（Single Ended）信号を処理するインターフェース回路の概略構成を示す図である。

[0005] 図7（a）に図示されているように、差動信号方式は、2本の信号線を用いて、一つの信号を転送する方式で、差動信号が伝送される上記2本の信号線間の電位差で、信号のHとLが決まるようになっている。

[0006] 一方、図7（b）に図示されているように、シングルエンド信号方式は、1本の信号線を用いて、一つの信号を転送する方式で、グラウンド（GND）との電位差で、信号のHとLが決まるようになっている。

[0007] 図8（a）は、図7（a）に示す差動信号を処理するインターフェース回路の送信側で作られ、2本の信号線に供給される差動信号対の一例を示す図である。

[0008] そして、図8（b）は、図7（a）に示す差動信号を処理するインターフェース回路の受信側で作られ、出力される信号を示す図である。

[0009] 図8（a）に図示されているように、2本の信号線に供給される差動信号対は、差動信号対間の電位差を利用するので、小さい振幅とすることができ

、高速データ伝送が可能となる。

[0010] また、差動信号対間の電位差を利用するので、図示されているように、2本の信号線にノイズが生じたとしても、そのノイズは互いにキャンセルされるので、ノイズに強い方式である。

[0011] 一方、図8(c)は、シングルエンド信号の一例を示す図である。

[0012] 図示されているように、シングルエンド信号の場合、グラウンド(GND)との電位差を利用するので、差動信号方式と同電位レベルの信号を出力するためには、その信号の振幅が比較的大きくなってしまい、高速データ伝送が困難となる。

[0013] また、シングルエンド信号の場合、信号線にノイズが生じても、差動信号方式のように、ノイズはキャンセルされないので、ノイズに弱い方式となる。

[0014] 以上の理由から、差動信号方式が、データ伝送の標準的なインターフェースとして活発に採用されている。

[0015] なお、上述した差動信号方式に用いられる差動信号の振幅やセンター電位は個々のデバイス毎に適宜設定することができ、差動信号を処理するインターフェース回路の受信側に備えられる終端抵抗値も個々のデバイス毎に適宜設定することができる。

[0016] また、特許文献1には、シングルエンド信号方式と差動信号方式の双方の通信方式をサポートし、差動信号の入力端子対の1対が、シングルエンド信号の入出力端子を兼用しているインターフェース回路について開示されている。

[0017] そして、上記特許文献1の構成においては、差動信号を受信する差動信号受信回路は、差動信号の入力端子と、シングルエンド信号の入出力端子と、を兼用している兼用端子とは、別の差動信号の入力専用端子に差動信号が入力されることで起動され、起動された後は内蔵するコントローラによって起動状態が維持されるようになっている。

[0018] このような構成によれば、差動信号受信回路が、意図しないタイミングで

停止してしまう可能性を低く抑えることができると記載されている。

先行技術文献

特許文献

- [0019] 特許文献1：国際特許公開公報「WO 2011/058715 A1（2011年5月19日公開）」

発明の概要

発明が解決しようとする課題

- [0020] 差動信号の電位レベルは、必要に応じて、GNDレベルを含まない電位レベルで設定される場合がある。
- [0021] 例えば、差動信号の電位レベルを、GNDレベルとは比較的大きな差を有するように設定する場合がある。
- [0022] 具体的な例として、差動信号のセンター電位を受信側の電源電圧の1/2付近に設定すると、受信側の入力電圧範囲に対し、H側およびL側ともに動作マージンを確保できるとともに、コモンモードのノイズの除去が可能になるというメリットがある。
- [0023] しかし、このように差動信号の電位レベルを、GNDレベルとは比較的大きな差を有するように設定する場合、差動信号を処理するインターフェース回路において、差動信号を出力する送信部は、出力を開始してから、出力電位レベルなどの出力状態が安定化するまでに時間がかかる。
- [0024] 出力状態が不安定な送信部から出力される差動信号は、不安定な信号であるとともに、ノイズの影響も受けやすい。
- [0025] したがって、送信部がこのように不安定な起動時に、重畳したノイズが原因で、誤動作が生じたり、予期せぬ回路動作状態となってしまう場合がある。
- [0026] しかしながら、上記特許文献1を含む従来技術においては、出力状態が不安定な送信部から出力される差動信号にノイズが重畳し、これが原因で、インターフェース回路が誤動作を引き起こしたり、予期せぬ回路動作状態とな

ってしまうことについては、特に考慮しておらず、このような従来構成においては、インターフェース回路の駆動初期に、生じ得る誤動作や予期せぬ回路動作状態となってしまうのを防ぐことができないという問題がある。

[0027] 本発明は、上記の問題点に鑑みてなされたものであり、駆動初期において、誤動作や予期せぬ回路動作状態となってしまうのを防ぐことができるインターフェース回路と、駆動初期において、乱れた映像が表示されるのを防ぐことができる表示装置と、を提供することを目的とする。

課題を解決するための手段

[0028] 本発明のインターフェース回路は、上記の課題を解決するために、データ供給部と、上記データ供給部から入力される信号を、差動信号対に変換し、伝送経路に送信する差動信号送信部と、上記伝送経路から上記差動信号対を受信し、かつ、後段の回路にて信号処理が可能な信号に変換する差動信号受信部と、を備えたインターフェース回路であって、上記差動信号送信部は、上記データ供給部から入力されるスタート信号に基づいて、駆動され、上記スタート信号から所定期間後に、上記差動信号の電位レベルの出力が安定となり、上記差動信号受信部で変換された信号をデータ処理するデータ処理部を備え、上記所定期間中の差動信号に基づいた信号については、上記データ処理部のデータ処理動作が行われないように制御する制御部を備えていることを特徴としている。

[0029] 上記構成によれば、上記差動信号送信部は、上記データ供給部から入力されるスタート信号に基づいて、駆動され、上記スタート信号から所定期間後に、上記差動信号の電位レベルの出力が安定となる。

[0030] したがって、上記所定期間が経過する前には、上記差動信号送信部は、不安定な状態であり、このような不安定な状態の差動信号送信部から出力される差動信号対は、不安定な信号で、ノイズの影響も受けやすい。

[0031] よって、このような不安定な状態の差動信号送信部から出力される差動信号対を、従来のように、データ処理して用いると、駆動初期において、誤動作を引き起こしたり、予期せぬ回路動作状態となってしまう恐れがある。

[0032] 一方、本発明の構成によれば、上記所定期間中の差動信号（不安定な状態の差動信号）に基づいた信号については、上記データ処理部のデータ処理動作が行われなように制御する制御部が備えられている。

[0033] したがって、不安定な状態の差動信号送信部から出力される、不安定で、ノイズの影響を受けやすい信号は、上記データ処理部でデータ処理されて出力されないようになっている。

[0034] よって、上記構成によれば、駆動初期において、誤動作を引き起こしたり、予期せぬ回路動作状態となってしまうのを防ぐことができるインターフェース回路を実現することができる。

[0035] 本発明の表示装置は、上記の課題を解決するために、上記インターフェース回路を備えており、上記データ供給部から入力される信号は、映像信号を含むことを特徴としている。

[0036] 上記構成によれば、駆動初期において、乱れた映像が表示されるのを防ぐことができる表示装置を実現することができる。

発明の効果

[0037] 本発明のインターフェース回路においては、以上のように、上記差動信号送信部は、上記データ供給部から入力されるスタート信号に基づいて、駆動され、上記スタート信号から所定期間後に、上記差動信号の電位レベルの出力が安定となり、上記差動信号受信部で変換された信号をデータ処理するデータ処理部を備え、上記所定期間中の差動信号に基づいた信号については、上記データ処理部のデータ処理動作が行われなように制御する制御部を備えている構成である。

[0038] それゆえ、駆動初期において、誤動作や予期せぬ回路動作状態となってしまうのを防ぐことができるインターフェース回路と、駆動初期において、乱れた映像が表示されるのを防ぐことができる表示装置と、を実現できる。

図面の簡単な説明

[0039] [図1]本発明の第一の実施の形態の映像信号を小振幅差動信号で伝送するインターフェース回路を備えた液晶表示装置の概略的な構成を示す図である。

[図2]本発明の第一の実施の形態の液晶表示装置に備えられた表示コントローラから差動出力回路に出力されるSTART信号と、差動出力回路から出力される差動信号対の一例と、を示す図である。

[図3]本発明の第一の実施の形態の液晶表示装置のデータ信号線駆動回路に備えられた、差動入力回路と、ラッチ回路と、バッファ回路と、を示す図である。

[図4]本発明の第一の実施の形態の液晶表示装置のデータ信号線駆動回路に備えられた、カウンタ回路と、データ処理回路と、の概略構成を示す図である。

[図5]本発明の第二の実施の形態の液晶表示装置に備えられたデータ処理回路と、RC回路と、を示す図である。

[図6]本発明の第三の実施の形態の液晶表示装置に備えられたデータ処理回路と、単安定マルチバイブレータと、を示す図である。

[図7]差動信号方式とシングルエンド(Single Ended)信号方式のインターフェース回路の概略構成を示す図である。

[図8]差動信号方式とシングルエンド(Single Ended)信号方式の信号の一例を示す図である。

発明を実施するための形態

[0040] 以下、図面に基づいて本発明の実施の形態について詳しく説明する。ただし、この実施の形態に記載されている構成部品の寸法、材質、形状、その相対配置などはあくまで一実施形態に過ぎず、これらによってこの発明の範囲が限定解釈されるべきではない。

[0041] なお、以下の実施の形態においては、映像信号を小振幅差動信号で伝送するインターフェース回路を備えた表示装置の一例として、液晶表示装置を例に挙げて説明するが、これに限定されることはなく、小振幅差動信号で伝送する信号は、映像信号に限定されることはなく、また、表示装置も液晶表示装置に限定されることはなく、例えば、自己発光型表示パネルを備えた有機EL表示装置などであってもよいのは勿論である。

[0042] なお、以下で説明する小振幅差動信号の振幅やセンター電位は個々のデバイス毎に適宜設定することができ、小振幅差動信号を処理するインターフェース回路の受信側に備えられる終端抵抗値も個々のデバイス毎に適宜設定することができる。

[0043] 〔実施の形態1〕

以下、図1から図4に基づいて、本発明の第1の実施形態について説明する。

[0044] 図1は、映像信号を小振幅差動信号で伝送するインターフェース回路を備えた液晶表示装置20の概略的な構成を示す図である。

[0045] 図示されているように、液晶表示装置20には、液晶表示パネル1と、映像信号を小振幅差動信号で伝送するインターフェース部としてのFPC部3と、外部基板4と、液晶表示パネル1の背後に配置されたバックライト（未図示）と、が備えられている。

[0046] 液晶表示パネル1には、走査信号線駆動回路（未図示）と、データ信号線駆動回路（未図示）と、差動入力回路（未図示）とデータ処理回路（未図示）とカウンタ回路（未図示）とを備えた差動受信回路（未図示）と、が設けられる回路形成領域2が備えられている。

[0047] 一方、外部基板4には、コネクタ5と、差動出力回路（差動信号送信部）6と、表示コントローラ（データ供給部）7と、が備えられている。

[0048] そして、表示コントローラ7から出力された映像信号（表示データ）は、差動出力回路6にて、小振幅の差動信号化され、コネクタ5とFPC部3とを介して、液晶表示パネル1側の回路形成領域2の一部に設けられた差動受信回路に伝送されるようになっている。

[0049] 図2は、表示コントローラ7から差動出力回路6に出力されるSTART信号と、差動出力回路6から出力される差動信号対の一例と、を示す図である。

[0050] 図示されているように、表示コントローラ7から差動出力回路6に出力されるSTART信号がLのときは、差動信号対（差動信号+・差動信号-）

は出力されず、GNDレベル（または、HiZ）の状態であるが、上記START信号がHになると、差動出力回路6の動作が始まり、差動信号の出力が開始される。

- [0051] なお、本実施の形態においては、差動信号対（差動信号+・差動信号-）の電位レベルは、接地電位レベル（GNDレベル）を含まない電位レベルで設定されている。
- [0052] すなわち、図示されているように、差動信号対（差動信号+・差動信号-）のセンター電位 V_c は、GNDレベルより、高く設定されており、差動信号対（差動信号+・差動信号-）の振幅は、 V_0 に設定されている。
- [0053] したがって、差動出力回路6は、表示コントローラ7から差動出力回路6に出力されるSTART信号がHになると、駆動され始めるが、上記差動信号の電位レベルが出力可能になるまでには、所定期間が所要される。
- [0054] すなわち、差動出力回路6は、駆動初期に、不安定な状態を経て、上記差動信号の電位レベルが出力可能となる安定状態となるが、上記不安定な状態において、出力される差動信号は、不安定な信号で、ノイズの影響も受けやすい。
- [0055] したがって、このような不安定な状態の差動出力回路6から出力される差動信号対を、従来のように、データ処理して用いると、駆動初期において、誤動作を引き起こしたり、予期せぬ回路動作状態となってしまうので、映像信号を小振幅差動信号で伝送するインターフェース回路を備えた液晶表示装置においては、駆動初期において、乱れた映像が表示される恐れが生じることとなる。
- [0056] そこで、本実施の形態の液晶表示装置20においては、詳しくは後述する、安定な状態の差動出力回路6から出力される差動信号対のみが、データ処理回路を介して出力されるように、上記データ処理回路のデータ処理動作を制御する制御部を備えた構成としている。
- [0057] 図3は、液晶表示装置20の回路形成領域2の一部に設けられた差動受信回路に備えられた、差動入力回路8と、ラッチ回路9と、バッファ回路10

と、を示す図である。

- [0058] 図示されているように、差動入力回路 8（差動信号受信部）には、差動出力回路 6 から出力された表示データ 1 の差動信号対（差動信号 1 + ・差動信号 1 -）と表示データ 2 の差動信号対（差動信号 2 + ・差動信号 2 -）とクロックの差動信号対（差動信号クロック + ・差動信号クロック -）とが、入力されるようになっている。
- [0059] 本実施の形態においては、表示データ伝送用の信号線 2 本と、クロック伝送用の信号線 1 本と、を設けているが、これに限定されることはなく、液晶表示装置 20 が高解像度である場合などには、データ伝送用の信号線を適宜増加させることができる。
- [0060] また、差動入力回路 8 においては、入力された各々の差動信号対（差動信号 1 + ・差動信号 1 -、差動信号 2 + ・差動信号 2 - ・差動信号クロック + ・差動信号クロック -）を、差動出力回路 6 に入力される表示データ 1、表示データ 2 およびクロックの信号形式に変換し、ラッチ回路 9 に出力する。
- [0061] そして、この際、必要に応じて、その出力信号を回路形成領域 2 に備えられた各回路内部のロジック振幅 V L O G へレベル変換する。
- [0062] ラッチ回路 9 は、表示データを取り込むための複数の D - フリップフロップで構成されている。
- [0063] そして、差動入力回路 8 から出力された表示データ 1 に関する信号は、ネガティブエッジの D - フリップフロップと、ポジティブエッジの D - フリップフロップと、バッファ回路 10 におけるバッファと、を介して出力される信号 D 1 と、ポジティブエッジの D - フリップフロップと、バッファ回路 10 におけるバッファと、を介して出力される信号 D 1 ' と、に分かれて出力される。
- [0064] 差動入力回路 8 から出力された表示データ 2 に関する信号は、ネガティブエッジの D - フリップフロップと、ポジティブエッジの D - フリップフロップと、バッファ回路 10 におけるバッファと、を介して出力される信号 D 2 と、ポジティブエッジの D - フリップフロップと、バッファ回路 10 におけ

るバッファと、を介して出力される信号D 2' と、に分かれて出力される。

[0065] それから、差動入力回路8から出力されたクロック信号は、バッファ回路10におけるバッファを介して、クロック信号CLKとして出力される。

[0066] なお、本実施の形態のように、小振幅差動信号で伝送するインターフェース回路を備え、高速動作を必要とする場合には、各信号間（具体的には、クロック信号と表示データ）の位相調整を行うためバッファ回路10を備えることが好ましい。

[0067] また、本実施の形態においては、ポジティブエッジとネガティブエッジの両方でデータを取り込む場合を例に挙げて説明しているが、ポジティブエッジとネガティブエッジとの何れか一方でデータを取り込んでもよく、このような場合には、該当するD-フリップフロップを省くことができる。

[0068] 図4は、液晶表示パネル1側の回路形成領域2の差動受信回路に備えられた、カウンタ回路11と、データ処理回路12と、の概略構成を示す図である。

[0069] 図示されているように、カウンタ回路11には、図2に図示した表示コントローラ7から差動出力回路6に出力されるSTART信号と、クロック信号CLKと、が入力される。

[0070] そして、カウンタ回路11においては、上記START信号がHになった時、すなわち、差動出力回路6が駆動され始めてから、クロック信号CLKをカウントする。なお、この際、カウントするクロック数は、図2に図示されている、差動出力回路6が不安定な状態である期間分のクロック数である。

[0071] カウンタ回路11においては、上記START信号を起点に、上記所定のクロック数をカウントした後に、データ処理回路制御信号をデータ処理回路12へ出力する。

[0072] そして、データ処理回路12は、データ処理回路制御信号を受信後、バッファ回路10から受け取ったシリアル信号（信号D1、信号D1'、信号D2、信号D2'）に基づいて、例えば、VS（垂直同期信号）、HS（水平

同期信号)、R(赤)表示データ、G(緑)表示データ、B(青)表示データ各24bitの平行信号に変換する動作を開始する。

[0073] したがって、本実施の形態におけるデータ処理回路12は、不安定なシリアル信号の状態回路動作を開始してしまい、予期せぬ回路動作状態となってしまうのを抑制することができる。

[0074] また、データ処理回路12は、上記データ処理回路制御信号の受信前には、データ信号線駆動回路を介して、液晶表示パネル1に備えられたデータラインに、例えば、黒データに相当するデータ信号線駆動信号を強制的に出力させ、上記データ処理回路制御信号の受信後には、入力された表示データに基づいたデータ信号線駆動信号を出力するように設定してもよい。

[0075] また、上記データ処理回路制御信号の受信前に、データ信号線駆動回路を介して、液晶表示パネル1に備えられたデータラインに出力される信号は、黒データに相当するデータ信号線駆動信号に限定されることはなく、例えば、所定の画像データなどであってもよい。

[0076] なお、差動出力回路6が不安定な状態、すなわち、差動出力回路6から出力されるCLK信号が不安定な状態でカウンタ回路11を利用する場合、カウンタ回路11の動作も安定的ではない。このように、差動出力回路6から出力されるCLK信号が不安定な状態の場合、カウンタ動作が想定より早くなったり、遅くなったりする場合がある。

[0077] カウンタ動作が想定より早くなった場合でも、データ処理回路12の動作開始が、差動信号の不安定な状態の期間を回避できるように、カウント数を設定する必要がある。

[0078] また、カウンタ動作が想定よりも遅くなった場合においても、データ処理回路12の動作開始の遅れが映像表示時に問題とならないように、考慮する必要がある。

[0079] 上記構成を用いることにより、駆動初期において、誤動作を防ぐことができるインターフェース回路と、駆動初期において、乱れた映像が表示されるのを防ぐことができる液晶表示装置と、を実現できる。

[0080] [実施の形態2]

次に、図5に基づいて、本発明の第2の実施形態について説明する。上述した実施の形態1の液晶表示装置20においては、データ処理回路12のデータ処理動作を制御する制御部として、カウンタ回路11が備えられていたが、本実施の形態においては、データ処理回路12のデータ処理動作を制御する制御部として、カウンタ回路11の代わりに、RC回路13が備えられている点において実施の形態1とは異なっており、その他の構成については実施の形態1において説明したとおりである。説明の便宜上、上記の実施の形態1の図面に示した部材と同じ機能を有する部材については、同じ符号を付し、その説明を省略する。

[0081] 図5は、データ処理回路12と、データ処理回路12のデータ処理動作を制御する制御部として、備えられたRC回路13と、を示す図である。

[0082] 図示されているように、RC回路13に入力される図2に図示した表示コントローラ7から差動出力回路6に出力されるSTART信号は、RC回路13における時定数 $\tau = R \times C$ を大きくすることにより、Hとなる時間を遅らせることができる。

[0083] すなわち、差動出力回路6が不安定な状態である期間分、時定数 τ の値を大きくし、START信号がHとなる時間を遅らせて、データ処理回路12がバッファ回路10から受け取った信号D1、信号D1'、信号D2、信号D2'を、液晶表示パネル1に備えられたデータラインに出力させる制御信号であるデータ処理回路制御信号をデータ処理回路12に出力する。

[0084] したがって、上記構成によれば、不安定な状態の差動出力回路6から出力されるノイズの影響を受けやすい差動信号対からなる信号の状態で、データ処理回路12の動作が行われないように制御されている。

[0085] 上記構成を用いることにより、駆動初期において、誤動作を防ぐことができるインターフェース回路と、駆動初期において、乱れた映像が表示されるのを防ぐことができる液晶表示装置と、を実現できる。

[0086] [実施の形態3]

次に、図6に基づいて、本発明の第3の実施形態について説明する。上述した実施の形態1および2の液晶表示装置においては、データ処理回路12のデータ処理動作を制御する制御部として、カウンタ回路11やRC回路13が備えられていたが、本実施の形態においては、データ処理回路12のデータ処理動作を制御する制御部として、カウンタ回路11やRC回路13の代わりに、単安定マルチバイブレータ（ワンショットマルチバイブレータ）14が備えられている点において実施の形態1および2とは異なっており、その他の構成については実施の形態1において説明したとおりである。説明の便宜上、上記の実施の形態1および2の図面に示した部材と同じ機能を有する部材については、同じ符号を付し、その説明を省略する。

[0087] 図6は、データ処理回路12と、データ処理回路12のデータ処理動作を制御する制御部として、備えられた単安定マルチバイブレータ14と、を示す図である。

[0088] 単安定マルチバイブレータ（ワンショットマルチバイブレータ）14は、トリガとなるパルスが入力されて、入力端子のレベルがLからHに変化した時（または、HからLに変化した時）、抵抗（R）とコンデンサ（C）で構成される積分回路で決まる一定の時間だけHの出力を出す特性を有する。

[0089] 本実施の形態においては、このような特性を利用して、ワンショットマルチバイブレータ14の出力信号をインバータ（未図示）を介して、データ処理回路12に入力させている。

[0090] このような構成とすることにより、ワンショットマルチバイブレータ14の入力信号のレベルがLからHに変化した時、すなわち、図2に図示した表示コントローラ7から差動出力回路6に出力されるSTART信号がHになったとき、ワンショットマルチバイブレータ14の出力信号は、抵抗（R）とコンデンサ（C）で構成される積分回路で決まる一定の時間だけHの出力を出すこととなるが、インバータを介して、出力させているため、データ処理回路12に入力されるデータ処理回路制御信号としては、Lレベルの信号が入力されることとなる。

- [0091] そして、上記一定の時間後からは、データ処理回路12に入力されるデータ処理回路制御信号として、Hレベルの信号が入力されることとなる。
- [0092] ワンショットマルチバイブレータ14における抵抗(R)とコンデンサ(C)で構成される積分回路も、差動出力回路6が不安定な状態である期間分を考慮し、抵抗(R)とコンデンサ(C)との値を設定すればよい。
- [0093] したがって、上記構成によれば、不安定な状態の差動出力回路6から出力されるノイズの影響を受けやすい差動信号対からなる信号の状態で、データ処理回路12の動作が行われなように制御されている。
- [0094] 上記構成を用いることにより、駆動初期において、誤動作を防ぐことができるインターフェース回路と、駆動初期において、乱れた映像が表示されるのを防ぐことができる液晶表示装置と、を実現できる。
- (まとめ)
- 本発明のインターフェース回路においては、上記差動信号対は、何れも、接地電位レベルとは異なる電位レベルからなる構成であってもよい。
- [0095] 上記構成によれば、上記差動信号対は、何れも、接地電位レベルとは異なる電位レベルからなるので、上記差動信号送信部は、駆動初期に、不安定な状態から上記差動信号の電位レベルの出力が安定な状態となるまでに、時間がかかるので、本発明を好適に用いることができる。
- [0096] 本発明のインターフェース回路においては、上記制御部は、上記差動信号受信部に備えられていることが好ましい。
- [0097] 上記構成によれば、上記制御部が上記差動信号受信部に備えられているので、制御信号を調整しやすいインターフェース回路を実現できる。
- [0098] 本発明のインターフェース回路においては、上記データ処理部は、上記制御部から第1の制御信号が出力されると、上記所定期間後に上記差動信号送信部から出力される信号のデータ処理を開始する構成であってもよい。
- [0099] 本発明のインターフェース回路においては、上記データ処理部は、上記制御部から上記第1の制御信号が出力されるまでは、上記差動信号送信部から出力される差動信号に基づかない、予め定められた所定信号を出力する構成

であってもよい。

[0100] 本発明のインターフェース回路においては、上記制御部には、カウンタ回路が備えられている構成であってもよい。

[0101] 上記構成によれば、カウンタ回路が備えることで、比較的容易に駆動初期において、誤動作を防ぐことができるインターフェース回路を実現することができる。

[0102] 本発明のインターフェース回路においては、上記制御部には、RC回路が備えられている構成であってもよい。

[0103] 上記構成によれば、RC回路が備えることで、比較的容易に駆動初期において、誤動作を防ぐことができるインターフェース回路を実現することができる。

[0104] 本発明のインターフェース回路においては、上記制御部には、単安定マルチバイブレータが備えられている構成であってもよい。

[0105] 上記構成によれば、単安定マルチバイブレータを備えることで、比較的容易に駆動初期において、誤動作を防ぐことができるインターフェース回路を実現することができる。

[0106] 本発明の表示装置は、表示パネルと、上記表示パネルとは、上記伝送経路を介して、電氣的に接続されている外部基板と、を備え、上記表示パネルには、上記差動信号受信部と、上記データ処理部と、上記制御部と、が備えられており、上記外部基板には、上記データ供給部と、上記差動信号送信部と、が備えられている構成であってもよい。

[0107] 上記構成によれば、外部基板側に差動信号送信部を備え、表示パネル側に差動信号受信部を備え、差動信号方式で映像信号の伝送を行う表示装置において、駆動初期に、乱れた映像が表示されるのを防ぐことができる。

[0108] 本発明の表示装置においては、上記表示パネルは、液晶表示パネルであってもよい。

[0109] 上記構成によれば、液晶表示パネルを備えた表示装置において、駆動初期に、乱れた映像が表示されるのを防ぐことができる。

- [0110] 本発明の表示装置においては、上記表示パネルは、自己発光型表示パネルであってもよい。
- [0111] 上記構成によれば、自己発光型表示パネル（例えば、有機EL表示パネルなど）を備えた表示装置において、駆動初期に、乱れた映像が表示されるのを防ぐことができる。
- [0112] 本発明の表示装置においては、上記表示パネルには、データ信号線が備えられており、上記データ処理部から出力されるデータは、上記データ信号線にデータを出力するデータ信号線駆動回路に入力される構成であってもよい。
- [0113] 上記構成によれば、上記データ信号線駆動回路に入力されるデータは、上記所定期間後に安定な状態となった上記差動信号送信部から出力される信号に基づいているため、駆動初期に、乱れた映像が表示されるのを防ぐことができる表示装置を実現できる。
- [0114] 本発明の表示装置においては、上記データ処理部におけるデータ処理には、シリアル信号をパラレル信号に変換する処理が含まれていてもよい。
- [0115] 上記構成によれば、駆動初期に、乱れた映像が表示されるのを防ぐことができる表示装置を実現できる。
- [0116] 本発明は上記した各実施の形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能であり、異なる実施の形態にそれぞれ開示された技術的手段を適宜組み合わせ得られる実施の形態についても本発明の技術的範囲に含まれる。

産業上の利用可能性

- [0117] 本発明は、小振幅差動信号を処理するインターフェース回路およびこのようなインターフェース回路を備えた表示装置に好適に用いることができる。

符号の説明

- [0118] 1 液晶表示パネル（表示パネル）
 2 回路形成領域
 3 FPC部（伝送経路）

- 4 外部基板
- 5 コネクタ（伝送経路）
- 6 差動出力回路（差動信号送信部）
- 7 表示コントローラ（データ供給部）
- 8 差動入力回路（差動信号受信部）
- 9 ラッチ回路
- 10 バッファ回路
- 11 カウンタ回路（制御部）
- 12 データ処理回路（データ処理部）
- 13 RC回路（制御部）
- 14 ワンショットマルチバイブレータ（単安定マルチバイブレータ）
- 20 液晶表示装置（表示装置）

請求の範囲

- [請求項1] データ供給部と、
上記データ供給部から入力される信号を、差動信号対に変換し、伝送経路に送信する差動信号送信部と、
上記伝送経路から上記差動信号対を受信し、かつ、後段の回路にて信号処理が可能な信号に変換する差動信号受信部と、を備えたインターフェース回路であって、
上記差動信号送信部は、上記データ供給部から入力されるスタート信号に基づいて、駆動され、上記スタート信号から所定期間後に、上記差動信号の電位レベルの出力が安定となり、
上記差動信号受信部で変換された信号をデータ処理するデータ処理部を備え、
上記所定期間中の差動信号に基づいた信号については、上記データ処理部のデータ処理動作が行われなように制御する制御部を備えていることを特徴とするインターフェース回路。
- [請求項2] 上記差動信号対は、何れも、接地電位レベルとは異なる電位レベルからなることを特徴とする請求項1に記載のインターフェース回路。
- [請求項3] 上記制御部は、上記差動信号受信部に備えられていることを特徴とする請求項1または2に記載のインターフェース回路。
- [請求項4] 上記データ処理部は、上記制御部から第1の制御信号が出力されると、上記所定期間後に上記差動信号送信部から出力される信号のデータ処理を開始することを特徴とする請求項1から3の何れか1項に記載のインターフェース回路。
- [請求項5] 上記データ処理部は、上記制御部から上記第1の制御信号が出力されるまでは、上記差動信号送信部から出力される差動信号に基づかない、予め定められた所定信号を出力することを特徴とする請求項4に記載のインターフェース回路。
- [請求項6] 上記制御部には、カウンタ回路が備えられていることを特徴とする

請求項 1 から 5 の何れか 1 項に記載のインターフェース回路。

[請求項7] 上記制御部には、RC回路が備えられていることを特徴とする請求項 1 から 5 の何れか 1 項に記載のインターフェース回路。

[請求項8] 上記制御部には、単安定マルチバイブレータが備えられていることを特徴とする請求項 1 から 5 の何れか 1 項に記載のインターフェース回路。

[請求項9] 請求項 1 から 8 の何れか 1 項に記載のインターフェース回路を備えており、

上記データ供給部から入力される信号は、映像信号を含むことを特徴とする表示装置。

[請求項10] 表示パネルと、上記表示パネルとは上記伝送経路を介して、電氣的に接続されている外部基板と、を備え、

上記表示パネルには、上記差動信号受信部と、上記データ処理部と、上記制御部と、が備えられており、

上記外部基板には、上記データ供給部と、上記差動信号送信部と、が備えられていることを特徴とする請求項 9 に記載の表示装置。

[請求項11] 上記表示パネルは、液晶表示パネルであることを特徴とする請求項 10 に記載の表示装置。

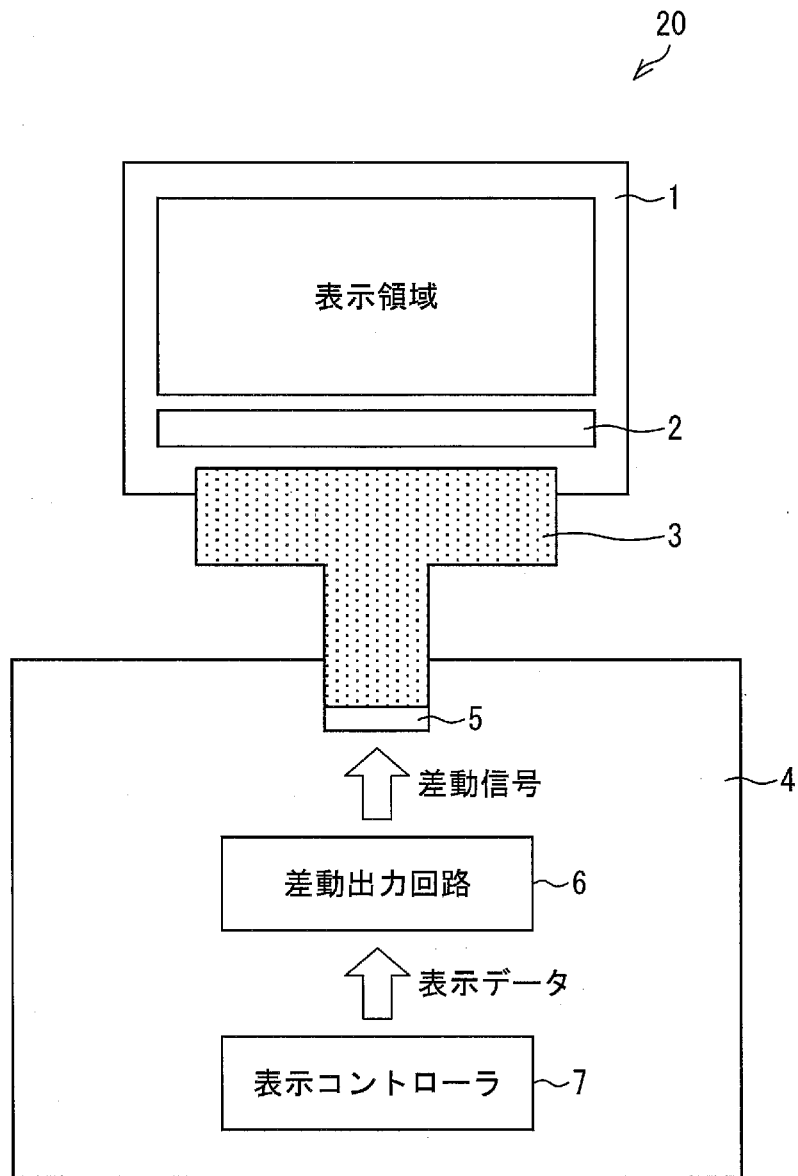
[請求項12] 上記表示パネルは、自己発光型表示パネルであることを特徴とする請求項 10 に記載の表示装置。

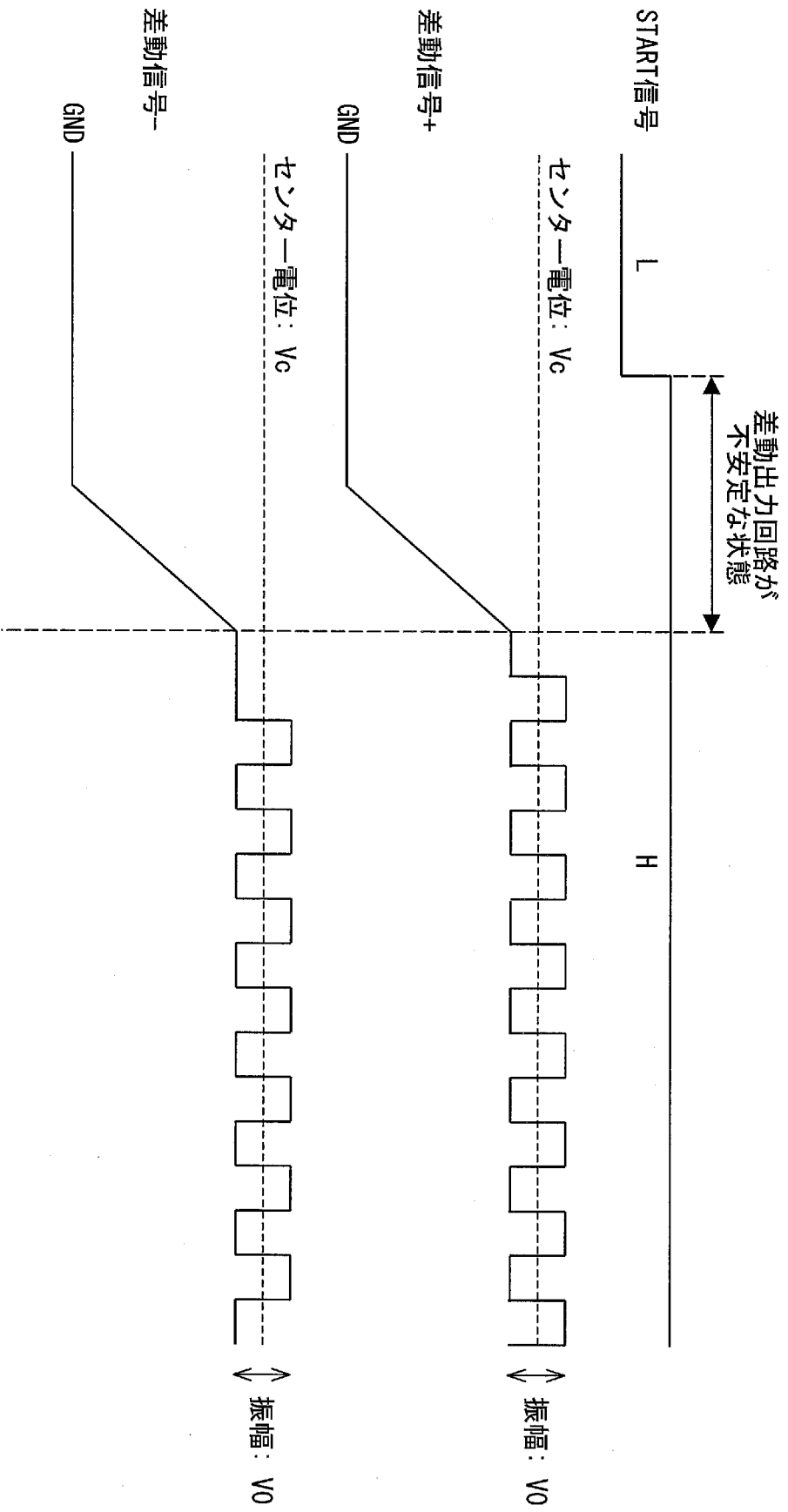
[請求項13] 上記表示パネルには、データ信号線が備えられており、

上記データ処理部から出力されるデータは、上記データ信号線にデータを出力するデータ信号線駆動回路に入力されることを特徴とする請求項 10 から 12 の何れか 1 項に記載の表示装置。

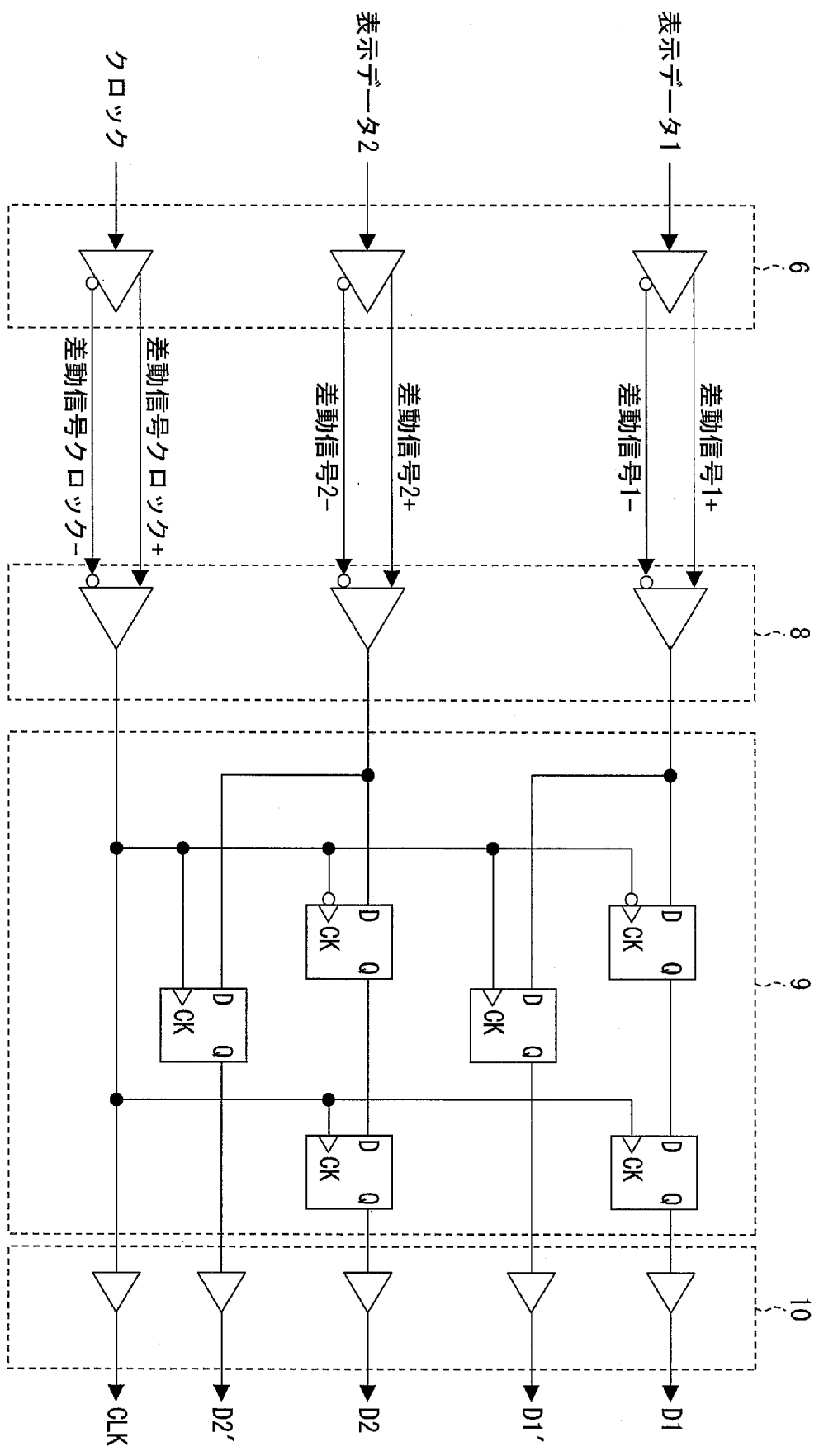
[請求項14] 上記データ処理部におけるデータ処理には、シリアル信号を平行信号に変換する処理が含まれていることを特徴とする請求項 9 から 13 の何れか 1 項に記載の表示装置。

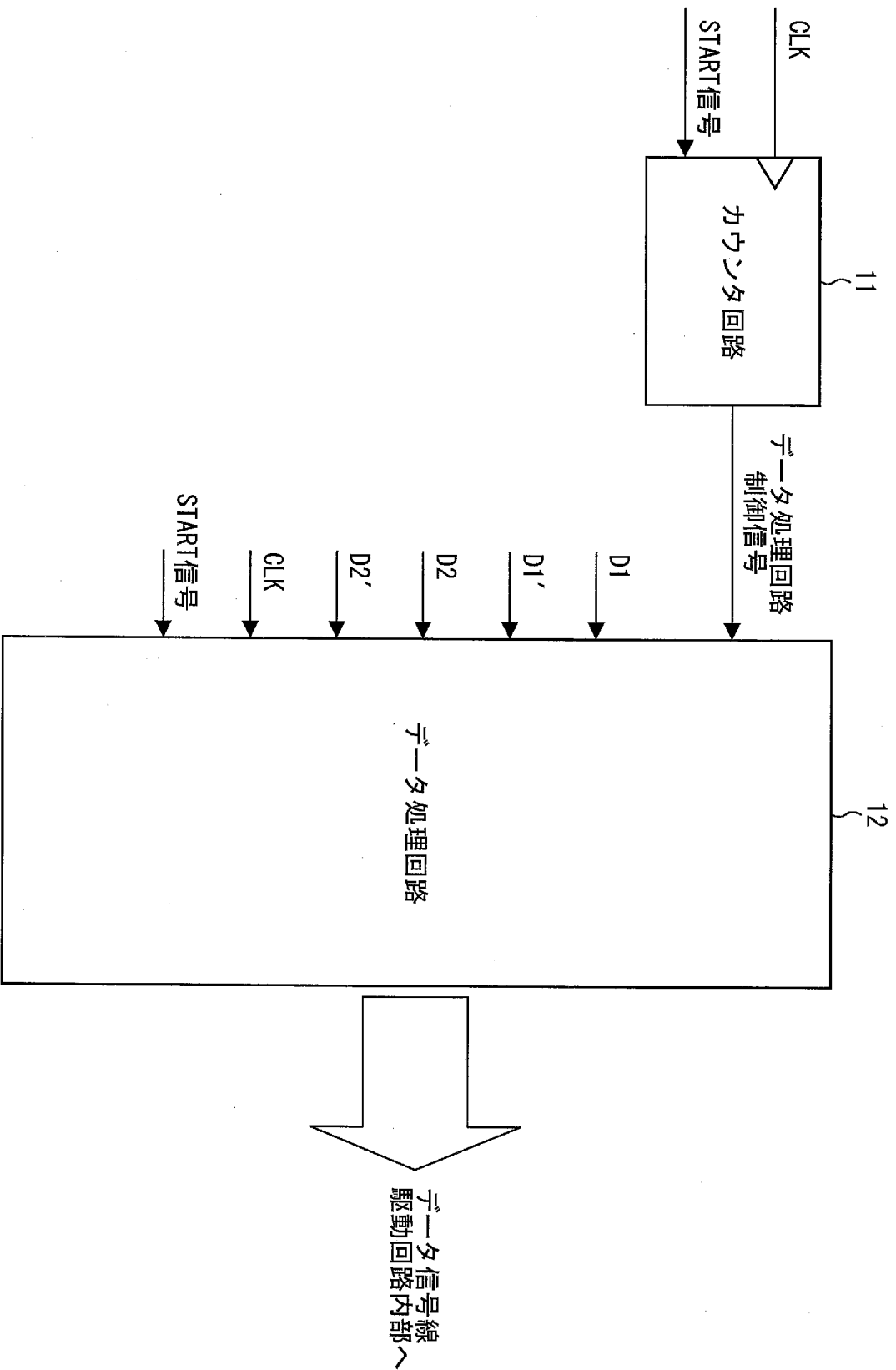
[図1]





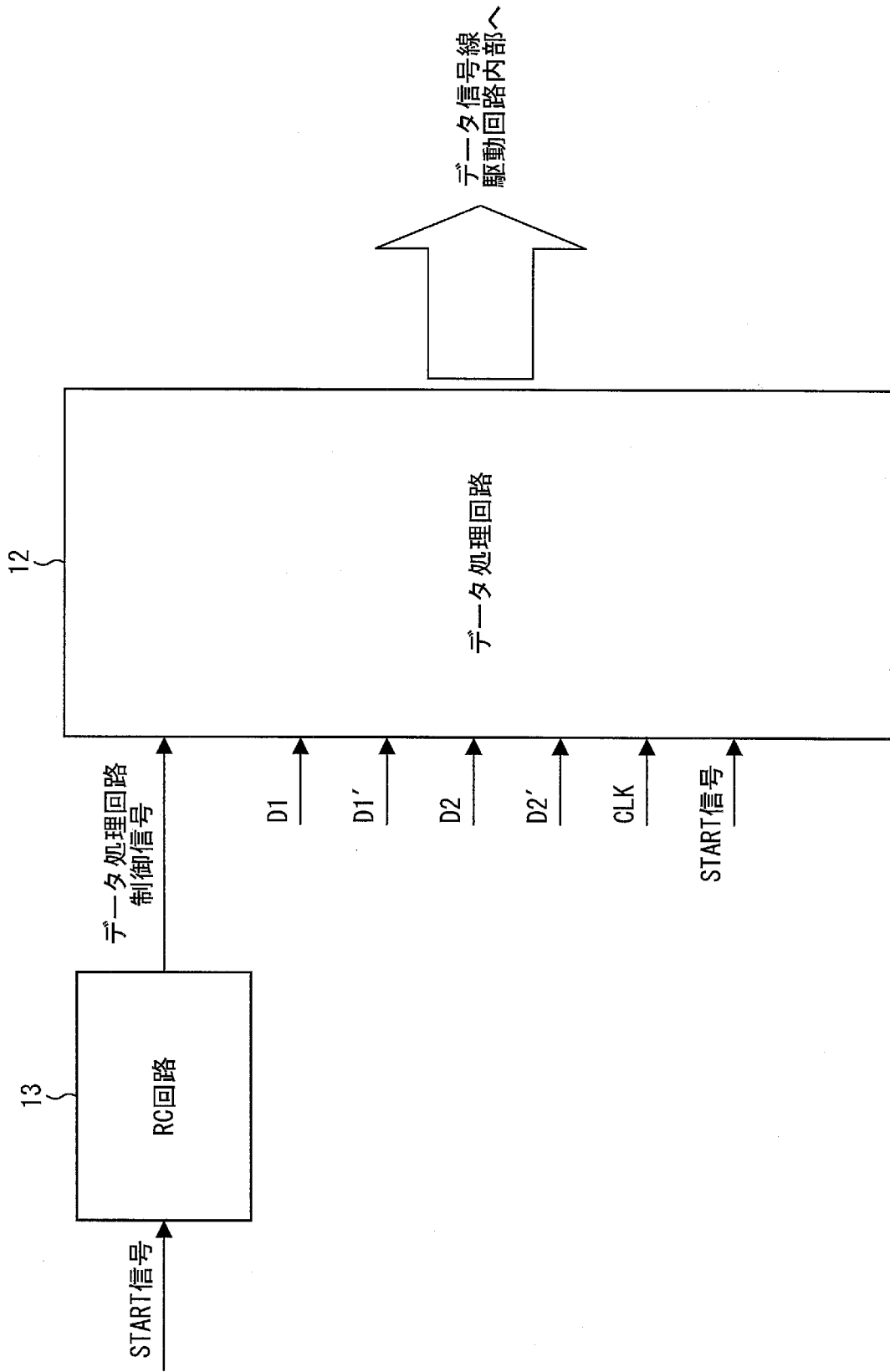
[図3]



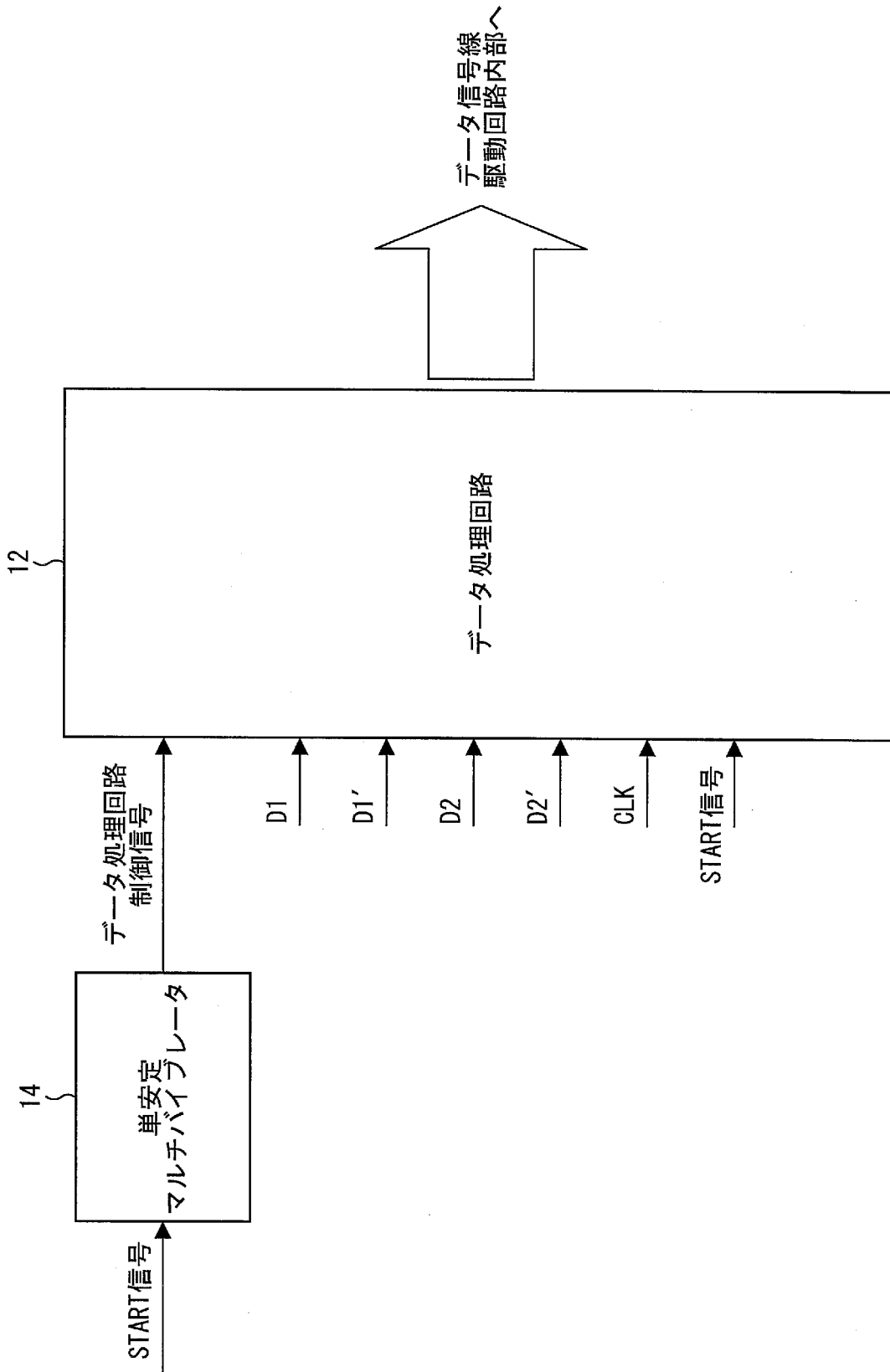


[図4]

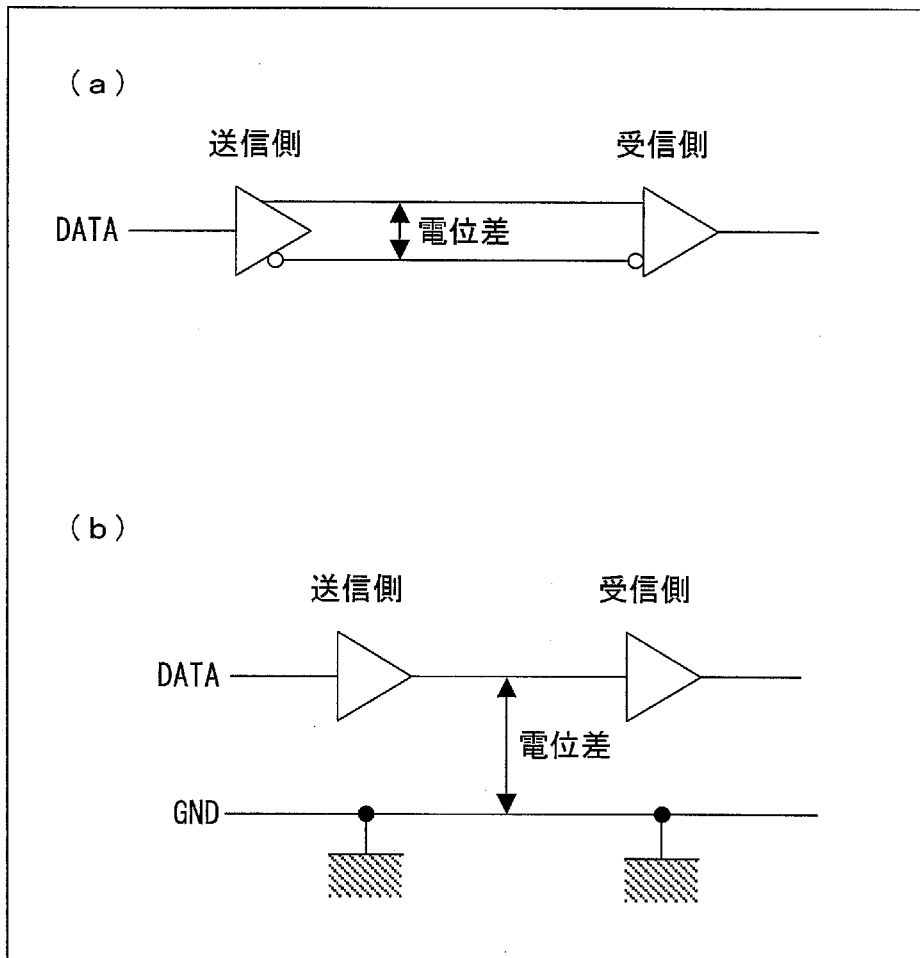
[図5]



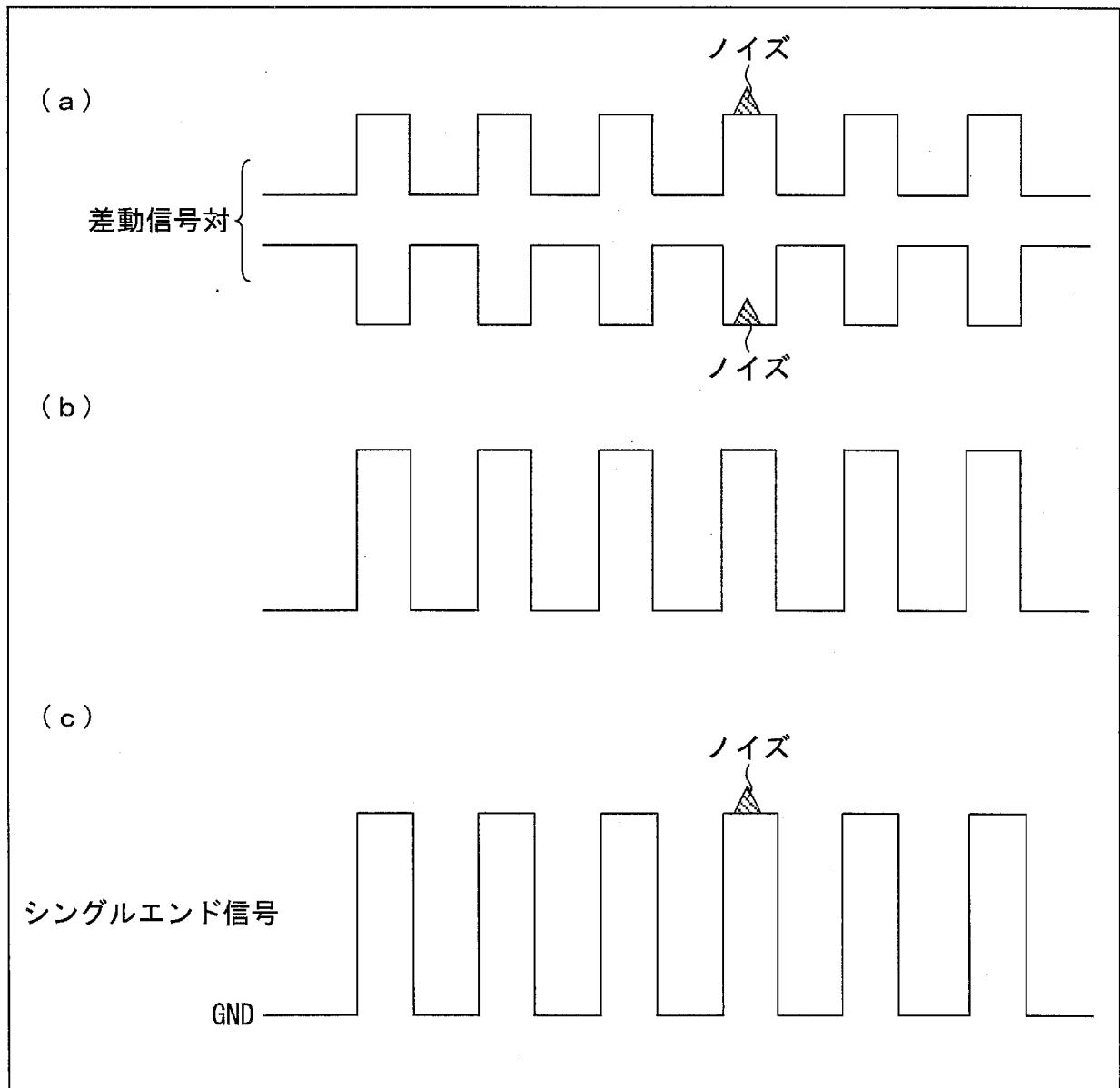
[図6]



[図7]



[図8]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2013/073011

A. CLASSIFICATION OF SUBJECT MATTER
H04L25/02(2006.01)i, G09G3/20(2006.01)i, G09G3/30(2006.01)i, G09G3/36(2006.01)i, H03K17/28(2006.01)i, H03K19/0175(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H04L25/02, G09G3/20, G09G3/30, G09G3/36, H03K17/28, H03K19/0175

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2002-258242 A (Matsushita Electric Industrial Co., Ltd.), 11 September 2002 (11.09.2002), entire text; all drawings (Family: none)	1-14
A	JP 06-001043 U (Honda Motor Co., Ltd.), 11 January 1994 (11.01.1994), entire text; all drawings (Family: none)	1-14
A	JP 09-331358 A (Victor Company of Japan, Ltd.), 22 December 1997 (22.12.1997), entire text; all drawings (Family: none)	1-14

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 18 September, 2013 (18.09.13)	Date of mailing of the international search report 08 October, 2013 (08.10.13)
--	---

Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H04L25/02(2006.01)i, G09G3/20(2006.01)i, G09G3/30(2006.01)i, G09G3/36(2006.01)i, H03K17/28(2006.01)i, H03K19/0175(2006.01)i		
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H04L25/02, G09G3/20, G09G3/30, G09G3/36, H03K17/28, H03K19/0175		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2013年 日本国実用新案登録公報 1996-2013年 日本国登録実用新案公報 1994-2013年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2002-258242 A (松下電器産業株式会社) 2002.09.11, 全文, 全図 (ファミリーなし)	1-14
A	JP 06-001043 U (本田技研工業株式会社) 1994.01.11, 全文, 全図 (ファミリーなし)	1-14
A	JP 09-331358 A (日本ビクター株式会社) 1997.12.22, 全文, 全図 (ファミリーなし)	1-14
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日	18.09.2013	国際調査報告の発送日
		08.10.2013
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 白井 亮 電話番号 03-3581-1101 内線 3556	5 K 3363