

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4118485号  
(P4118485)

(45) 発行日 平成20年7月16日(2008.7.16)

(24) 登録日 平成20年5月2日(2008.5.2)

(51) Int.Cl.		F I		
HO 1 L	21/336	(2006.01)	HO 1 L	29/78 6 1 2 D
HO 1 L	29/786	(2006.01)	HO 1 L	29/78 6 2 7 C
GO 2 F	1/1368	(2006.01)	GO 2 F	1/1368
GO 9 F	9/30	(2006.01)	GO 9 F	9/30 3 3 8
			GO 9 F	9/30 3 4 2 Z

請求項の数 15 (全 28 頁)

(21) 出願番号	特願2000-69519 (P2000-69519)	(73) 特許権者	000153878
(22) 出願日	平成12年3月13日(2000.3.13)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2001-257359 (P2001-257359A)		神奈川県厚木市長谷398番地
(43) 公開日	平成13年9月21日(2001.9.21)	(72) 発明者	山崎 舜平
審査請求日	平成15年3月3日(2003.3.3)		神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
		(72) 発明者	小山 潤
			神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
		審査官	河本 充雄

最終頁に続く

(54) 【発明の名称】 半導体装置の作製方法

(57) 【特許請求の範囲】

【請求項1】

画素部において、  
 第1のマスクで、ゲート配線及び凸部を形成し、  
 前記ゲート配線及び前記凸部上にゲート絶縁膜を形成し、  
 前記ゲート配線上に、前記ゲート絶縁膜に接して第1の非晶質半導体膜を形成し、  
 前記第1の非晶質半導体膜上に、n型を付与する不純物元素を含む第2の非晶質半導体膜を形成し、  
 前記第2の非晶質半導体膜上に第1の導電膜を形成し、  
 第2のマスクで、前記第1の非晶質半導体膜、前記第2の非晶質半導体膜及び前記第1の導電膜をパターニングして、パターニングされた前記第1の非晶質半導体膜、前記第2の非晶質半導体膜及び前記第1の導電膜でなり、薄膜トランジスタ及びソース配線に用いる積層膜を形成し、  
 前記積層膜及び前記ゲート絶縁膜上に反射性を有する第2の導電膜を形成し、  
 第3のマスクで前記積層膜及び前記第2の導電膜をパターニングして、前記第1の導電膜はドレイン電極とソース配線とに分離され、前記第2の非晶質半導体膜は前記ドレイン電極下の領域と前記ソース配線下の領域とに分離され、前記第1の非晶質半導体膜に凹部が形成され、前記ドレイン電極、前記ゲート絶縁膜及び前記凸部上に前記第2の導電膜からなる画素電極が形成され、前記ソース配線上に前記第2の導電膜からなる導電膜が形成され、

前記ゲート配線及び前記第2の導電膜により、前記画素部以外に保護回路を形成する半導体装置の作製方法であって、

前記画素電極は前記ゲート絶縁膜を介して表面に前記凸部に対応する凹凸を有し、

前記保護回路を構成する前記ゲート配線は、コの字形状に形成され、

前記保護回路を構成する前記第2の導電膜は、コの字形状の前記ゲート配線の内側の領域を埋めるように、且つ、前記ゲート配線と重ならないように、矩形状に形成されることを特徴とする半導体装置の作製方法。

【請求項2】

画素部において、

第1のマスクで、ゲート配線及び凸部を形成し、

前記ゲート配線及び前記凸部上にゲート絶縁膜を形成し、

前記ゲート配線上に、前記ゲート絶縁膜に接して第1の非晶質半導体膜を形成し、

前記第1の非晶質半導体膜上に、n型を付与する不純物元素を含む第2の非晶質半導体膜を形成し、

前記第2の非晶質半導体膜上に第1の導電膜を形成し、

第2のマスクで、前記第1の非晶質半導体膜、前記第2の非晶質半導体膜及び前記第1の導電膜をパターニングして、パターニングされた前記第1の非晶質半導体膜、前記第2の非晶質半導体膜及び前記第1の導電膜でなり、薄膜トランジスタ及びソース配線に用いる積層膜を形成し、

前記積層膜及び前記ゲート絶縁膜上に反射性を有する第2の導電膜を形成し、

第3のマスクで前記積層膜及び前記第2の導電膜をパターニングして、前記第1の導電膜はドレイン電極とソース配線とに分離され、前記第2の非晶質半導体膜は前記ドレイン電極下の領域と前記ソース配線下の領域とに分離され、前記第1の非晶質半導体膜に凹部が形成され、前記ドレイン電極、前記ゲート絶縁膜及び前記凸部上に前記第2の導電膜からなる画素電極が形成され、前記ソース配線上に前記第2の導電膜からなる導電膜が形成され、

前記ゲート配線及び前記第2の導電膜により、前記画素部以外に保護回路を形成する半導体装置の作製方法であって、

前記画素電極は前記ゲート絶縁膜を介して表面に前記凸部に対応する凹凸を有し、

前記保護回路を構成する前記ゲート配線は、コの字形状に形成され、

前記保護回路を構成する前記第2の導電膜は、コの字形状の前記ゲート配線の内側の領域を埋めるように、且つ、前記ゲート配線と重ならないように、矩形状に形成され、

前記保護回路を構成する前記ゲート配線と、前記保護回路を構成する前記第2の導電膜とは、前記ゲート絶縁膜を間に挟んで容量を形成することを特徴とする半導体装置の作製方法。

【請求項3】

画素部において、

第1のマスクで、ゲート配線及び凸部を形成し、

前記ゲート配線及び前記凸部上にゲート絶縁膜を形成し、

前記ゲート配線上に、前記ゲート絶縁膜に接して第1の微結晶半導体膜を形成し、

前記第1の微結晶半導体膜上に、n型を付与する不純物元素を含む第2の微結晶半導体膜を形成し、

前記第2の微結晶半導体膜上に第1の導電膜を形成し、

第2のマスクで、前記第1の微結晶半導体膜、前記第2の微結晶半導体膜及び前記第1の導電膜をパターニングして、パターニングされた前記第1の微結晶半導体膜、前記第2の微結晶半導体膜及び前記第1の導電膜でなり、薄膜トランジスタ及びソース配線に用いる積層膜を形成し、

前記積層膜及び前記ゲート絶縁膜上に反射性を有する第2の導電膜を形成し、

第3のマスクで前記積層膜及び前記第2の導電膜をパターニングして、前記第1の導電膜はドレイン電極とソース配線とに分離され、前記第2の微結晶半導体膜は前記ドレイン

10

20

30

40

50

電極下の領域と前記ソース配線下の領域とに分離され、前記第 1 の微結晶半導体膜に凹部が形成され、前記ドレイン電極、前記ゲート絶縁膜及び前記凸部上に前記第 2 の導電膜からなる画素電極が形成され、前記ソース配線上に前記第 2 の導電膜からなる導電膜が形成され、

前記ゲート配線及び前記第 2 の導電膜により、前記画素部以外に保護回路を形成する半導体装置の作製方法であって、

前記画素電極は前記ゲート絶縁膜を介して表面に前記凸部に対応する凹凸を有し、

前記保護回路を構成する前記ゲート配線は、コの字形状に形成され、

前記保護回路を構成する前記第 2 の導電膜は、コの字形状の前記ゲート配線の内側の領域を埋めるように、且つ、前記ゲート配線と重ならないように、矩形状に形成されることを特徴とする半導体装置の作製方法。

10

【請求項 4】

請求項 1 または 2 において、

前記ゲート絶縁膜、前記第 1 の非晶質半導体膜、前記第 2 の非晶質半導体膜及び前記第 1 の導電膜、それぞれを、被形成面を大気に曝すことなく連続的に形成することを特徴とする半導体装置の作製方法。

【請求項 5】

請求項 1、2、4 のいずれか一において、

前記ゲート絶縁膜、前記第 1 の非晶質半導体膜、前記第 2 の非晶質半導体膜及び前記第 1 の導電膜、それぞれを、同一チャンバー内で連続的に形成することを特徴とする半導体装置の作製方法。

20

【請求項 6】

請求項 1、2、4、5 のいずれか一において、

前記ゲート絶縁膜を、スパッタ法により形成することを特徴とする半導体装置の作製方法。

【請求項 7】

請求項 1、2、4、5、6 のいずれか一において、

前記第 1 の非晶質半導体膜を、スパッタ法により形成することを特徴とする半導体装置の作製方法。

【請求項 8】

30

請求項 1、2、4、5、6、7 のいずれか一において、

前記第 2 の非晶質半導体膜を、スパッタ法により形成することを特徴とする半導体装置の作製方法。

【請求項 9】

請求項 1、2、4、5 のいずれか一において、

前記ゲート絶縁膜を、プラズマ CVD 法により形成することを特徴とする半導体装置の作製方法。

【請求項 10】

請求項 1、2、4、5、9 のいずれか一において、

前記第 1 の非晶質半導体膜を、プラズマ CVD 法により形成することを特徴とする半導体装置の作製方法。

40

【請求項 11】

請求項 1、2、4、5、9、10 のいずれか一において、

前記第 2 の非晶質半導体膜を、プラズマ CVD 法により形成することを特徴とする半導体装置の作製方法。

【請求項 12】

請求項 1 乃至 11 のいずれか一において、

前記ゲート配線及び前記凸部として、Al 膜と、Ti、Mo、W、Ta、Nd、Cr から選ばれた元素を主成分とする膜、若しくはそれらの合金膜とを組み合わせた積層膜を形成することを特徴とする半導体装置の作製方法。

50

## 【請求項 13】

請求項 1 乃至 12 のいずれか一において、  
前記ゲート配線及び前記凸部として、Ti 膜、Al 膜、Ti 膜でなる積層膜を形成することを特徴とする半導体装置の作製方法。

## 【請求項 14】

請求項 1 乃至 13 のいずれか一において、  
前記第 3 のマスクで前記積層膜及び前記第 2 の導電膜をパターニングし、前記第 3 のマスクを除去した後、保護膜を形成することを特徴とする半導体装置の作製方法。

## 【請求項 15】

請求項 14 において、  
酸化シリコン膜、窒化シリコン膜、酸化窒化シリコン膜、酸化タンタル膜を単層または積層構造として前記保護膜を形成することを特徴とする半導体装置の作製方法。

10

## 【発明の詳細な説明】

## 【0001】

## 【発明の属する技術分野】

本願発明は薄膜トランジスタ（以下、TFT という）で構成された回路を有する半導体装置およびその作製方法に関する。例えば、液晶表示パネルに代表される電気光学装置およびその様な電気光学装置を部品として搭載した電子機器に関する。

## 【0002】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電子機器は全て半導体装置である。

20

## 【0003】

## 【従来の技術】

近年、絶縁表面を有する基板上に形成された半導体薄膜（厚さ数～数百 nm 程度）を用いて薄膜トランジスタ（TFT）を構成する技術が注目されている。薄膜トランジスタは IC や電気光学装置のような電子デバイスに広く応用され、特に画像表示装置のスイッチング素子として開発が急がれている。

## 【0004】

従来より、画像表示装置として液晶表示装置が知られている。パッシブ型の液晶表示装置に比べ高精細な画像が得られることからアクティブマトリクス型の液晶表示装置が多く用いられるようになってきている。アクティブマトリクス型の液晶表示装置においては、マトリクス状に配置された画素電極を駆動することによって、画面上に表示パターンが形成される。詳しくは選択された画素電極と該画素電極に対応する対向電極との間に電圧が印加されることによって、画素電極と対向電極との間に配置された液晶層の光学変調が行われ、この光学変調が表示パターンとして観察者に認識される。

30

## 【0005】

このようなアクティブマトリクス型の電気光学装置の用途は広がっており、画面サイズの大面積化とともに高精細化や高開口率化や高信頼性の要求が高まっている。また、同時に生産性の向上や低コスト化の要求も高まっている。

## 【0006】

従来では、300 以下の低温で大面積の基板上に形成可能であることから非晶質半導体膜として非晶質シリコン膜が好適に用いられている。また、非晶質半導体膜で形成されたチャンネル形成領域を有する逆スタガ型（若しくはボトムゲート型）の TFT が多く用いられている。

40

## 【0007】

## 【発明が解決しようとする課題】

従来、アクティブマトリクス型の電気光学装置は、写真蝕刻（フォトリソグラフィー）技術により、最低でも 5 枚以上のフォトマスクを使用して TFT を基板上に作製していたため製造コストが大きかった。生産性を向上させ歩留まりを向上させるためには、工程数を削減することが有効な手段として考えられる。

50

## 【0008】

具体的には、TFTの製造に要するフォトマスクの枚数を削減することが必要である。フォトマスクはフォトリソグラフィーの技術において、エッチング工程のマスクとするフォトレジストパターンを基板上に形成するために用いる。

## 【0009】

このフォトマスクを1枚使用することによって、レジスト塗布、プレバーク、露光、現像、ポストバークなどの工程と、その前後の工程において、被膜の成膜およびエッチングなどの工程、さらにレジスト剥離、洗浄や乾燥工程などが付加され、煩雑なものとなり、問題となっていた。

## 【0010】

また、基板が絶縁体であるために製造工程中における摩擦などによって静電気が発生していた。この静電気が発生すると基板上に設けられた配線の交差部でショートしたり、静電気によってTFTが劣化または破壊されて電気光学装置に表示欠陥や画質の劣化が生じていた。特に、製造工程で行われる液晶配向処理のラビング時に静電気が発生し問題となっていた。

## 【0011】

本発明はこのような問題に答えるものであり、アクティブマトリクス型の液晶表示装置に代表される電気光学装置において、TFTを作製する工程数を削減して製造コストの低減および歩留まりの向上を実現することを課題としている。

## 【0012】

また、静電気によるTFTの破壊やTFTの特性劣化という問題点を解決しうる構造およびその作製方法を提供することを課題としている。

## 【0013】

## 【課題を解決するための手段】

上記課題を解決するために、本発明では、チャンネル・エッチ型のボトムゲートTFT構造を採用し、ソース領域及びドレイン領域のパターニングと画素電極のパターニングを同じフォトマスクで行うことを特徴とする。

## 【0014】

以下に本発明の作製方法を簡略に説明する。

## 【0015】

まず、第1のマスク(フォトマスク1枚目)でゲート配線102を形成する。

## 【0016】

次いで、絶縁膜(ゲート絶縁膜)104a、第1の非晶質半導体膜105、n型を付与する不純物元素を含む第2の非晶質半導体膜106、及び第1の導電膜107を順次、積層形成する。(図2(A))なお、非晶質半導体膜に代えて微結晶半導体膜を用いてもよいし、n型を付与する不純物元素を含む非晶質半導体膜に代えてn型を付与する不純物元素を含む微結晶半導体膜を用いてもよい。さらに、これらの膜(104a、105、106、107)はスパッタ法やプラズマCVD法を用いて複数のチャンバー内または同一チャンバー内で連続的に大気に曝すことなく形成することができる。大気に曝さないようにすることで不純物の混入を防止できる。

## 【0017】

次いで、第2のマスク(フォトマスク2枚目)で上記第1の導電膜107をパターニングして第1の導電膜からなる配線(後にソース配線及び電極(ドレイン電極)となる)111を形成し、上記第2の非晶質半導体膜106をパターニングしてn型を付与する不純物元素を含む第2の非晶質半導体膜110を形成し、上記第1の非晶質半導体膜105をパターニングして第1の非晶質半導体膜109を形成する。(図2(B))

## 【0018】

その後、全面に第2の導電膜112を成膜する。(図2(D))なお、第2の導電膜112としては、透明導電膜を用いてもよいし、反射性を有する導電膜を用いてもよい。

## 【0019】

10

20

30

40

50

次いで、第3のマスク（フォトマスク3枚目）で上記第2の導電膜112をパターンニングして第2の導電膜からなる画素電極119を形成し、上記配線をパターンニングしてソース配線117及び電極（ドレイン電極）118を形成し、n型を付与する不純物元素を含む第2の非晶質半導体膜110をパターンニングしてn型を付与する不純物元素を含む第2の非晶質半導体膜からなるソース領域115及びドレイン領域116を形成し、上記第1の非晶質半導体膜109を一部除去して第1の非晶質半導体膜114を形成する。（図3（A））

【0020】

このような構成とすることで、画素TFT部の作製する際、フォトリソグラフィ技術で使用するフォトマスクの数を3枚とすることができる。

10

【0021】

また、ソース配線は画素電極と同じ材料である第2の導電膜120で覆い、基板全体を外部の静電気等から保護する構造とする。また、この第2の導電膜120を用いて画素TFT部以外の領域に保護回路を形成する構造としてもよい。このような構成とすることで、製造工程において製造装置と絶縁体基板との摩擦による静電気の発生を防止することができる。特に、製造工程で行われる液晶配向処理のラビング時に発生する静電気からTFT等を保護することができる。

【0022】

本明細書で開示する本発明の構成は、

ゲート配線と、ソース配線と、画素電極とを有する半導体装置であって、

20

絶縁表面上に形成されたゲート配線102と、

前記ゲート配線上に形成された絶縁膜104bと、

前記絶縁膜上に形成された非晶質半導体膜114と、

前記非晶質半導体膜上に形成されたソース領域115及びドレイン領域116と、

前記ソース領域または前記ドレイン領域上に形成されたソース配線117または電極118と、

前記電極上に形成された画素電極119とを有し、

前記ドレイン領域116または前記ソース領域115の一つの端面は、前記非晶質半導体膜114の端面及び前記電極118の端面と概略一致することを特徴とする半導体装置である。

30

【0023】

また、他の発明の構成は、

ゲート配線と、ソース配線と、画素電極とを有する半導体装置であって、

絶縁表面上に形成されたゲート配線102と、

前記ゲート配線上に形成された絶縁膜104bと、

前記絶縁膜上に形成された非晶質半導体膜114と、

前記非晶質半導体膜上に形成されたソース領域115及びドレイン領域116と、

前記ソース領域または前記ドレイン領域上に形成されたソース配線117または電極118と、

前記電極上に形成された画素電極119とを有し、

40

前記ドレイン領域115または前記ソース116領域の一つの端面は、前記非晶質半導体膜の端面114及び前記電極118の端面と概略一致し、もう一つの端面は、前記画素電極119の端面及び前記電極118のもう一つの端面と概略一致することを特徴とする半導体装置である。

【0024】

また、他の発明の構成は、

ゲート配線と、ソース配線と、画素電極とを有する半導体装置であって、

絶縁表面上に形成されたゲート配線102と、

前記ゲート配線上に形成された絶縁膜104bと、

前記絶縁膜上に形成された非晶質半導体膜114と、

50

前記非晶質半導体膜上に形成されたソース領域 1 1 5 及びドレイン領域 1 1 6 と、  
前記ソース領域または前記ドレイン領域上に形成されたソース配線 1 1 7 または電極 1 1 8 と、  
前記電極上に形成された画素電極 1 1 9 とを有し、  
前記ソース配線 1 1 7 の下方には、前記非晶質半導体膜と、n 型を付与する不純物元素を含む非晶質半導体膜とが積層されていることを特徴とする半導体装置である。

【 0 0 2 5 】

また、上記構成において、画素電極 1 1 9 を透明導電膜とすれば透過型の液晶表示装置となり、画素電極 1 1 9 を反射性を有する導電膜とすれば反射型の液晶表示装置となる。また、前記ソース配線上には画素電極と同じ材料からなる配線 1 2 0 が積層されている。

10

【 0 0 2 6 】

また、本発明では、反射型の液晶表示装置の作製方法において、画素電極の表面に凹凸を持たせて光散乱性を図るための凸部 6 0 1 の形成をゲート配線 6 0 0 と同じフォトリソグラフィで行うことを特徴とする。なお、この凸部 6 0 1 はゲート配線、及び T F T 部以外の領域の基板上に適宜設ける。

【 0 0 2 7 】

以下に本発明の作製方法を簡略に説明する。

【 0 0 2 8 】

まず、第 1 のマスク（フォトリソグラフィ 1 枚目）でゲート配線 6 0 0 及び凸部 6 0 1 を形成する。

20

【 0 0 2 9 】

次いで、絶縁膜（ゲート絶縁膜）6 0 2、第 1 の非晶質半導体膜、n 型を付与する不純物元素を含む第 2 の非晶質半導体膜、及び第 1 の導電膜を順次、積層形成する。なお、非晶質半導体膜に代えて微結晶半導体膜を用いてもよいし、n 型を付与する不純物元素を含む非晶質半導体膜に代えて n 型を付与する不純物元素を含む微結晶半導体膜を用いてもよい。さらに、これらの膜はスパッタ法やプラズマ C V D 法を用いて複数のチャンバー内または同一チャンバー内で連続的に大気に曝すことなく形成することができる。大気に曝さないようにすることで不純物の混入を防止できる。

【 0 0 3 0 】

上記絶縁膜 6 0 2 は、凸部 6 0 1 が形成された基板上に形成され、表面に凹凸を有している。

30

【 0 0 3 1 】

次いで、第 2 のマスク（フォトリソグラフィ 2 枚目）で上記第 1 の導電膜をパターニングして第 1 の導電膜からなる配線（後にソース配線及び電極（ドレイン電極）となる）を形成し、上記第 2 の非晶質半導体膜をパターニングして n 型を付与する不純物元素を含む第 2 の非晶質半導体膜を形成し、上記第 1 の非晶質半導体膜をパターニングして第 1 の非晶質半導体膜を形成する。

【 0 0 3 2 】

その後、全面に第 2 の導電膜を成膜する。なお、第 2 の導電膜としては、反射性を有する導電膜を用いる。

40

【 0 0 3 3 】

次いで、第 3 のマスク（フォトリソグラフィ 3 枚目）で上記第 2 の導電膜をパターニングして第 2 の導電膜からなる画素電極 6 0 4 を形成し、上記配線をパターニングしてソース配線 6 0 8 及び電極（ドレイン電極）6 0 9 を形成し、n 型を付与する不純物元素を含む第 2 の非晶質半導体膜をパターニングして n 型を付与する不純物元素を含む第 2 の非晶質半導体膜からなるソース領域 6 0 6 及びドレイン領域 6 0 7 を形成し、上記第 1 の非晶質半導体膜を一部除去して第 1 の非晶質半導体膜 6 0 5 を形成する。

【 0 0 3 4 】

このような構成とすることで、画素 T F T 部の作製する際、フォトリソグラフィ技術で使用するフォトリソマスクの数を 3 枚とすることができる。

50

## 【 0 0 3 5 】

さらに、このような構成とすることで、凸部 6 0 1 上に形成された絶縁膜の表面は凸凹を有し、この凸凹を表面に有する絶縁膜 6 0 2 上に画素電極 6 0 4 が形成されるので、画素電極 6 0 4 の表面に凹凸を持たせて光散乱性を図ることができる。

## 【 0 0 3 6 】

上記作製方法により得られる本発明の構成は、

ゲート配線 6 0 0 と、ソース配線 6 0 8 と、反射性を有する画素電極 6 0 4 とを有する半導体装置であって、

絶縁表面上に形成されたゲート配線 6 0 0 及び凸部 6 0 1 と、

前記ゲート配線及び前記凸部上に形成されて表面に凸凹を有する絶縁膜 6 0 2 と、

10

前記絶縁膜 6 0 2 上に形成された非晶質半導体膜 6 0 5 と、

前記非晶質半導体膜上に形成されたソース領域 6 0 6 及びドレイン領域 6 0 7 と、

前記ソース領域または前記ドレイン領域上に形成されたソース配線 6 0 8 または電極 6 0 9 と、

前記電極 6 0 9 上に形成され、且つ表面に凸凹を有する絶縁膜 6 0 2 上に形成されて表面に凸凹を有する画素電極 6 0 4 と、を有していることを特徴とする半導体装置である。

## 【 0 0 3 7 】

上記構成において、前記ゲート配線 6 0 0 及び前記凸部 6 0 1 は、同一材料からなることを特徴としている。また、上記構成においても前記ドレイン領域 6 0 7 または前記ソース領域 6 0 8 の一つの端面は、前記非晶質半導体膜 6 0 5 の端面及び前記電極 6 0 9 の端面と概略一致することを特徴としている。さらに、上記構成においても前記ドレイン領域 6 0 7 または前記ソース領域 6 0 8 の一つの端面は、前記非晶質半導体膜 6 0 5 の端面及び前記電極 6 0 9 の端面と概略一致し、もう一つの端面は、前記画素電極 6 0 4 の端面及び前記電極 6 0 4 のもう一つの端面と概略一致することを特徴している。

20

## 【 0 0 3 8 】

また、上記各構成において、前記ソース領域及び前記ドレイン領域は、n型を付与する不純物元素を含む非晶質半導体膜からなることを特徴としている。

## 【 0 0 3 9 】

また、上記各構成において、前記絶縁膜、前記非晶質半導体膜、前記ソース領域、及び前記ドレイン領域は、大気に曝されることなく連続的に形成されたことを特徴としている。

30

## 【 0 0 4 0 】

また、上記各構成において、前記絶縁膜、前記非晶質半導体膜、前記ソース領域、または前記ドレイン領域は、スパッタ法により形成されたことを特徴としている。

## 【 0 0 4 1 】

また、上記各構成において、前記ソース領域及び前記ドレイン領域は、前記非晶質半導体膜及び前記電極と同一のマスクにより形成されたことを特徴としている。また、前記ソース領域及び前記ドレイン領域は、前記ソース配線と同一のマスクにより形成されたことを特徴としている。

## 【 0 0 4 2 】

また、上記各構成において、前記ソース領域及び前記ドレイン領域は、前記ソース配線及び前記画素電極と同一のマスクにより形成されたことを特徴としている。

40

## 【 0 0 4 3 】

また、上記各構成において、前記画素電極は前記絶縁膜と接していることを特徴としている。また、前記画素電極は、前記ドレイン領域の端面と、非晶質半導体膜の端面とも接している。

## 【 0 0 4 4 】

また、上記各構成において、第 3 のマスクを用いたエッチング工程によって、前記非晶質半導体膜の一部が除去されるため、前記非晶質半導体膜のうち、前記ソース領域及びドレイン領域と接する領域における膜厚は、前記ソース領域と接する領域と前記ドレイン領域と接する領域との間の領域における膜厚より厚い構成、即ちチャンネル・エッチ型のボトム

50



ゲート構造となっている。

【0045】

【発明の実施の形態】

本願発明の実施形態について、以下に説明する。

【0046】

図1は本発明のアクティブマトリクス基板の平面図の一例であり、ここでは簡略化のため、マトリクス状に配置された複数の画素のうちの1つの画素構成を示している。また、図2及び図3は作製工程を示す図である。

【0047】

図1に示すように、このアクティブマトリクス基板は、互いに平行に配置された複数のゲート配線と、各ゲート配線に直交するソース配線を複数有している。

10

【0048】

また、ゲート配線とソース配線とで囲まれた領域には画素電極119が配置されている。また、この画素電極119と重ならないように、画素電極と同じ材料からなる配線120がソース配線と重なっている。

【0049】

さらに、画素電極119の下方で隣り合う2本のゲート配線の間には、ゲート配線102と平行に容量配線103が配置されている。この容量配線103は全画素に設けられており、画素電極119との間に存在する絶縁膜104bを誘電体として保持容量を形成している。

20

【0050】

また、ゲート配線102とソース配線117の交差部近傍にはスイッチング素子としてのTFTが設けられている。このTFTは非晶質構造を有する半導体膜（以下、第1の非晶質半導体膜と呼ぶ）で形成されたチャンネル形成領域を有する逆スタガ型（若しくはボトムゲート型）のTFTである。

【0051】

また、このTFTは、絶縁性基板上に順次、ゲート電極（ゲート配線102と一体形成された）と、ゲート絶縁膜と、第1の非晶質半導体膜と、n型を付与する不純物元素を含む第2の非晶質半導体膜からなるソース領域及びドレイン領域と、ソース電極（ソース配線117と一体形成された）及び電極118（以下、ドレイン電極とも呼ぶ）とが積層形成されている。

30

【0052】

また、ソース配線（ソース電極含む）及びドレイン電極118の下方には、絶縁性基板上に順次、ゲート絶縁膜と、第1の非晶質半導体膜と、n型を付与する不純物元素を含む第2の非晶質半導体膜とが積層形成されている。

【0053】

また、第1の非晶質半導体膜のうち、ソース領域と接する領域とドレイン領域と接する領域との間の領域は、他の領域と比べ膜厚が薄くなっている。膜厚が薄くなったのは、n型を付与する不純物元素を含む第2の非晶質半導体膜をエッチングにより分離してソース領域とドレイン領域とを形成する際、第1の非晶質半導体膜の一部が除去されたためである。また、このエッチングによって画素電極の端面、ドレイン電極の端面、及びドレイン領域の端面が一致している。

40

【0054】

また、同様にソース電極を覆う配線120の端面、ソース領域の端面、及びソース配線の端面が一致している。

【0055】

以上の構成でなる本願発明について、以下に示す実施例でもってさらに詳細な説明を行うこととする。

【0056】

【実施例】

50

## 【実施例 1】

本発明の実施例を図 1 ~ 図 6 を用いて説明する。本実施例は液晶表示装置の作製方法を示し、基板上に画素部の T F T を逆スタガ型で形成し、該 T F T に接続する保持容量を作製する方法について工程に従って詳細に説明する。また、同図には該基板の端部に設けられ、他の基板に設けた回路の配線と電氣的に接続するための端子部の作製工程を同時に示す。

## 【0057】

図 2 ( A ) において、透光性を有する基板 1 0 0 にはコーニング社の # 7 0 5 9 ガラスや # 1 7 3 7 ガラスなどに代表されるバリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板を用いることができる。その他に、石英基板、プラスチック基板などの透光性基板を使用することもできる。

10

## 【0058】

次いで、導電層を基板全面に形成した後、第 1 のフォトリソグラフィ工程を行い、レジストマスクを形成し、エッチングにより不要な部分を除去して配線及び電極（ゲート電極を含むゲート配線 1 0 2、容量配線 1 0 3、及び端子 1 0 1）を形成する。このとき少なくともゲート電極 1 0 2 の端部にテーパ部が形成されるようにエッチングする。この段階での上面図を図 4 に示した。

## 【0059】

ゲート電極を含むゲート配線 1 0 2 と容量配線 1 0 3、端子部の端子 1 0 1 は、アルミニウム ( A l ) や銅 ( C u ) などの低抵抗導電性材料で形成することが望ましいが、A l 単体では耐熱性が劣り、また腐蝕しやすい等の問題点があるので耐熱性導電性材料と組み合わせ形成する。また、低抵抗導電性材料として A g P d C u 合金を用いてもよい。耐熱性導電性材料としては、チタン ( T i )、タンタル ( T a )、タングステン ( W )、モリブデン ( M o )、クロム ( C r )、N d ( ネオジウム ) から選ばれた元素、または前記元素を成分とする合金か、前記元素を組み合わせた合金膜、または前記元素を成分とする窒化物で形成する。例えば、T i と C u の積層、T a N と C u との積層が挙げられる。また、T i、S i、C r、N d 等の耐熱性導電性材料と組み合わせ形成した場合、平坦性が向上するため好ましい。また、このような耐熱性導電性材料のみ、例えば M o と W を組み合わせ形成しても良い。

20

## 【0060】

液晶表示装置を実現するためには、ゲート電極およびゲート配線は耐熱性導電性材料と低抵抗導電性材料とを組み合わせ形成することが望ましい。この時の適した組み合わせを説明する。

30

## 【0061】

画面サイズが 5 型程度までなら耐熱性導電性材料の窒化物から成る導電層 ( A ) と耐熱性導電性材料から成る導電層 ( B ) とを積層した二層構造とする。導電層 ( B ) は A l、C u、T a、T i、W、N d、C r から選ばれた元素、または前記元素を成分とする合金か、前記元素を組み合わせた合金膜で形成すれば良く、導電層 ( A ) は窒化タンタル ( T a N ) 膜、窒化タングステン ( W N ) 膜、窒化チタン ( T i N ) 膜などで形成する。例えば、導電層 ( A ) として C r、導電層 ( B ) として N d を含有する A l とを積層した二層構造とすることが好ましい。導電層 ( A ) は 1 0 ~ 1 0 0 n m ( 好ましくは 2 0 ~ 5 0 n m ) とし、導電層 ( B ) は 2 0 0 ~ 4 0 0 n m ( 好ましくは 2 5 0 ~ 3 5 0 n m ) とする。

40

## 【0062】

一方、大画面に適用するには耐熱性導電性材料から成る導電層 ( A ) と低抵抗導電性材料から成る導電層 ( B ) と耐熱性導電性材料から成る導電層 ( C ) とを積層した三層構造とすることが好ましい。低抵抗導電性材料から成る導電層 ( B ) は、アルミニウム ( A l ) を成分とする材料で形成し、純 A l の他に、0 . 0 1 ~ 5 a t o m i c % のスカンジウム ( S c )、T i、N d、シリコン ( S i ) 等を含有する A l を使用する。導電層 ( C ) は導電層 ( B ) の A l にヒロックが発生するのを防ぐ効果がある。導電層 ( A ) は 1 0 ~ 1 0 0 n m ( 好ましくは 2 0 ~ 5 0 n m ) とし、導電層 ( B ) は 2 0 0 ~ 4 0 0 n m ( 好ましくは

50

250 ~ 350 nm)とし、導電層(C)は10 ~ 100 nm(好ましくは20 ~ 50 nm)とする。本実施例では、Tiをターゲットとしたスパッタ法により導電層(A)をTi膜で50 nmの厚さに形成し、Alをターゲットとしたスパッタ法により導電層(B)をAl膜で200 nmの厚さに形成し、Tiをターゲットとしたスパッタ法により導電層(C)をTi膜で50 nmの厚さに形成した。

【0063】

次いで、絶縁膜104aを全面に成膜する。絶縁膜104aはスパッタ法を用い、膜厚を50 ~ 200 nmとする。

【0064】

例えば、絶縁膜104aとして窒化シリコン膜を用い、150 nmの厚さで形成する。勿論、ゲート絶縁膜はこのような窒化シリコン膜に限定されるものでなく、酸化シリコン膜、酸化窒化シリコン膜、酸化タンタル膜などの他の絶縁膜を用い、これらの材料から成る単層または積層構造として形成しても良い。例えば、下層を窒化シリコン膜とし、上層を酸化シリコン膜とする積層構造としても良い。

10

【0065】

次に、絶縁膜104a上に50 ~ 200 nm(好ましくは100 ~ 150 nm)の厚さで第1の非晶質半導体膜105を、プラズマCVD法やスパッタ法などの公知の方法で全面に形成する(図示せず)。代表的には、シリコンのターゲットを用いたスパッタ法で非晶質シリコン(a-Si)膜を100 nmの厚さに形成する。その他、この第1の非晶質半導体膜には、微結晶半導体膜、非晶質シリコンゲルマニウム膜( $Si_xGe_{(1-x)}$ 、( $0 < x < 1$ ))、非晶質シリコンカーバイド( $Si_xC_y$ )などの非晶質構造を有する化合物半導体膜を適用することも可能である。

20

【0066】

次に、一導電型(n型またはp型)の不純物元素を含有する第2の非晶質半導体膜を20 ~ 80 nmの厚さで形成する。一導電型(n型またはp型)を付与する不純物元素を含む第2の非晶質半導体膜は、プラズマCVD法やスパッタ法などの公知の方法で全面に形成する。本実施例では、リン(P)が添加されたシリコンターゲットを用いてn型の不純物元素を含有する第2の非晶質半導体膜106を形成した。あるいは、シリコンターゲットを用い、リンを含む雰囲気中でスパッタリングを行い成膜してもよい。或いは、n型を付与する不純物元素を含む第2の非晶質半導体膜を水素化微結晶シリコン膜( $\mu c-Si:H$ )で形成しても良い。

30

【0067】

次に、金属材料からなる第1の導電膜107をスパッタ法や真空蒸着法で形成する。第1の導電膜107の材料としては、第2の非晶質半導体膜106とオーミックコンタクトのとれる金属材料であれば特に限定されず、Al、Cr、Ta、Tiから選ばれた元素、または前記元素を成分とする合金か、前記元素を組み合わせた合金膜等が挙げられる。本実施例ではスパッタ法を用い、第1の導電膜107として、50 ~ 150 nmの厚さで形成したTi膜と、そのTi膜上に重ねてアルミニウム(Al)を300 ~ 400 nmの厚さで形成し、さらにその上にTi膜を100 ~ 150 nmの厚さで形成した。(図2(A))

【0068】

絶縁膜104a、第1の非晶質半導体膜105、n型を付与する不純物元素を含む第2の非晶質半導体膜106、及び第1の導電膜107はいずれも公知の方法で作製するものであり、プラズマCVD法やスパッタ法で作製することができる。本実施例では、これらの膜(104a、105、106、107)をスパッタ法で、ターゲット及びスパッタガスを適宜切り替えることにより連続的に形成した。この時、スパッタ装置において、同一の反応室または複数の反応室を用い、これらの膜を大気に晒すことなく連続して積層させることが好ましい。このように、大気に曝さないことで不純物の混入を防止することができる。

40

【0069】

次に、第2のフォトリソグラフィ工程を行い、レジストマスク108を形成し、エッチ

50

ングにより不要な部分を除去して配線（後の工程によりソース配線及びドレイン電極となる）111を形成する。この際のエッチング方法としてウエットエッチングまたはドライエッチングを用いる。この時、第1の導電膜107、n型を付与する不純物元素を含む第2の非晶質半導体膜106、及び第1の非晶質半導体膜105が順次、レジストマスク108をマスクとしてエッチングされ、画素TFT部においては、第1の導電膜からなる配線111、n型を付与する不純物元素を含む第2の非晶質半導体膜110、及び第1の非晶質半導体膜109がそれぞれ形成される。本実施例では、 $\text{SiCl}_4$ と $\text{Cl}_2$ と $\text{BCl}_3$ の混合ガスを反応ガスとしたドライエッチングにより、Ti膜とAl膜とTi膜を順次積層した第1の導電膜107をエッチングし、反応ガスを $\text{CF}_4$ と $\text{O}_2$ の混合ガスに代えて第1の非晶質半導体膜105及びn型を付与する不純物元素を含む第2の非晶質半導体膜106を選択的に除去した。（図2（B））また、容量部においては容量配線103と絶縁膜104aを残し、同様に端子部においても、端子101と絶縁膜104aが残る。

10

**【0070】**

次に、レジストマスク108を除去した後、シャドーマスクを用いてレジストマスクを形成し、端子部のパッド部分を覆っている絶縁膜104aを選択的に除去して絶縁膜104bを形成した後、レジストマスクを除去する。（図2（C））また、シャドーマスクに代えてスクリーン印刷法によりレジストマスクを形成してエッチングマスクとしてもよい。

**【0071】**

次に、全面に透明導電膜からなる第2の導電膜112を成膜する。（図2（D））また、この時の上面図を図5に示す。ただし、簡略化のため図5では全面に成膜された第2の導電膜112は図示していない。

20

**【0072】**

この第2の導電膜112の材料は、酸化インジウム（ $\text{In}_2\text{O}_3$ ）や酸化インジウム酸化スズ合金（ $\text{In}_2\text{O}_3$ 、 $\text{SnO}_2$ 、ITOと略記する）などをスパッタ法や真空蒸着法などを用いて形成する。このような材料のエッチング処理は塩酸系の溶液により行う。しかし、特にITOのエッチングは残渣が発生しやすいので、エッチング加工性を改善するために酸化インジウム酸化亜鉛合金（ $\text{In}_2\text{O}_3$ 、 $\text{ZnO}$ ）を用いても良い。酸化インジウム酸化亜鉛合金は表面平滑性に優れ、ITOと比較して熱安定性にも優れているので、第2の導電膜112と接触する配線111をAl膜で形成しても腐蝕反応をすることを防止できる。同様に、酸化亜鉛（ $\text{ZnO}$ ）も適した材料であり、さらに可視光の透過率や導電率を高めるためにガリウム（Ga）を添加した酸化亜鉛（ $\text{ZnO}:\text{Ga}$ ）などを用いることができる。

30

**【0073】**

次に、第3のフォトリソグラフィ工程を行い、レジストマスク113a～113cを形成し、エッチングにより不要な部分を除去して第1の非晶質半導体膜114、ソース領域115及びドレイン領域116、ソース電極117及びドレイン電極118、画素電極119を形成する。（図3（A））

**【0074】**

この第3のフォトリソグラフィ工程は、第2の導電膜112をパターンニングすると同時に、配線111とn型を付与する不純物元素を含む第2の非晶質半導体膜110と第1の非晶質半導体膜109の一部をエッチングにより除去して開孔を形成する。本実施例では、まず、ITOからなる第2の導電膜112を硝酸と塩酸の混合溶液または塩化系第2鉄系の溶液を用いたウエットエッチングにより選択的に除去し、ウエットエッチングにより配線111を選択的に除去した後、ドライエッチングによりn型を付与する不純物元素を含む第2の非晶質半導体膜110と非晶質半導体膜109の一部をエッチングした。なお、本実施例では、ウエットエッチングとドライエッチングとを用いたが、実施者が反応ガスを適宜選択してドライエッチングのみで行ってもよいし、実施者が反応溶液を適宜選択してウエットエッチングのみで行ってもよい。

40

**【0075】**

また、開孔の底部は第1の非晶質半導体膜に達しており、凹部を有する第1の非晶質半導

50

体膜 114 が形成される。この開孔によって配線 111 はソース配線 117 とドレイン電極 118 に分離され、n 型を付与する不純物元素を含む第 2 の非晶質半導体膜 110 はソース領域 115 とドレイン領域 116 に分離される。また、ソース配線と接する第 2 の導電膜 120 は、ソース配線を覆い、後の製造工程、特にラビング処理で生じる静電気を防止する役目を果たす。本実施例では、ソース配線上に第 2 の導電膜 120 を形成した例を示したが、第 2 の導電膜 120 を除去してもよい。

【0076】

また、この第 3 のフォトリソグラフィ工程において、容量部における絶縁膜 104b を誘電体として、容量配線 103 と画素電極 119 とで保持容量が形成される。

【0077】

また、この第 3 のフォトリソグラフィ工程において、レジストマスク 113c で覆い端子部に形成された透明導電膜からなる第 2 の導電膜を残す。

【0078】

次に、レジストマスク 113a ~ 113c を除去した。この状態の断面図を図 3(B) に示した。なお、図 1 は 1 つの画素の上面図であり、A - A' 線 及び B - B' 線に沿った断面図がそれぞれ図 3(B) に相当する。

【0079】

また、図 9(A) は、この状態でのゲート配線端子部 501、及びソース配線端子部 502 の上面図をそれぞれ図示している。なお、図 1 ~ 図 3 と対応する箇所には同じ符号を用いている。また、図 9(B) は図 9(A) 中の E - E' 線 及び F - F' 線に沿った断面図に相当する。図 9(A) において、透明導電膜からなる 503 は入力端子として機能する接続用の電極である。また、図 9(B) において、504 は絶縁膜 (104b から延在する)、505 は第 1 の非晶質半導体膜 (114 から延在する)、506 は n 型を付与する不純物元素を含む第 2 の非晶質半導体膜 (115 から延在する) である。

【0080】

こうして 3 回のフォトリソグラフィ工程により、3 枚のフォトマスクを使用して、逆スタガ型の n チャネル型 TFT 201 を有する画素 TFT 部、保持容量 202 を完成させることができる。そして、これらを個々の画素に対応してマトリクス状に配置して画素部を構成することによりアクティブマトリクス型の電気光学装置を作製するための一方の基板とすることができる。本明細書では便宜上このような基板をアクティブマトリクス基板と呼ぶ。

【0081】

次に、アクティブマトリクス基板の画素部のみに配向膜 121 を選択的に形成する。配向膜 121 を選択的に形成する方法としては、スクリーン印刷法を用いてもよいし、配向膜を塗布後、シャドーマスクを用いてレジストマスクを形成して除去する方法を用いてもよい。通常、液晶表示素子の配向膜にはポリイミド樹脂が多く用いられている。

【0082】

次に、配向膜 121 にラビング処理を施して液晶分子がある一定のプレチルト角を持って配向するようにする。

【0083】

次いで、アクティブマトリクス基板と、対向電極 122 と配向膜 123 とが設けられた対向基板 124 とをスペーサで基板間隔を保持しながらシール剤により貼り合わせた後、アクティブマトリクス基板と対向基板の間に液晶材料 125 を注入する。液晶材料 125 は公知のものを適用すれば良く代表的には TN 液晶を用いる。液晶材料を注入した後、注入口は樹脂材料で封止する。

【0084】

次に、端子部の入力端子 101 にフレキシブルプリント配線板 (Flexible Printed Circuit: FPC) を接続する。FPC はポリイミドなどの有機樹脂フィルム 129 に銅配線 128 が形成されていて、異方性導電性接着剤で入力端子を覆う透明導電膜と接続する。異方性導電性接着剤は接着剤 126 と、その中に混入され金などがメッキされた数十 ~ 数百

10

20

30

40

50

$\mu\text{m}$ 径の導電性表面を有する粒子127により構成され、この粒子127が入力端子101上の透明導電膜と銅配線128とに接触することによりこの部分で電氣的な接触が形成される。さらに、この部分の機械的強度を高めるために樹脂層130を設ける。(図3(C))

#### 【0085】

図6はアクティブマトリクス基板の画素部と端子部の配置を説明する図である。基板210上には画素部211が設けられ、画素部にはゲート配線208とソース配線207が交差して形成され、これに接続するnチャンネル型TFT201が各画素に対応して設けられている。nチャンネル型TFT201のドレイン側には画素電極119及び保持容量202が接続し、保持容量202のもう一方の端子は容量配線209に接続している。nチャンネル型TFT201と保持容量202の構造は図3(B)で示すnチャンネル型TFT201と保持容量202と同じものとする。

10

#### 【0086】

基板の一方の端部には、走査信号を入力する入力端子部205が形成され、接続配線206によってゲート配線208に接続している。また、他の端部には画像信号を入力する入力端子部203が形成され、接続配線204によってソース配線207に接続している。ゲート配線208、ソース配線207、容量配線209は画素密度に応じて複数本設けられるものである。また、画像信号を入力する入力端子部212と接続配線213を設け、入力端子部203と交互にソース配線と接続させても良い。入力端子部203、205、212はそれぞれ任意な数で設ければ良いものとし、実施者が適宜決定すれば良い。

20

#### 【0087】

##### [実施例2]

図7は液晶表示装置の実装方法の一例である。液晶表示装置は、TFTが作製された基板301の端部には、入力端子部302が形成され、これは実施例1で示したようにゲート配線と同じ材料で形成される端子303で形成される。そして対向基板304とスペーサ306を内包するシール剤305により貼り合わされ、さらに偏光板307、308が設けられている。そして、スペーサ322によって筐体321に固定される。

#### 【0088】

なお、実施例1により得られる非晶質シリコン膜で活性層を形成したTFTは、電界効果移動度が小さく $1\text{cm}^2/\text{Vsec}$ 程度しか得られていない。そのために、画像表示を行うための駆動回路はICチップで形成され、TAB(tape automated bonding)方式やCOG(chip on glass)方式で実装されている。本実施例では、ICチップ313に駆動回路を形成し、TAB方式で実装する例を示す。これにはフレキシブルプリント配線板(Flexible Printed Circuit: FPC)が用いられ、FPCはポリイミドなどの有機樹脂フィルム309に銅配線310が形成されていて、異方性導電性接着剤で入力端子302と接続する。入力端子は配線303上に接して設けられた透明導電膜である。異方性導電性接着剤は接着剤311と、その中に混入され金などがメッキされた数十~数百 $\mu\text{m}$ 径の導電性表面を有する粒子312により構成され、この粒子312が入力端子302と銅配線310とに接触することにより、この部分で電氣的な接触が形成される。そしてこの部分の機械的強度を高めるために樹脂層318が設けられている。

30

40

#### 【0089】

ICチップ313はバンプ314で銅配線310に接続し、樹脂材料315で封止されている。そして銅配線310は接続端子316でその他の信号処理回路、増幅回路、電源回路などが形成されたプリント基板317に接続されている。そして、透過型の液晶表示装置では対向基板304に光源319と光導光体320が設けられてバックライトとして使用される。

#### 【0090】

##### [実施例3]

本実施例では、保護膜を形成した例を図6に示す。なお、本実施例は、実施例1の図3(B)の状態まで同一であるので異なる点について以下に説明する。また、図3(B)に対

50

応する箇所は同一の符号を用いた。

【0091】

まず、実施例1に従って図3(B)の状態を得た後、薄い無機絶縁膜を全面に形成する。この薄い無機絶縁膜としては、スパッタ法またはプラズマCVD法で形成する酸化シリコン膜、窒化シリコン膜、酸化窒化シリコン膜、酸化タンタル膜などの無機絶縁膜を用い、これらの材料から成る単層または積層構造として形成しても良い。

【0092】

次いで、第4のフォトリソグラフィ工程を行い、レジストマスクを形成し、エッチングにより不要な部分を除去して、画素TF T部においては絶縁膜402、端子部においては無機絶縁膜401をそれぞれ形成する。この無機絶縁膜401、402は、パッシベーション膜として機能する。また、端子部においては、第4のフォトリソグラフィ工程により薄い無機絶縁膜401を除去して、端子部の端子101上に形成された透明導電膜からなる第2の導電膜を露呈させる。

10

【0093】

こうして本実施例では、4回のフォトリソグラフィ工程により、4枚のフォトマスクを使用して、無機絶縁膜で保護された逆スタガ型のnチャネル型TF T、保持容量を完成させることができる。そして、これらを個々の画素に対応してマトリクス状に配置し、画素部を構成することによりアクティブマトリクス型の電気光学装置を作製するための一方の基板とすることができる。

【0094】

なお、本実施例は、実施例1または実施例2の構成と自由に組み合わせることが可能である。

20

【0095】

[実施例4]

実施例1では、絶縁膜、第1の非晶質半導体膜、n型を付与する不純物元素を含む第2の非晶質半導体膜、及び第1の導電膜をスパッタ法で積層形成した例を示したが、本実施例では、プラズマCVD法を用いた例を示す。

【0096】

本実施例では、絶縁膜、第1の非晶質半導体膜、及びn型を付与する不純物元素を含む第2の非晶質半導体膜をプラズマCVD法で形成した。

30

【0097】

本実施例では、絶縁膜として酸化窒化シリコン膜を用い、プラズマCVD法により150nmの厚さで形成する。この時、プラズマCVD装置において、電源周波数13~70MHz、好ましくは27~60MHzで行えばよい。電源周波数27~60MHzを使うことにより緻密な絶縁膜を形成することができ、ゲート絶縁膜としての耐圧を高めることができる。また、SiH<sub>4</sub>とNH<sub>3</sub>にN<sub>2</sub>Oを添加させて作製された酸化窒化シリコン膜は、膜中の固定電荷密度が低減されているので、この用途に対して好ましい材料となる。勿論、ゲート絶縁膜はこのような酸化窒化シリコン膜に限定されるものでなく、酸化シリコン膜、窒化シリコン膜、酸化タンタル膜などの他の絶縁膜を用い、これらの材料から成る単層または積層構造として形成しても良い。また、下層を窒化シリコン膜とし、上層を酸化シリコン膜とする積層構造としても良い。

40

【0098】

例えば、酸化シリコン膜を用いる場合には、プラズマCVD法で、オルトケイ酸テトラエチル(Tetraethyl Orthosilicate: TEOS)とO<sub>2</sub>とを混合し、反応圧力40Pa、基板温度250~350とし、高周波(13.56MHz)電力密度0.5~0.8W/cm<sup>2</sup>で放電させて形成することができる。このようにして作製された酸化シリコン膜は、その後300~400の熱アニールによりゲート絶縁膜として良好な特性を得ることができる。

【0099】

また、第1の非晶質半導体膜として、代表的には、プラズマCVD法で水素化非晶質シリコン(a-Si:H)膜を100nmの厚さに形成する。この時、プラズマCVD装置に

50

において、電源周波数 13 ~ 70 MHz、好ましくは 27 ~ 60 MHz で行えばよい。電源周波数 27 ~ 60 MHz を使うことにより成膜速度を向上することが可能となり、成膜された膜は、欠陥密度の少ない a - Si 膜となるため好ましい。その他、この第 1 の非晶質半導体膜には、微結晶半導体膜、非晶質シリコンゲルマニウム膜などの非晶質構造を有する化合物半導体膜を適用することも可能である。

【0100】

また、上記絶縁膜及び上記第 1 の非晶質半導体膜のプラズマ CVD 法による成膜において、100 ~ 100 kHz のパルス変調放電を行えば、プラズマ CVD 法の気相反応によるパーティクルの発生を防ぐことができ、成膜においてピンホールの発生を防ぐことができるため好ましい。

10

【0101】

また、本実施例では、一導電型の不純物元素を含有する半導体膜として、n 型を付与する不純物元素を含む第 2 の非晶質半導体膜を 20 ~ 80 nm の厚さで形成する。例えば、n 型の不純物元素を含有する a - Si : H 膜を形成すれば良く、そのためにシラン (SiH<sub>4</sub>) に対して 0.1 ~ 5 % の濃度でフォスフィン (PH<sub>3</sub>) を添加する。或いは、n 型を付与する不純物元素を含む第 2 の非晶質半導体膜 106 に代えて水素化微結晶シリコン膜 (μc - Si : H) を用いても良い。

【0102】

これらの膜は、反応ガスを適宜切り替えることにより、連続的に形成することができる。また、プラズマ CVD 装置において、同一の反応室または複数の反応室を用い、これらの膜を大気に晒すことなく連続して積層させることもできる。このように、大気に曝さないで連続成膜することで特に、第 1 の非晶質半導体膜への不純物の混入を防止することができる。

20

【0103】

なお、本実施例は、実施例 1 乃至 3 のいずれか一と組み合わせることが可能である。

【0104】

[実施例 5]

実施例 1 または実施例 4 では、絶縁膜、第 1 の非晶質半導体膜、n 型を付与する不純物元素を含む第 2 の非晶質半導体膜、第 1 の導電膜を順次、連続的に積層する例を示した。このように連続的に成膜する場合において使用する複数のチャンバーを備えた装置の一例を図 10 に示した。

30

【0105】

図 10 に本実施例で示す装置 (連続成膜システム) の上面からみた概要を示す。図 10 において、10 ~ 15 が気密性を有するチャンバーである。各チャンバーには、真空排気ポンプ、不活性ガス導入系が配置されている。

【0106】

10、15 で示されるチャンバーは、試料 (処理基板) 30 をシステムに搬入するためのロードロック室である。11 は絶縁膜 104 を成膜するための第 1 のチャンバーである。12 は第 1 の非晶質半導体膜 105 を成膜するための第 2 のチャンバーである。13 は n 型を付与する第 2 の非晶質半導体膜 106 を成膜するための第 3 のチャンバーである。14 は第 1 の導電膜 107 を成膜するための第 4 のチャンバーである。また、20 は各チャンバーに対して共通に配置された試料の共通室である。

40

【0107】

以下に動作の一例を示す。

【0108】

最初、全てのチャンバーは、一度高真空状態に真空引きされた後、さらに不活性ガス、ここでは窒素によりパージされている状態 (常圧) とする。また、全てのゲート弁 22 ~ 27 を閉鎖した状態とする。

【0109】

まず、処理基板は多数枚が収納されたカセット 28 ごとロードロック室 10 に搬入される

50



。カセットの搬入後、図示しないロードロック室の扉を閉鎖する。この状態において、ゲート弁22を開けてカセットから処理基板30を1枚取り出し、ロボットアーム21によって共通室20に取り出す。この際、共通室において位置合わせが行われる。なお、この基板30は実施例1に従って得られた配線101、102、103が形成されたものを用いた。

**【0110】**

ここでゲート弁22を閉鎖し、次いでゲート弁23を開ける。そして第1のチャンバー11へ処理基板30を移送する。第1のチャンバー内では150 から300 の温度で成膜処理を行い、絶縁膜104を得る。なお、絶縁膜としては、窒化珪素膜、酸化珪素膜、窒化酸化珪素膜、またはこれらの積層膜等を使用することができる。本実施例では単層の窒化珪素膜を採用しているが、二層または三層以上の積層構造としてもよい。なお、ここではプラズマCVD法が可能なチャンバーを用いたが、ターゲットを用いたスパッタ法が可能なチャンバーを用いても良い。

10

**【0111】**

絶縁膜の成膜終了後、処理基板はロボットアームによって共通室に引き出され、第2のチャンバー12に移送される。第2のチャンバー内では第1のチャンバーと同様に150 ~ 300 の温度で成膜処理を行い、プラズマCVD法で第1の非晶質半導体膜105を得る。なお、第1の非晶質半導体膜としては、微結晶半導体膜、非晶質ゲルマニウム膜、非晶質シリコンゲルマニウム膜、またはこれらの積層膜等を使用することができる。また、第1の非晶質半導体膜の形成温度を350 ~ 500 として水素濃度を低減するための熱処理を省略してもよい。なお、ここではプラズマCVD法が可能なチャンバーを用いたが、ターゲットを用いたスパッタ法が可能なチャンバーを用いても良い。

20

**【0112】**

第1の非晶質半導体膜の成膜終了後、処理基板は共通室に引き出され、第3のチャンバー13に移送される。第3のチャンバー内では第2のチャンバーと同様に150 ~ 300 の温度で成膜処理を行い、プラズマCVD法でn型を付与する不純物元素(PまたはAs)を含む第2の非晶質半導体膜106を得る。なお、ここではプラズマCVD法が可能なチャンバーを用いたが、ターゲットを用いたスパッタ法が可能なチャンバーを用いても良い。

30

**【0113】**

n型を付与する不純物元素を含む第2の非晶質半導体膜の成膜終了後、処理基板は共通室に引き出され、第4のチャンバー14に移送される。第4のチャンバー内では金属ターゲットを用いたスパッタ法で第1の導電膜107を得る。

**【0114】**

このようにして四層が連続的に成膜された被処理基板はロボットアームによってロードロック室15に移送されカセット29に収納される。

**【0115】**

なお、図10に示した装置は一例に過ぎないことはいうまでもない。また、本実施例は実施例1乃至4のいずれか一と自由に組み合わせることが必要である。

40

**【0116】****[実施例6]**

実施例5では、複数のチャンバーを用いて連続的に積層する例を示したが、本実施例では図11に示した装置を用いて一つのチャンバー内で高真空を保ったまま連続的に積層した。

**【0117】**

本実施例では図11に示した装置システムを用いた。図11において、40は処理基板、50は共通室、44、46はロードロック室、45はチャンバー、42、43はカセットである。本実施例では基板搬送時に生じる汚染を防ぐために同一チャンバーで積層形成した。

**【0118】**

50

本実施例は実施例 1 乃至 4 のいずれか一と自由に組み合わせることができる。

【0119】

ただし、実施例 1 に適用する場合には、チャンバー 45 に複数のターゲットを用意し、順次、反応ガスを入れ替えて絶縁膜 104、第 1 の非晶質半導体膜 105、n 型を付与する不純物元素を含む第 2 の非晶質半導体膜 106、第 1 の導電膜 107 を積層形成すればよい。

【0120】

また、実施例 4 に適用する場合には、順次、反応ガスを入れ替えて絶縁膜 104、第 1 の非晶質半導体膜 105、n 型を付与する不純物元素を含む第 2 の非晶質半導体膜 106 を積層形成すればよい。

10

【0121】

[実施例 7]

実施例 1 では、n 型を付与する不純物元素を含む第 2 の非晶質半導体膜をスパッタ法で形成した例を示したが、本実施例では、プラズマ CVD 法で形成する例を示す。なお、本実施例は n 型を付与する不純物元素を含む第 2 の非晶質半導体膜の形成方法以外は実施例 1 と同一であるため異なる点についてのみ以下に述べる。

【0122】

プラズマ CVD 法を用い、反応ガスとしてシラン ( $\text{SiH}_4$ ) に対して 0.1 ~ 5% の濃度でフォスフィン ( $\text{PH}_3$ ) を添加すれば、n 型を付与する不純物元素を含む第 2 の非晶質半導体膜を得ることができる。

20

【0123】

[実施例 8]

実施例 7 では、n 型を付与する不純物元素を含む第 2 の非晶質半導体膜をプラズマ CVD 法で形成した例を示したが、本実施例では、n 型を付与する不純物元素を含む微結晶半導体膜を用いた例を示す。

【0124】

形成温度を 80 ~ 300、好ましくは 140 ~ 200 とし、水素で希釈したシランガス ( $\text{SiH}_4 : \text{H}_2 = 1 : 10 \sim 100$ ) とフォスフィン ( $\text{PH}_3$ ) との混合ガスを反応ガスとし、ガス圧を 0.1 ~ 10 Torr、放電電力を 10 ~ 300 mW/cm<sup>2</sup> とすることで微結晶珪素膜を得ることができる。また、この微結晶珪素膜成膜後にリンをプラズマドーピングして形成してもよい。

30

【0125】

[実施例 9]

図 12 は COG 方式を用いて、電気光学装置の組み立てる様子を模式的に示す図である。第 1 の基板には画素領域 803、外部入出力端子 804、接続配線 805 が形成されている。点線で囲まれた領域は、走査線側の IC チップ貼り合わせ領域 801 とデータ線側の IC チップ貼り合わせ領域 802 である。第 2 の基板 808 には対向電極 809 が形成され、シール材 810 で第 1 の基板 800 と貼り合わせる。シール材 810 の内側には液晶が封入され液晶層 811 を形成する。第 1 の基板と第 2 の基板とは所定の間隔を持って貼り合わせるが、ネマチック液晶の場合には 3 ~ 8 μm、スメチック液晶の場合には 1 ~ 4

40

【0126】

IC チップ 806、807 は、データ線側と走査線側とで回路構成が異なる。IC チップは第 1 の基板に実装する。外部入出力端子 804 には、外部から電源及び制御信号を入力するための FPC (フレキシブルプリント配線板: Flexible Printed Circuit) 812 を貼り付ける。FPC 812 の接着強度を高めるために補強板 813 を設けても良い。こうして電気光学装置を完成させることができる。IC チップは第 1 の基板に実装する前に電気検査を行えば電気光学装置の最終工程での歩留まりを向上させることができ、また、信頼性を高めることができる。

【0127】

50

また、ICチップを第1の基板上に実装する方法は、異方性導電材を用いた接続方法やワイヤボンディング方式などを採用することができる。図13にその一例を示す。図13(A)は第1の基板901にICチップ908が異方性導電材を用いて実装する例を示している。第1の基板901上には画素領域902、引出線906、接続配線及び入出力端子907が設けられている。第2の基板はシール材904で第1の基板901と接着されており、その間に液晶層905が設けられている。

【0128】

また、接続配線及び入出力端子907の一方の端にはFPC912が異方性導電材で接着されている。異方性導電材は樹脂915と表面にAuなどがメッキされた数十～数百 $\mu\text{m}$ 径の導電性粒子914から成り、導電性粒子914により接続配線及び入出力端子907とFPC912に形成された配線913とが電氣的に接続されている。ICチップ908も同様に異方性導電材で第1の基板に接着され、樹脂911中に混入された導電性粒子910により、ICチップ908に設けられた入出力端子909と引出線906または接続配線及び入出力端子907と電氣的に接続されている。

10

【0129】

また、図13(B)で示すように第1の基板にICチップを接着材916で固定して、Auワイヤ917によりスティックドライバの入出力端子と引出線または接続配線とを接続しても良い。そして樹脂918で封止する。

【0130】

ICチップの実装方法は図12及び図13を基にした方法に限定されるものではなく、ここで説明した以外にも公知のCOG方法やワイヤボンディング方法、或いはTAB方法を用いることが可能である。

20

【0131】

本実施例は実施例1、3乃至8のいずれか一と自由に組み合わせることが可能である。

【0132】

[実施例10]

実施例1では透過型の電気光学装置に対応するアクティブマトリクス基板の作製方法を示したが、本実施例では図14、図15を用いて、反射型の液晶表示装置に適用する例について示す。図14は断面図であり、図15は上面図であり、図15中の鎖線G-G'で切断した面での断面構造とH-H'で切断した面での断面構造を図14に示した。

30

【0133】

まず、絶縁表面を有する基板を用意する。本実施例は、基板としてガラス基板、石英基板、プラスチック基板のような透光性を有する基板の他に、反射型であるため、半導体基板、ステンレス基板、セラミック基板などに絶縁膜を形成したものでよい。

【0134】

次いで、基板上に金属材料からなる導電膜を形成した後、第1のマスク(フォトマスク1枚目)でゲート配線600及び凸部601形成する。この凸部は、ゲート配線とソース配線とで囲まれた領域、即ち画素電極が形成されて表示領域となる領域に配置する。なお、凸部601の形状は特に限定されず、径方向の断面が多角形であってもよいし、左右対称でない形状であってもよい。例えば、凸部601の形状は円柱状や角柱状であってもよいし、円錐状や角錐状であってもよい。また、凸部601を規則的に配置しても不規則に配置してもよい。本実施例ではゲート配線がテーパー形状であることが望ましいため、凸部601もテーパー形状を有する角錐形状となった。

40

【0135】

次いで、絶縁膜(ゲート絶縁膜)602、第1の非晶質半導体膜、n型を付与する不純物元素を含む第2の非晶質半導体膜、及び第1の導電膜を順次、積層形成する。なお、非晶質半導体膜に代えて微結晶半導体膜を用いてもよいし、n型を付与する不純物元素を含む非晶質半導体膜に代えてn型を付与する不純物元素を含む微結晶半導体膜を用いてもよい。さらに、これらの膜はスパッタ法やプラズマCVD法を用いて複数のチャンバー内または同一チャンバー内で連続的に大気に曝すことなく形成することができる。大気に曝さな

50

いようにすることで不純物の混入を防止できる。

【0136】

上記絶縁膜602は、凸部601が形成された基板上に形成され、表面に凸凹を有している。

【0137】

次いで、第2のマスク（フォトマスク2枚目）で上記第1の導電膜をパターニングして第1の導電膜からなる配線（後にソース配線及び電極（ドレイン電極）となる）を形成し、上記第2の非晶質半導体膜をパターニングしてn型を付与する不純物元素を含む第2の非晶質半導体膜を形成し、上記第1の非晶質半導体膜をパターニングして第1の非晶質半導体膜を形成する。

10

【0138】

その後、全面に第2の導電膜を成膜する。なお、第2の導電膜としては、反射性を有する導電膜を用いる。

【0139】

次いで、第3のマスク（フォトマスク3枚目）で上記第2の導電膜をパターニングして第2の導電膜からなる画素電極604を形成し、上記配線をパターニングしてソース配線608及び電極（ドレイン電極）609を形成し、n型を付与する不純物元素を含む第2の非晶質半導体膜をパターニングしてn型を付与する不純物元素を含む第2の非晶質半導体膜からなるソース領域606及びドレイン領域607を形成し、上記第1の非晶質半導体膜を一部除去して第1の非晶質半導体膜605を形成する。

20

【0140】

こうして、凸部601上に形成された絶縁膜の表面は凸凹を有し、この凸凹を表面に有する絶縁膜602上に画素電極604が形成されるので、画素電極604の表面に凹凸を持たせて光散乱性を図ることができる。

【0141】

また、本実施例の構成とすることで、画素TFT部の作製する際、フォトリソグラフィ技術で使用するフォトマスクの数を3枚とすることができる。従来では、凸凹部を形成する工程を増やす必要があったが、本実施例はゲート配線と同時に凸部を作製するため、全く工程を増やすことなく画素電極に凸凹部を形成することができた。

【0142】

なお、本実施例は実施例2乃至8のいずれか一と自由に組み合わせることができる。

30

【0143】

[実施例11]

本実施例は、基板としてプラスチック基板（或いはプラスチックフィルム）を用いた例を示す。なお、本実施例は基板としてプラスチック基板を用いること以外は実施例1とほぼ同一であるため異なる点についてのみ以下に述べる。

【0144】

プラスチック基板の材料としてはPES（ポリエチレンサルファイド）、PC（ポリカーボネート）、PET（ポリエチレンテレフタレート）もしくはPEN（ポリエチレンナフタレート）を用いることができる。

40

【0145】

プラスチック基板を用いて実施例1に従って作製すればアクティブマトリクス基板が完成する。ただし、絶縁膜、第1の非晶質半導体膜、及びn型を付与する不純物元素を含む第2の非晶質半導体膜は、成膜温度が比較的低温であるスパッタ法で形成することが望ましい。

【0146】

プラスチック基板上に特性の良好なTFTを設けることができるとともに、さらなる表示装置の軽量化を図ることができる。また、基板がプラスチックであるため、フレキシブルな電気光学装置にすることも可能である。また、組み立てが容易となる。

【0147】

50

なお、本実施例は、実施例 1 ~ 3、9、10 のいずれか一と自由に組合せることができる。

【0148】

[実施例 12]

本実施例では、画素電極と同じ材料膜を利用して画素部以外の領域に保護回路を設ける例を図 16 を用いて示す。

【0149】

図 16 (A) において、701 は配線であり、画素部から延長されたゲート配線またはソース配線または容量配線を示している。また、第 2 の導電膜からなる電極 701 は、配線 701 が形成されていない領域を埋めるように、且つ配線 701 と重ならないように形成される。本実施例は、マスクを増やすことなく保護回路を形成する例を示したが、特に図 16 (A) の構成に限定されないことは言うまでもない。例えば、マスクを増やして保護ダイオードや TFT で保護回路を形成してもよい。

10

【0150】

また、図 16 (B) は等価回路図を示している。

【0151】

このような構成とすることで、製造工程において製造装置と絶縁体基板との摩擦による静電気の発生を防止することができる。特に、製造工程で行われる液晶配向処理のラビング時に発生する静電気から TFT 等を保護することができる。

【0152】

20

なお、本実施例は実施例 1 乃至 11 のいずれか一と自由に組み合わせることができる。

【0153】

[実施例 13]

上記各実施例 1 乃至 12 のいずれか一を実施して形成されたボトムゲート型 TFT は様々な電気光学装置（アクティブマトリクス型液晶ディスプレイ、アクティブマトリクス型 EL ディスプレイ、アクティブマトリクス型 EC ディスプレイ）に用いることができる。即ち、それら電気光学装置を表示部に組み込んだ電子機器全てに本願発明を実施できる。

【0154】

その様な電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクター（リア型またはフロント型）、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、カーナビゲーション、カーステレオ、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）などが挙げられる。それらの一例を図 17 及び図 18 に示す。

30

【0155】

図 17 (A) はパーソナルコンピュータであり、本体 2001、画像入力部 2002、表示部 2003、キーボード 2004 等を含む。本発明を表示部 2003 に適用することができる。

【0156】

図 17 (B) はビデオカメラであり、本体 2101、表示部 2102、音声入力部 2103、操作スイッチ 2104、バッテリー 2105、受像部 2106 等を含む。本発明を表示部 2102 に適用することができる。

40

【0157】

図 17 (C) はモバイルコンピュータ（モバイルコンピュータ）であり、本体 2201、カメラ部 2202、受像部 2203、操作スイッチ 2204、表示部 2205 等を含む。本発明は表示部 2205 に適用できる。

【0158】

図 17 (D) はゴーグル型ディスプレイであり、本体 2301、表示部 2302、アーム部 2303 等を含む。本発明は表示部 2302 に適用することができる。

【0159】

図 17 (E) はプログラムを記録した記録媒体（以下、記録媒体と呼ぶ）を用いるプレー

50

ヤーであり、本体 2401、表示部 2402、スピーカ部 2403、記録媒体 2404、操作スイッチ 2405 等を含む。なお、このプレーヤーは記録媒体として DVD (Digital Versatile Disc)、CD 等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本発明は表示部 2402 に適用することができる。

【0160】

図 17 (F) はデジタルカメラであり、本体 2501、表示部 2502、接眼部 2503、操作スイッチ 2504、受像部 (図示しない) 等を含む。本願発明を表示部 2502 に適用することができる。

【0161】

図 18 (A) は携帯電話であり、本体 2901、音声出力部 2902、音声入力部 2903、表示部 2904、操作スイッチ 2905、アンテナ 2906 等を含む。本願発明を表示部 2904 に適用することができる。

【0162】

図 18 (B) は携帯書籍 (電子書籍) であり、本体 3001、表示部 3002、3003、記憶媒体 3004、操作スイッチ 3005、アンテナ 3006 等を含む。本発明は表示部 3002、3003 に適用することができる。

【0163】

図 18 (C) はディスプレイであり、本体 3101、支持台 3102、表示部 3103 等を含む。本発明は表示部 3103 に適用することができる。本発明のディスプレイは特に大画面化した場合において有利であり、対角 10 インチ以上 (特に 30 インチ以上) のディスプレイには有利である。

【0164】

以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例 1 ~ 12 のどのような組み合わせからなる構成を用いても実現することができる。

【0165】

【発明の効果】

本発明により、3 回のフォトリソグラフィ工程により、3 枚のフォトマスクを使用して、逆スタガ型の n チャネル型 TFT を有する画素 TFT 部、及び保持容量を備えた電気光学装置を実現することができる。

【0166】

また、保護膜を形成した場合においては、4 回のフォトリソグラフィ工程により、4 枚のフォトマスクを使用して、無機絶縁膜で保護された逆スタガ型の n チャネル型 TFT を有する画素 TFT 部、及び保持容量を備えた電気光学装置を実現することができる。

【図面の簡単な説明】

【図 1】 本願発明の上面図を示す図。

【図 2】 アクティブマトリクス基板の作製工程を示す断面図。

【図 3】 アクティブマトリクス基板の作製工程を示す断面図。

【図 4】 アクティブマトリクス基板の作製工程を示す上面図。

【図 5】 アクティブマトリクス基板の作製工程を示す上面図。

【図 6】 液晶表示装置の画素部と入力端子部の配置を説明する上面図。

【図 7】 液晶表示装置の実装構造を示す断面図。

【図 8】 液晶表示装置の断面図。

【図 9】 入力端子部の上面図及び断面図。

【図 10】 製造装置の上面図。

【図 11】 製造装置の上面図。

【図 12】 液晶表示装置の実装を示す図。

【図 13】 液晶表示装置の実装構造を示す断面図。

【図 14】 反射型の電気光学装置の構造断面図。

10

20

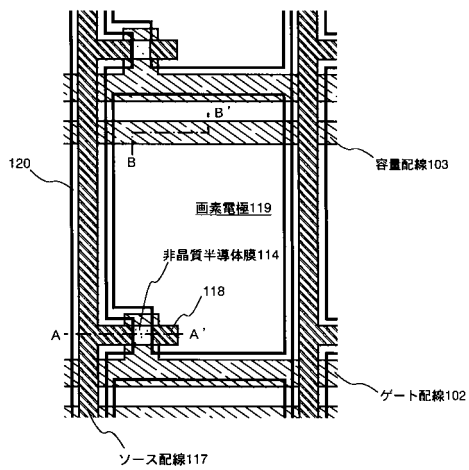
30

40

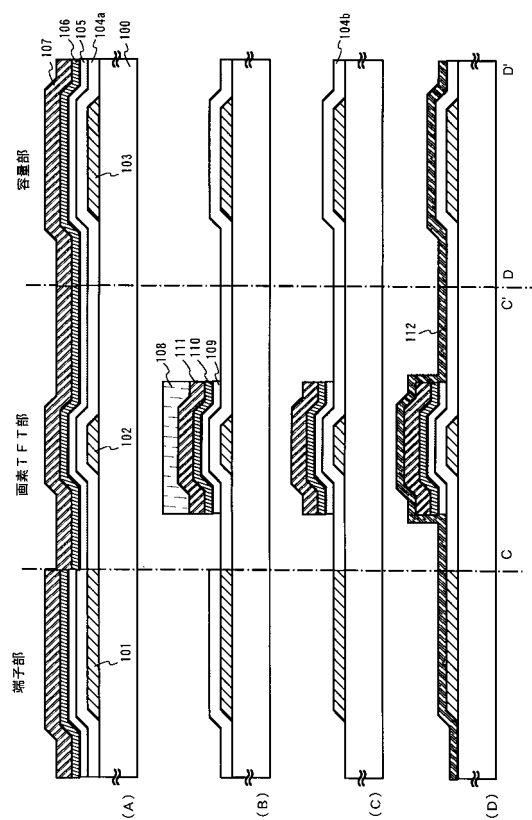
50

- 【図15】 反射型の電気光学装置の上面図。
- 【図16】 保護回路の上面図及び回路図。
- 【図17】 電子機器の一例を示す図。
- 【図18】 電子機器の一例を示す図。

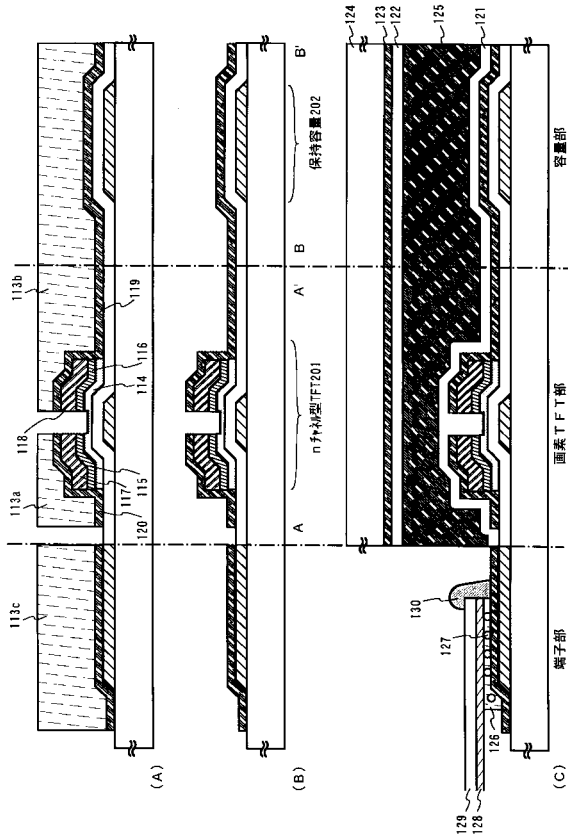
【図1】



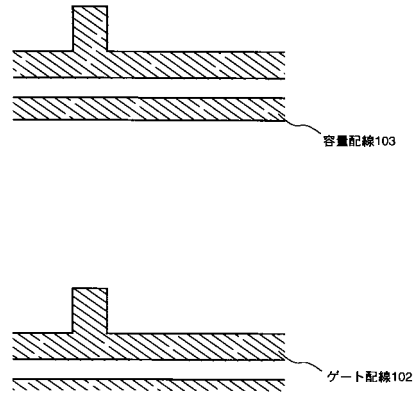
【図2】



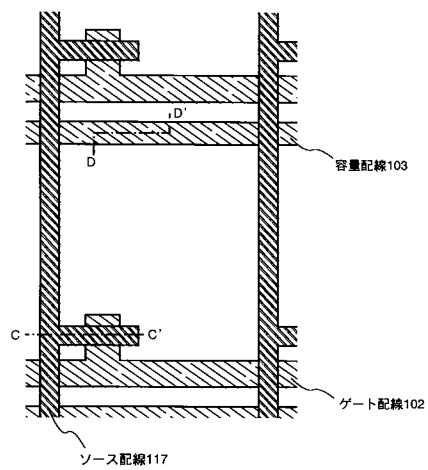
【図3】



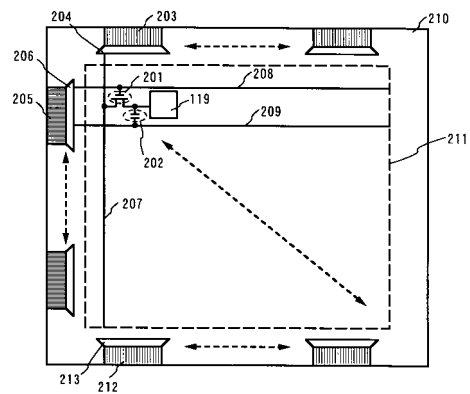
【図4】



【図5】

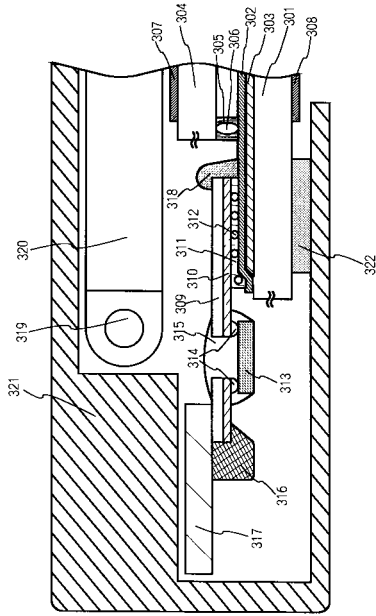


【図6】

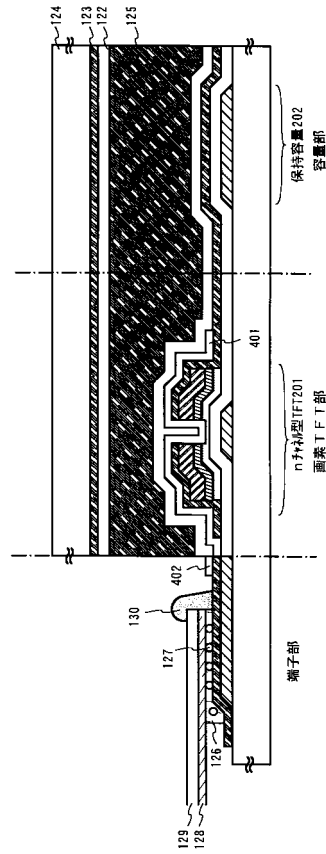




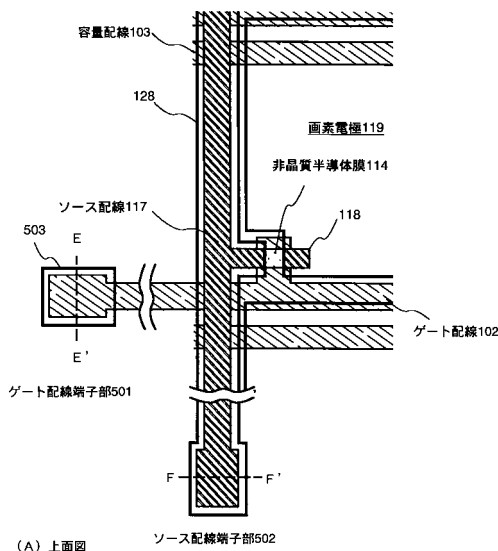
【図7】



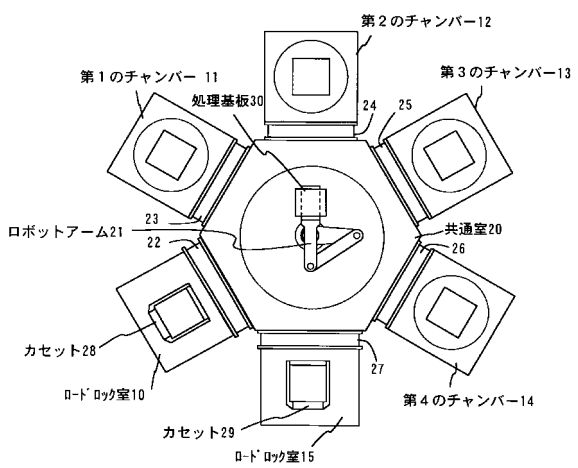
【図8】



【図9】



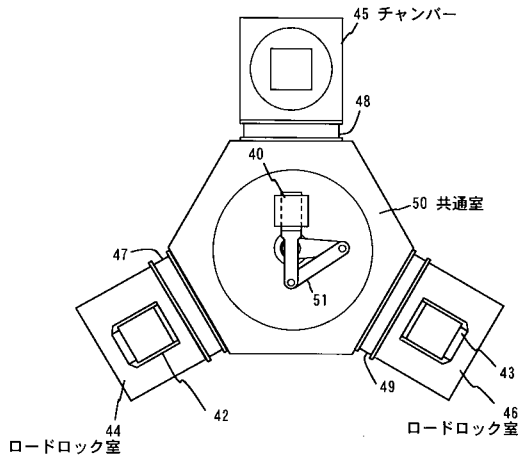
【図10】



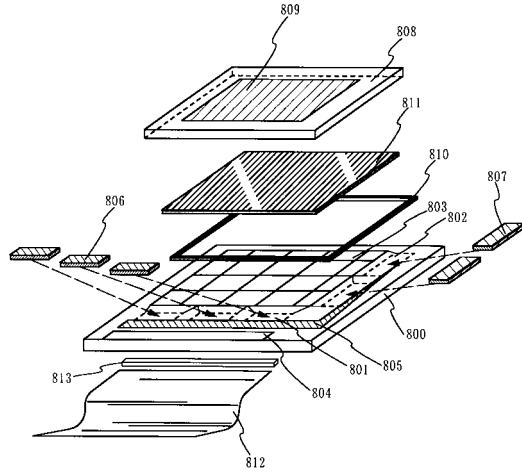
(A) 上面図

(B) 断面図

【図11】

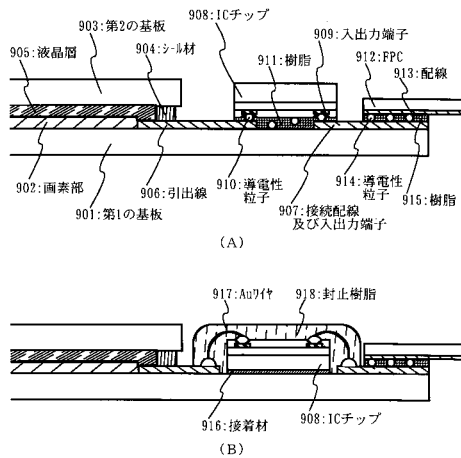


【図12】

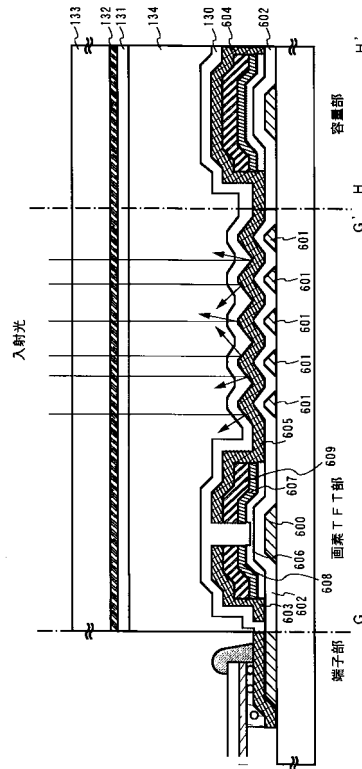


800:第1の基板、801:ICチップ貼り合わせ領域(シールド線)、  
 802:ICチップ貼り合わせ領域(走査線)、803:画素領域、  
 804:入力端子、805:接続配線、806、807:ICチップ、  
 808:第2の基板、809:共通電極、810:シールド材、811:液晶、  
 812:FPC、813:補強板

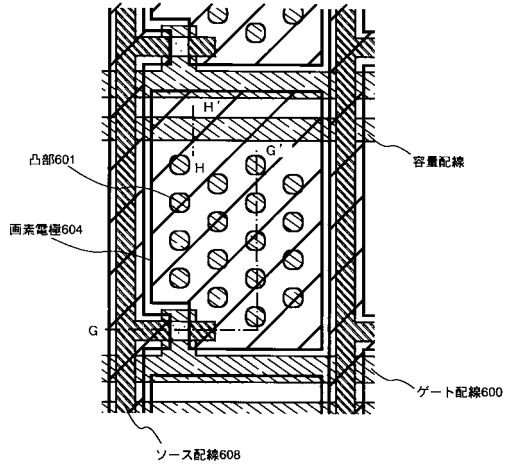
【図13】



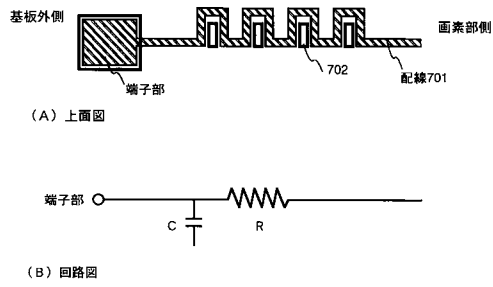
【図14】



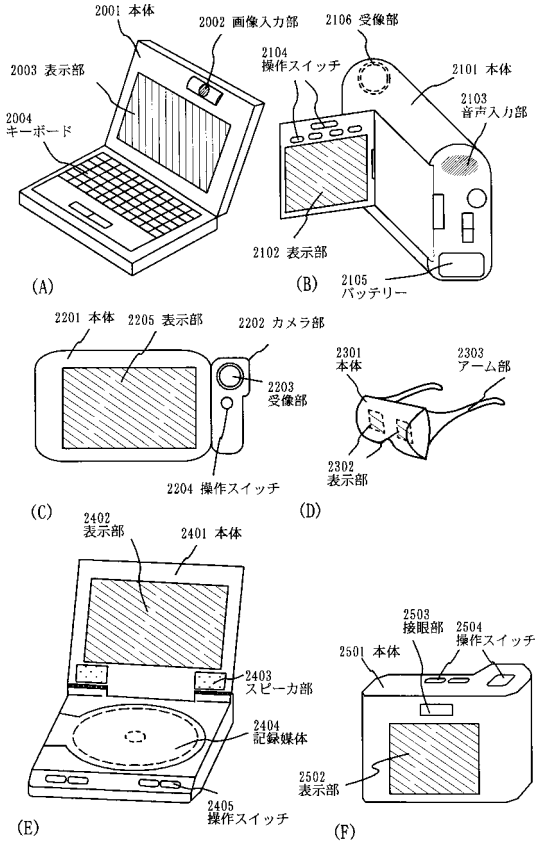
【図15】



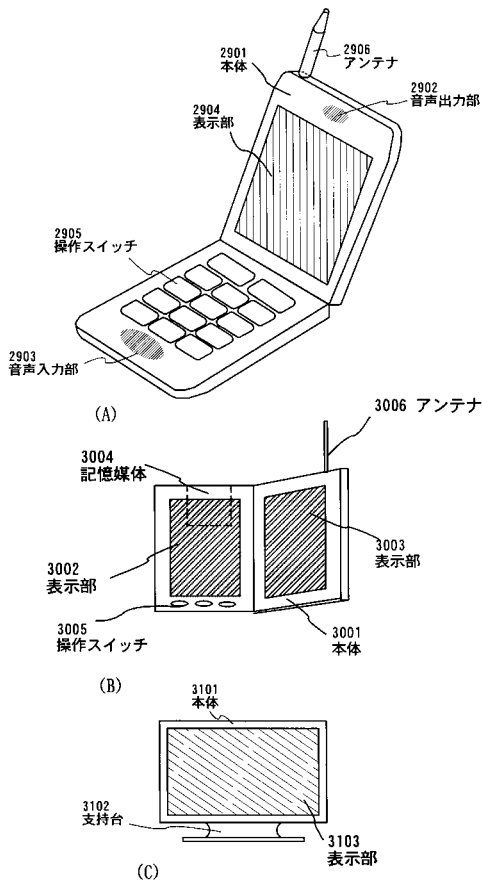
【図16】



【図17】



【図18】



---

フロントページの続き

- (56)参考文献 特開平05 - 175500 (JP, A)  
特開平08 - 087033 (JP, A)  
特開平07 - 159776 (JP, A)  
特開平10 - 221704 (JP, A)  
特開平06 - 045354 (JP, A)  
特開平06 - 148683 (JP, A)  
特開平11 - 133455 (JP, A)  
特開平11 - 160735 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 29/786  
H01L 21/336  
G02F 1/1368  
G09F 9/30