



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2021-0108466
(43) 공개일자 2021년09월02일

- (51) 국제특허분류(Int. Cl.)
G06F 3/06 (2006.01) G06F 13/16 (2006.01)
G06F 9/22 (2018.01) G06F 9/448 (2018.01)
- (52) CPC특허분류
G06F 3/0659 (2013.01)
G06F 13/10 (2013.01)
- (21) 출원번호 10-2021-7024190
- (22) 출원일자(국제) 2019년05월05일
심사청구일자 2021년07월29일
- (85) 번역문제출일자 2021년07월29일
- (86) 국제출원번호 PCT/CN2019/085504
- (87) 국제공개번호 WO 2020/223849
국제공개일자 2020년11월12일

- (71) 출원인
양쯔 메모리 테크놀로지스 씨오., 엘티디.
중국, 후베이, 우한, 이스트 레이크 하이-테크 디벨롭먼트 존, 웨이라이 씨드 로드, 넘버 88
- (72) 발명자
장 황 평
중국 430074 후베이 우한 이스트 레이크 디벨롭먼트 존 관동 사이언스 앤드 테크놀로지 인더스트리얼 파크 화광 로드 넘버 18 룸 7018
- 푸 상
중국 430074 후베이 우한 이스트 레이크 디벨롭먼트 존 관동 사이언스 앤드 테크놀로지 인더스트리얼 파크 화광 로드 넘버 18 룸 7018
(뒷면에 계속)
- (74) 대리인
유미특허법인

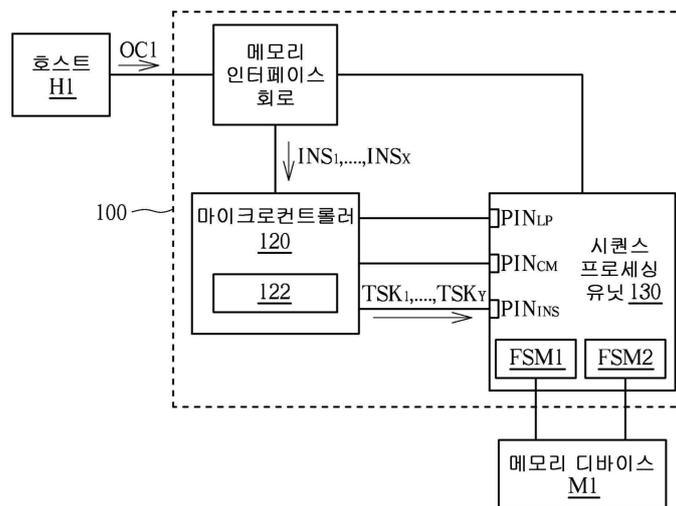
전체 청구항 수 : 총 16 항

(54) 발명의 명칭 시퀀스 프로세싱 유닛이 있는 메모리 제어 시스템

(57) 요약

메모리 제어 시스템은 메모리 인터페이스, 마이크로컨트롤러 및 시퀀스 프로세싱 유닛을 포함한다. 메모리 인터페이스 회로는 메모리 동작 커맨드를 수신하고 메모리 동작 커맨드에 따라 복수의 동작 명령을 생성한다. 마이크로컨트롤러는 메모리 인터페이스 회로에 연결된다. 마이크로컨트롤러는 복수의 동작 명령을 수신하고 미리 결정된 프로토콜을 통해 스케줄링 알고리즘에 따라 복수의 태스크 명령을 생성한다. 시퀀스 프로세싱 유닛은 마이크로컨트롤러에 연결된다. 시퀀스 프로세싱 유닛은 미리 결정된 프로토콜을 통해 복수의 태스크 명령을 수신하고, 시퀀스 프로세싱 유닛의 적어도 하나의 유한 상태 머신으로 복수의 태스크 명령에 따라 메모리 디바이스의 복수의 회로를 제어한다.

대표도 - 도1



(52) CPC특허분류

G06F 13/1668 (2013.01)

G06F 3/0604 (2013.01)

G06F 3/0656 (2013.01)

G06F 3/0658 (2013.01)

G06F 3/0673 (2013.01)

G06F 9/223 (2013.01)

G06F 9/4498 (2018.02)

(72) 발명자

왕 치

중국 430074 후베이 우한 이스트 레이크 디벨롭먼트 존 관동 사이언스 앤드 테크놀로지 인더스트리얼 파크 화광 로드 넘버 18 룸 7018

두 지 차우

중국 430074 후베이 우한 이스트 레이크 디벨롭먼트 존 관동 사이언스 앤드 테크놀로지 인더스트리얼 파크 화광 로드 넘버 18 룸 7018

차오 후어 민

중국 430074 후베이 우한 이스트 레이크 디벨롭먼트 존 관동 사이언스 앤드 테크놀로지 인더스트리얼 파크 화광 로드 넘버 18 룸 7018

황 신 연

중국 430074 후베이 우한 이스트 레이크 디벨롭먼트 존 관동 사이언스 앤드 테크놀로지 인더스트리얼 파크 화광 로드 넘버 18 룸 7018

동 웬 웬

중국 430074 후베이 우한 이스트 레이크 디벨롭먼트 존 관동 사이언스 앤드 테크놀로지 인더스트리얼 파크 화광 로드 넘버 18 룸 7018

수 슈 빙

중국 430074 후베이 우한 이스트 레이크 디벨롭먼트 존 관동 사이언스 앤드 테크놀로지 인더스트리얼 파크 화광 로드 넘버 18 룸 7018

명세서

청구범위

청구항 1

메모리 제어 시스템으로서,

메모리 동작 커맨드를 수신하고 상기 메모리 동작 커맨드에 따라 복수의 동작 명령을 생성하도록 구성된 메모리 인터페이스 회로;

상기 메모리 인터페이스 회로에 결합되고, 상기 복수의 동작 명령을 수신하고 미리 결정된 프로토콜을 통해 스케줄링 알고리즘에 따라 복수의 태스크 명령을 생성하도록 구성된 마이크로컨트롤러; 및

상기 마이크로컨트롤러에 결합되고, 적어도 하나의 유한 상태 머신(finite state machine)을 포함하고, 상기 미리 결정된 프로토콜을 통해 복수의 태스크 명령을 수신하고, 상기 적어도 하나의 유한 상태 머신으로 상기 복수의 태스크 명령에 따라 메모리 디바이스의 복수의 회로를 제어하도록 구성된 시퀀스 프로세싱 유닛(sequence processing unit)

을 포함하는 메모리 제어 시스템.

청구항 2

제1항에 있어서,

상기 메모리 인터페이스 회로 및 상기 마이크로컨트롤러는 표준 버스 프로토콜을 통해 통신하는, 메모리 제어 시스템.

청구항 3

제1항에 있어서,

상기 시퀀스 프로세싱 유닛은 부하 핀(load pin) 및 동작 명령 핀(operation instruction pin)을 더 포함하고; 그리고

상기 시퀀스 프로세싱 유닛은 상기 부하 핀의 전압이 상기 마이크로컨트롤러에 의해 높아질 때 태스크 명령을 수신하는, 메모리 제어 시스템.

청구항 4

제3항에 있어서,

상기 시퀀스 프로세싱 유닛은 완료 핀(completion pin)을 더 포함하고; 그리고

상기 태스크 명령이 수행되었을 때, 상기 시퀀스 프로세싱 유닛은 상기 완료 핀의 전압을 높여 상기 마이크로컨트롤러에 통지하는, 메모리 제어 시스템.

청구항 5

제1항에 있어서,

상기 메모리 디바이스는 비휘발성 메모리(non-volatile memory, NVM)인, 메모리 제어 시스템.

청구항 6

제1항에 있어서,

상기 메모리 디바이스의 복수의 회로는 차지 펌프(charge pump), 전력 레귤레이터(power regulator), 어드레스 디코더(address decoder), 및/또는 감지 증폭기(sense amplifier)를 포함하는, 메모리 제어 시스템.

청구항 7

제1항에 있어서,

상기 마이크로컨트롤러는 상기 복수의 태스크 명령의 순서를 변경하기 위해 상기 스케줄링 알고리즘을 업데이트 하도록 추가로 구성되는, 메모리 제어 시스템.

청구항 8

제1항에 있어서,

상기 시퀀스 프로세싱 유닛은 상기 메모리 인터페이스 회로에 추가로 결합되고; 그리고

상기 메모리 제어 시스템의 테스트 모드에서, 상기 메모리 인터페이스 회로는 상기 메모리 디바이스에 직접 액세스하도록 상기 시퀀스 프로세싱 유닛을 제어하는, 메모리 제어 시스템.

청구항 9

제1항에 있어서,

상기 메모리 인터페이스 회로, 상기 마이크로컨트롤러 및 상기 시퀀스 프로세싱 유닛은 동일한 칩에 배치되는, 메모리 제어 시스템.

청구항 10

메모리 제어 시스템 작동 방법으로서,

상기 메모리 제어 시스템은 메모리 인터페이스 회로, 마이크로컨트롤러, 및 적어도 하나의 유한 상태 머신을 포함하는 시퀀스 프로세싱 유닛을 포함하며,

상기 메모리 제어 시스템 작동 방법은:

상기 메모리 인터페이스 회로가 메모리 동작 커맨드에 따라 복수의 동작 명령을 생성하는 단계;

상기 마이크로컨트롤러가 상기 복수의 동작 명령을 수신하는 단계;

상기 마이크로컨트롤러가 미리 결정된 프로토콜을 통해 스케줄링 알고리즘에 따라 태스크 명령을 생성하는 단계;

상기 시퀀스 프로세싱 유닛이 상기 미리 결정된 프로토콜을 통해 복수의 태스크 명령을 수신하는 단계; 및

상기 시퀀스 프로세싱 유닛이 상기 적어도 하나의 유한 상태 머신으로 상기 복수의 태스크 명령에 따라 메모리 디바이스의 복수의 회로를 제어하는 단계

를 포함하는 메모리 제어 시스템 작동 방법.

청구항 11

제10항에 있어서,

상기 메모리 인터페이스 회로 및 상기 마이크로컨트롤러는 표준 버스 프로토콜을 통해 통신하는, 메모리 제어 시스템 작동 방법.

청구항 12

제10항에 있어서,

상기 시퀀스 프로세싱 유닛은 부하 핀(load pin) 및 동작 명령 핀(operation instruction pin)을 더 포함하고; 그리고 상기 메모리 제어 시스템 작동 방법은:

상기 시퀀스 프로세싱 유닛은 상기 부하 핀의 전압이 상기 마이크로컨트롤러에 의해 높아질 때 태스크 명령을 수신하는 단계;

상기 마이크로컨트롤러가 상기 부하 핀의 전압을 높이는 단계; 및

상기 시퀀스 프로세싱 유닛이 상기 부하 핀의 전압이 높을 때 태스크 명령을 수신하는 단계

를 더 포함하는 메모리 제어 시스템 작동 방법.

청구항 13

제12항에 있어서,

상기 시퀀스 프로세싱 유닛은 완료 핀(completion pin)을 더 포함하고, 그리고 메모리 제어 시스템 작동 방법은:

상기 태스크 명령이 수행되었을 때, 상기 시퀀스 프로세싱 유닛은 상기 완료 핀의 전압을 높여 상기 마이크로컨트롤러에 통지하는 단계

를 더 포함하는 메모리 제어 시스템 작동 방법.

청구항 14

제10항에 있어서,

상기 메모리 디바이스의 복수의 회로는 차지 펌프(charge pump), 전력 레귤레이터(power regulator), 어드레스 디코더(address decoder), 및/또는 감지 증폭기(sense amplifier)를 포함하는, 메모리 제어 시스템 작동 방법.

청구항 15

제10항에 있어서,

상기 복수의 태스크 명령의 순서를 변경하기 위해 상기 마이크로컨트롤러의 스케줄링 알고리즘을 업데이트하는 단계

를 더 포함하는 메모리 제어 시스템 작동 방법.

청구항 16

제10항에 있어서,

상기 메모리 제어 시스템의 테스트 모드에서, 상기 메모리 인터페이스 회로가 상기 메모리 디바이스에 직접 액세스하도록 상기 시퀀스 프로세싱 유닛을 제어하는 단계

를 더 포함하는 메모리 제어 시스템 작동 방법.

발명의 설명

기술 분야

[0001] 본 발명은 메모리 제어 시스템에 관한 것이며, 특히 시퀀스 프로세싱 유닛이 있는 메모리 제어 시스템에 관한 것이다.

배경 기술

[0002] 프로그램 동작 및 읽기 동작과 같은 메모리 동작은 일반적으로 복잡한 신호 제어 및 어드레스 디코딩을 포함하므로 메모리는 일반적으로 내부 메모리 제어 아키텍처를 통해 액세스된다. 기존의 메모리 제어 아키텍처는 일반적으로 차지 펌프, 전력 레귤레이터, 어드레스 디코더 및 감지 증폭기 제어와 같은 복잡한 제어를 처리하기 위해 마이크로컨트롤러를 기반으로 한다.

[0003] 그러나 마이크로컨트롤러가 필요로 하는 페치, 디코딩 및 실행의 주기와 같은 규칙적인 처리 절차로 인해 마이크로컨트롤러의 리소스 활용률 및 성능은 다소 낮다. 또한, 메모리 제어의 개발은 직관적으로 읽을 수 없는 동작 명령을 기반으로 하기 때문에 유지 보수 또는 업데이트가 어렵다.

발명의 내용

[0004] 본 발명의 일 실시예는 메모리 제어 시스템을 개시한다. 메모리 제어 시스템은 메모리 인터페이스 회로, 마이크로컨트롤러 및 시퀀스 프로세싱 유닛을 포함한다.

[0005] 메모리 인터페이스 회로는 메모리 동작 커맨드를 수신하고, 메모리 동작 커맨드에 따라 복수의 동작 명령을 생

성한다. 마이크로컨트롤러는 메모리 인터페이스 회로에 결합된다. 마이크로컨트롤러는 복수의 동작 명령을 수신하고, 미리 결정된 프로토콜을 통해 스케줄링 알고리즘에 따라 복수의 태스크 명령을 생성한다. 시퀀스 프로세싱 유닛은 마이크로컨트롤러에 결합되고, 적어도 하나의 유한 상태 머신을 포함한다. 시퀀스 프로세싱 유닛은 미리 결정된 프로토콜을 통해 복수의 태스크 명령을 수신하고, 적어도 하나의 유한 상태 머신으로 복수의 태스크 명령에 따라 메모리 디바이스의 복수의 회로를 제어한다.

[0006] 본 발명의 다른 실시예는 메모리 제어 시스템 동작 방법을 개시한다. 메모리 제어 시스템은 메모리 인터페이스 회로, 마이크로컨트롤러 및 시퀀스 프로세싱 유닛을 포함한다. 시퀀스 프로세싱 유닛은 적어도 하나의 유한 상태 머신을 포함한다.

[0007] 방법은 상기 메모리 인터페이스 회로가 메모리 동작 커맨드에 따라 복수의 동작 명령을 생성하는 단계; 상기 마이크로컨트롤러가 상기 복수의 동작 명령을 수신하는 단계; 상기 마이크로컨트롤러가 미리 결정된 프로토콜을 통해 스케줄링 알고리즘에 따라 복수의 태스크 명령을 생성하는 단계; 상기 시퀀스 프로세싱 유닛이 상기 미리 결정된 프로토콜을 통해 복수의 태스크 명령을 수신하는 단계; 및 상기 시퀀스 프로세싱 유닛이 상기 적어도 하나의 유한 상태 머신으로 상기 복수의 태스크 명령에 따라 메모리 디바이스의 복수의 회로를 제어하는 단계를 포함한다.

[0008] 본 발명의 이들 및 다른 목적은 다양한 도면 및 도면에 예시된 바람직한 실시예에 대한 다음의 상세한 설명을 읽은 후 당업자에게 의심할 여지 없이 명백해질 것이다.

도면의 간단한 설명

[0009] 도 1은 본 발명의 일 실시예에 따른 메모리 제어 시스템을 도시한다.

도 2는 마이크로 컨트롤러와 시퀀스 처리 장치 간의 통신 타이밍 다이어그램을 도시한다.

도 3은 하나의 스케줄링 알고리즘에 따라 내부 저장 유닛에 저장된 태스크 명령 세트를 도시한다.

도 4는 다른 스케줄링 알고리즘에 따라 내부 저장 유닛에 저장된 태스크 명령 세트를 도시한다.

도 5는 본 발명의 일 실시예에 따라 도 1의 메모리 제어 시스템을 동작시키는 방법을 도시한다.

발명을 실시하기 위한 구체적인 내용

[0010] 도 1은 본 발명의 일 실시예에 따른 메모리 제어 시스템(100)을 도시한다. 메모리 제어 시스템(100)은 메모리 인터페이스 회로(110), 마이크로컨트롤러(120), 및 시퀀스 프로세싱 유닛(130)을 포함한다. 도 1에 도시된 바와 같이, 메모리 제어 시스템(100)은 호스트(H1)가 간단한 동작으로 메모리 디바이스(M1)를 제어할 수 있도록 호스트(H1)가 메모리 디바이스(M1)에 액세스하는 것을 보조하는 데 사용될 수 있다. 일부 실시예에서, 메모리 인터페이스 회로(110), 마이크로컨트롤러(120), 및 시퀀스 프로세싱 유닛(130)은 동일한 칩에 배치될 수 있다.

[0011] 메모리 인터페이스 회로(110)는 메모리 동작 커맨드(OC1)를 수신할 수 있다. 일부 실시예에서, 메모리 동작 커맨드(OC1)는 메모리 디바이스(M1)를 제어하기 위해 컴퓨터 시스템의 중앙 처리 장치와 같은 호스트(H1)에 의해 생성된 비교적 높은 레벨의 명령일 수 있다. 메모리 인터페이스 회로(110)는 메모리 동작 커맨드(OC1)를 디코딩하고 메모리 동작 커맨드(OC1)에 따라 마이크로컨트롤러(120)를 트리거링하기 위해 복수의 동작 명령(INS₁ 내지 INS_X)을 생성할 수 있으며, 여기서 X는 양의 정수이다.

[0012] 일부 실시예에서, 메모리 인터페이스 회로(110) 및 마이크로컨트롤러(120)는 예를 들어, 시스템 관리 버스 또는 집적 회로 버스에 제한되지 않는 표준 버스 프로토콜을 통해 통신할 수 있다. 이 경우, 메모리 인터페이스 회로(110)는 사용 중인 버스 프로토콜을 따르도록 메모리 동작 커맨드(OC1)를 재형성함으로써 동작 명령(INS₁ 내지 INS_X)을 생성할 수 있다.

[0013] 마이크로컨트롤러(120)는 메모리 인터페이스 회로(110)에 결합된다. 마이크로컨트롤러(120)는 복수의 동작 명령(INS₁ 내지 INS_X)을 수신하고, 스케줄링 알고리즘에 따라 복수의 태스크 명령(TSK₁ 내지 TSK_Y)을 생성할 수 있으며, 여기서 Y는 양의 정수이다.

[0014] 시퀀스 프로세싱 유닛(130)은 마이크로컨트롤러(120)에 연결되고, 유한 상태 머신(FSM1, FSM2)을 포함한다. 시퀀스 프로세싱 유닛(130)은 태스크 명령(TSK₁ 내지 TSK_Y)을 수신하고, 유한 상태 머신(FSM1 및 FSM2)을 사용하

여 태스크 명령(TSK_1 내지 TSK_Y)에 따라 메모리 디바이스(M1)의 회로를 제어할 수 있다.

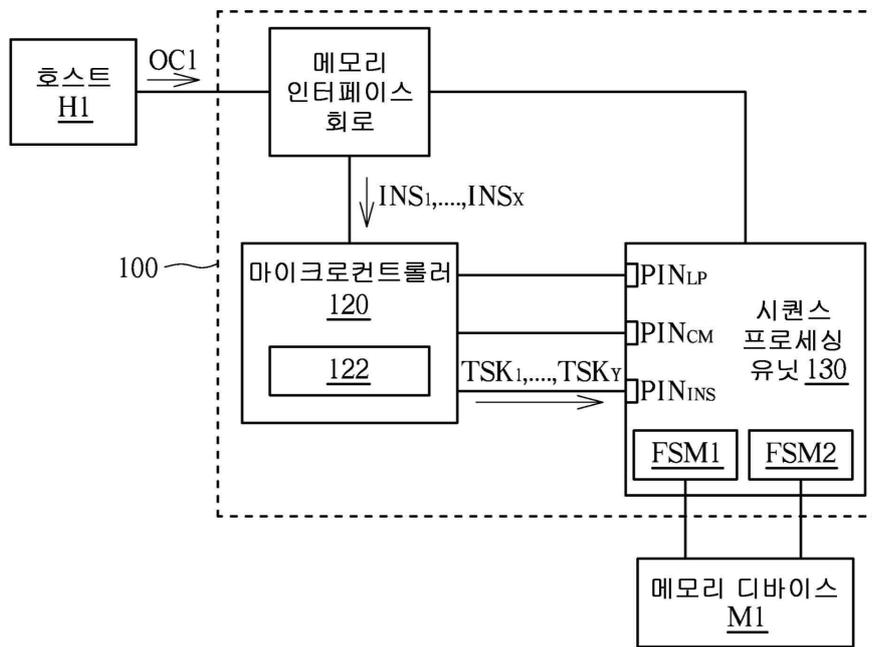
- [0015] 일부 실시예에서, 마이크로컨트롤러(120) 및 시퀀스 프로세싱 유닛(130)은 미리 결정된 프로토콜을 통해 통신할 수 있다. 예를 들어, 시퀀스 프로세싱 유닛(130)은 부하 핀(PIN_{LD}), 동작 명령 핀(PIN_{INS}), 완료 핀(PIN_{CM})을 더 포함할 수 있다. 도 2는 마이크로 컨트롤러(120)와 시퀀스 프로세싱 유닛(130) 간의 통신 타이밍 다이어그램을 도시한다.
- [0016] 도 2에서, 마이크로컨트롤러(120)는 부하 핀(PIN_{LD})의 전압을 상승시켜 들어오는 태스크 명령(TSK_1)이 유효함을 표시할 수 있다. 따라서, 시퀀스 프로세싱 유닛(130)은 부하 핀(PIN_{LD})의 전압이 마이크로컨트롤러(120)에 의해 높아질 때 태스크 명령(TSK_1)을 수신할 것이다.
- [0017] 또한, 태스크 명령(TSK_1)이 실행된 후, 시퀀스 프로세싱 유닛(130)은 완료 핀(PIN_{LD})의 전압을 상승시켜 마이크로컨트롤러(120)에 통지할 수 있다. 그렇지만, 일부 다른 실시예에서, 마이크로컨트롤러(120) 및 시퀀스 프로세싱 유닛(130)은 시스템 요구 사항에 따라 다른 방식 및/또는 다른 핀을 사용하여 통신할 수 있다.
- [0018] 일부 실시예에서, 시퀀스 프로세싱 유닛(130)은 요구되는 워드 라인 전압을 제공하기 위한 전력 레귤레이터, 타깃 메모리 셀을 선택하기 위한 어드레스 디코더, 및/또는 읽기 전류를 감지하기 위한 감지 증폭기와 같이, 메모리 디바이스(M1)의 회로를 제어할 수 있다. 또한, 일부 실시예에서, 메모리 디바이스(M1)는 비휘발성 메모리(NVM)일 수 있다. 비휘발성 메모리는 프로그램 동작을 위해 높은 프로그램 전압을 필요로 할 수 있으므로, 시퀀스 프로세싱 유닛(130)은 높은 프로그램 전압을 제공하기 위해 차지 펌프를 제어할 수도 있다.
- [0019] 또한, 일부 실시예에서, 시퀀스 프로세싱 유닛(130)은 상이한 유형의 회로를 처리하기 위해 상이한 유한 상태 머신을 사용할 수 있다. 예를 들어, 유한 상태 머신(FSM1)은 코어 전압과 관련된 회로를 제어하는 데 사용될 수 있고 유한 상태 머신(FSM2)은 페이지 버퍼와 관련된 회로를 제어하는 데 사용될 수 있다. 그러나 일부 다른 실시예에서, 시퀀스 프로세싱 유닛(130)은 시스템 요구사항에 따라 메모리 디바이스(100)의 회로를 제어하기 위한 다소간 유한 상태 머신을 포함할 수 있다.
- [0020] 시퀀스 프로세싱 유닛(130)은 유한 상태 머신(FSM1, FSM2)으로 메모리 디바이스(M1)를 제어할 수 있기 때문에, 제어 동작은 종래 기술에서 사용되는 마이크로컨트롤러에 의해 요구되는 중복된 루틴 동작 없이 보다 직접적인 방식으로 수행될 수 있다. 따라서, 시퀀스 프로세싱 유닛(130)의 자원 활용률 및 성능이 향상될 수 있다.
- [0021] 시퀀스 프로세싱 유닛(130)이 메모리 디바이스(100)의 회로를 직접 제어할 수 있는 반면, 마이크로컨트롤러(120)는 시퀀스 프로세싱 유닛(130)에 의해 수행되는 태스크의 스케줄을 제어할 수 있다. 즉, 마이크로컨트롤러(120)는 스케줄링 알고리즘에 따라 원하는 순서로 태스크 명령(TSK_1)을 할당할 수 있다. 일부 실시예에서, 태스크 명령은 마이크로컨트롤러(120)의 내부 저장 유닛(122)에 원하는 순서로 세트 저장될 수 있고, 마이크로컨트롤러(120)는 메모리로 인터페이스 회로(110)부터 전송된 동작 명령에 대응하는 미리 결정된 순서로 태스크 명령을 생성할 수 있다.
- [0022] 도 3은 스케줄링 알고리즘에 따른 동작 명령(INS_1)에 대응하여 내부 저장 유닛(122)에 저장된 태스크 명령 세트를 나타낸다. 도 3에서, 마이크로컨트롤러(120)가 동작 명령(INS_1)을 수신하면, 마이크로컨트롤러(120)는 내부 저장 유닛(122)에 저장된 태스크 명령 세트에 의해 지시된 바와 같이 태스크 명령(TSK_1 , TSK_2 , TSK_3)을 순차적으로 생성할 수 있다.
- [0023] 예를 들어, 태스크 명령(TSK_1)은 읽기 전류를 감지함을 의미할 수 있고, 태스크 명령(TSK_2 , TSK_3)은 페이지 버퍼에서 각각 대응하는 데이터를 전달함을 의미할 수 있다.
- [0024] 이 경우, 저장 유닛(122)에 저장된 태스크 명령 세트를 업데이트함으로써, 생성될 태스크 명령의 순서를 용이하게 조정할 수 있다. 도 4는 업데이트된 스케줄링 알고리즘에 따라 동작 명령(INS_1)에 대응하여 내부 저장 유닛(122)에 저장된 태스크 명령 세트를 나타낸다. 도 4에서, 마이크로컨트롤러(120)가 동작 명령(INS_1)을 수신할 때, 마이크로컨트롤러(120)는 내부 저장 유닛(122)에 저장된 태스크 명령 세트에 의해 지시된 바와 같이 태스크 명령(TSK_2 , TSK_1 , TSK_3 및 TSK_4)을 순차적으로 생성할 것이다.
- [0025] 즉, 원하는 스케줄링 알고리즘에 따라 저장 유닛(122)에 저장된 태스크 명령 세트를 업데이트함으로써, 태스크

명령 및 실행될 태스크 명령의 순서를 용이하게 변경할 수 있다. 따라서, 메모리 제어 시스템(100)의 개발 중에 스케줄링 알고리즘을 업데이트할 수 있어 유연성을 향상시킬 수 있다.

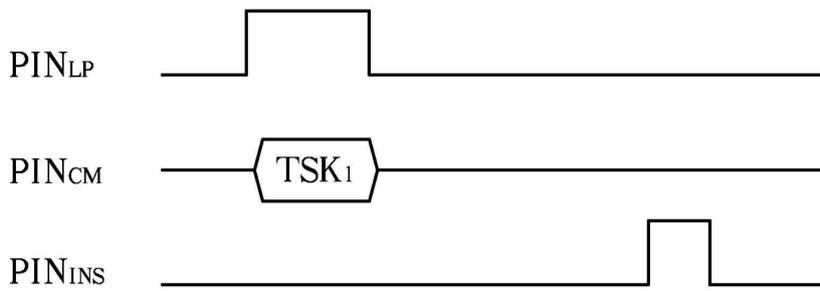
- [0026] 또한, 일부 실시예에서, 시퀀스 프로세싱 유닛(130)은 또한 메모리 인터페이스 회로(110)에 직접 연결될 수 있다. 이 경우, 메모리 인터페이스 회로(110)는 메모리 제어 시스템(100)의 테스트 모드에서 메모리 디바이스(100)에 직접 액세스하도록 시퀀스 프로세싱 유닛(130)을 제어할 수 있다. 이 기능은 메모리 제어 시스템(100)의 개발 단계에서 유용할 수 있다. 예를 들어, 마이크로컨트롤러(120)가 멈췄을 때, 메모리 인터페이스 회로(110)는 마이크로컨트롤러(120)를 우회하고 디버깅을 위한 문제를 찾기 위해 직접 시퀀스 프로세싱 유닛(130)을 제어할 수 있다. 또한, 이 기능은 새로운 알고리즘을 테스트할 때 편리할 수 있다.
- [0027] 도 5는 본 발명의 일 실시예에 따른 메모리 제어 시스템(100)을 동작시키기 위한 방법(200)을 도시한다. 방법(200)은 단계 S210 내지 S270을 포함한다.
- [0028] S210: 메모리 인터페이스 회로(110)는 메모리 동작 커맨드(OC1)에 따라 복수의 동작 명령(INS_1 내지 INS_x)을 생성한다.
- [0029] S220: 마이크로컨트롤러(120)는 복수의 동작 명령(INS_1 내지 INS_x)을 수신한다.
- [0030] S230: 마이크로컨트롤러(120)는 미리 결정된 프로토콜을 통해 스케줄링 알고리즘에 따라 복수의 태스크 명령(TSK_1 내지 TSK_y)을 발행한다.
- [0031] S240: 시퀀스 프로세싱 유닛(130)은 미리 결정된 프로토콜을 통해 복수의 태스크 명령(TSK_1 내지 TSK_y)을 수신한다.
- [0032] S250: 시퀀스 프로세싱 유닛(130)은 유한 상태 머신(FSM1 및 FSM2)을 사용하여 태스크 명령(TSK_1 내지 TSK_y)에 따라 메모리 디바이스(M1)의 회로를 제어한다.
- [0033] S260: 태스크 명령(TSK_1 내지 TSK_y)의 전송 순서를 변경하기 위해 마이크로컨트롤러(120)의 스케줄링 알고리즘을 업데이트한다. 그리고
- [0034] S270: 메모리 제어 시스템(100)의 테스트 모드에서, 메모리 인터페이스 회로(110)는 메모리 디바이스(M1)에 직접 액세스하도록 시퀀스 프로세싱 유닛(120)을 제어한다.
- [0035] 일부 실시예에서, 메모리 인터페이스 회로(110) 및 마이크로컨트롤러(120)는 표준 버스 프로토콜을 통해 통신할 수 있는 반면, 마이크로컨트롤러(120) 및 시퀀스 프로세싱 유닛(130)은 구체적으로 정의된 통신 프로토콜을 통해 통신할 수 있다. 예를 들어, 단계 S230 및 단계 S240 단계에서 시퀀스 프로세싱 유닛(130)은 도 4에 도시된 타이밍 다이어그램에 따라 태스크 명령(TSK_1 내지 TSK_y)을 수신할 수 있다. 그러나 일부 다른 실시예에서, 마이크로컨트롤러(120) 및 시퀀스 프로세싱 유닛(130)은 시스템 요구사항에 따라 다른 프로토콜과 통신할 수 있다.
- [0036] 요약하면, 메모리 제어 시스템 및 메모리 제어 시스템의 동작 방법은 메모리 제어 시스템의 시퀀스 프로세싱 유닛으로 메모리 디바이스를 제어할 수 있다. 시퀀스 프로세싱 유닛은 유한 상태 머신 기반이기 때문에 메모리 디바이스의 제어는 더 높은 활용률과 더 높은 성능으로 단순화될 수 있다. 또한, 메모리 제어 시스템은 작업을 스케줄링하기 위해 마이크로컨트롤러를 채택하기 때문에 스케줄링 알고리즘은 마이크로 컨트롤러의 내부 저장 장치에 저장된 명령 세트를 업데이트하여 유연하게 업데이트할 수 있으므로 개발 효율성이 향상된다.
- [0037] 당업자는 본 발명의 교시를 유지하면서 장치 및 방법의 수많은 수정 및 변경이 이루어질 수 있음을 쉽게 관찰할 것이다. 따라서, 전술한 개시는 첨부된 청구범위의 범위에 의해서만 제한되는 것으로 해석되어야 한다.

도면

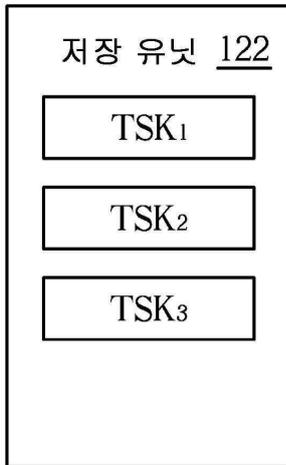
도면1



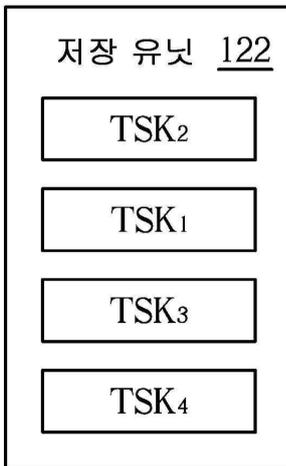
도면2



도면3



도면4



도면5

200

