

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：93132961

※申請日期：93.10.29

※IPC 分類：H01L 29/40

一、發明名稱：(中文/英文)

銻式電晶體及其製造方法

APPARATUS AND METHOD FOR MULTIPLE-GATE
SEMICONDUCTOR DEVICE WITH ANGLED SIDEWALLS

二、申請人：(共1人)

姓名或名稱：(中文/英文)

台灣積體電路製造股份有限公司

Taiwan Semiconductor Manufacturing Co., Ltd.

代表人：(中文/英文) 張忠謀/Chung-Mou Chang

住居所或營業所地址：(中文/英文)

新竹科學工業園區新竹市力行六路八號

NO.8, Li-Hsin Rd.6, Science-Based Industrial Park Hsin-Chu, Taiwan 300-77, R.O.C.

國籍：(中文/英文) 中華民國/TW

三、發明人：(共1人)

姓名：(中文/英文)

1. 廖忠志 / Jhon-Jhy Liaw

國籍：(中文/英文)

1. 中華民國/TW

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 美國(US)、2004/05/12、10/844,197

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係有關於一種半導體元件結構，特別是有關於一種鰭式電晶體結構及其製造方法。

【先前技術】

金氧半電晶體(MOSFET)的製造方法係為今日製作電子元件的主要技術，當金氧半電晶體元件愈小，其通道長度將隨之縮短，加快電晶體的操作速度，但電晶體的通道長度並不能無限制的縮短，當其長度縮短到某一程度之後如低於 100 nm 以下時，各種因通道長度變小所衍生的問題便會發生，這個現象稱之為短通道效應(short channel effect)。

絕緣層上覆矽(silicon on insulator)，通常簡稱為 SOI，是一種半導體電性的隔離技術，其在底材矽的表面，增加一層絕緣層，讓底材矽表面與用來製作 MOS 元件的矽主體之間，以這一層絕緣層加以隔開，避免了如源極與底材或井與底材等的連接情形，可有效改善因短通道效應所產生的漏電問題。

如美國專利 6,413,802 號揭露的改善方法。請參閱第 1a 圖至 1d 圖，首先，如第 1a 圖所示，並參照第 1c 圖(立體示意圖)與 1d 圖(俯視示意圖)，絕緣層 12 形成於基底 10 上，作為基底 10 與之後製作的 MOS 電晶體元件之間的隔絕物。接著，形成一半導體層於絕緣層 12 上，該半導體層與基底 10 係為相同之材質如矽、鍺或鍺化矽。定義該半導體層，以形成一設置於絕緣層 12 上的主動區 14，續於主動區 14 中製作通道區。

再如第 1b 圖所示，沉積閘導電層 16 於主動區 14 與絕緣層 12 的表面上，續定義閘導電層 16，以形成覆蓋於主動區 14 與絕緣層 12 部分表面上的閘極結構。最後，製作主動區 14 中的源/汲極，以完成一 SOI-MOS 電晶體，即鰭式電晶體(finFET)。

藉絕緣層 12 的設置，可解決電晶體中短通道效應的漏電問題，且此種 SOI-MOS 電晶體與傳統平面型(如第 2 圖所示，其中與第 1a 至 1d 圖具相同標號的元件，有同樣意義)相較，由於主動區 14 的側壁高度增加，因此，有機會形成具有雙閘功能的電晶體，即電流可從兩側壁之路徑流通，此結果將有助於提升飽和電流的強度，增進元件的工作效率。

但也因主動區 14 垂直型的設置，使得電晶體的製作過程，在進行通道、閘導電層 16 以及源/汲極的離子摻雜步驟時，無法以較佳的角度植入摻質而得到均勻、良好的摻雜輪廓(doping profile)。當各元件小區域內的摻量分佈不均勻時，將造成相同元件間彼此電性上的差異，導致積體電路功能失效。

且在蝕刻形成閘極結構的步驟，因主動區 14 側壁與絕緣層 16 的夾角，呈現垂直態樣，使得閘導電層 16 的清除不易，會在主動區 14 側壁與絕緣層 16 的交會處殘留不期望的閘導電層 18，影響整體電晶體的製作品質。

此外，沉積矽化金屬層(silicide)或充填內層介電層(inter-layer dielectric, ILD)，也確實因為電晶體結構其側壁角度的緣故，造成沉積或填入的效果不佳，影響後續的製程。

【發明內容】

有鑑於此，本發明之目的係揭露一種於 SOI 上形成的鰭式電晶體結構，其藉一下寬上窄之主動區的設置，改善電晶體製作過程中，摻質分佈輪廓不均，以及蝕刻殘留的問題，遂為一電性品質更佳的電晶體。

為了達成上述目的，本發明提供一種鰭式電晶體結構，包括：一基底，一下寬上窄之主動區，沿一第一方向延伸設置於該基底上，一閘導電層，沿一第二方向延伸覆蓋於該下寬上窄之主動區與該基底之部分表面上。於該閘導電層與其所覆蓋之該下寬上窄之主動區與該基底之間更設置有一閘介電層。以及一源極與一汲極，形成於該閘導電層兩側之該下寬上窄之主動區中。

設置於絕緣層上的下寬上窄之主動區，由於其底邊與斜邊存在一傾斜角度，因此，在進行離子佈植程序時，有較佳的角度可植入摻質而得到一均勻、良好的摻雜輪廓，並不會產生陰影遮蔽的效應(shadowing effect)。

本發明另提供一種緒式電晶體之製造方法，包括下列步驟：提供一具有一半導體層之基底。定義該半導體層，以形成一下寬上窄之主動區，其中該下寬上窄之主動區係沿一第一方向延伸並設置於該基底上。續覆蓋一閘導電層於該下寬上窄之主動區與該基底之部分表面上，其中該閘導電層係沿一第二方向延伸。於該閘導電層與其所覆蓋之該下寬上窄之主動區與該基底之間更包括設置一閘介電層。

在定義閘導電層以形成閘極結構的過程，部分主動區與絕緣層之交會處，必須要確保無閘導電層的殘留，而本發明提供的下寬上窄之主動區，即相當便利於其結構邊緣處的閘導電層的清除。

後續製程例如沉積金屬矽化物或填入內層介電層等，亦由於此具有特殊形狀的電晶體結構，而使填入的各層，能呈現良好的充填態樣，此對降低閘導電層阻值，提高導電性等元件電性改良，幫助甚大。

為讓本發明之上述目的、特徵及優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

【實施方式】

實施例

請參閱第 3a 圖至 3d 圖，並參照第 4 圖(俯視示意圖)與第 5 圖(立體示意圖)，說明本發明之一實施例，緒式電晶體的製作。首先，如第 3a 圖所示，提供一絕緣層上覆矽(SOI)之晶片 300，其構成結構由下向上依序包括：一基底 310、一絕緣層 320 與一半導體層 330，其中基底 310 的材質可為矽，絕緣層 320 的材質可為氮化矽、氧化矽或氮氧化矽，半導體層 330 的材質

可為矽、鍺或鍺化矽，較佳者為鍺化矽。另半導體層 330 的厚度即為後續形成主動區的高度，其大體介於 150~3000 埃，較佳為 600~1000 埃。

續如第 3b 圖所示，於半導體層 330 上更包括形成一第一單幕層 340 以及一第二單幕層 350，其中第一單幕層 340 的材質可為氧化矽或氮氧化矽，第二單幕層 350 的材質可為氮化矽。第一單幕層 340 的厚度大體介於 10~200 埃，第二單幕層 350 的厚度大體介於 20~1000 埃。

接著，以具主動區圖案的第一單幕層 340 與第二單幕層 350 為一蝕刻單幕，定義半導體層 330，以形成一下寬上窄之主動區 332，其中下寬上窄之主動區 332 係沿一第一方向延伸設置於絕緣層 320 上，且下寬上窄之主動區 332 之底邊與斜邊的夾角 θ 大體介於 30~80 度，較佳角度為 60~70 度，其高度大體介於 150~3000 埃，較佳者為 600~1000 埃，如第 3c 圖所示。隨後移除第一單幕層 340 與第二單幕層 350。

蝕刻半導體層 330 所使用的反應氣體係包括氟碳化合物、氧氣、氯氣、一氧化碳或其組合，較佳者為氧氣與氯氣之組合。上述反應氣體之流量大體介於 5~300sccm，較佳範圍為 300sccm，蝕刻壓力大體介於 5~100 毫托，較佳範圍為 30~50 毫托，蝕刻功率大體介於 100~1500 瓦特，較佳範圍為上電極 800~1200 瓦特，下電極 150~400 瓦特。

之後，於主動區 332 中佈植摻質如硼、磷或砷等離子，以形成一 P-型或 N-型的主動區 332。續於該下寬上窄之主動區 332 與絕緣層 320 上，覆蓋一閘介電層，該閘介電層的材質可為氧化矽或氮氧化矽，且係由熱氧化法成長形成。製程上可植入氮 (N) 原子於閘介電層中，以阻擋後續閘導電層的摻質如硼原子穿

透進入閘介電層，而影響閘介電層的品質。

接著，藉化學氣相沉積法沉積形成一閘導電層，並相同覆蓋於下寬上窄之主動區 332 與絕緣層 320 的表面上。上述閘導電層的材質可為複晶矽。另若為降低閘導電層的阻值，可於閘導電層形成後或於沉積同時(in-situ)，佈植些許摻質如硼原子於閘導電層中，以提高其導電性。

再如第 3d 圖與第 4 圖所示，定義閘導電層，以形成一閘極結構 360，其中該閘極 360 係沿一第二方向延伸，並覆蓋於下寬上窄之主動區 332 與絕緣層 320 的部分表面上。上述沿第一方向設置的下寬上窄之主動區 332 實質上大體正交於沿第二方向覆蓋的閘極 360。定義閘極的步驟可由乾蝕刻中之等向性蝕刻如反應性離子蝕刻(RIE)技術達成。

在定義閘導電層以形成閘極結構 360 的過程，若遇習知所設置的主動區，將因角度的關係，很難對主動區斜邊與絕緣層交會處的閘導電層，做徹底的清除，以致常存有殘留物於該處，降低電晶體的品質。

本發明提供的下寬上窄之主動區 332，由於其斜邊不為垂直設置，而是呈現一傾斜角度，遂在蝕刻步驟進行時，沉積於邊緣位置的閘導電層將更有機會暴露在蝕刻電漿氣體的作用，而提升該處的蝕刻清除效果。

本發明之鰭式電晶體係為一具有多閘極形式的電晶體，此多閘極的電晶體係包括有如雙閘或三閘極的結構，其中該主動區 332 上端之尺寸，若小於 5 奈米時，汲極電流僅能從主動區 332 之側壁流通，此時，只具兩電流流通的路徑，遂為雙閘結構之電晶體，其兩閘極之位置係分別在下寬上窄之主動區 332 的相對側壁上。而當主動區 332 上端之尺寸，不小於 5 奈米時，

汲極電流除能從主動區 332 之側壁流通外，亦可由主動區 332 之上部流通，具三電流通的路徑，遂為三閘結構之電晶體，而其三個閘極的位置係分別在下寬上窄之主動區 332 的相對側壁上以及該主動區 332 的上部。

最後，進行一輕摻雜離子佈植製程於閘極 360 兩側的主動區 332 中，以形成一輕摻雜汲極區。續以化學氣相沉積法於閘極側壁成長一間隙壁 390，再藉一重摻雜離子佈植製程於輕摻雜汲極區之兩側形成一源極/汲極區 395，以形成一緒式電晶體結構。其中上述輕摻雜與重摻雜離子佈植製程係使用包括如磷或砷等離子進行佈植。另該緒式電晶體可為一 NMOS 電晶體或為一 PMOS 電晶體。

對傳統平面型的 SOI-MOS 電晶體而言，由於其為單一閘極設計的電晶體，遂電流通僅能遵循單一路徑，而本發明的 SOI-MOS 電晶體，因主動區 332 的側壁高度增加，使其預留有足夠形成閘極 360 的空間，而成為一多閘極的電晶體，當元件運作時，電流將可同時從兩側壁之不同路徑流通，此即大大提升飽和電流的強度，增進元件的工作效率。

此外，在製作電晶體的過程，亦需歷經多次的離子佈植程序，例如在主動區 332 中的通道、輕摻雜汲極區以及源極/汲極區 395 的摻雜，以及閘導電層的摻雜等。而這些摻雜效果的好壞，端視摻雜的輪廓其深度是否適當以及其分佈範圍是否均勻一致。

習知的主動區，在離子佈植時，均因過程中產生的陰影遮蔽效應，而無法對其側壁作全面性的佈植，使得在主動區中的佈植輪廓其深度或分佈範圍並不理想。而本發明的下寬上窄之主動區 332，由於具有一斜傾的側壁，遂在佈植摻質時，可獲

得一較佳的摻質植入角度，而得到吾人所期望均勻、良好的摻雜輪廓。

上述 SOI-MOS 之製作方法，可於閘極結構 360 上再加設一矽化金屬層 370，以降低閘極 360 的阻值，增加其導電性，本發明之金屬矽化物例如為矽化鈦、矽化鎳或矽化鎢等。

本發明下寬上窄之主動區 332 其傾斜側壁的設計，除了如上述有利於蝕刻殘留物的清除以及佈植輪廓的最佳化外，在完成電晶體製作後，對後續各層的沉積或填入例如沉積金屬矽化物 370 或填入內層介電層 (ILD) 380 等，亦均能提供一可獲得良好沉積態樣的結構環境，以利電晶體元件導電特性的改善。

總結來說，本發明提供之鰭式電晶體的結構，由於其下寬上窄之主動區 332 的設計，解決了在製作電晶體的過程中蝕刻殘留的問題，以及獲得了一較佳的摻雜輪廓，而成為電性品質更佳的電晶體。

另為降低阻值、提高導電性，而於閘極 360 上沉積的矽化金屬層 370，也因此主動區 332 的結構形狀，呈現了均勻的分佈態樣，除可助於提高閘極的導電性外，對各閘極之間的導電特性亦有維持一致性的貢獻。

此外，由於主動區 332 的側壁高度增加，遂在設置閘極結構 360 時，有足夠之空間形成為雙閘或三閘的電晶體，即電流可流通於非單一的路徑，因此，大大增加了元件中飽和汲極電流的電流強度。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

第 1a 至第 1b 圖係為美國專利第 6,413,802 號中緒式電晶體製程之剖面示意圖。

第 1c 圖係為美國專利第 6,413,802 號中緒式電晶體製程之立體示意圖。

第 1d 圖係為美國專利第 6,413,802 號中緒式電晶體製程之俯視示意圖。

第 2 圖係為平面型 SOI-MOS 電晶體之結構示意圖。

第 3a 至第 3d 圖係為根據本發明之一實施例，緒式電晶體製程之剖面示意圖。

第 4 圖係為根據本發明之一實施例，緒式電晶體結構之俯視示意圖。

第 5 圖係為根據本發明之一實施例，緒式電晶體結構之立體示意圖。

【主要元件符號說明】

習知部份(第 1a 圖至 1d 圖以及第 2 圖)

10~基底；

12~絕緣層；

14~主動區；

16~閘導電層。

本案實施例部份(第 3a 圖至 3d 圖以及第 4 圖與 5 圖)

300~SOI 結構；

310~基底；

320~絕緣層；

330、332~半導體層；

340~第一罩幕層；

350~第二罩幕層；

360~閘極；

370~矽化金屬層；

380~內層介電層；

390~間隙壁；

395~源極/汲極。

五、中文發明摘要：

本發明為一種鳍式電晶體結構，包括：一基底，一下寬上窄之主動區，沿一第一方向延伸設置於該基底上，一閘導電層，沿一第二方向延伸覆蓋於該下寬上窄之主動區與該基底之部分表面上。於該閘導電層與其所覆蓋之該下寬上窄之主動區與該基底之間更設置有一閘介電層。以及一源極與一汲極，形成於該閘導電層兩側之該下寬上窄之主動區中。本發明之範圍更包括鳍式電晶體之製造方法。

六、英文發明摘要：

A finFET includes a substrate, a taper active region formed on the substrate and extending along a first direction, a gate conductive layer covering the partial surface of the taper active region and the substrate, extending along a second direction, a gate dielectric layer interposed between the gate conductive layer and the taper active region and the substrate covered by the gate conductive layer, a source and a drain formed on both sides of the gate conductive layer in the taper active region. A method of fabricating the same is also disclosed.

七、指定代表圖：

(一)本案指定代表圖為：第(3d)圖。

(二)本代表圖之元件符號簡單說明：

310~基底；

320~絕緣層；

332~主動區；

360~閘極；

370~矽化金屬層；

380~內層介電層。

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

十、申請專利範圍：

1. 一種鳍式電晶體(finFET)，包括：

一基底；

一下寬上窄之主動區，沿一第一方向延伸設置於該基底上，該下寬上窄之主動區之底邊與斜邊之夾角大體介於 30~80 度；

一閘導電層，沿一第二方向延伸覆蓋於該下寬上窄之主動區與該基底之部分表面上，且於該閘導電層與其所覆蓋之該下寬上窄之主動區與該基底之間更設置有一閘介電層；以及

一源極與一汲極，形成於該閘導電層兩側之該下寬上窄之主動區中。

2.如申請專利範圍第 1 項所述之鳍式電晶體，其中該鳍式電晶體係為一多閘電晶體。

3.如申請專利範圍第 1 項所述之鳍式電晶體，其中該鳍式電晶體係為一雙閘或三閘電晶體。

4.如申請專利範圍第 3 項所述之鳍式電晶體，其中該雙閘電晶體中之兩閘極係形成於該下寬上窄之主動區之相對側壁上。

5.如申請專利範圍第 3 項所述之鳍式電晶體，其中該三閘電晶體中之三閘極係形成於該下寬上窄之主動區之相對側壁上以及該下寬上窄之主動區之上部。

6.如申請專利範圍第 1 項所述之鳍式電晶體，其中該鳍式電晶體係為一 NMOS 電晶體。

7.如申請專利範圍第 1 項所述之鳍式電晶體，其中該鳍式電晶體係為一 PMOS 電晶體。

8.如申請專利範圍第 1 項所述之鳍式電晶體，其中該基底

係為一矽基底或 SOI 基底。

9.如申請專利範圍第 1 項所述之緒式電晶體，其中於該基底上，更包括形成有一介電層。

10.如申請專利範圍第 9 項所述之緒式電晶體，其中該介電層係由氮化矽、氧化矽或氮氧化矽所構成。

11.如申請專利範圍第 1 項所述之緒式電晶體，其中該下寬上窄之主動區係為一半導體層。

12.如申請專利範圍第 1 項所述之緒式電晶體，其中該下寬上窄之主動區之材質係為矽、鍺或鍺化矽。

13.如申請專利範圍第 1 項所述之緒式電晶體，其中該下寬上窄之主動區之高度大體介於 150~3000 埃。

14.如申請專利範圍第 1 項所述之緒式電晶體，其中該下寬上窄之主動區之底邊與斜邊之夾角大體介於 30~80 度。

15.如申請專利範圍第 1 項所述之緒式電晶體，其中該閘介電層之材質係為氧化矽或氮氧化矽。

16.如申請專利範圍第 1 項所述之緒式電晶體，其中該閘導電層之材質係為複晶矽。

17.如申請專利範圍第 1 項所述之緒式電晶體，其中該第一方向大體正交於該第二方向。

18.一種緒式電晶體之製造方法，包括下列步驟：

提供一具有一半導體層之基底；

形成一罩幕層於該半導體層上；

以該罩幕層為一蝕刻罩幕，定義該半導體層，以形成一下寬上窄之主動區，其中該下寬上窄之主動區係沿一第一方向延伸並設置於該基底上；

覆蓋一閘導電層於該下寬上窄之主動區與該基底之部分

表面上，其中該閘導電層係沿一第二方向延伸，且於該閘導電層與其所覆蓋之該下寬上窄之主動區與該基底之間更包括設置一閘介電層；以及

形成一源極與一汲極於該閘導電層兩側之該下寬上窄之主動區中。

19.如申請專利範圍第 18 項所述之緒式電晶體之製造方法，其中該緒式電晶體係為一多閘電晶體。

20.如申請專利範圍第 18 項所述之緒式電晶體之製造方法，其中該緒式電晶體係為一雙閘或三閘電晶體。

21.如申請專利範圍第 20 項所述之緒式電晶體之製造方法，其中該雙閘電晶體中之兩閘極係形成於該下寬上窄之主動區之相對側壁上。

22.如申請專利範圍第 20 項所述之緒式電晶體之製造方法，其中該三閘電晶體中之三閘極係形成於該下寬上窄之主動區之相對側壁上以及該下寬上窄之主動區之上部。

23.如申請專利範圍第 18 項所述之緒式電晶體之製造方法，其中該緒式電晶體係為一 NMOS 電晶體。

24.如申請專利範圍第 18 項所述之緒式電晶體之製造方法，其中該緒式電晶體係為一 PMOS 電晶體。

25.如申請專利範圍第 18 項所述之緒式電晶體之製造方法，其中該半導體層之材質係為矽、鍺或鍺化矽。

26.如申請專利範圍第 18 項所述之緒式電晶體之製造方法，其中該單幕層由下向上依序係包括一第一單幕層與一第二單幕層。

27.如申請專利範圍第 26 項所述之緒式電晶體之製造方法，其中該第一單幕層係由氧化矽或氮氧化矽所構成。

28.如申請專利範圍第 26 項所述之鰭式電晶體之製造方法，其中該第一罩幕層之厚度大體介於 10~200 埃。

29.如申請專利範圍第 26 項所述之鰭式電晶體之製造方法，其中該第二罩幕層係由氮化矽所構成。

30.如申請專利範圍第 26 項所述之鰭式電晶體之製造方法，其中該第二罩幕層之厚度大體介於 20~1000 埃。

31.如申請專利範圍第 18 項所述之鰭式電晶體之製造方法，其中蝕刻步驟所使用之反應氣體係包括氟碳化合物(C_xF_y)、氧氣(O_2)、氯氣(Cl_2)、一氧化碳(CO)或其組合。

32.如申請專利範圍第 31 項所述之鰭式電晶體之製造方法，其中上述反應氣體之流量大體介於 5~300 sccm。

33.如申請專利範圍第 18 項所述之鰭式電晶體之製造方法，其中蝕刻壓力大體介於 5~100 毫托。

34.如申請專利範圍第 18 項所述之鰭式電晶體之製造方法，其中蝕刻功率大體介於 100~1500 瓦特。

35.如申請專利範圍第 18 項所述之鰭式電晶體之製造方法，其中該下寬上窄之主動區之高度大體介於 150~3000 埃。

36.如申請專利範圍第 18 項所述之鰭式電晶體之製造方法，其中該閘介電層之材質係為氧化矽或氮氧化矽。

37.如申請專利範圍第 18 項所述之鰭式電晶體之製造方法，其中該閘導電層之材質係為複晶矽。

38.如申請專利範圍第 18 項所述之鰭式電晶體之製造方法，其中該第一方向大體正交於該第二方向。

39.一種鰭式電晶體之製造方法，包括下列步驟：

提供一具有一半導體層之基底；

定義該半導體層，以形成一下寬上窄之主動區，其中該下

寬上窄之主動區係沿一第一方向延伸並設置於該基底上；以及覆蓋一閘導電層於該下寬上窄之主動區與該基底之部分表面上，其中該閘導電層係沿一第二方向延伸，且於該閘導電層與其所覆蓋之該下寬上窄之主動區與該基底之間更包括設置一閘介電層。

40.如申請專利範圍第 39 項所述之緒式電晶體之製造方法，其中該緒式電晶體係為一多閘電晶體。

41.如申請專利範圍第 39 項所述之緒式電晶體之製造方法，其中該緒式電晶體係為一雙閘或三閘電晶體。

42.如申請專利範圍第 41 項所述之緒式電晶體之製造方法，其中該雙閘電晶體中之兩閘極係形成於該下寬上窄之主動區之相對側壁上。

43.如申請專利範圍第 41 項所述之緒式電晶體之製造方法，其中該三閘電晶體中之三閘極係形成於該下寬上窄之主動區之相對側壁上以及該下寬上窄之主動區之上部。

44.如申請專利範圍第 39 項所述之緒式電晶體之製造方法，其中該緒式電晶體係為一 NMOS 電晶體。

45.如申請專利範圍第 39 項所述之緒式電晶體之製造方法，其中該緒式電晶體係為一 PMOS 電晶體。

46.如申請專利範圍第 39 項所述之緒式電晶體之製造方法，其中該半導體層之材質係為矽、鍺或鍺化矽。

47.如申請專利範圍第 39 項所述之緒式電晶體之製造方法，其中蝕刻步驟所使用之反應氣體係包括氟碳化合物、氧氣、氯氣、一氧化碳或其組合。

48.如申請專利範圍第 47 項所述之緒式電晶體之製造方法，其中上述反應氣體之流量大體介於 5~300 sccm。

49.如申請專利範圍第 39 項所述之緒式電晶體之製造方法，其中蝕刻壓力大體介於 5~100 毫托。

50.如申請專利範圍第 39 項所述之緒式電晶體之製造方法，其中蝕刻功率大體介於 100~1500 瓦特。

51.如申請專利範圍第 39 項所述之緒式電晶體之製造方法，其中該下寬上窄之主動區之高度大體介於 150~3000 埃。

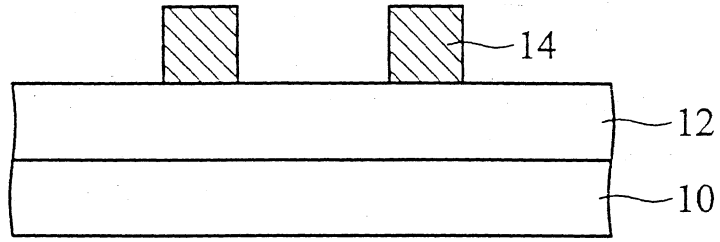
52.如申請專利範圍第 39 項所述之緒式電晶體之製造方法，其中該下寬上窄之主動區之底邊與斜邊之夾角大體介於 30~80 度。

53.如申請專利範圍第 39 項所述之緒式電晶體之製造方法，其中該閘介電層之材質係為氧化矽或氮氧化矽。

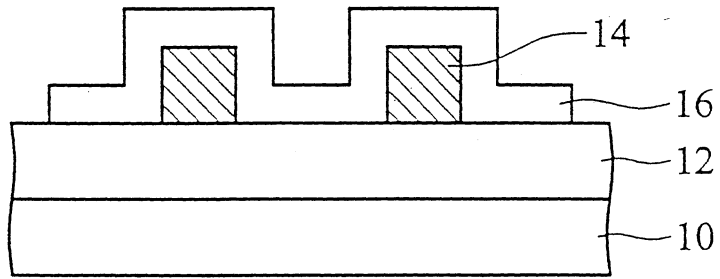
54.如申請專利範圍第 39 項所述之緒式電晶體緒式電晶體之製造方法，其中該閘導電層之材質係為複晶矽。

55.如申請專利範圍第 39 項所述之緒式電晶體之製造方法，其中該第一方向大體正交於該第二方向。

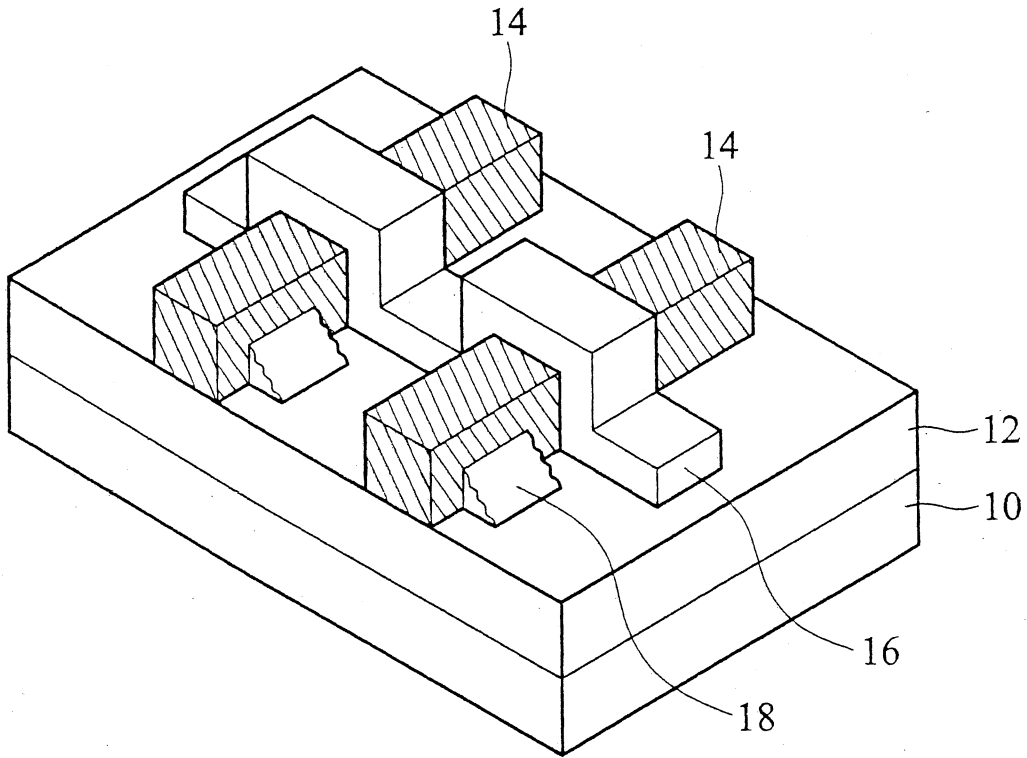
56.如申請專利範圍第 39 項所述之緒式電晶體緒式電晶體之製造方法，其中於形成該閘導電層之後，更包括形成一源極與一汲極於該閘導電層兩側之該下寬上窄之主動區中。



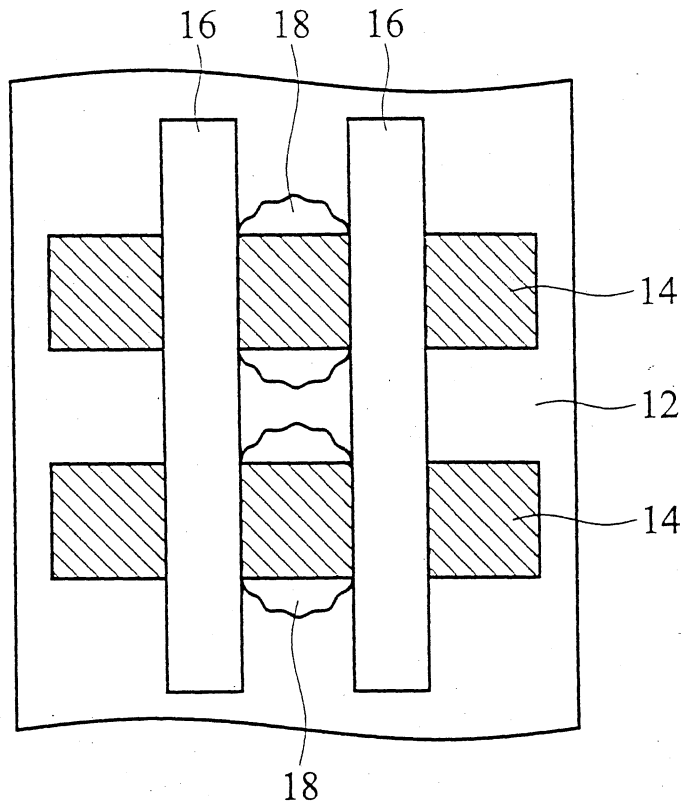
第 1a 圖



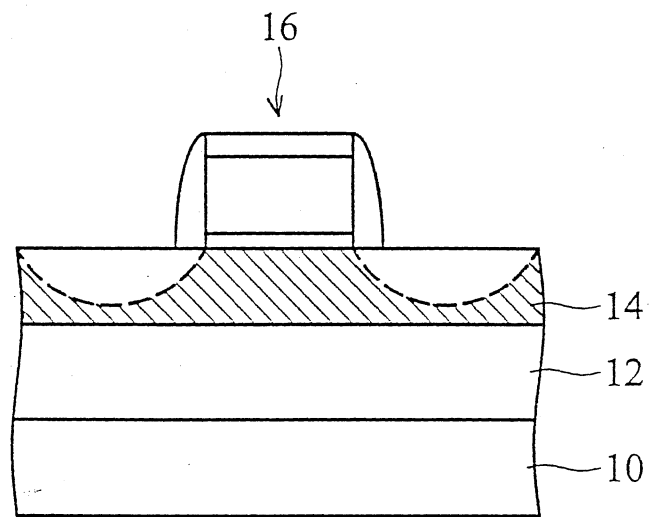
第 1b 圖



第 1c 圖

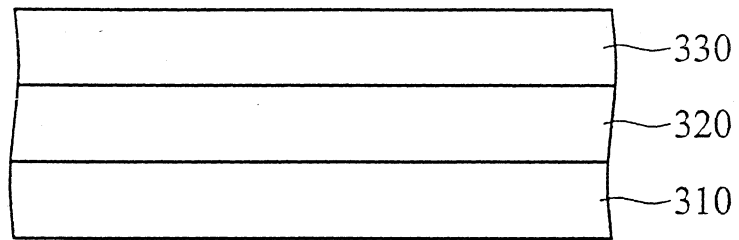


第 1d 圖

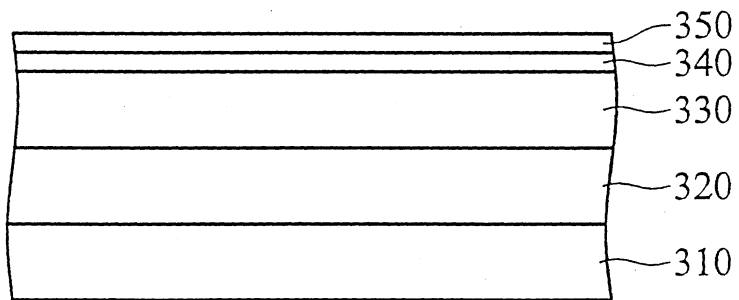


第 2 圖

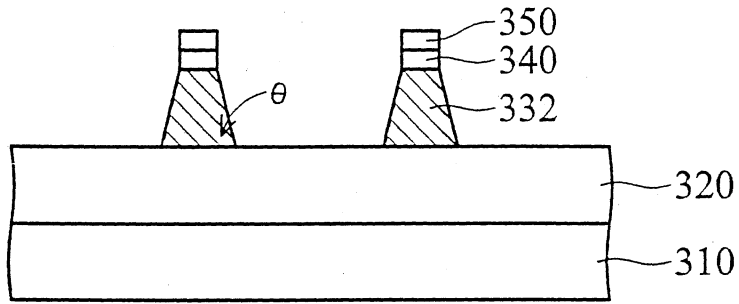
300



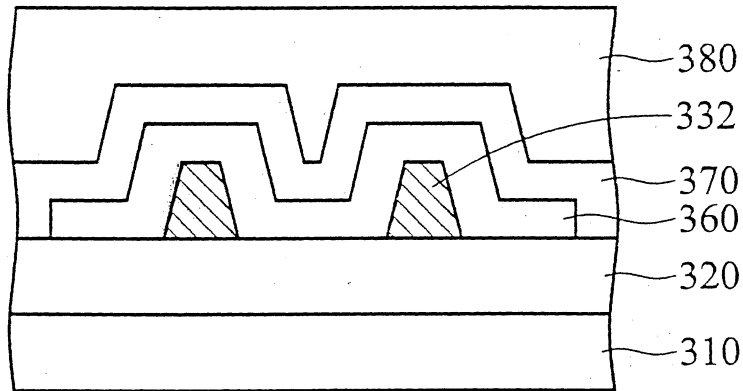
第 3a 圖



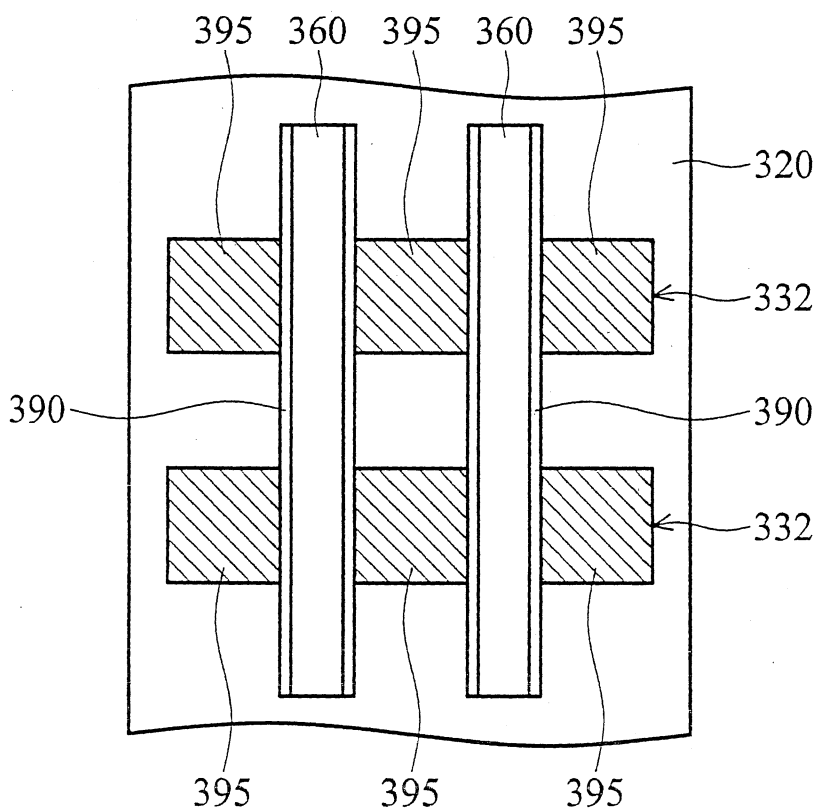
第 3b 圖



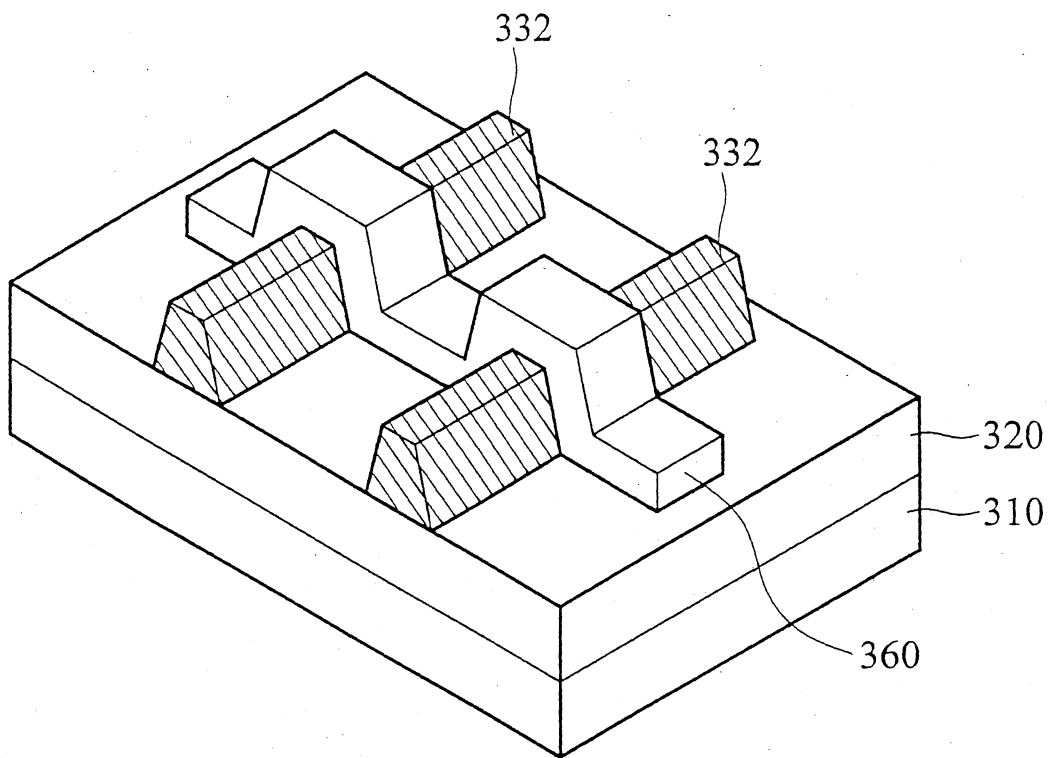
第 3c 圖



第 3d 圖



第 4 圖



第 5 圖