

(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) 。 Int. Cl. G11C 13/02 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년06월08일 10-0587702 2006년06월01일
---	-------------------------------------	--

(21) 출원번호 (22) 출원일자	10-2004-0053346 2004년07월09일	(65) 공개번호 (43) 공개일자	10-2006-0004289 2006년01월12일
------------------------	--------------------------------	------------------------	--------------------------------

(73) 특허권자            삼성전자주식회사  
                              경기도 수원시 영통구 매탄동 416

(72) 발명자                조백형  
                              경기도 오산시 부산동 779-1번지 운암주공아파트 310동 603호

                              김두웅  
                              경기도 용인시 수지읍 풍덕천리 1168 진산마을 삼성APT 516동 1004호

                              조우영  
                              경기도 화성군 태안읍 반월리 신영통 현대아파트 211동 1103호

(74) 대리인                김능균

심사관 : 조명관

(54) 피크 전류의 감소 특성을 갖는 상변화 메모리 장치 및 그에 따른 데이터 라이팅 방법

요약

상변화 메모리 셀을 갖는 상변화 메모리 장치 및 그에 따른 데이터 라이팅 방법이 개시되어 있다. 본 발명의 상변화 메모리 장치는, 복수의 비트라인 및 복수의 워드라인과, 상기 복수의 비트라인과 복수의 워드라인의 교차점 마다 연결된 복수의 상변화 메모리 셀과, 상기 비트라인들에 연결되며 서로 다른 활성구간을 갖는 리셋 펄스를 상기 대응되는 비트라인들에 각기 공급하는 복수의 라이트 드라이버를 구비한다. 본 발명의 상변화 메모리 장치에 따르면, 라이트 동작에서 피크 전류 값이 감소 또는 최소화되어 전원전압의 변동이 획기적으로 방지된다. 따라서, 라이트 동작의 페일 확률이 줄어들고 한꺼번에 라이트 가능한 비트 수가 증가되므로 상변화 메모리 장치의 라이트 동작 퍼포먼스가 개선되는 장점이 있다.

대표도

도 4

색인어

상변화 메모리, 라이트 데이터, 셋 전류 펄스, 리셋 전류 펄스

명세서

## 도면의 간단한 설명

- 도 1은 통상적인 상변화 메모리 셀을 구성하는 상변화 물질의 상태변화를 보여주는 도면,  
 도 2는 도 1에 보여지는 상변화 물질의 시간 대 온도에 따른 상변화 특성 그래프도,  
 도 3은 도 1의 상변화 메모리 셀을 제1,2 저항상태로 변화시키기 위한 전류펄스의 파형들을 보여주는 도면,  
 도 4는 본 발명의 제1 실시 예에 따른 상변화 메모리 장치의 라이트 동작관련 블록도,  
 도 5는 도 4의 라이트 드라이버들에 인가되는 펄스 제어신호들의 생성 타이밍도,  
 도 6은 본 발명의 제2 실시 예에 따른 상변화 메모리 장치의 라이트 동작관련 블록도,  
 도 7은 도 6의 라이트 드라이버에 연결되는 리셋 펄스 제어신호 발생기의 구현 예를 보인 회로도,  
 도 8은 도 6의 라이트 드라이버들에 인가되는 펄스 제어신호들의 생성 타이밍도,  
 도 9는 도 4 또는 도 6에 적용되는 라이트 드라이버의 블록도, 및  
 도 10은 도 9의 구현 예를 보인 구체회로도.

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 메모리에 관한 것으로, 특히 상변화 메모리 셀을 갖는 상변화 메모리 장치 및 그에 따른 데이터 라이팅 방법에 관한 것이다.

통상적으로, 상변화 물질(phase change material)을 두 물리적 상태들 중의 하나로 세팅하는 것에 의해, 상변화 물질로 구성된 상변화 메모리 셀 내에 데이터가 저장될 수 있다. 예를 들면, 상변화 물질의 제1 물리적 상태는 고 저항상태를 포함할 수 있고, 제2 물리적 상태는 저 저항상태를 포함할 수 있다. 여기서, 상기 고 저항상태가 바이너리 1을 표현하는 경우에 상기 저 저항상태는 바이너리 0을 표현할 수 있다.

상변화 메모리 셀을 복수로 가지는 메모리 셀 어레이를 포함하는 상변화 메모리 장치가 컴퓨터 등과 같은 전자적 시스템 내에 채용될 경우에, 상변화 메모리 장치에 전원의 공급이 중단되더라도 상기 상변화 메모리 장치내의 메모리 셀에 저장된 데이터는 상기 상변화 물질의 특성에 기인하여 멸실되지 않는다. 즉, 상기 상변화 메모리 장치는 디램과는 달리 불휘발성 메모리인 것이다. 더구나, 고속 동작 및 저소비 전력 특성은 상기 상변화 메모리 장치가 갖는 또 다른 장점으로 부각된다.

통상적인 상변화 메모리 셀을 구성하는 상변화 물질의 상태변화는 도 1에 나타나있다. 상변화 물질의 상태변화를 보여주는 도 1을 참조하면, 상부전극(56)과 하부전극(54)사이에서 샌드위치된 상변화 물질 막(55)이 보여진다. 상기 상변화 물질막(55)은 온도 및 히팅시간에 따라 상(phase)이 결정(crystalline) 또는 비정질(amorphous)상태로 변화됨으로써 저항값이 변화되는 상변화 물질(phase change material), 예컨대  $Ge_xSb_yTe_z$ (이하, GST)등으로 구성될 수 있다. 여기서, 상기 상변화 물질막(55)은 가변 저항체( $R=R1, R2$ )로서 기능함을 알 수 있다.

상기 상변화 물질(GST)로 이루어진 가변 저항체(R)에 하나의 액세스 트랜지스터(NT)를 연결하면, 하나의 상변화 메모리 셀이 구성될 수 있다. 여기서, 상기 액세스 트랜지스터(NT)의 게이트는 메모리 셀 어레이의 행을 이루는 워드라인(WL)과 연결될 수 있으며, 상기 가변 저항체(R)의 일단은 메모리 셀 어레이의 열을 구성하는 비트라인(BL)과 연결될 수 있다. 한편, 도면에서 상기 가변 저항체(R)는 비트라인과 연결되어 있지만, 사안이 다를 경우에 상기 가변 저항체(R)는 상기 액세스 트랜지스터(NT)의 소오스 단자와 기준전압 라인(GND)사이에서 연결될 수도 있다.

도 2에는 도 1에 보여지는 상변화 물질(GST)의 시간 대 온도에 따른 상변화 특성이 도시된다. 도면에서, 가로축은 시간(time)을 나타내며, 세로축은 온도(T)를 나타낸다. 상기 상변화 물질(GST)의 비정질화 상태는, 그래프 참조부호들(12,10,14)을 따라 나타나는 곡형과 같이, 상기 상변화 물질(GST)을 용융점(T<sub>m</sub>: melting temperature) 이상으로 가열한 후, 냉각시키는 것에 의해 달성된다. 또한 결정화 상태는, 그래프 참조부호들(22,20,24)을 따라 나타나는 곡형과 같이, 상기 상변화 물질(GST)을 일정시간동안 결정화 온도(T<sub>x</sub>: crystallization temperature) 이상으로 가열한 후, 냉각시키는 것에 의해 달성된다.

도 2의 상변화 특성 그래프들에서 비정질화 및 결정화를 위해 인가되어야 할 전류 펄스의 곡형들이 고려될 수 있는데, 이는 도 3에 보여진다. 도 3을 참조하면, 도 1의 상변화 메모리 셀을 제1,2 저항상태로 변화시키기 위한 전류펄스의 곡형들이 보여진다. 도면에서, 가로축은 시간(time)을 나타내며, 세로축은 전류(I)를 나타낸다. 전류의 세기를 비교시, 리셋 전류 펄스(RESET)의 레벨은 셋 전류 펄스(SET)의 레벨보다 높다. 전류의 인가시간을 비교시, 셋 전류 펄스(SET)의 인가시간은 리셋 전류 펄스(RESET)의 인가시간보다 상대적으로 길다. 도면의 하부에서는 상기 셋 전류 펄스(SET)의 레벨이 시간에 따라 감소되는 경우가 보여진다. 그러한 경우에 셋 동작은 상부의 셋 동작에 비해 원활히 수행될 수 있다.

상기 도 3의 리셋 전류 펄스(RESET)와 셋 전류 펄스(SET)는 라이트 동작 모드에서 바이너리 1 또는 바이너리 0을 저장하기 위해 상변화 메모리 셀에 인가되어야 하는 라이트 전류를 의미한다.

다시 도 1로 돌아가서, 참조부호들(ST1,ST2)에서 보여지는 바와 같이, 상기 상변화 물질(GST)의 상태가 비정질화 상태에서 결정화 상태로 바뀌는 경우를 셋(SET)이라고 정의하면, 결정화 상태에서 비정질화 상태로 다시 바뀌는 경우는 리셋(RESET)으로 정의될 수 있다. 상기 상변화 물질(GST)이 비정질화 상태로 존재하는 경우에 저항값은 결정화 상태로 존재하는 경우의 저항값에 비해 현저히 크다. 즉, 저항(R1)의 저항값은 저항(R2)의 저항값 보다 크다. 상기 상변화 물질(GST)을 가열하는 방법으로서, 레이저빔을 이용하는 방법과 전류를 이용하는 방법 등이 알려져 있는데, 메모리 칩의 구현용이성 측면에서 전류를 이용하는 방법이 선호된다. 전류를 이용하는 방법을 적용 시, 상기 도 3에서 보여지는 바와 같은 전류 펄스들이 데이터 라이팅을 위해 비트라인을 통해 제공된다. 결국, 상기 상변화 물질(GST)은 전류의 세기(magnitude) 및 전류의 인가시간에 따라 발생하는 주울열(joule heating)에 의해 셋 또는 리셋 상태로 된다.

종래기술로서, 상변화 메모리 장치에서 라이트 동작을 수행하는 기술의 예는 로레이(Lowrey)의 다수에게 2003년 4월 8일자로 특허허여된 미국특허번호 6,545,907호에 개시되어 있다. 상기 로레이 특허에는 라이트 전류로서의 리셋펄스와 셋 펄스로써 라이트 동작을 수행하는 방법이 개시되어 있다.

상기한 바와 같은 상변화 메모리 셀을 복수로 갖는 상변화 메모리 장치에서, 리셋 동작에 필요한 전류의 세기는 셋 동작에 필요한 전류의 세기보다 일반적으로 크고, 리셋 동작을 위한 전류 공급시간은 셋 동작을 위한 전류 공급 시간보다 짧음을 알 수 있다. 따라서, 리셋 동작의 경우에 전류의 세기가 상대적으로 크므로 같은 라이트 동작사이클에서 라이트 되어야할 상변화 메모리 셀들의 수가 많으면 많을수록 피크 전류값이 그만큼 높아진다. 예를 들어, 한꺼번에 16비트 이상을 리셋시키는 경우에 소모되는 피크 전류 값은 공급되는 전력에 영향을 크게 미쳐 전원전압의 변동(fluctuation)으로 인한 리셋 동작 페일이 유발될 수 있다. 또한, 그러한 전원전압의 변동문제를 해소하기 위해 피크 전류값을 제한하게 될 경우에는 선택된 메모리 셀 블록으로 한꺼번에 라이트 가능해지는 비트 수가 제한되어 버리는 문제점이 있다.

따라서, 상변화 메모리 장치에서의 라이트 동작(또는 프로그램 동작으로서도 불려짐)중 특히 리셋 동작에서 피크 전류 값을 감소 또는 최소화할 수 있는 기술이 본 기술 분야에서 강력히 요구된다.

### 발명이 이루고자 하는 기술적 과제

본 발명의 목적은 상기한 종래의 문제점을 해소할 수 있는 상변화 메모리 장치를 제공함에 있다.

본 발명의 다른 목적은 라이트 동작에서 피크 전류 값을 최소화 또는 감소시킬 수 있는 상변화 메모리 장치를 제공함에 있다.

본 발명의 또 다른 목적은 라이트 동작에서 전원전압의 변동을 최소화 또는 감소시킬 수 있는 상변화 메모리 장치 및 그에 따른 데이터 라이팅 방법을 제공함에 있다.

본 발명의 또 다른 목적은 라이트 동작 시 전원전압의 변동에 기인한 메모리 셀의 리셋 동작 페일을 방지 또는 최소화할 수 있는 상변화 메모리 장치 및 그에 따른 데이터 라이팅 방법을 제공함에 있다.

본 발명의 또 다른 목적은 선택된 메모리 셀 블록으로 한꺼번에 라이트 가능한 비트 수를 증가시킬 수 있는 상변화 메모리 장치 및 그에 따른 데이터 라이팅 방법을 제공함에 있다.

본 발명의 또 다른 목적은 여러 비트를 한꺼번에 리셋 시킬 경우에 피크 전류값을 감소시킬 수 있는 상변화 메모리 장치의 라이트 회로를 제공함에 있다.

상기한 목적들 및 타의 목적을 달성하기 위한 본 발명의 예시적 구체화(embodiment)에 따라, 상변화 메모리 장치는: 복수의 비트라인 및 복수의 워드라인과, 상기 복수의 비트라인과 복수의 워드라인의 교차점 마다 연결된 복수의 상변화 메모리 셀과, 상기 비트라인들에 연결되며 서로 다른 활성구간을 갖는 리셋 펄스를 상기 대응되는 비트라인들에 각기 공급하는 복수의 라이트 드라이버를 구비한다.

바람직하기로, 상기 리셋 펄스는 상기 상변화 메모리 셀을 리셋하기 위한 전류 펄스일 수 있으며, 이 경우에 상기 리셋 전류 펄스의 폭은 셋 전류 펄스의 폭보다 작은 폭을 가진다.

또한, 상기 복수의 라이트 드라이버는 각기 대응되는 컬럼 선택회로를 통하여 각기 2개 이상의 비트라인들과 연결되거나, 각기 1개의 비트라인과 일대일로 연결될 수 있다.

바람직하기로, 상기 복수의 라이트 드라이버들은 각기, 인가되는 라이트 데이터의 논리상태에 응답하여 셋 또는 리셋 펄스 중의 하나를 선택하는 펄스 선택회로와; 상기 펄스 선택회로로부터 출력된 펄스에 응답하여 라이트 전류 제어신호를 생성하는 전류 제어회로와; 상기 전류 제어회로의 상기 라이트 전류 제어신호에 응답하여 셋 또는 리셋 전류 펄스를 생성하는 전류 구동회로를 포함할 수 있다.

본 발명의 일 양상(aspect)에 따라, 복수의 상변화 메모리 셀을 워드라인들과 비트라인들의 인터섹션에 구비한 상변화 메모리 장치에서, 상기 상변화 메모리 셀들 중 제2 저항상태로 되어 있는 상변화 메모리 셀이 제1 저항상태로 상변화 되도록 하는 데이터 라이팅 방법은, 상기 상변화 메모리 셀들 중 동일한 라이트 사이클에서 함께 선택되는 상변화 메모리 셀들에 대하여 상기 제1 저항상태로 상변화 되도록 하는 라이트 전류 펄스를 시차적으로 인가하여, 전원전압의 피크전류가 감소 되도록 함을 특징으로 한다.

상기한 장치적 및 방법적 구성에 따르면, 라이트 동작에서 피크 전류 값이 감소 또는 최소화되어 전원전압의 변동이 획기적으로 방지된다. 따라서, 라이트 동작의 폐일 확률이 줄어들고 한꺼번에 라이트 가능한 비트 수가 증가되므로 상변화 메모리 장치의 라이트 동작 퍼포먼스가 개선된다.

### 발명의 구성 및 작용

상기한 본 발명의 목적들 및 타의 목적들, 특징, 그리고 이점들은, 첨부된 도면들을 참조하여 이하에서 기술되는 본 발명의 상세하고 바람직한 실시예들의 설명에 의해 보다 명확해질 것이다. 도면들 내에서 서로 동일 내지 유사한 부분들은 설명 및 이해의 편의상 동일 내지 유사한 참조부호들로 기재됨을 주목(note)하여야 한다.

도 4는 본 발명의 제1 실시 예에 따른 상변화 메모리 장치의 라이트 동작관련 블록도이다. 도면을 참조하면, 복수의 라이트 드라이버(20,22,24), 컬럼 패스게이트들(ST1-ST6), 및 상변화 메모리 셀 어레이(10)로 구성된 와이어링 관계가 보여진다.

상기 상변화 메모리 셀 어레이(10)는 워드라인들(WL0-WLm)과 비트라인들(BLi,BLj,BLk)의 인터섹션에 매트릭스 형태로 연결된 상변화 메모리 셀(MC)을 복수로 가진다. 도면에서는 생략되어 있지만, 상기 워드라인들(WL0-WLm)은 로우(row) 어드레스를 디코딩하는 로우 디코딩부의 출력에 통상적으로 연결되어 있고, 상기 컬럼 패스게이트들(ST1-ST6)을 제어하는 컬럼 선택신호들(Y0-Yn)은 컬럼 어드레스를 디코딩하는 컬럼 디코딩부의 출력에 연결된다.

상기 도 4의 장치내의 회로블록들은 통상적인 디램(DRAM)이 갖는 회로 기능 블록들과 매우 유사하다. 그러나, 상기 상변화 메모리 셀(MC)내의 상변화 물질(GST)의 특성에 기인하여 상기 라이트 드라이버들(20,22,24) 및 상변화 메모리 셀 어레이(10)는 디램의 대응되는 블록들과는 세부적 구성 및 동작측면에서 다르다.

도 4에서 보여지는 상기 라이트 드라이버들(20,22,24)은 각기 복수의 비트라인들과 대응적으로 연결된다. 즉, 하나의 라이트 드라이버(20)에는 복수의 비트라인(BLi\_0 - BLi\_n)이 연결되어 있다. 여기서, 상기 n은 자연수를 가리킨다. 상기 라이트 드라이버들(20,22,24)에는 셋 펄스 제어신호(SET)가 공통으로 인가되고, 리셋 펄스 제어신호들(RESETi,RESETj,RESETk)이 각기 대응적으로 인가된다.

여기서, 상기 리셋 펄스 제어신호들(RESETi,RESETj,RESETk)은 도 5에서 보여지는 대응 파형들로서, 서로 다른 타임구간에서 생성된다. 도 5는 도 4의 라이트 드라이버들(20,22,24)에 인가되는 펄스 제어신호들의 생성 타이밍이다. 도면에서 알 수 있는 바와 같이, 리셋 펄스 제어신호(RESETj)는 리셋 펄스 제어신호(RESETi)보다 타임 지연된 신호이고, 리셋 펄스 제어신호(RESETk)는 리셋 펄스 제어신호(RESETj)보다 타임 지연된 신호이다. 여기서, 상기 리셋 펄스 제어신호들(RESETi,RESETj,RESETk)이 생성되는 전체 타임구간을 셋 펄스 제어신호(SET)의 타임구간보다 길지 않도록 하는 것이 바람직하다. 즉, 본 발명의 실시 예에서는 상변화 메모리 셀을 셋하는데 걸리는 시간과 리셋하는데 걸리는 시간이 다르다는 것에 착안하여 셋 타임 구간과 비슷하게 전체 리셋 타임 구간을 설정하여 두고 리셋 전류 펄스를 시차적으로 제공하는 것이다. 다시 설명하면, 여러 비트가 한꺼번에 리셋될 경우에 피크 전류값이 증가되는데, 본 발명의 실시 예에서는 피크 전류값을 감소시키기 위하여 정해진 라이트 타임구간 내에서 비트별 리셋 전류 펄스를 시분할적으로 인가하는 것이다. 이에 따라, 라이트 동작에서 피크 전류 값이 감소 또는 최소화되어 전원전압의 변동이 방지된다. 그러므로, 라이트 동작의 폐일 확률이 줄어들고 한꺼번에 라이트 가능한 비트 수가 증가된다.

결국, 도 4의 라이트 드라이버들(20,22,24)은 비트라인들에 대하여 n:1 로서 각기 대응적으로 연결되며, 서로 다른 타임구간에서 인가되는 리셋 펄스 제어신호에 각기 응답하여 리셋 전류 펄스를 서로 다른 타임구간에서 각기 생성하고 이를 컬럼 패스를 통해 상기 대응되는 비트라인들에 각기 공급하는 기능을 한다.

이하에서는 본 발명의 제2 실시 예가 설명될 것이다. 도 6은 본 발명의 제2 실시 예에 따른 상변화 메모리 장치의 라이트 동작관련 블록도이다. 도면을 참조하면, 도 4와 유사하게, 복수의 라이트 드라이버(20,22,24,26), 컬럼 패스게이트들(ST1-ST4), 및 상변화 메모리 셀 어레이(10)로 구성된 와이어링 관계가 보여진다.

도 6에서는 도 4의 경우와는 다르게, 라이트 드라이버들(20,22,24,26)은 각기 대응되는 컬럼 패스를 통하여 각기 하나의 대응되는 비트라인과 연결된다. 즉, 라이트 드라이버(20)는 컬럼 선택 트랜지스터(ST1)를 통하여 비트라인(BL1)과 연결되고, 라이트 드라이버(22)는 컬럼 선택 트랜지스터(ST2)를 통하여 비트라인(BL2)과 연결된다. 유사하게, 상기 라이트 드라이버들(20,22,24,26)에는 셋 펄스 제어신호(SET)가 공통으로 인가되고, 리셋 펄스 제어신호들(RESET1,RESET2,RESETn-1,RESETn)이 각기 대응적으로 인가된다. 즉, 리셋 펄스 제어신호(RESET1)는 대응되는 라이트 드라이버(20)에 인가되고, 리셋 펄스 제어신호(RESET2)는 대응되는 라이트 드라이버(22)에 인가된다.

여기서, 상기 리셋 펄스 제어신호들(RESET1,RESET2,RESETn-1,RESETn)은 도 8에서 보여지는 대응 파형들로서, 서로 다른 타임구간에서 생성된다. 도 8은 도 6의 라이트 드라이버들(20,22,24,26)에 인가되는 펄스 제어신호들의 생성 타이밍이다. 도면에서 알 수 있는 바와 같이, 리셋 펄스 제어신호(RESET2)는 리셋 펄스 제어신호(RESET1)보다 타임 지연된 신호이고, 리셋 펄스 제어신호(RESETn)는 리셋 펄스 제어신호(RESETn-1)보다 타임 지연된 신호이다. 여기서, 상기 리셋 펄스 제어신호들(RESET1,RESET2,RESETn-1,RESETn)이 생성되는 전체 타임구간을 셋 펄스 제어신호(SET)의 타임구간보다 길지 않도록 하는 것이 바람직하다. 도 6과 같은 리셋 전류 펄스의 인가 방법에 따르면, 라이트 동작에서 피크 전류 값이 감소 또는 최소화되어 전원전압의 변동이 방지된다.

결국, 도 6의 라이트 드라이버들(20,22,24,26)은 비트라인들에 대하여 1:1 로서 각기 대응적으로 연결되며, 서로 다른 타임구간에서 인가되는 리셋 펄스 제어신호에 각기 응답하여 리셋 전류 펄스를 서로 다른 타임구간에서 각기 생성하고 이를 컬럼 패스를 통해 상기 대응되는 비트라인들에 각기 공급하는 기능을 한다.

도 7은 도 6의 라이트 드라이버에 연결되는 리셋 펄스 제어신호 발생기의 구현 예를 보인 회로로서, 어드레스 천이검출 신호(ATD)와 접지 신호를 수신하여 노아 응답을 생성하는 노아 게이트(NOR1), 상기 노아 게이트(NOR1)의 출력신호를 일정시간동안 지연하는 제1 지연기(D1), 상기 노아 게이트(NOR1)의 출력신호와 상기 제1 지연기(D1)의 출력신호를 수신하여 낸드 응답을 생성하는 낸드 게이트(NAN1), 상기 낸드 게이트(NAN1)의 출력을 일정시간 지연하여 제2 리셋 펄스 제어신호(RESET2)로서 출력하는 제2 지연기(D2), 상기 제2 지연기(D2)의 출력을 일정시간 지연하여 제3 리셋 펄스 제어신호(RESETn-1)로서 출력하는 제3 지연기(D3), 그리고, 상기 제3 지연기(D3)의 출력을 일정시간 지연하여 제4 리셋 펄스 제어신호(RESETn)로서 출력하는 제4 지연기(D4)로 구성된다.

도 9는 도 4 또는 도 6에 적용되는 라이트 드라이버의 블록도로서, 전류 제어회로(200), 펄스 선택회로(204), 및 전류 구동회로(202)를 포함한다. 도 10은 도 9의 구현 예를 보인 구체회로도이다. 도면을 참조하면, 상기 펄스 선택회로(204)는 셋 펄스 제어신호 및 리셋 펄스 제어신호(SET, RESET<sub>i</sub>)중의 하나를, 인가되는 라이트 데이터(DATA)의 논리 상태에 응답하여 선택하는 기능을 수행하기 위해, 패스(pass) 게이트들(PG1,PG2), 인버터들(IN1-IN4)로 구성된다. 상기 전류 제어회로(200)는, 리셋 전류 및 셋 전류의 세기(Magnitude)를 결정하기 위한 제어전압을 생성하기 위해 피형 및 엔형 모오스 트랜지스터들(PM1,PM2,NM1-NM5)로 구성된다. 상기 전류 구동회로(202)는 상기 전류 제어회로(200)의 제어전압에 응답하여 셋 전류 또는 리셋 전류로서의 라이트 전류 펄스를 노드(ND2)에 출력하기 위해, 인버터(IN5), 및 피형 및 엔형 모오스 트랜지스터들(PM3,NM6)로 구성된다.

도 10에서, 상기 엔형 모오스 트랜지스터들(NM3,NM4)은 상기 펄스 선택회로(204)에 의해 셋 동작시 턴오프되기 때문에, 상기 엔형 모오스 트랜지스터들(NM1,NM2)에 의해서만 노드(ND1)에서 접지로의 전류패스가 형성된다. 이에 따라, 노드(ND1)의 전압 레벨은 상기 엔형 모오스 트랜지스터들(NM3,NM4)이 함께 턴온되는 경우에 비해 높아진다. 그러므로, 상기 구동 트랜지스터(PM3)의 전류 구동능력은 그만큼 약화된다. 결국, 도 3에서 보여지는 바와 같은 전류 세기를 갖는 셋 전류 펄스(SET)가 도 5 또는 도 8과 같은 셋 펄스 폭을 가지고서, 상기 노드(ND2)에 출력된다. 상기 노드(ND2)에 출력된 셋 전류 펄스(LSET)는 상기 컬럼 패스를 통해 대응되는 비트라인에 인가된다.

한편, 도 10에서, 상기 엔형 모오스 트랜지스터들(NM3,NM4)은 리셋 동작시 상기 펄스 선택회로(204)의 동작에 의해 턴온되기 때문에, 상기 엔형 모오스 트랜지스터들(NM1,NM2,NM3,NM4) 모두에 의해, 노드(ND1)에서 접지로의 전류패스가 병렬로 형성된다. 이에 따라, 노드(ND1)의 전압 레벨은 상기 엔형 모오스 트랜지스터들(NM3,NM4)이 턴오프된 경우에 비해 낮아진다. 그러므로, 상기 구동 트랜지스터(PM3)의 전류 구동능력은 그만큼 강화되어 도 3에서 보여지는 바와 같은 전류 세기를 갖는 리셋 전류 펄스(L\_RESET<sub>i</sub>)가 설정된 타임 구간동안 노드(ND2)에 출력된다. 여기서, 임의의 리셋 전류 펄스(L\_RESET<sub>i</sub>)의 생성 시점은 도 8의 리셋 펄스 제어신호들(RESET1,RESET2,RESET<sub>n-1</sub>,RESET<sub>n</sub>) 중 어느 리셋 펄스 제어신호가 인가되는가에 따라 다르게 됨은 전술한 설명을 통하여 충분히 이해될 수 있을 것이다. 결국, 라이트 드라이버(22)에서 생성되는 리셋 전류 펄스(L\_RESET2)는 라이트 드라이버(20)에서 생성되는 리셋 전류 펄스(L\_RESET1)보다 일정시간 지연된 펄스이다.

이와 같이 여러 비트를 한꺼번에 리셋하는 경우에 리셋 전류 펄스를 시차적으로 인가하는 라이트 드라이버의 펄스 인가 동작에 따라, 라이트 동작에서 피크 전류 값이 감소 또는 최소화된다.

이하에서는 본 발명의 철저한 이해를 제공할 의도 외에는 다른 의도 없이, 라이트 동작중 데이터 1을 상변화 메모리 셀에 저장하는 리셋 동작이 도 6을 참조로, 전체적으로 설명될 것이다.

도 6의 메모리 셀 어레이(10)내의 첫 번째 워드라인(WL0)과 첫 번째 비트라인(BL1)사이에 연결된 상변화 메모리 셀과, 첫 번째 워드라인(WL0)과 두 번째 비트라인(BL2)사이에 연결된 상변화 메모리 셀에 2비트의 라이트 데이터(DATA)를 저장하는 경우라고 가정하면, 미도시된 로우 디코더의 로우 디코딩 동작에 의해 상기 첫 번째 워드라인(WL<sub>i</sub>)이 활성화되고, 컬럼 디코더의 컬럼 디코딩 동작에 의해 상기 첫 번째 비트라인(BL1)이 선택된다. 한편, 상기 라이트 드라이버(20)에는 라이트 데이터(DATA)가 논리레벨 1로서 제공되고, 리셋 펄스 제어신호(RESET1)가 도 8의 대응 파형으로서 제공된다. 이에 따라, 상기 라이트 드라이버(20)는 리셋 전류 펄스(L\_RESET1)를 상기 첫 번째 비트라인(BL1)에 라이트 전류로서 인가한다. 상기 리셋 전류 펄스가 상기 첫 번째 비트라인(BL1)에 인가되면, 선택된 상변화 메모리 셀의 상변화 물질(GST)은 도 2의 온도 그래프(10)를 따르는 온도를 받게 되어 도 1의 좌측에 도시된 메모리 셀(52-1)과 같이 리셋된다. 리셋된 메모리 셀(52-1)은 고저항 상태를 가지므로, 데이터 1을 저장하고 있는 메모리 셀로서 기능할 수 있다.

한편, 첫 번째 워드라인(WL<sub>i</sub>)이 활성화된 상태에서 두 번째 비트라인(BL2)이 선택되는 경우에, 상기 라이트 드라이버(22)에는 라이트 데이터(DATA)가 논리레벨 1로서 제공되고, 리셋 펄스 제어신호(RESET2)가 도 8의 대응 파형으로서 제공된다. 이에 따라, 상기 라이트 드라이버(22)는 리셋 전류 펄스(L\_RESET2)를 상기 두 번째 비트라인(BL2)에 라이트 전류로서 인가한다. 상기 리셋 전류 펄스가 상기 두 번째 비트라인(BL2)에 인가되면, 선택된 상변화 메모리 셀의 상변화 물질(GST)은 상기한 바와 동일하게 리셋되어 데이터 1을 저장하게 된다.

상기한 바와 같은 라이팅 동작의 수행에 의해, 2비트의 데이터를 저장하기 위해 라이트 드라이버들(20,22)은 서로 다른 타임 구간에서 리셋 전류 펄스를 생성하여 대응되는 비트라인에 인가하기 때문에, 피크 전류의 증가는 최소화 또는 감소됨을 알 수 있다. 따라서, 반도체 메모리 장치에서 공급되는 전원전압의 변동은 동일한 타임구간에서 리셋 전류 펄스를 생성하는 경우에 비해 현저히 감소된다. 그러므로, 라이트 동작의 폐일 확률이 줄어들고 한꺼번에 라이트 가능한 비트 수가 증가되므로 상변화 메모리 장치의 라이트 동작 퍼포먼스가 개선된다.

상술한 바와 같이, 본 발명의 실시 예는 도면을 기준으로 예를 들어 기술되었지만 이에 한정되지 않으며 발명의 기술적 사상을 벗어나지 않는 범위 내에서 본 발명이 속하는 기술분야에서 통상의 지식을 갖는 자에 의해 다양한 변화와 변경이 가능함은 물론이다. 예를 들어, 리셋 펄스 제어신호의 생성방법을 달리하여 동일한 타임 구간에서 복수개의 신호를 생성하여 동시에 2개 이상의 리셋 전류 펄스가 제공되도록 하거나, 펄스의 과형 형태를 다르게 구현할 수 있음은 물론이다. 또한, 본 발명의 실시 예들에서는 리셋 동작의 경우를 예를 들었으나, 사안이 다른 경우에 셋 동작의 경우에도 셋 전류 펄스를 피크 전류의 감소를 위해 시분할적으로 생성할 수도 있을 것이다.

### 발명의 효과

상술한 바와 같이 본 발명에 따르면, 라이트 동작에서 피크 전류 값이 감소 또는 최소화되어 전원전압의 변동이 획기적으로 방지되는 효과가 있다.

따라서, 라이트 동작의 페일 확률이 줄어들고 한꺼번에 라이트 가능한 비트 수가 증가되므로 상변화 메모리 장치의 라이트 동작 퍼포먼스가 개선되는 장점이 있다.

### (57) 청구의 범위

#### 청구항 1.

복수의 비트라인 및 복수의 워드라인과;

상기 복수의 비트라인과 복수의 워드라인의 교차점 마다 연결된 복수의 상변화 메모리 셀과;

상기 비트라인들에 연결되며, 서로 다른 활성화구간을 갖는 리셋 펄스를 상기 대응되는 비트라인들에 각기 공급하는 복수의 라이트 드라이버를 구비하며, 각각의 라이트 드라이버는, 인가되는 라이트 데이터의 논리상태에 응답하여 셋 또는 리셋 펄스중의 하나를 선택하는 펄스 선택회로와, 상기 펄스 선택회로로부터 출력된 펄스에 응답하여 라이트 전류 제어신호를 생성하는 전류 제어회로와, 상기 전류 제어회로의 상기 라이트 전류 제어신호에 응답하여 셋 또는 리셋 전류 펄스를 생성하는 전류 구동회로를 포함함을 특징으로 하는 상변화 메모리 장치.

#### 청구항 2.

제1항에 있어서, 상기 리셋 펄스는 상기 상변화 메모리 셀을 리셋하기 위한 전류 펄스임을 특징으로 하는 상변화 메모리 장치.

#### 청구항 3.

제2항에 있어서, 상기 리셋 전류 펄스의 폭은 셋 전류 펄스의 폭보다 작은 폭을 가짐을 특징으로 하는 상변화 메모리 장치.

#### 청구항 4.

제3항에 있어서, 상기 리셋 전류 펄스의 크기는 셋 전류 펄스의 크기보다 큰 것을 특징으로 하는 상변화 메모리 장치.

#### 청구항 5.

제1항에 있어서, 상기 복수의 라이트 드라이버는 각기 2개 이상의 비트라인들과 연결되거나, 각기 1개의 비트라인과 일대일로 연결됨을 특징으로 하는 상변화 메모리 장치.

**청구항 6.**

제1항에 있어서, 상기 각각의 라이트 드라이버와 상기 각 상변화 메모리 셀사이에 컵 선택회로를 더 구비함을 특징으로 하는 상변화 메모리 장치.

**청구항 7.**

(삭제)

**청구항 8.**

제6항에 있어서, 상기 전류 구동회로는 상기 라이트 데이터가 하이일 때 상기 리셋 전류 펄스를 생성하는 것을 특징으로 하는 상변화 메모리 장치.

**청구항 9.**

제6항에 있어서, 상기 전류 구동회로는 상기 라이트 데이터가 로우일 때 상기 셋 전류 펄스를 생성하는 것을 특징으로 하는 상변화 메모리 장치.

**청구항 10.**

복수의 비트라인 및 복수의 워드라인과;

상기 복수의 비트라인과 복수의 워드라인의 교차점에 연결된 복수의 상변화 메모리 셀과;

상기 상변화 메모리 셀들 중에 동일한 라이트 동작 사이클 내에 속해 있는 상변화 메모리 셀들에 대하여는 서로 다른 타임 구간에서 생성된 리셋 전류 펄스를 대응되는 비트라인을 통해 시차적으로 제공하는 라이트 회로를 구비하며, 상기 라이트 회로는, 어드레스 천이 감지신호에 응답하여 복수의 리셋 펄스를 서로 다른 타임 구간에서 발생하는 리셋 펄스 발생기와, 상기 리셋 펄스들 중의 하나의 리셋 펄스와 인가되는 셋 펄스를 라이트 데이터의 논리상태에 따라 선택적으로 수신하여 리셋 또는 셋 전류 펄스를 생성하는 라이트 드라이버를 포함함을 특징으로 하는 상변화 메모리 장치.

**청구항 11.**

제10항에 있어서, 상기 라이트 회로는, 셋 전류 펄스를 동일한 타임 구간에서 생성하고 상기 대응되는 비트라인을 통해 공급하는 것을 특징으로 하는 상변화 메모리 장치.

**청구항 12.**

제11항에 있어서, 상기 셋 전류 펄스가 공급될 경우에 상기 선택된 상변화 메모리 셀은 상대적으로 저저항 상태를 가지며, 상기 리셋 전류 펄스가 공급될 경우에 상기 선택된 상변화 메모리 셀은 상대적으로 고저항 상태를 가짐을 특징으로 하는 상변화 메모리 장치.

**청구항 13.**

제12항에 있어서, 상기 상변화 메모리 셀은  $Ge_xSb_yTe_z$  으로 구성된 상변화 물질을 포함함을 특징으로 하는 상변화 메모리 장치.

#### 청구항 14.

(삭제)

#### 청구항 15.

제12항에 있어서, 상기 라이트 드라이버는,

인가되는 라이트 데이터의 논리상태에 응답하여 셋 또는 리셋 펄스중의 하나를 선택하는 펄스 선택회로와;

상기 펄스 선택회로로부터 출력된 펄스에 응답하여 라이트 전류의 세기를 결정하기 위한 제어전압을 생성하는 전류 제어 회로와;

상기 전류 제어회로의 제어전압에 응답하여 라이트 전류로서의 리셋 또는 셋 전류 펄스를 생성하는 전류 구동회로를 포함함을 특징으로 하는 상변화 메모리 장치.

#### 청구항 16.

워드라인들과 비트라인들의 인터섹션에 매트릭스 형태로 연결된 상변화 메모리 셀을 복수로 가지는 메모리 셀 어레이와;

인가되는 로우 어드레스를 디코딩하여 상기 워드라인들 중의 하나를 선택하기 위한 로우 디코딩부와;

인가되는 컬럼 어드레스를 디코딩하여 상기 비트라인들 중의 하나를 선택하기 위한 컬럼 디코딩부와;

라이트 데이터가 제1 논리상태일 때는 상기 상변화 메모리 셀들 중 한 사이클 내에서 선택된 상변화 메모리 셀들이 제1 저항상태를 갖도록 하는 제1 라이트 신호를 각기 다른 타임 구간에서 순차적으로 생성하고, 상기 라이트 데이터가 제2 논리상태일 때는 상기 한 사이클 내에서 선택된 상변화 메모리 셀들이 상기 제1 저항상태에서 제2 저항상태로 상변화되도록 하는 제2 라이트 신호를 동일한 타임구간에서 생성하는 라이트 회로를 구비함을 특징으로 하는 반도체 메모리 장치.

#### 청구항 17.

제16항에 있어서, 상기 상변화 메모리 셀은  $Ge_xSb_yTe_z$  으로 구성된 상변화 물질을 포함함을 특징으로 하는 반도체 메모리 장치.

#### 청구항 18.

복수의 상변화 메모리 셀을 워드라인들과 비트라인들의 인터섹션에 구비한 상변화 메모리 장치에서, 상기 상변화 메모리 셀들 중 제2 저항상태로 되어 있는 상변화 메모리 셀이 제1 저항상태로 상변화 되도록 하는 데이터 라이팅 방법에 있어서:

상기 상변화 메모리 셀들 중 동일한 라이트 사이클에서 함께 선택되는 상변화 메모리 셀들을 선택하는 단계와;

상기 선택된 상변화 메모리 셀들이 상기 제1 저항상태로 상변화 되도록 하는 라이트 전류 펄스를 생성하는 단계와;

상기 생성된 라이트 전류 펄스를 상기 선택된 상변화 메모리 셀들에 대하여 시차적으로 인가하여 전원전압의 피크전류가 감소되도록 하는 단계를 구비함을 특징으로 하는 방법.

청구항 19.

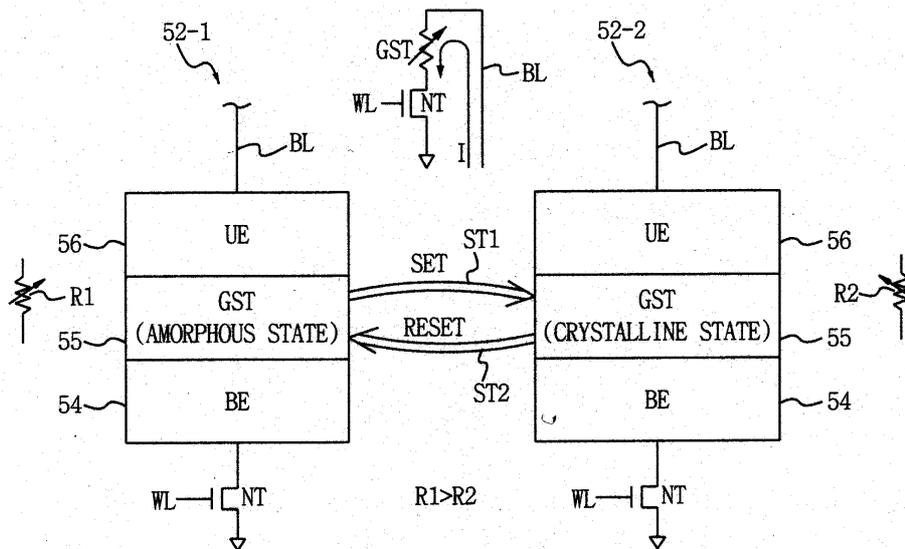
제18항에 있어서, 상기 제1 저항상태가 아몰퍼스 상태를 갖는 리셋을 나타내는 경우에 상기 제2 저항상태는 결정화 상태를 갖는 셋을 나타냄을 특징으로 하는 방법.

청구항 20.

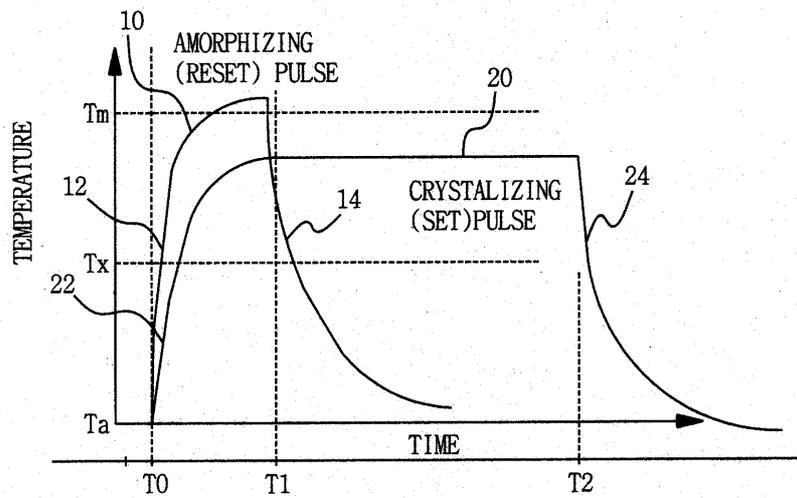
제18항에 있어서, 상기 상변화 메모리 셀은  $Ge_xSb_yTe_z$  으로 구성된 상변화 물질을 포함함을 특징으로 하는 방법.

도면

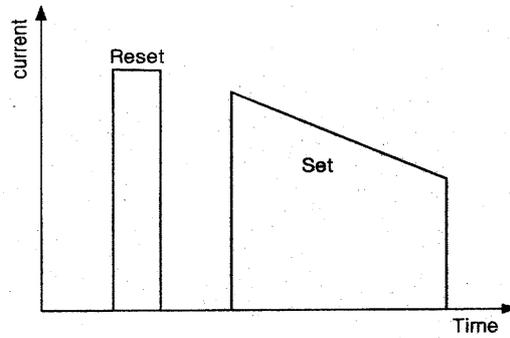
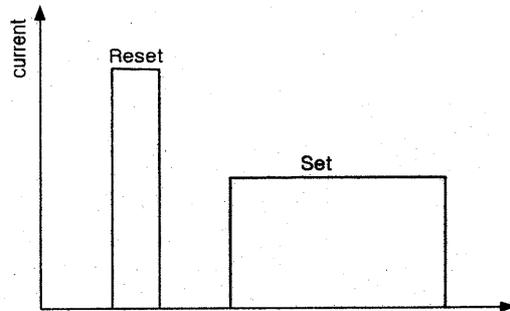
도면1



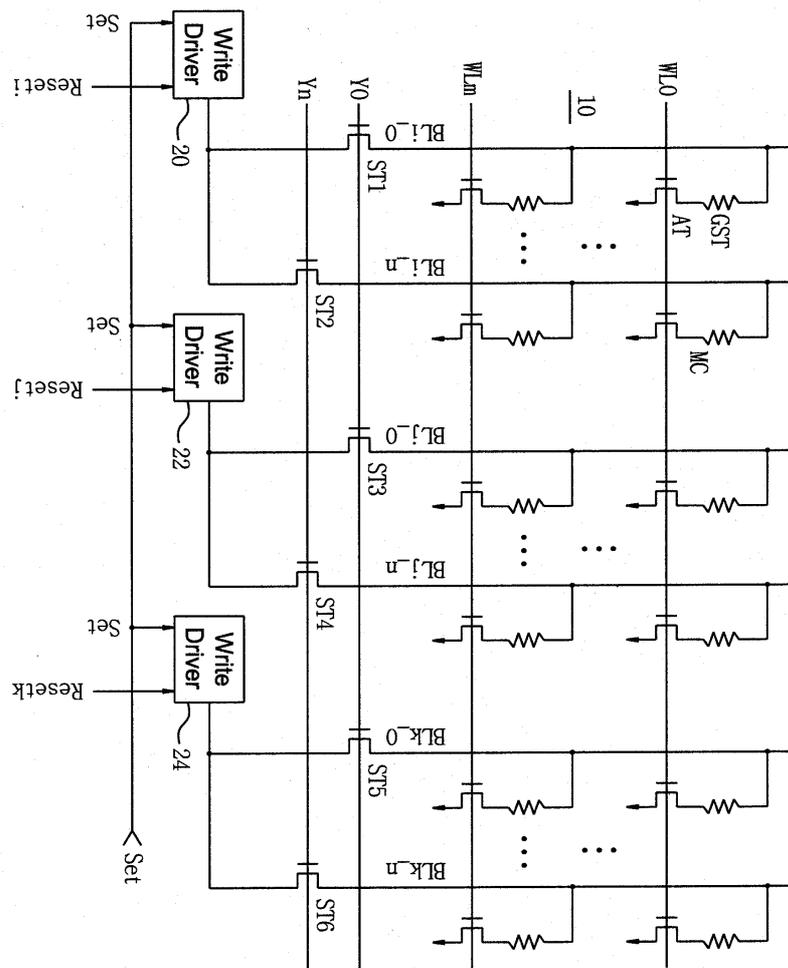
도면2



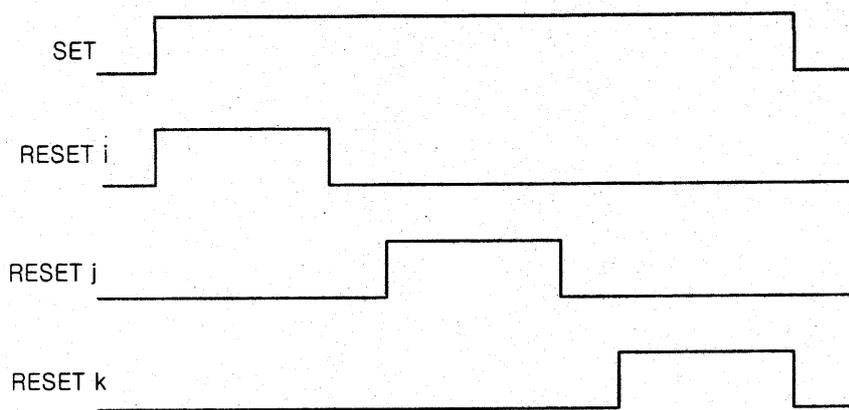
도면3



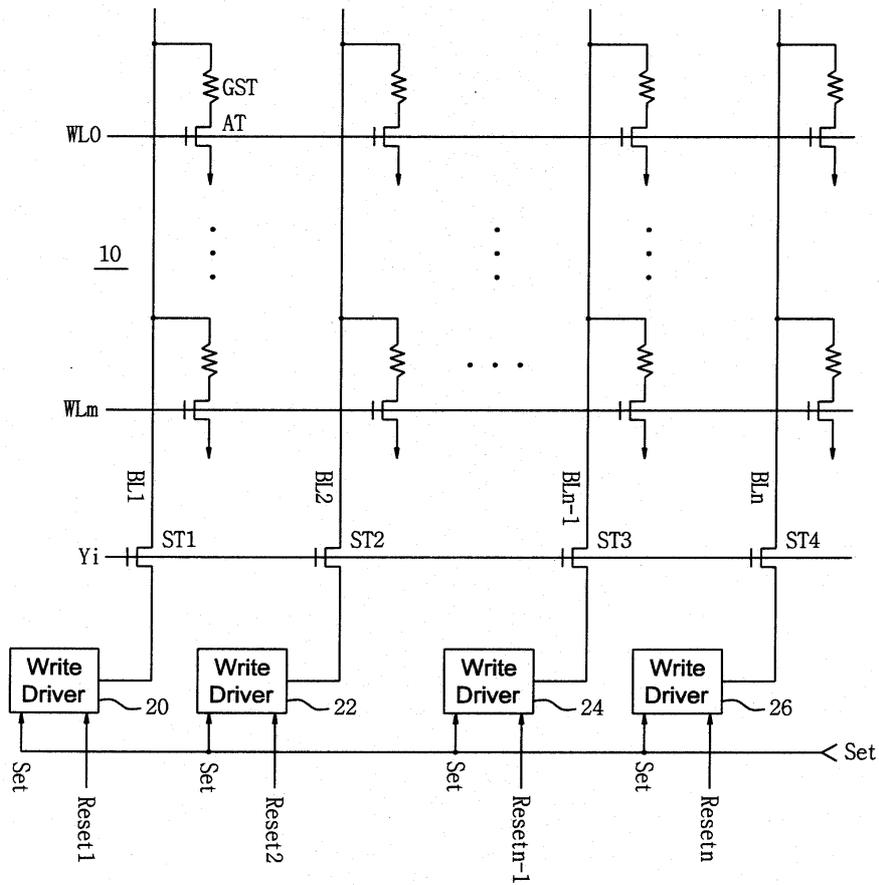
도면4



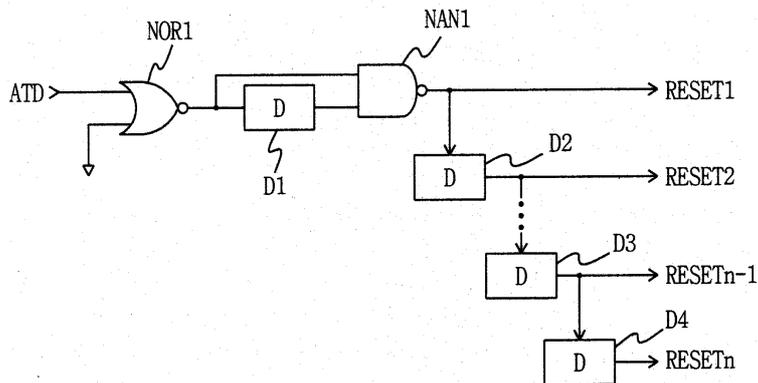
도면5



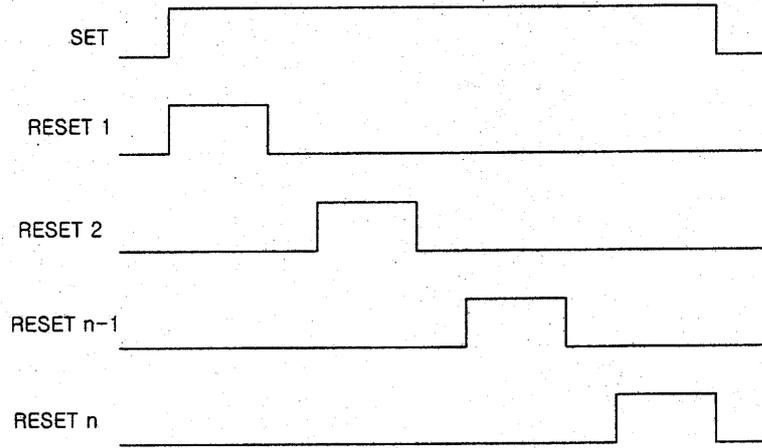
도면6



도면7



도면8



도면9

