

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁶
H01L 27/108

(11) 공개번호 특2000-0015349
(43) 공개일자 2000년03월 15일

(21) 출원번호	10-1998-0035221
(22) 출원일자	1998년08월28일
(71) 출원인	삼성전자 주식회사 윤종용 경기도 수원시 팔달구 매탄3동 416
(72) 발명자	김진현 경기도 수원시 팔달구 매탄4동 삼성1차아파트5동 809호 이태철 경기도 용인시 기흥읍 농서리 산 7-1
(74) 대리인	김능균

심사청구 : 있음

(54) 반도체 집적회로의 커패시터 제조방법

요약

커패시터의 특성을 향상시킬 수 있도록 한 반도체 집적회로의 커패시터 제조방법이 개시된다. 절연기판 상에 제 1 도전성막을 형성한 다음, 상기 도전성막 상의 커패시터 형성부에만 선택적으로 유전막과 도전성막 재질의 에치스토퍼막을 순차적으로 형성한다. 이어, 제 1 도전성막을 선택식각하여 유전막 하단에 놓여지는 하부전극과 제 1 배선 패턴을 동시에 형성한 뒤, 상기 결과물 전면에 층간 절연막을 형성하고, 에치스토퍼막의 표면과 제 1 배선 패턴의 표면이 소정 부분 노출되도록 층간 절연막을 선택식각하여 그 내부에 제 1 및 제 2 비어 홀을 형성한 다음, RF 스퍼터 식각을 실시한다. 제 1 및 제 2 비어 홀 내에 도전성 플러그를 형성하고, 도전성 플러그를 포함한 층간 절연막 상에 제 2 도전성막을 형성한 다음, 제 2 도전성막을 선택식각하여 제 2 비어 홀 내의 상기 도전성 플러그와 연결되는 제 2 배선 패턴과, '도전성 플러그/도전성막 패턴'의 적층막 구조를 갖는 상부전극을 동시에 형성한다. 그 결과, RF 스퍼터 식각 시 에치스토퍼막을 이용하여 커패시터 형성부의 유전막을 보호할 수 있게 되므로, 상기 식각 공정 진행 시 야기되던 유전막의 손상을 막을 수 있게 될 뿐 아니라 VCC를 줄일 수 있게 되어 집적회로의 커패시터 특성을 향상시킬 수 있게 된다.

대표도

도8

명세서

도면의 간단한 설명

도 1 내지 도 4는 종래 기술에 의한 로직 회로나 아날로그 회로의 커패시터 제조방법을 도시한 공정수순도,

도 5 내지 도 8은 본 발명에 의한 로직 회로나 아날로그 회로의 커패시터 제조방법을 도시한 공정수순도이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 집적회로(IC)의 커패시터 제조방법에 관한 것으로, 보다 상세하게는 로직 회로나 아날로그 회로의 커패시터 제조시 유전막 손상이 발생되지 않도록 하여 커패시터의 특성을 향상시킬 수 있도록 한 반도체 집적회로의 커패시터 제조방법에 관한 것이다.

디램(DRAM)과 로직(Logic)이 머지된 MDL(Merged DRAM Logic)에 아날로그 회로를 적용하여 반도체 소자 제조시, 아날로그 회로의 커패시턴스(capacitance) 특성을 확보하기 위하여 아날로그 회로나 로직 회로의 커패시터를 PIP(poly insulator poly) 구조로 가져갈 경우에는 중첩된 열처리(예컨대, 하부전극을 형성하기 위한 인터 폴리 형성시의 열처리와 게이트 산화막 형성시의 열처리) 공정으로 인해 디램 셀의 특성이 열화되는 현상이 야기될 뿐 아니라 공정 진행 자체가 복잡하다는 문제가 발생하게 된다.

이에 따라, 최근에는 로직 회로나 아날로그 회로의 커패시터를 PIP 구조 대신에 MIM 구조로 가져가는 공정 개발이 이루어지고 있다. MIM 구조의 커패시터는 통상 다층 배선을 형성하는 과정에서 임의의 두 금속 사이에 유전막을 형성해 주는 방식으로 제조되므로, 소자 제조시 디램 셀의 특성 열화와 관련되는 별도의 열처리 공정이 요구되지 않을 뿐 아니라 공정 진행 자체가 간단하다는 잇점을 갖는다.

도 1 내지 도 4에는 MIM 구조를 갖는 종래의 로직 회로나 아날로그 회로의 커패시터 제조방법을 도시한 공정순도가 제시되어 있다. 상기 공정순도를 참조하여 그 제조방법을 제 4 단계로 구분하여 살펴보면 다음과 같다.

제 1 단계로서, 도 1에 도시된 바와 같이 절연기판(100) 상에 Si 합금 재료의 제 1 도전성막을 형성하고, 커패시터 형성부와 배선 패턴 형성부를 한정하는 감광막 패턴(미 도시)을 마스크로 이용하여 제 1 도전성막을 식각하여 상기 기판(100) 상에 제 1 배선 패턴(102b)과 하부전극(102a)을 동시에 형성한다.

제 2 단계로서, 도 2에 도시된 바와 같이 제 1 배선 패턴(102b)과 하부전극(102a)을 포함한 절연기판(100) 상에 층간 절연막(104)을 형성한 뒤, 상기 하부전극(102a)의 표면이 소정 부분 노출되도록 이를 선택식각하여 상기 절연막(104) 내에 제 1 비어 홀(h1)을 형성한다.

제 3 단계로서, 도 3에 도시된 바와 같이 제 1 비어 홀(h1)의 내부와 층간 절연막(104) 상에 CVD법을 이용하여 유전막(106)을 형성한 뒤, 제 1 배선 패턴(102b)의 표면이 소정 부분 노출되도록 유전막(106)과 층간 절연막(104)을 선택식각하여 상기 절연막(104) 내에 제 2 비어 홀(h2)을 형성한다.

이어, 제 1 배선 패턴(102b)의 표면 노출부에 존재할 가능성이 있는 산화막(예컨대, 층간 절연막 식각 과정에서 생성된 식각부산물(Al_2O_3 , 폴리머)이나 자연 산화막)을 제거하기 위하여 RF 바이어스(radio frequency bias)를 이용한 스퍼터 식각(일명, RF 스퍼터 식각이라 한다)을 실시한다. 이 과정에서 식각되는 산화막의 양은 보통 200 ~ 400 Å 두께 정도로 보면 된다.

제 4 단계로서, 도 4에 도시된 바와 같이 제 2 비어 홀(h2)내에만 선택적으로 W 재료의 도전성 플러그(108)를 형성한 뒤, 상기 결과물 전면에 Si 합금 재료의 제 2 도전성막을 형성하고, 커패시터 형성부와 배선 패턴 형성부를 한정하는 감광막 패턴(미 도시)을 마스크로 이용하여 제 2 도전성막을 식각하여 제 2 배선 패턴(110b)과 상부전극(110a)을 형성해 주므로써, 본 공정 진행을 완료한다.

그 결과, 절연기판(100) 상의 소정 부분에는 도전성 플러그(108b)를 사이에 두고 그 상·하부에 제 1 및 제 2 배선 패턴(102b), (110b)이 순차 적층된 구조의 배선 패턴이 형성되고, 상기 배선 패턴 일측의 절연기판(100) 상에는 유전막(106)을 사이에 두고, 그 상·하부에 Si 재료의 하부전극(102a)과 상부전극(110a)이 순차 적층된 구조(MIM 구조)의 커패시터가 형성된다.

그러나, 상기 공정을 적용하여 로직 회로나 아날로그 회로의 커패시터를 제조할 경우에는 공정 진행 과정에서 다음과 같은 문제가 발생된다.

RF 스퍼터 식각 과정에서, 제 1 배선 패턴(102b) 상의 산화막(층간 절연막 식각 과정에서 생성된 식각부산물(Al_2O_3 , 폴리머)이나 자연 산화막)외에 커패시터가 형성될 부분인 제 1 비어 홀(h1) 내의 유전막도 일부 함께 손상(attack)을 받게 되므로, 유전막의 막질 특성 저하로 인해 커패시터의 전압 계수(Voltage Coefficient of Capacitance:이하, VCC라 한다)가 증가되는 현상이 발생하게 된다.

이와 같이 VCC가 증가하게 될 경우, 전압 변화에 따른 커패시터의 변화량이 커질 수밖에 없어 소자 구동시 커패시터의 산포(distribution) 변이(variation)가 크게 나타날 뿐 아니라 커패시터의 어레이 매칭(array matching) 특성이 불균일하게 나타나는 등의 여러 가지 문제가 발생하게 되어 커패시터의 특성이 저하되는 현상이 야기되므로, 이에 대한 개선책이 시급하게 요구되고 있다.

발명이 이루고자하는 기술적 과제

이에 본 발명의 목적은, 로직 회로나 아날로그 회로의 커패시터 제조시, 하부전극 상에 유전막과 도전성막 재료의 에치스토퍼막이 형성된 상태에서 제 1 비어 홀 형성 공정과 RF 스퍼터 식각 공정이 진행되도록 공정을 변경해 주므로써, RF 스퍼터 식각시 야기되는 유전막의 손상을 막을 수 있도록 하여 VCC 감소를 통해 집적회로의 커패시터 특성을 향상시킬 수 있도록 한 반도체 집적회로의 커패시터 제조방법을 제공함에 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여 본 발명에서는 절연기판 상에 제 1 도전성막을 형성하는 단계와; 상기 제 1 도전성막 상의 커패시터 형성부에만 선택적으로 유전막과 도전성막 재료의 에치스토퍼막을 순차적으로 형성하는 단계와; 상기 제 1 도전성막을 선택식각하여 상기 유전막 하단에 놓여지는 하부전극과 제 1 배선 패턴을 동시에 형성하는 단계와; 상기 결과물 전면에 층간 절연막을 형성하는 단계와; 상기 에치스토퍼막의 표면과 상기 제 1 배선 패턴의 표면이 소정 부분 노출되도록 상기 층간 절연막을 선택식각하여, 그 내부에 제 1 및 제 2 비어 홀을 형성하는 단계와; RF 스퍼터 식각을 실시하는 단계와; 상기 제 1 및 제 2 비어 홀 내에 도전성 플러그를 형성하는 단계와; 상기 도전성 플러그를 포함한 상기 층간 절연막 상에 제 2 도전성막을 형성하는 단계; 및 상기 제 2 도전성막을 선택식각하여 상기 제 2 비어 홀 내의 상기 도전성 플러그와 연결되는 제 2 배선 패턴과, '도전성 플러그/도전성막 패턴'의 적층막 구조를 갖는 상부전극을 동시에 형성하는 단계로 이루어진 반도체 집적회로의 커패시터 제조방법이 제공된다.

이때, 상기 제 1 및 제 2 도전성막 형성후에는 막질 패턴링 특성을 향상시킬 목적으로 각각 반사방지막(anti-reflection layer)을 형성하는 단계를 더 포함하는 것이 바람직하며, RF 스퍼터 식각은 식각부산물이 200 ~ 400 Å 정도 제거될 때까지 실시하는 것이 바람직하다.

상기 공정을 거쳐 로직 회로나 아날로그 회로의 커패시터를 제조할 경우, 유전막 상에 도전성막 재질의 에치스토퍼막이 형성되어 있는 상태에서 RF 스퍼터 식각 공정이 진행되므로, 상기 식각 공정으로 인해 유전막이 손상되는 것을 막을 수 있게 되어 유전막의 막질 특성 저하로 인해 VCC가 증가되는 것을 막을 수 있게 된다.

이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예에 대해 상세히 설명한다.

본 발명은 하부전극 상에 유전막과 도전성막 재질의 에치스토퍼막이 형성된 상태에서 제 1 비어 홀 형성 공정과 RF 스퍼터 식각 공정이 진행되도록 로직 회로나 아날로그 회로의 커패시터 제조 공정을 변경해 주므로써, RF 식각 공정으로 인해 야기되는 유전막 손상을 방지하고 하부전극과 상부전극 간의 쇼트 발생을 막을 수 있도록 하는데 주안점을 둔 기술이다.

도 5 내지 도 8에는 이와 관련된 본 발명에 의한 로직 회로나 아날로그 회로의 커패시터 제조방법을 도시한 공정순도가 제시되어 있다. 상기 공정순도를 참조하여 그 제조방법을 제 4 단계로 구분하여 살펴보면 다음과 같다.

제 1 단계로서, 도 5에 도시된 바와 같이 절연기판(200) 상에 Al 합금이나 Cu 합금 재질의 제 1 도전성막(202)을 형성하고, 그 위에 유전막(204)과 도전성막 재질의 에치스토퍼막(206)을 순차적으로 형성한다. 이때, 유전막(204)은 산화막이나 질화막의 단층 구조나 이들이 조합된 적층막 구조(예컨대, '산화막/질화막'의 적층막 구조나 '산화막/질화막/산화막'의 적층막 구조)로 형성되며, 에치스토퍼막(206)은 Ti, Ta, W, Mo, TiN, TiW, TaN, MoN, W-N, W-Si-N, Ta-Si-N, W-B-N, Ti-Si-N의 단층 구조나 이들이 조합된 적층막 구조로 형성된다. 이어, 커패시터 형성부를 한정하는 감광막 패턴(미 도시)을 마스크로 이용하여 에치스토퍼막(206)과 유전막(204)을 순차적으로 식각하여, 상기 제 1 도전성막(202) 상의 커패시터 형성부에만 선택적으로 에치스토퍼막(206)과 유전막(204)을 남긴다.

제 2 단계로서, 도 6에 도시된 바와 같이 커패시터 형성부와 배선 패턴 형성부를 한정하는 감광막 패턴(미 도시)을 마스크로 이용하여 제 1 도전성막(202)을 식각하여 상기 기판(200) 상에 제 1 배선 패턴(202b)과 하부전극(202a)을 동시에 형성한 다음, 상기 결과물 전면에 층간 절연막(208)을 형성하고, 이를 CMP 공정을 이용하여 평탄화한다. 이때, 하부전극(202a)은 에치스토퍼막(206)과 유전막(204) 하단에 놓여지도록 형성된다.

제 3 단계로서, 도 7에 도시된 바와 같이 에치스토퍼막(206)과 제 1 배선 패턴(202b)의 표면이 소정 부분 노출되도록 층간 절연막(208)을 선택식각하여 상기 절연막(208) 내부에 제 1 및 제 2 비어 홀(h1), (h2)을 형성한다. 그후, 제 1 배선 패턴(202b)의 표면 노출부에 존재할 가능성이 있는 산화막(예컨대, 층간 절연막 식각 과정에서 생성된 식각부산물(Al₂O₃, CuO, 폴리머)이나 자연 산화막)을 제거하기 위하여 RF 스퍼터 식각을 실시한다. 이 과정에서 식각되는 산화막의 양은 보통 200 ~ 400Å 두께 정도로 보면 된다.

제 4 단계로서, 도 8에 도시된 바와 같이 제 1 및 제 2 비어 홀(h1), (h2)을 포함한 층간 절연막(208) 상에 CVD(chemical vapour deposition)법이나 PVD(physical vapour deposition)법을 이용하여 W, Al 합금, Cu 합금 등의 재료로 이루어진 도전성막을 형성한 다음, 이를 CMP 공정이나 에치백 공정으로 평탄화시켜 제 1 및 제 2 비어 홀(h1), (h2) 내에 각각 도전성 플러그(210a), (210b)를 형성한다. 이때, 도전성 플러그(210a), (210b)가 W으로 형성되었을 경우에는 제 1 배선 패턴(202b)과 W 막질 간의 리프팅(lifting)을 방지함과 동시에 막질 증착 특성을 향상시켜 주기 위하여 제 1 및 제 2 비어 홀(h1), (h2) 내부에 Ti, Ta, W, Mo, TiN, TiW, TaN, MoN, W-N, W-Si-N, Ta-Si-N, W-B-N, Ti-Si-N의 단층 구조나 이들이 조합된 적층막 구조를 갖는 장벽 금속막(미 도시)을 더 형성해 주어야 한다. 이어, 상기 도전성 플러그(210a), (210b)를 포함한 층간 절연막(208) 상에 Al 합금이나 Cu 합금 재질의 제 2 도전성막을 형성하고, 커패시터 형성부와 배선 패턴 형성부를 한정하는 감광막 패턴(미 도시)을 마스크로 이용하여 제 2 도전성막을 식각하여 제 2 배선 패턴(212b)과 도전성 패턴(212a)을 형성해 주므로써, 본 공정 진행을 완료한다.

그 결과, 절연기판(200) 상의 소정 부분에는 도전성 플러그(210b)를 사이에 두고 그 상·하부에 제 1 및 제 2 배선 패턴(202b), (212b)이 순차 적층된 구조의 배선 패턴이 형성되고, 상기 배선 패턴 일측의 절연기판(200) 상에는 유전막(204)과 도전성막 재질의 에치스토퍼막(206)을 사이에 두고 그 상·하부에 도전성막 재질의 하부전극(202a)과 '도전성 플러그(210a)/도전성막 패턴(212a)' 형태의 상부전극(212a)이 순차 적층된 구조(MIM 구조)의 커패시터가 형성된다.

이와 같이 커패시터를 제조할 경우, RF 스퍼터 식각시 에치스토퍼막(206)을 이용하여 커패시터 형성부(제 1 비어 홀 내부)의 유전막(204)이 손상되는 것을 막을 수 있게 되므로, VCC를 줄일 수 있게 될 뿐 아니라 전압 변화에 따른 커패시턴스의 변화를 최소화할 수 있게 되어 커패시턴스의 산포 특성과 커패시터의 어레이 매칭 특성을 개선할 수 있게 된다.

한편, 본 발명의 일 변형으로서 상기 커패시터 형성 공정은 막질 패터닝 특성을 향상시킬 목적으로 상기 제 1 및 제 2 도전성막 형성후 그 위에 각각 반사 방지막(anti-reflection layer)(미 도시)을 더 형성해 준 뒤, 커패시터 형성부와 배선 라인 형성부를 한정하는 감광막 패턴(미 도시)을 마스크로 이용하여 상기 반사 방지막과 제 1 및 제 2 도전성막을 식각해 주는 방식으로 공정을 진행할 수도 있다. 이때 사용되는 반사 방지막의 대표적인 예로는 Ti, Ta, W, Mo, TiN, TiW, TaN, MoN, W-N, W-Si-N, Ta-Si-N, W-B-N, Ti-Si-N의 단층 구조나 이들이 조합된 적층 구조를 들 수 있다.

이상, 실시예를 통하여 본 발명을 구체적으로 설명하였지만, 본 발명은 이에 한정되는 것이 아니고, 본 발명의 기술적 사상내에서 당 분야의 통상의 지식으로 그 변형이나 개량이 가능함은 물론이다.

발명의 효과

이상에서 살펴본 바와 같이 본 발명에 의하면, RF 스퍼터 식각시 에치스토퍼막을 이용하여 커패시터 형성부의 유전막을 보호할 수 있게 되므로, 상기 식각 공정 진행시 야기되던 유전막의 손상을 막을 수 있게 될 뿐 아니라 VCC를 줄일 수 있게 되어 집적회로의 커패시터 특성을 향상시킬 수 있게 된다.

(57) 청구의 범위

청구항 1

절연기판 상에 제 1 도전성막을 형성하는 단계와;

상기 제 1 도전성막 상의 커패시터 형성부에만 선택적으로 유전막과 도전성막 재질의 에치스토퍼막을 순차적으로 형성하는 단계와;

상기 제 1 도전성막을 선택식각하여 상기 유전막 하단에 놓여지는 하부전극과 제 1 배선 패턴을 동시에 형성하는 단계와;

상기 결과물 전면에 층간 절연막을 형성하는 단계와;

상기 에치스토퍼막의 표면과 상기 제 1 배선 패턴의 표면이 소정 부분 노출되도록 상기 층간 절연막을 선택식각하여, 그 내부에 제 1 및 제 2 비어 홀을 형성하는 단계와;

RF 스퍼터 식각을 실시하는 단계와;

상기 제 1 및 제 2 비어 홀 내에 도전성 플러그를 형성하는 단계와;

상기 도전성 플러그를 포함한 상기 층간 절연막 상에 제 2 도전성막을 형성하는 단계; 및

상기 제 2 도전성막을 선택식각하여 상기 제 2 비어 홀 내의 상기 도전성 플러그와 연결되는 제 2 배선 패턴과, '도전성 플러그/도전성막 패턴'의 적층막 구조를 갖는 상부전극을 동시에 형성하는 단계로 이루어진 것을 특징으로 하는 반도체 집적회로의 커패시터 제조방법.

청구항 2

제 1항에 있어서, 상기 제 1 및 제 2 도전성막은 Al 합금이나 Cu 합금으로 형성하는 것을 특징으로 하는 반도체 집적회로의 커패시터 제조방법.

청구항 3

제 1항에 있어서, 상기 유전막은 산화막이나 질화막의 단층 구조나 이들이 조합된 적층막 구조로 형성하는 것을 특징으로 하는 반도체 집적회로의 커패시터 제조방법.

청구항 4

제 1항에 있어서, 상기 에치스토퍼막은 Ti, Ta, W, Mo, TiN, TiW, TaN, MoN, W-N, W-Si-N, Ta-Si-N, W-B-N, Ti-Si-N의 단층 구조나 이들이 조합된 적층막 구조로 형성하는 것을 특징으로 하는 반도체 집적회로의 커패시터 제조방법.

청구항 5

제 1항에 있어서, 상기 RF 스퍼터 식각은 상기 층간 절연막 식각시 생성된 식각 부산물이 200 ~ 400 Å 두께 제거될 때까지 실시하는 것을 특징으로 하는 반도체 집적회로의 커패시터 제조방법.

청구항 6

제 1항에 있어서, 상기 제 1 및 제 2 비어 홀 내에 도전성 플러그를 형성하는 단계는;

상기 제 1 및 제 2 비어 홀을 포함한 상기 층간 절연막 상에 도전성막을 형성하는 단계와;

상기 층간 절연막의 표면이 노출될 때까지 상기 도전성막을 평탄화하는 단계;를 포함하는 것을 특징으로 하는 반도체 집적회로의 커패시터 제조방법.

청구항 7

제 6항에 있어서, 상기 도전성막은 W이나 Cu 합금으로 형성하는 것을 특징으로 하는 반도체 집적회로의 커패시터 제조방법.

청구항 8

제 6항에 있어서, 상기 도전성막은 CVD법이나 PVD법으로 형성하는 것을 특징으로 하는 반도체 집적회로의 커패시터 제조방법.

청구항 9

제 6항에 있어서, 상기 도전성막은 CMP 공정이나 에치백 공정을 이용하여 평탄화하는 것을 특징으로 하는 반도체 집적회로의 커패시터 제조방법.

청구항 10

제 7항에 있어서, 상기 도전성막이 W으로 형성된 경우, 상기 제 1 및 제 2 비어 홀 내에 장벽 금속막을 형성하는 공정을 더 포함하는 것을 특징으로 하는 반도체 집적회로의 커패시터 제조방법.

청구항 11

제 10항에 있어서, 상기 장벽 금속막은 Ti, Ta, W, Mo, TiN, TiW, TaN, MoN, W-N, W-Si-N, Ta-Si-N, W-B-N, Ti-Si-N의 단층 구조나 이들이 조합된 적층막 구조로 형성하는 것을 특징으로 하는 반도체 집적회로의 커패시터 제조방법.

청구항 12

제 1항에 있어서, 상기 제 1 도전성막 형성후 그 전면에 반사 방지막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 집적회로의 커패시터 제조방법.

청구항 13

제 12항에 있어서, 상기 제 1 도전성막 상에 반사 방지막이 더 형성된 경우, 상기 제 1 도전성막 식각시 상기 반사 방지막도 함께 식각하는 것을 특징으로 하는 반도체 집적회로의 커패시터 제조방법.

청구항 14

제 1항에 있어서, 상기 제 2 도전성막 형성후 그 전면에 반사 방지막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 집적회로의 커패시터 제조방법.

청구항 15

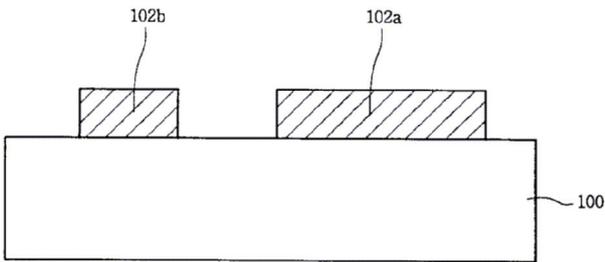
제 14항에 있어서, 상기 제 2 도전성막 상에 반사 방지막이 더 형성된 경우, 상기 제 2 도전성막 식각시 상기 반사 방지막도 함께 식각하는 것을 특징으로 하는 반도체 집적회로의 커패시터 제조방법.

청구항 16

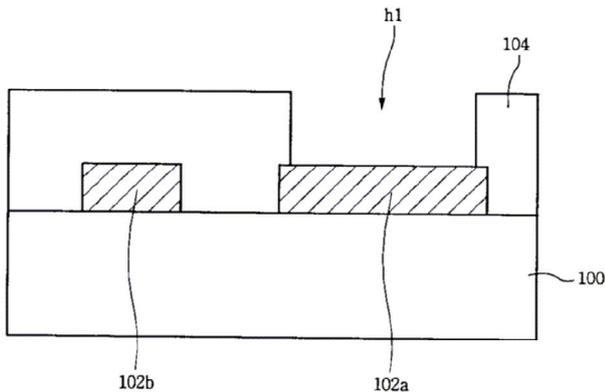
제 12항 또는 제 14항에 있어서, 상기 반사 방지막은 Ti, Ta, W, Mo, TiN, TiW, TaN, MoN, W-N, W-Si-N, Ta-Si-N, W-B-N, Ti-Si-N의 단층 구조나 이들이 조합된 적층막 구조로 형성하는 것을 특징으로 하는 반도체 집적회로의 커패시터 제조방법.

도면

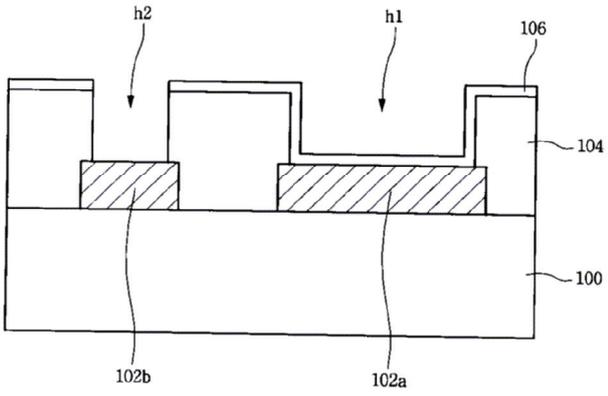
도면1



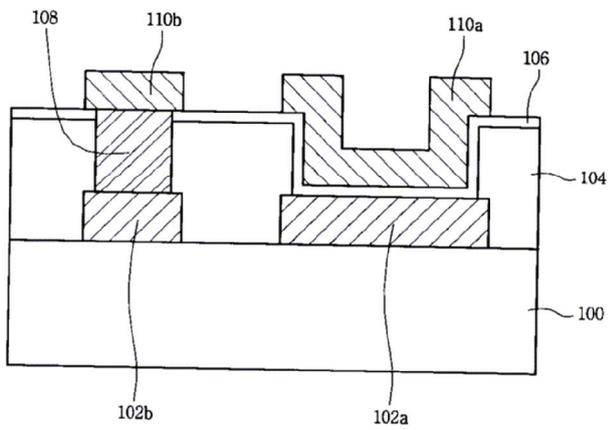
도면2



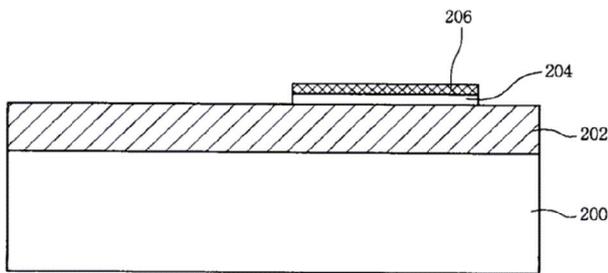
도면3



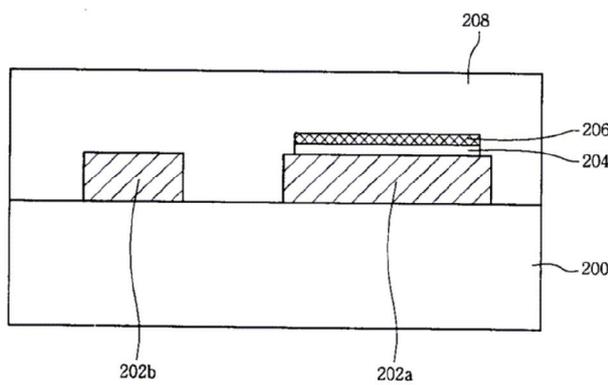
도면4



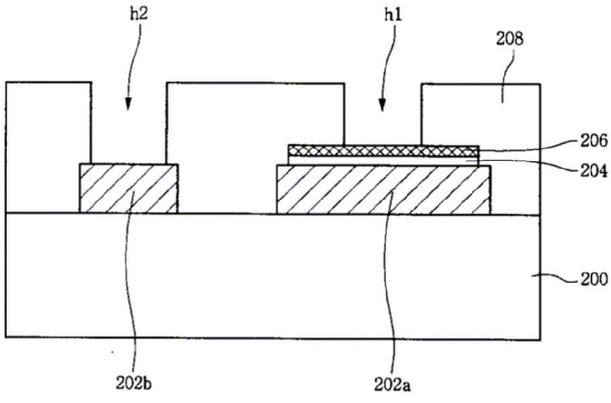
도면5



도면6



도면7



도면8

