

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-253642

(P2009-253642A)

(43) 公開日 平成21年10月29日(2009.10.29)

(51) Int.Cl.	F I	テーマコード (参考)
H03F 3/217 (2006.01)	H03F 3/217	5J500
H03F 3/183 (2006.01)	H03F 3/183	

審査請求 未請求 請求項の数 4 O L (全 16 頁)

(21) 出願番号 特願2008-98696 (P2008-98696)
 (22) 出願日 平成20年4月4日(2008.4.4)

(71) 出願人 000003595
 株式会社ケンウッド
 東京都八王子市石川町2967番地3
 (74) 代理人 100088063
 弁理士 坪内 康治
 (72) 発明者 内藤 剛志
 東京都八王子市石川町2967-3 株式会
 社ケンウッド内
 Fターム(参考) 5J500 AA01 AA02 AA27 AA41 AA66
 AC36 AF15 AH19 AH29 AH33
 AH39 AK04 AK15 AK17 AK32
 AK33 AK42 AK47 AK48 AK53
 AM09 AM21 AM22 AS05 AT01
 WU02

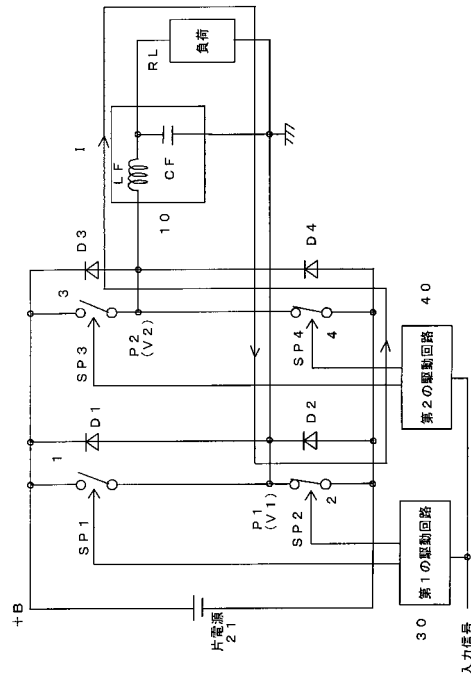
(54) 【発明の名称】 Dクラスアンプ、Dクラスアンプのスイッチング駆動方法

(57) 【要約】

【課題】 片電源により出力電力が大きく取れ、回生電流によるパンピング現象が発生しにくいDクラスアンプを提供する。

【構成】 ハイサイドとローサイドの第1の一对のスイッチング素子1、2と、ハイサイドとローサイドの第2の一对のスイッチング素子3、4と、入力信号の正負に応じて第1の一对のスイッチング素子1、2を交互にオン・オフ駆動する第1の駆動回路30と、入力信号をPWM変調したパルスに基づき第2の一对のスイッチング素子3、4を交互にオン・オフする第2の駆動回路40と、第1、第2の一对のスイッチング素子1と2、3と4の両端に接続された片電源21と、第1の一对のスイッチング素子間の接続点と、第2の一对のスイッチング素子間の接続点との間にLC回路10を介して負荷RFを接続し、LC回路10のC側の一端をグラウンドと接続した。

【選択図】 図9



【特許請求の範囲】

【請求項 1】

ハイサイドとローサイドの第 1 の一对のスイッチング素子と、
 第 1 の一对のスイッチング素子の各々に並列接続した第 1 の一对のダイオードと、
 ハイサイドとローサイドの第 2 の一对のスイッチング素子と、
 第 2 の一对のスイッチング素子の各々に並列接続した第 2 の一对のダイオードと、
 入力信号の正負に応じて第 1 の一对のスイッチング素子を交互にオン・オフ駆動する第 1 の駆動手段と、
 入力信号を P W M 変調したパルスに基づき第 2 の一对のスイッチング素子を交互にオン・オフ駆動する第 2 の駆動手段と、
 第 1、第 2 の一对のスイッチング素子の両端に接続された片電源と、
 第 1 の一对のスイッチング素子の間の第 1 の接続点と、第 2 の一对のスイッチング素子の間の第 2 の接続点との間に接続された L C 回路とを備え、
 L C 回路のコンデンサの一端をグランドと接続し、
 L C 回路のコンデンサと並列に負荷を接続するようにしたこと、
 を特徴とする D クラスアンプ。

10

【請求項 2】

第 1 の D クラスアンプ回路と第 2 の D クラスアンプ回路を有し、
 第 1 の D クラスアンプ回路は、ハイサイドとローサイドの第 1 の一对のスイッチング素子と、
 第 1 の一对のスイッチング素子の各々に並列接続した第 1 の一对のダイオードと、
 ハイサイドとローサイドの第 2 の一对のスイッチング素子と、
 第 2 の一对のスイッチング素子の各々に並列接続した第 2 の一对のダイオードと、
 入力信号の振幅の正負に応じて第 1 の一对のスイッチング素子を交互にオン・オフ駆動する第 1 の駆動手段と、
 入力信号を P W M 変調したパルスに基づき第 2 の一对のスイッチング素子を交互にオン・オフ駆動する第 2 の駆動手段と、
 第 1、第 2 の一对のスイッチング素子の両端に接続された第 1 の片電源と、
 第 1 の一对のスイッチング素子の間の第 1 の接続点と、第 2 の一对のスイッチング素子の間の第 2 の接続点との間に接続された第 1 の L C 回路とを備え、
 第 2 の D クラスアンプ回路は、ハイサイドとローサイドの第 1 の一对のスイッチング素子と、
 第 1 の一对のスイッチング素子の各々に並列接続した第 1 の一对のダイオードと、
 ハイサイドとローサイドの第 2 の一对のスイッチング素子と、
 第 2 の一对のスイッチング素子の各々に並列接続した第 2 の一对のダイオードと、
 入力信号の振幅の正負に応じて第 1 の一对のスイッチング素子を交互にオン・オフ駆動する第 1 の駆動手段と、
 入力信号を P W M 変調したパルスに基づき第 2 の一对のスイッチング素子を交互にオン・オフ駆動する第 2 の駆動手段と、
 第 1、第 2 の一对のスイッチング素子の両端に接続された第 2 の片電源と、
 第 1 の一对のスイッチング素子の間の第 1 の接続点と、第 2 の一对のスイッチング素子の間の第 2 の接続点との間に接続された第 2 の L C 回路とを備え、
 第 1 の L C 回路のコンデンサの一端と第 2 の L C 回路のコンデンサの一端をグランドと接続し、
 第 1 の L C 回路と第 2 の L C 回路の間に負荷を接続するようにし、
 第 1 の D クラスアンプ回路の第 1 の駆動手段が第 1 の一对のスイッチング素子のハイサイドをオン（オフ）するとき、第 2 の D クラスアンプ回路の第 1 の駆動手段は第 1 の一对のスイッチング素子のローサイドをオン（オフ）し、第 1 の D クラスアンプ回路の第 2 の駆動手段が第 2 の一对のスイッチング素子のハイサイドをオン（オフ）するとき、第 2 の D クラスアンプ回路の第 2 の駆動手段は第 2 の一对のスイッチング素子のローサイドをオ

20

30

40

50

ン（オフ）するようにしたこと、
を特徴とするDクラスアンプ。

【請求項3】

ハイサイドとローサイドの第1の一对のスイッチング素子の各々に第1の一对のダイオードを並列接続し、

ハイサイドとローサイドの第2の一对のスイッチング素子の各々に第2の一对のダイオードを並列接続し、

第1、第2の一对のスイッチング素子の両端に片電源を接続し、

第1の一对のスイッチング素子の間の第1の接続点と、第2の一对のスイッチング素子の間の第2の接続点との間にLC回路を接続し、

LC回路のコンデンサの一端をグランドと接続するとともにLC回路のコンデンサと並列に負荷を接続し、

入力信号の正負に応じて第1の一对のスイッチング素子を交互にオン・オフ駆動し、

入力信号をPWM変調したパルスに基づき第2の一对のスイッチング素子を交互にオン・オフ駆動するようにしたこと、

を特徴とするDクラスアンプのスイッチング駆動方法。

【請求項4】

第1のDクラスアンプ回路のハイサイドとローサイドの第1の一对のスイッチング素子の各々に第1の一对のダイオードを並列接続し、

ハイサイドとローサイドの第2の一对のスイッチング素子の各々に第2の一对のダイオードを並列接続し、

第1、第2の一对のスイッチング素子の両端に第1の片電源を接続し、

第1の一对のスイッチング素子の間の第1の接続点と、第2の一对のスイッチング素子の間の第2の接続点との間に第1のLC回路を接続し、

第2のDクラスアンプ回路のハイサイドとローサイドの第1の一对のスイッチング素子の各々に第1の一对のダイオードを並列接続し、

ハイサイドとローサイドの第2の一对のスイッチング素子の各々に第2の一对のダイオードを並列接続し、

第1、第2の一对のスイッチング素子の両端に第2の片電源を接続し、

第1の一对のスイッチング素子の間の第1の接続点と、第2の一对のスイッチング素子の間の第2の接続点との間に第2のLC回路を接続し、

第1のLC回路のコンデンサの一端と第2のLC回路のコンデンサの一端をグランドと接続するとともに、第1のLC回路と第2のLC回路の間に負荷を接続し、

入力信号の正負に応じて第1、第2のDクラスアンプ回路の第1の一对のスイッチング素子を交互にオン・オフ駆動するとともに、

入力信号をPWM変調したパルスに基づき第1、第2のDクラスアンプ回路の第2の一对のスイッチング素子を交互にオン・オフ駆動するようにし、

この際、第1のDクラスアンプ回路の第1の一对のスイッチング素子のハイサイドをオン（オフ）するとき、第2のDクラスアンプ回路の第1の一对のスイッチング素子のローサイドをオン（オフ）し、第1のDクラスアンプ回路の第2の一对のスイッチング素子のハイサイドをオン（オフ）するとき、第2のDクラスアンプ回路の第2の一对のスイッチング素子のローサイドをオン（オフ）するようにしたこと、

を特徴とするDクラスアンプのスイッチング駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明はDクラスアンプ、Dクラスアンプのスイッチング駆動方法に係り、とくに片電源を用いたDクラスアンプ、Dクラスアンプのスイッチング駆動方法に関する。

【背景技術】

【0002】

10

20

30

40

50

オーディオパワーアンプでは電力効率の高いDクラスアンプが用いられるようになってきている。Dクラスアンプにはハイサイドとローサイドの一对のスイッチング素子を1組有するハーフブリッジ接続と、ハイサイドとローサイドの一对のスイッチング素子を2組用いたフルブリッジ接続がある。また、電源形式には片電源(+B)と両電源(±B)があり、車載用パワーアンプでは、バッテリー電圧をDC/DCコンバータで昇圧して+Bまたは±Bを作成している。特開2006-60278号の図2には両電源とハーフブリッジ接続を組み合わせた構成例が開示されている。図1に概略の構成を示す。直列接続されて交互にオン・オフを繰り返すスイッチング素子1、2の各々に個別にフライホイールダイオードD1、D2が並列接続されており、2つのスイッチング素子1、2の接続点P(電圧をV0とする)とグランドとの間にLC回路10と負荷RLが接続されている。スイッチング素子1、2の両端には電源部20から±Bが供給されている。スイッチング素子1、2は入力信号により高周波の三角波をPWM変調して作成した駆動パルスDP1、DP2(DP2はDP1の反転)に基づき交互にオン・オフされる。スイッチング素子1がオン、2がオフの場合、V0は+Bとなり、スイッチング素子1がオフ、2がオンの場合、V0は-Bとなる。今、V0の平均電圧が+となっており、スイッチング素子1のオン期間がオフ期間より長く、LC回路10のコイルLFにPから負荷RLの方向へ電流が流れていたとして(図1(1)参照)、スイッチング素子1がオン、2がオフの状態から1がオフ、2がオンの状態に切り替わったとき、コイルLFに流れる電流が連続性を保とうとするため引き続き、Pから負荷RLの方向へ流れる(図1(2)参照)。このときの電流方向は電源部11から見て本来流れる方向とは逆な回生電流となるため電源部11の-B側の大容量コンデンサが充電されて-BがVだけ大きくなってしまいう電源パンピング現象が起きる。また、入力信号が零で駆動パルスDP1、DP2のデューティ比が50%の場合、V0には+B/2の直流バイアスが生じる。

10

20

30

40

【0003】

特表2000-513159号の図5には片電源とフルブリッジ接続を組み合わせた構成例が開示されている。図2に概略の構成を示す。直列接続されて交互にオン・オフを繰り返すスイッチング素子1、2の各々に個別にフライホイールダイオードD1、D2が並列接続されており、2つのスイッチング素子1、2の接続点P1(電圧をV1とする)がLC回路10を介して負荷RLの一端と接続されている。また直列接続されて交互にオン・オフを繰り返すスイッチング素子3、4の各々に個別にフライホイールダイオードD3、D4が並列接続されており、2つのスイッチング素子3、4の接続点P2(電圧をV2とする)がLC回路11を介して負荷RLの他端と接続されている。LC回路10と11のコンデンサCFの一端はグランドに接続されている。スイッチング素子1、2の両端と3、4の両端には片電源の電源部21から+Bが供給されている。スイッチング素子1、2は入力信号により高周波の三角波をPWM変調して作成した駆動パルスDP1、DP2(DP2はDP1の反転)に基づき交互にオン・オフされる。スイッチング素子3、4は駆動パルスDP2、DP1に基づき交互にオン・オフされる。スイッチング素子1、4がオン、2、3がオフの場合、V1-V2は+Bとなり、スイッチング素子1、4がオフ、2、3がオンの場合、V1-V2は-Bとなる。よって、負荷RLには+Bの2倍の電圧が掛かるので、両電源並の出力電力を得ることができる。また、片電源なので両電源の場合よりもパンピング現象は小さくなるが、電源部21に回生電流が流れるのでパンピング現象自体を無くすることはできない。

【0004】

ところで、図2の駆動パルスDP1、DP2のデューティ比が50%の場合、原理的にはV1、V2ともに約+B/2となり、グランドから見た場合に直流バイアスが生じる。

【0005】

【特許文献1】特開2006-60278号公報の図2

【特許文献2】特表2000-513159号公報の図5

【発明の開示】

【発明が解決しようとする課題】

50

【 0 0 0 6 】

本発明は上記した従来技術の問題に鑑み、片電源により出力電力が大きく取れ、回生電流によるパンピング現象が発生しにくいDクラスアンプを提供することを、その目的とする。

【 課題を解決するための手段 】

【 0 0 0 7 】

本発明のDクラスアンプの1つは、ハイサイドとローサイドの第1の一对のスイッチング素子と、第1の一对のスイッチング素子の各々に並列接続した第1の一对のダイオードと、ハイサイドとローサイドの第2の一对のスイッチング素子と、第2の一对のスイッチング素子の各々に並列接続した第2の一对のダイオードと、入力信号の振幅の正負に応じて第1の一对のスイッチング素子を交互にオン・オフ駆動する第1の駆動手段と、入力信号をPWM変調したパルスに基づき第2の一对のスイッチング素子を交互にオン・オフ駆動する第2の駆動手段と、第1、第2の一对のスイッチング素子の両端に接続された片電源と、第1の一对のスイッチング素子の間の第1の接続点と、第2の一对のスイッチング素子の間の第2の接続点との間に接続されたLC回路とを備え、LC回路のコンデンサの一端をグランドと接続し、LC回路のコンデンサと並列に負荷を接続するようにしたこと、を特徴としている。

本発明のDクラスアンプの他の1つは、第1のDクラスアンプ回路と第2のDクラスアンプ回路を有し、第1のDクラスアンプ回路は、ハイサイドとローサイドの第1の一对のスイッチング素子と、第1の一对のスイッチング素子の各々に並列接続した第1の一对のダイオードと、ハイサイドとローサイドの第2の一对のスイッチング素子と、第2の一对のスイッチング素子の各々に並列接続した第2の一对のダイオードと、入力信号の振幅の正負に応じて第1の一对のスイッチング素子を交互にオン・オフ駆動する第1の駆動手段と、入力信号をPWM変調したパルスに基づき第2の一对のスイッチング素子を交互にオン・オフ駆動する第2の駆動手段と、第1、第2の一对のスイッチング素子の両端に接続された第1の片電源と、第1の一对のスイッチング素子の間の第1の接続点と、第2の一对のスイッチング素子の間の第2の接続点との間に接続された第1のLC回路とを備え、第2のDクラスアンプ回路は、ハイサイドとローサイドの第1の一对のスイッチング素子と、第1の一对のスイッチング素子の各々に並列接続した第1の一对のダイオードと、ハイサイドとローサイドの第2の一对のスイッチング素子と、第2の一对のスイッチング素子の各々に並列接続した第2の一对のダイオードと、入力信号の振幅の正負に応じて第1の一对のスイッチング素子を交互にオン・オフ駆動する第1の駆動手段と、入力信号をPWM変調したパルスに基づき第2の一对のスイッチング素子を交互にオン・オフ駆動する第2の駆動手段と、第1、第2の一对のスイッチング素子の両端に接続された第2の片電源と、第1の一对のスイッチング素子の間の第1の接続点と、第2の一对のスイッチング素子の間の第2の接続点との間に接続された第2のLC回路とを備え、第1のLC回路のコンデンサの一端と第2のLC回路のコンデンサの一端をグランドと接続し、第1のLC回路と第2のLC回路の間に負荷を接続するようにし、第1のDクラスアンプ回路の第1の駆動手段が第1の一对のスイッチング素子のハイサイドをオン(オフ)するとき、第2のDクラスアンプ回路の第1の駆動手段は第1の一对のスイッチング素子のローサイドをオン(オフ)し、第1のDクラスアンプ回路の第2の駆動手段が第2の一对のスイッチング素子のハイサイドをオン(オフ)するとき、第2のDクラスアンプ回路の第2の駆動手段は第2の一对のスイッチング素子のローサイドをオン(オフ)するようにしたこと、を特徴としている。

本発明のDクラスアンプのスイッチング駆動方法の1つは、ハイサイドとローサイドの第1の一对のスイッチング素子の各々に第1の一对のダイオードを並列接続し、ハイサイドとローサイドの第2の一对のスイッチング素子の各々に第2の一对のダイオードを並列接続し、第1、第2の一对のスイッチング素子の両端に片電源を接続し、第1の一对のスイッチング素子の間の第1の接続点と、第2の一对のスイッチング素子の間の第2の接続点との間にLC回路を接続し、LC回路のコンデンサの一端をグランドと接続するととも

10

20

30

40

50

に LC 回路のコンデンサと並列に負荷を接続し、入力信号の正負に応じて第 1 の一對のスイッチング素子を交互にオン・オフ駆動し、入力信号を PWM 変調したパルスに基づき第 2 の一對のスイッチング素子を交互にオン・オフ駆動するようにしたこと、を特徴としている。

本発明の D クラスアンプのスイッチング駆動方法の他の 1 つは、第 1 の D クラスアンプ回路のハイサイドとローサイドの第 1 の一對のスイッチング素子の各々に第 1 の一對のダイオードを並列接続し、ハイサイドとローサイドの第 2 の一對のスイッチング素子の各々に第 2 の一對のダイオードを並列接続し、第 1、第 2 の一對のスイッチング素子の両端に第 1 の片電源を接続し、第 1 の一對のスイッチング素子の間の第 1 の接続点と、第 2 の一對のスイッチング素子の間の第 2 の接続点との間に第 1 の LC 回路を接続し、第 2 の D クラスアンプ回路のハイサイドとローサイドの第 1 の一對のスイッチング素子の各々に第 1 の一對のダイオードを並列接続し、ハイサイドとローサイドの第 2 の一對のスイッチング素子の各々に第 2 の一對のダイオードを並列接続し、第 1、第 2 の一對のスイッチング素子の両端に第 2 の片電源を接続し、第 1 の一對のスイッチング素子の間の第 1 の接続点と、第 2 の一對のスイッチング素子の間の第 2 の接続点との間に第 2 の LC 回路を接続し、第 1 の LC 回路のコンデンサの一端と第 2 の LC 回路のコンデンサの一端をグランドと接続するとともに、第 1 の LC 回路と第 2 の LC 回路の間に負荷を接続し、入力信号の正負に応じて第 1、第 2 の D クラスアンプ回路の第 1 の一對のスイッチング素子を交互にオン・オフ駆動するとともに、入力信号を PWM 変調したパルスに基づき第 1、第 2 の D クラスアンプ回路の第 2 の一對のスイッチング素子を交互にオン・オフ駆動するようにし、この際、第 1 の D クラスアンプ回路の第 1 の一對のスイッチング素子のハイサイドをオン（オフ）するとき、第 2 の D クラスアンプ回路の第 1 の一對のスイッチング素子のローサイドをオン（オフ）し、第 1 の D クラスアンプ回路の第 2 の一對のスイッチング素子のハイサイドをオン（オフ）するとき、第 2 の D クラスアンプ回路の第 2 の一對のスイッチング素子のローサイドをオン（オフ）するようにしたこと、を特徴としている。

【発明の効果】

【0008】

請求項 1、3 の発明によれば、スイッチング素子をフルブリッジ接続したので、片電源により両電源並の大きな出力電力を取ることができる。また、回生電流が電源を流れないので、パンピング現象が発生しにくく、出力電圧がグランドを中心に変わるので直流バイアスが発生しない。

請求項 2、4 の発明によれば、シングルエンドの第 1、第 2 の D クラスアンプ回路をブリッジ接続したことで、片電源の 4 倍の出力電圧を得ることができ、より大きな出力電力を取ることができる。また、回生電流が電源を流れないので、パンピング現象が発生しにくく、出力電圧がグランドを中心に変わるので直流バイアスが発生しない。

【発明を実施するための最良の形態】

【0009】

以下、本発明の最良の形態を実施例に基づき説明する。

【実施例 1】

【0010】

次に図 3 を参照して本発明の第 1 実施例を説明する。図 3 は本発明に係るオーディオ用 D クラスアンプの構成を示す回路図である。

図 3 において、1 と 2 は直列接続されたハイサイドとローサイドの第 1 の一對のスイッチング素子、3 と 4 は直列接続されたハイサイドとローサイドの第 2 の一對のスイッチング素子、D 1 と D 2 は各々スイッチング素子 1 と 2 に並列接続されたフライホイールダイオード、D 3 と D 4 は各々スイッチング素子 3 と 4 に並列接続されたフライホイールダイオード、2 1 は + B の片電源であり、フローティング状態で第 1、第 2 の一對のスイッチング素子 1 と 2、3 と 4 の両端に接続されている。1 0 はコイル L F とコンデンサ C F から成る低域通過用の LC 回路であり、コンデンサ C F の一端がグランドと接続されてシングルエンドを構成している。R L は LC 回路 1 0 の出力側でコンデンサ C F と並列接続さ

10

20

30

40

50

れた負荷（スピーカ）である。

【0011】

30は入力信号の瞬時値の正負に応じて第1の一对のスイッチング素子1、2を交互にオン・オフ駆動する第1の駆動回路であり、図4に具体的な回路構成を示す。図4において、第1の駆動回路30の内、31は入力信号をグランド電位と比較するコンパレータであり、入力信号の瞬時値が正の期間ローレベル、負の期間ハイレベルとなる第1パルスを出力する。第1パルスは遅延回路32とAND回路33の一方の入力端子に入力され、遅延回路32の出力がAND回路33の他方の入力端子に入力されている。AND回路33からはデッドタイム付の第1スイッチングパルスSP1がドライバ34を介してスイッチング素子1に出力される。第1スイッチングパルスSP1は入力信号の瞬時値が負の間ハイとなり（但し、ハイ期間はデッドタイム分だけ短い）、スイッチング素子1をオンし、正の間ローとなり、スイッチング素子1をオフする。

10

35はコンパレータ31の出力を反転する反転回路であり、入力信号の瞬時値が正の期間ハイレベル、負の期間ローレベルとなる第2パルスを出力する。第2パルスは遅延回路36とAND回路37の一方の入力端子に入力され、遅延回路36の出力がAND回路37の他方の入力端子に入力されている。AND回路37からはデッドタイム付の第2スイッチングパルスSP2がドライバ38を介してスイッチング素子2に出力される。第2スイッチングパルスSP2は入力信号の瞬時値が正の期間ハイとなり（但し、ハイ期間はデッドタイム分だけ短い）、スイッチング素子2をオンし、期間の間ローとなり、スイッチング素子2をオンする（図6参照）。

20

【0012】

40は入力信号をPWM変調したパルスに基づき第2の一对のスイッチング素子3、4を交互にオン・オフする第2の駆動回路であり、図5に具体的な回路構成を示す。図5において、第2の駆動回路40の内、41は高周波の三角波を発生する三角波発生器、42は入力信号と三角波を比較し、入力信号の瞬時値が三角波の瞬時値より大きい期間ハイレベル、入力信号の瞬時値が三角波の瞬時値より小さい期間ローレベルとなる第3パルスを出力するコンパレータ、43は入力信号の極性を反転する反転回路、44は極性反転された入力信号と三角波を比較し、反転後の入力信号の瞬時値が三角波の瞬時値より大きい期間ハイレベル、入力信号の瞬時値が三角波の瞬時値より小さい期間ローレベルとなる第4パルスを出力するコンパレータ、45は第3パルスと第4パルスの排他的論理和をとるXOR回路、46は第3パルスと第4パルスの排他的否定和をとるXNOR回路、47は第1の駆動回路30のコンパレータ31の出力に基づき入力信号の瞬時値が正の間、XOR回路45の出力を選択出力し、負の間、XNOR回路46の出力を選択出力するスイッチ回路であり、スイッチ回路47から第5パルスが出力される。第5パルスは遅延回路48とAND回路49の一方の入力端子に入力され、遅延回路48の出力がAND回路49の他方の入力端子に入力されている。AND回路49からはデッドタイム付の第3スイッチングパルスSP3がドライバ50を介してスイッチング素子3に出力される。第3スイッチングパルスSP3は入力信号の瞬時値が三角波の瞬時値より大きい期間と、極性反転した入力信号の瞬時値が三角波の瞬時値より大きい期間にハイとなり（但し、ハイ期間はデッドタイム分だけ短い）、スイッチング素子3をオンし、他の期間ローとなり、スイッチング素子3をオフする。

30

40

【0013】

51はスイッチ回路47の出力を反転する反転回路であり、第6パルスを出力する。第6パルスは遅延回路52とAND回路53の一方の入力端子に入力され、遅延回路52の出力がAND回路53の他方の入力端子に入力されている。AND回路53からはデッドタイム付の第4スイッチングパルスSP4がドライバ54を介してスイッチング素子4に出力される。第4スイッチングパルスSP4は入力信号の瞬時値が三角波の瞬時値より小さい期間と、極性反転した入力信号の瞬時値が三角波の瞬時値より小さい期間にハイとなり（但し、ハイ期間はデッドタイム分だけ短い）、スイッチング素子4をオンし、他の期間ローとなり、スイッチング素子4をオフする（図7参照）。

50

【 0 0 1 4 】

図 6 は第 1 の駆動回路 3 0 の動作を示す線図、図 7 は入力信号が正の期間の第 2 の駆動回路 4 0 の動作を示す線図、図 8、図 9 は入力信号が正の期間の回生電流の経路を示す説明図、図 1 0 は入力信号が負の期間の第 2 の駆動回路 4 0 の動作を示す線図、図 1 1、図 1 2 は入力信号が負の期間の回生電流の経路を示す説明図であり、以下、これらの図を参照して上記した実施例の動作を説明する。

(1) 入力信号の瞬時値が正の期間 (図 3、図 6 ~ 図 9 参照)

入力信号の瞬時値が正の期間は第 1 スイッチングパルス S P 1 がロー、第 2 スイッチングパルス S P 2 がハイとなっている (但し、第 2 スイッチングパルス S P 2 のロー期間はデッドタイム分だけ短い)。このため、第 1 の一對のスイッチング素子の内、スイッチング素子 1 がオフを維持し、2 がオンを維持する。一方、第 3 スイッチングパルス S P 3 は入力信号の瞬時値に比例する P W M 変調をされてハイとローを繰り返し (但し、ハイ期間はデッドタイム分だけ短い)、ハイの間、第 2 の一對のスイッチング素子の内、スイッチング素子 3 をオンし、ローの間オフする。第 4 スイッチングパルス S P 4 は第 3 スイッチングパルス S P 3 がハイの間ローとなり、ローの間ハイとなり (但し、ハイ期間はデッドタイム分だけ短い)、ハイの間、第 2 の一對のスイッチング素子の内、スイッチング素子 4 をオンし、ローの間オフする。これにより、第 2 の一對のスイッチング素子 3、4 は交互にオンオフを繰り返す (図 3 のスイッチング素子 1、2 の実線の状態、図 8、図 9 参照)。

【 0 0 1 5 】

時系列的に見ると、例えば図 6 の時点 t_1 でスイッチング素子 3 がオン、スイッチング素子 4 がオフとなり (図 3 のスイッチング素子 3、4 の実線の状態参照)、時点 t_2 でスイッチング素子 3、4 とともにオフとなり (デッドタイム。図 8 参照)、時点 t_3 でスイッチング素子 3 がオフ、4 がオンとなり (図 9 参照)、時点 t_4 でスイッチング素子 3、4 がともにオフとなり (デッドタイム。図 8 参照)、時点 t_5 で再びスイッチング素子 3 がオン、4 がオフとなり (図 3 のスイッチング素子 3、4 の実線の状態参照)、以下、同様の動作を繰り返す。

$t_1 - t_2$ の期間は、第 1 の一對のスイッチング素子 1、2 の接続点 P 1 の電位 V_0 がグランドとなり、第 2 の一對のスイッチング素子 3、4 の接続点 P 2 の電位 V_1 が $+B$ となり、この $+B$ がスイッチング素子 3、L C 回路 1 0 を介して負荷 R L のグランド側とは反端側に印加される。 $t_2 - t_5$ の期間は、スイッチング素子 3 がオフしているので、片電源 2 1 はフローティング状態となる。一方、 $t_1 - t_2$ の期間にコイル L F を電流が接続点 P 2 からコンデンサ C F の方向に流れていたとすると (図 3 の符号 I 参照)、 t_2 でスイッチング素子 3 がオフしたあともコイル L F には同じ方向に電流が流れ続けようとするが、この回生電流は $t_2 - t_3$ の期間と $t_4 - T_5$ の期間では負荷 R L、スイッチング素子 2、フライホイールダイオード D 4、コイル L F の経路で流れ (図 8 参照)、 $t_3 - t_4$ の期間では負荷 R L、スイッチング素子 2、スイッチング素子 4 とフライホイールダイオード D 4、コイル L F の経路で流れる (図 9 参照)。従って、回生電流は片電源 2 1 に流れ込むことはない。

【 0 0 1 6 】

(1) 入力信号の瞬時値が負の期間 (図 3、図 6、図 1 0、図 1 1、図 1 2 参照)

入力信号の瞬時値が負の期間は第 1 スイッチングパルス S P 1 がハイ、第 2 スイッチングパルス S P 2 がローとなっている (但し、第 1 スイッチングパルス S P 1 のロー期間はデッドタイム分だけ短い)。このため、第 1 の一對のスイッチング素子の内、スイッチング素子 1 がオンを維持し、2 がオフを維持する。一方、第 3 スイッチングパルス S P 3 は入力信号の瞬時値に比例する P W M 変調をされてハイとローを繰り返し (但し、ハイ期間はデッドタイム分だけ短い)、ハイの間、第 2 の一對のスイッチング素子の内、スイッチング素子 3 をオンし、ローの間オフする。第 4 スイッチングパルス S P 4 は第 3 スイッチングパルス S P 3 がハイの間ローとなり、ローの間ハイとなり (但し、ハイ期間はデッドタイム分だけ短い)、ハイの間、第 2 の一對のスイッチング素子の内、スイッチング素子

4 をオンし、ローの間オフする。これにより、第 2 の一對のスイッチング素子 3、4 は交互にオンオフを繰り返す（図 3 のスイッチング素子 1、2 の破線の状態、図 1 1、図 1 2 参照）。

【0017】

時系列的に見ると、例えば図 1 0 の時点 t_1' でスイッチング素子 3 がオフ、スイッチング素子 4 がオンとなり（図 3 のスイッチング素子 3、4 の破線の状態）、時点 t_2' でスイッチング素子 3、4 とともにオフとなり（デッドタイム。図 1 1 参照）、時点 t_3' でスイッチング素子 3 がオン、4 がオフとなり（図 1 2 参照）、時点 t_4' でスイッチング素子 3、4 がともにオフとなり（デッドタイム。図 1 1 参照）、時点 t_5' で再びスイッチング素子 3 がオフ、4 がオンとなり（図 3 のスイッチング素子 3、4 の破線の状態）、以下、同様の動作を繰り返す。

10

$t_1' - t_2'$ の期間は、第 1 の一對のスイッチング素子 1、2 の接続点 P 1 の電位 V_0 がグランドとなり、第 2 の一對のスイッチング素子 3、4 の接続点 P 2 の電位 V_1 が $-B$ となり、この $-B$ がスイッチング素子 3、LC 回路 1 0 を介して負荷 RL のグランド側とは反端側に印加される。 $t_2' - t_5'$ の期間は、スイッチング素子 4 がオフしているので、片電源 2 1 はフローティング状態となる。一方、 $t_1' - t_2'$ の期間にコイル LF を電流がコンデンサ CF の側から接続点 P 2 の方向に流れていたとすると（図 3 の符号 I' 参照）、 t_2' でスイッチング素子 4 がオフしたあともコイル LF には同じ方向に電流が流れ続けようとするが、この回生電流は $t_2' - t_3'$ の期間と $t_4' - t_5'$ の期間では P 2、フライホイールダイオード D 3、スイッチング素子 1、負荷 RL の経路で流れ（図 1 1 参照）、 $t_3' - t_4'$ の期間ではスイッチング素子 3 とフライホイールダイオード D 3、スイッチング素子 1、負荷 RL の経路で流れる（図 1 2 参照）。従って、入力信号が負の期間も回生電流が片電源 2 1 に流れ込むことはない。

20

【0018】

この実施例によれば、負荷 RL のグランドとは反対側にグランドを中心としてほぼ $\pm B$ に変化する電圧が印加されるので、出力電力が両電源並に大きくなるとともに、直流バイアスが生じない。また、回生電流が片電源 2 1 に流れ込まないので、パンピング現象が起きない。

【0019】

次に図 1 3 を参照して本発明の第 2 実施例を説明する。図 1 3 は本発明に係るオーディオ用 D クラスアンプの構成を示す回路図である。

30

図 1 3 では、図 3 の D クラスアンプと全く同様に構成された 2 組の第 1、第 2 の D クラスアンプ回路 7 0、8 0 を備え、第 1 の D クラスアンプ回路 7 0 の第 1 の LC 回路 1 0 A のコンデンサ CF の一端と第 2 の D クラスアンプ回路 8 0 の第 2 の LC 回路 1 0 B のコンデンサ CF の一端をグランドと接続し、第 1 の D クラスアンプ回路 7 0 の第 1 の LC 回路 1 0 A と第 2 の D クラスアンプ回路 8 0 の第 2 の LC 回路 1 0 B の間に負荷 RL を接続してある。

また、第 1 の D クラスアンプ回路 7 0 の第 1 の駆動回路 3 0 が第 1 の一對のスイッチング素子のハイサイドをオン（オフ）するとき、第 2 の D クラスアンプ回路 8 0 の第 1 の駆動回路 3 0 は第 1 の一對のスイッチング素子のローサイドをオン（オフ）し、第 1 の D クラスアンプ回路 7 0 の第 2 の駆動回路 4 0 が第 2 の一對のスイッチング素子のハイサイドをオン（オフ）するとき、第 2 の D クラスアンプ回路 8 0 の第 2 の駆動回路 4 0 は第 2 の一對のスイッチング素子のローサイドをオン（オフ）するようにしてある。即ち、第 1 の D クラスアンプ回路 7 0 では第 1 の駆動回路 3 0 のスイッチングパルス SP 1 と SP 2 はスイッチング素子 1 と 2 に印加されているが、第 2 の D クラスアンプ回路 8 0 では第 1 の駆動回路 3 0 のスイッチングパルス SP 1 と SP 2 はスイッチング素子 2 と 1 に印加されている。第 1 の D クラスアンプ回路 7 0 では第 2 の駆動回路 4 0 のスイッチングパルス SP 3 と SP 4 はスイッチング素子 3 と 4 に印加されているが、第 2 の D クラスアンプ回路 8 0 では第 2 の駆動回路 4 0 のスイッチングパルス SP 3 と SP 4 はスイッチング素子 4 と 3 に印加されている。

40

50

【 0 0 2 0 】

図 1 3 の D クラスアンプにおいて、入力信号が正の期間は、第 1 の D クラスアンプ回路 7 0 のスイッチング素子 1 がオフ、2 がオンを継続し、第 2 の D クラスアンプ回路 8 0 のスイッチング素子 1 がオン、2 がオフを継続する。そして、入力信号の瞬時値に応じて P W M 変調されたスイッチングパルス S P 3、S P 4 により、第 1 の D クラスアンプ回路 7 0 の第 2 の一対のスイッチング素子 3 と 4 が交互にオン・オフし、これに同期して、第 2 の D クラスアンプ回路 8 0 の第 2 の一対のスイッチング素子 3、4 が交互にオン・オフする（但し、第 1 の D クラスアンプ回路 7 0 と第 2 の D クラスアンプ回路 8 0 とではオン・オフするサイドが逆）。或る時点で、第 1 の D クラスアンプ回路 7 0 のスイッチング素子 3 がオン、4 がオフ、第 2 の D クラスアンプ回路 8 0 のスイッチング素子 3 がオフ、4 が

10

オンとなっているとき（図 1 3 参照）、第 1 の D クラスアンプ回路 7 0 の接続点 P 2 の電位 V_2 が $+B$ 、第 2 の D クラスアンプ回路 8 0 の接続点 P 2 の電位 V_2 が $-B$ となるので、負荷 R L には第 2 の D クラスアンプ回路 8 0 の側から見て第 1 の D クラスアンプ回路 7 0 の側にほぼ $+2B$ が印加される。

【 0 0 2 1 】

このとき、第 1 の D クラスアンプ回路 7 0 の第 1 の L C 回路 1 0 A のコイル L F に第 1 の D クラスアンプ回路 7 0 から負荷 R L の方向へ電流が流れており、第 2 の D クラスアンプ回路 8 0 の第 2 の L C 回路 1 0 B のコイル L F に負荷 R L から第 2 の D クラスアンプ回路 8 0 の方向へ電流が流れていたとすると（図 1 3 の I 参照。電流経路は第 1 の D クラスアンプ回路 7 0 の第 1 の片電源 2 1 A、スイッチング素子 3、接続点 P 2、第 1 の L C 回路 1 0 A、負荷 R L、第 2 の D クラスアンプ回路 8 0 の第 2 の L C 回路 1 0 B、接続点 P 2、スイッチング素子 4、第 2 の片電源 2 1 B、スイッチング素子 1、接続点 P 1、グラウンド、第 1 の D クラスアンプ回路 7 0 の接続点 P 1、スイッチング素子 2、第 1 の片電源 2 1 A）、その後、デッドタイムに入り第 1 の D クラスアンプ回路 7 0 と第 2 の D クラスアンプ回路 8 0 の第 2 のスイッチング素子 3、4 がともにオフとなったとき、回生電流は図 1 4 の如く、第 2 の D クラスアンプ回路 8 0 の D 3、スイッチング素子 1、接続点 P 1、グラウンド、第 1 の D クラスアンプ回路 7 0 の接続点 P 1、スイッチング素子 2、D 4 の経路で流れ、第 1、第 2 の片電源 2 1 A、2 1 B には流れない。

20

次に、デッドタイムが終わり第 1 の D クラスアンプ回路 7 0 のスイッチング素子 3 がオフ、4 がオン、第 2 の D クラスアンプ回路 8 0 のスイッチング素子 3 がオン、4 がオフとなったとき、回生電流は図 1 5 の如く、第 2 の D クラスアンプ回路 8 0 のスイッチング素子 3 と D 3、スイッチング素子 1、接続点 P 1、グラウンド、第 1 の D クラスアンプ回路 7 0 の接続点 P 1、スイッチング素子 2、スイッチング素子 4 と D 4、接続点 P 2 の経路で流れ、やはり第 1、第 2 の片電源 2 1 A、2 1 B には流れない。

30

【 0 0 2 2 】

これと異なり図 1 3 の D クラスアンプにおいて、入力信号が負の期間は、第 1 の D クラスアンプ回路 7 0 のスイッチング素子 1 がオン、2 がオフを継続し、第 2 の D クラスアンプ回路 8 0 のスイッチング素子 1 がオフ、2 がオンを継続する。そして、入力信号の瞬時値に応じて P W M 変調されたスイッチングパルス S P 3、S P 4 により、第 1 の D クラスアンプ回路 7 0 の第 2 の一対のスイッチング素子 3 と 4 が交互にオン・オフし、これに同期して、第 2 の D クラスアンプ回路 8 0 の第 2 の一対のスイッチング素子 3、4 が交互にオン・オフする（但し、第 1 の D クラスアンプ回路 7 0 と第 2 の D クラスアンプ回路 8 0 とではオン・オフするサイドが逆）。或る時点で、第 1 の D クラスアンプ回路 7 0 のスイッチング素子 3 がオフ、4 がオン、第 2 の D クラスアンプ回路 8 0 のスイッチング素子 3 がオン、4 がオフとなっているとき、第 1 の D クラスアンプ回路 7 0 の接続点 P 2 の電位 V_2 が $-B$ 、第 2 の D クラスアンプ回路 8 0 の接続点 P 2 の電位 V_2 が $+B$ となるので、負荷 R L には第 2 の D クラスアンプ回路 8 0 の側から見て第 1 の D クラスアンプ回路 7 0 の側にほぼ $-2B$ が印加される。

40

【 0 0 2 3 】

このとき、第 1 の D クラスアンプ回路 7 0 の第 1 の L C 回路 1 0 A のコイル L F に負荷

50

R L から第 1 の D クラスアンプ回路 7 0 の方向へ電流が流れており、第 2 の D クラスアンプ回路 8 0 の第 2 の L C 回路 1 0 B のコイル L F に第 2 の D クラスアンプ回路 8 0 から負荷 R L の方向へ電流が流れていたとすると (図 1 6 の I ' 参照) 、電流経路は第 2 の D クラスアンプ回路 8 0 の第 2 の片電源 2 1 B 、スイッチング素子 3 、接続点 P 2 、第 2 の L C 回路 1 0 B 、負荷 R L 、第 1 の D クラスアンプ回路 7 0 の第 1 の L C 回路 1 0 A 、接続点 P 2 、スイッチング素子 4 、第 1 の片電源 2 1 A 、スイッチング素子 1 、接続点 P 1 、グランド、第 2 の D クラスアンプ回路 8 0 の接続点 P 1 、スイッチング素子 2 、第 2 の片電源 2 1 B) 、その後、デッドタイムに入り第 1 の D クラスアンプ回路 7 0 と第 2 の D クラスアンプ回路 8 0 の第 2 のスイッチング素子 3 、 4 がともにオフとなったとき、回生電流は図 1 7 の如く、第 1 の D クラスアンプ回路 7 0 の D 3 、スイッチング素子 1 、接続点 P 1 、グランド、第 2 の D クラスアンプ回路 8 0 の接続点 P 1 、スイッチング素子 2 、 D 4 の経路で流れ、第 1 、第 2 の片電源 2 1 A 、 2 1 B には流れない。

10

次に、デッドタイムが終わり第 1 の D クラスアンプ回路 7 0 のスイッチング素子 3 がオン、 4 がオフ、第 2 の D クラスアンプ回路 8 0 のスイッチング素子 3 がオフ、 4 がオンとなったとき、回生電流は図 1 8 の如く、第 1 の D クラスアンプ回路 7 0 のスイッチング素子 3 と D 3 、スイッチング素子 1 、接続点 P 1 、グランド、第 2 の D クラスアンプ回路 8 0 の接続点 P 1 、スイッチング素子 2 、スイッチング素子 4 と D 4 、接続点 P 2 の経路で流れ、やはり第 1 、第 2 の片電源 2 1 A 、 2 1 B には流れない。

【 0 0 2 4 】

図 1 3 の実施例によれば、負荷 R L の一端側をから見て他端側には $\pm 2 B$ に変化する電圧が印加されるので、出力電力を非常に大きくすることができる。また、回生電流が第 1 、第 2 の片電源 2 1 A 、 2 1 B に流れ込まないので、パンピング現象が起きない。

20

【産業上の利用可能性】

【 0 0 2 5 】

本発明は、オーディオ用、その他の用途の片電源を用いた D クラスアンプに適用できる。

【図面の簡単な説明】

【 0 0 2 6 】

【図 1】従来のオーディオ用 D クラスアンプの一例を示す回路図である。

【図 2】従来のオーディオ用 D クラスアンプの他の例を示す回路図である。

30

【図 3】本発明の第 1 実施例に係るオーディオ用 D クラスアンプの回路図である (実施例 1) 。

【図 4】図 3 中の第 1 の駆動回路の回路図である。

【図 5】図 3 中の第 2 の駆動回路の回路図である。

【図 6】第 1 の駆動回路の動作を説明する線図である。

【図 7】入力信号が正の場合の第 2 の駆動回路の動作を説明する線図である。

【図 8】入力信号が正の場合の回生電流の経路を示す説明図である。

【図 9】入力信号が正の場合の回生電流の経路を示す説明図である。

【図 10】入力信号が負の場合の第 2 の駆動回路の動作を説明する線図である。

40

【図 11】入力信号が負の場合の回生電流の経路を示す説明図である。

【図 12】入力信号が負の場合の回生電流の経路を示す説明図である。

【図 13】本発明の第 2 実施例に係るオーディオ用 D クラスアンプの回路図である (実施例 2) 。

【図 14】図 1 3 のオーディオ用 D クラスアンプの動作説明図である。

【図 15】図 1 3 のオーディオ用 D クラスアンプの動作説明図である。

【図 16】図 1 3 のオーディオ用 D クラスアンプの動作説明図である。

【図 17】図 1 3 のオーディオ用 D クラスアンプの動作説明図である。

【図 18】図 1 3 のオーディオ用 D クラスアンプの動作説明図である。

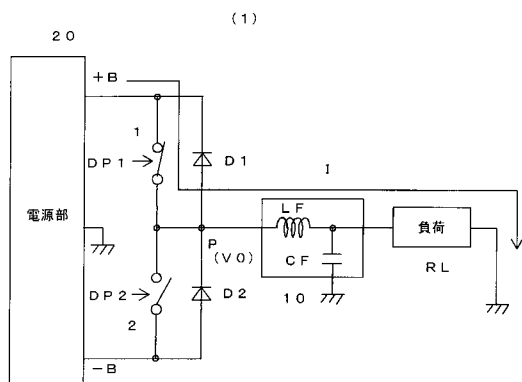
【符号の説明】

【 0 0 2 7 】

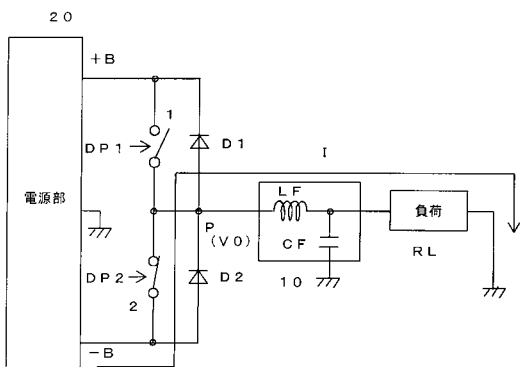
50

- 1、2、3、4 スイッチング素子
- 10 LC回路
- 10A 第1のLC回路
- 10B 第2のLC回路
- 21 片電源
- 21A 第1の片電源
- 21B 第2の片電源
- 30 第1の駆動回路
- 40 第2の駆動回路
- 70 第1のDクラスアンプ回路
- 80 第2のDクラスアンプ回路
- RL 負荷
- LF コイル

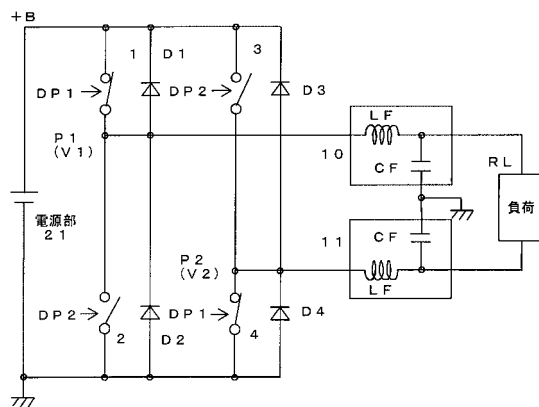
【図1】



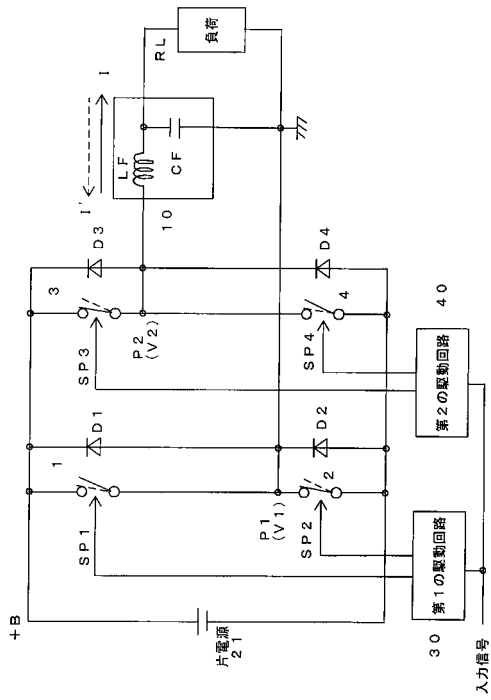
(2)



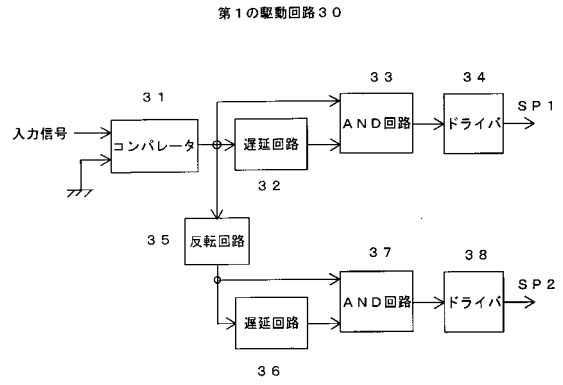
【図2】



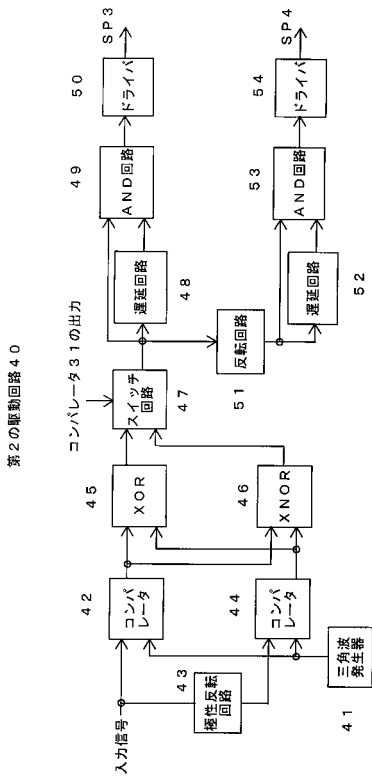
【 図 3 】



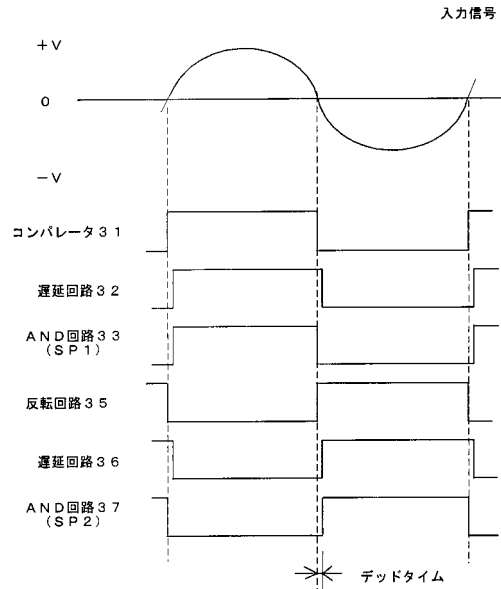
【 図 4 】



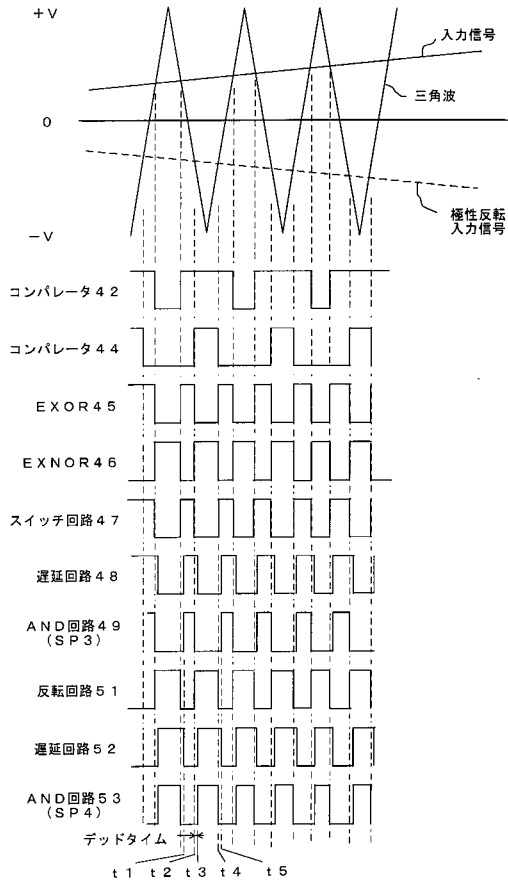
【 図 5 】



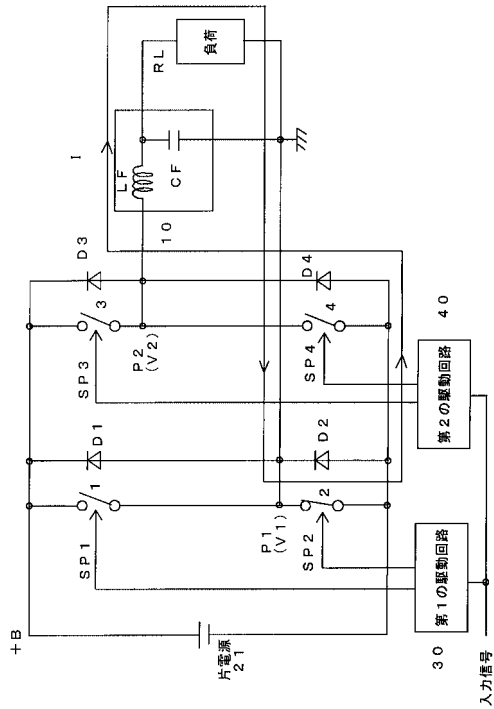
【 図 6 】



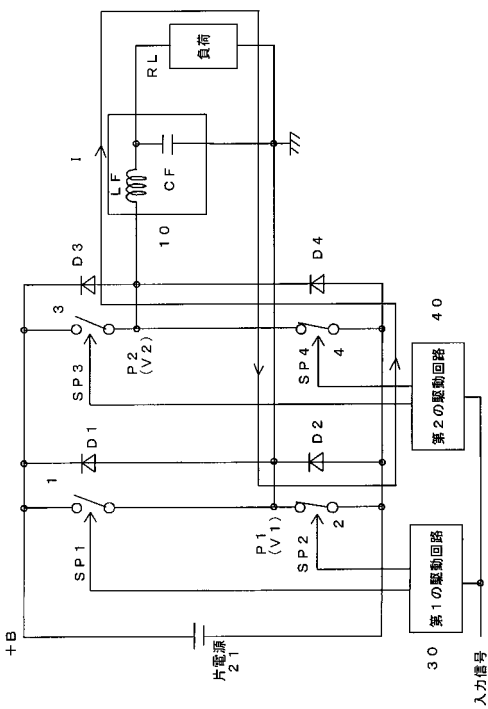
【図 7】



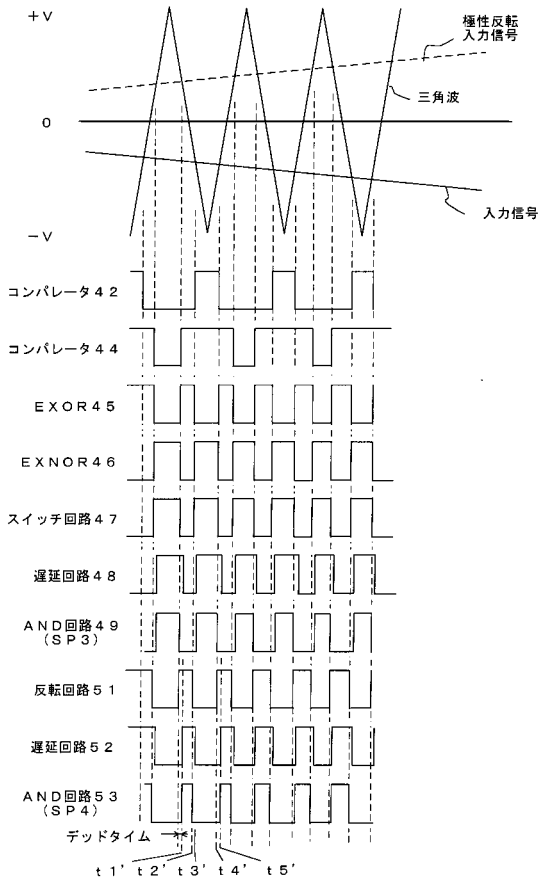
【図 8】



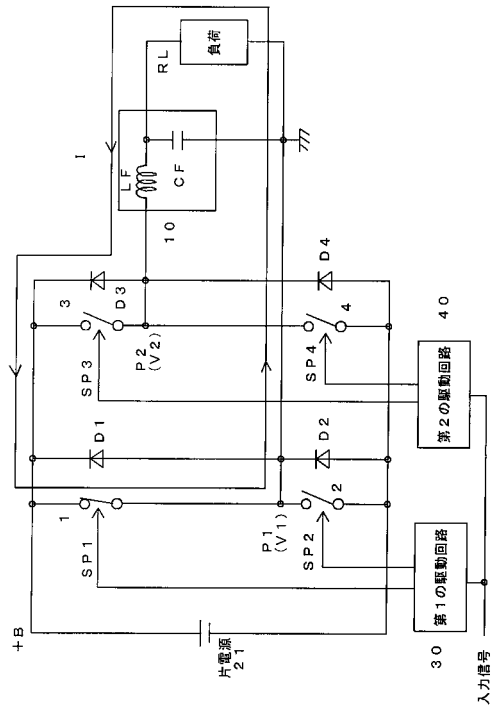
【図 9】



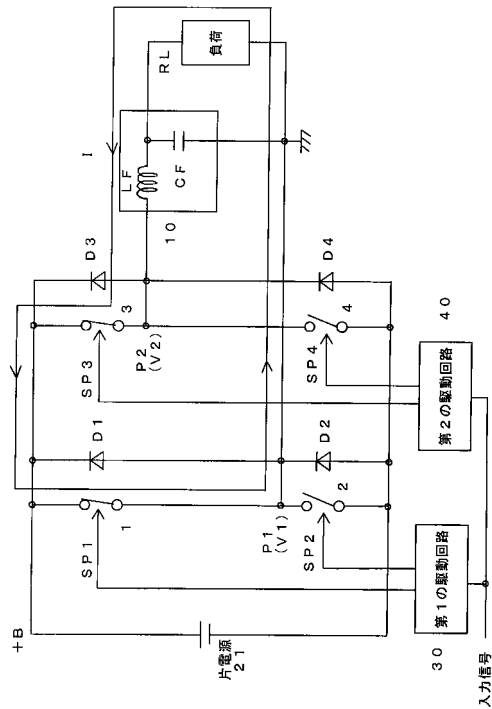
【図 10】



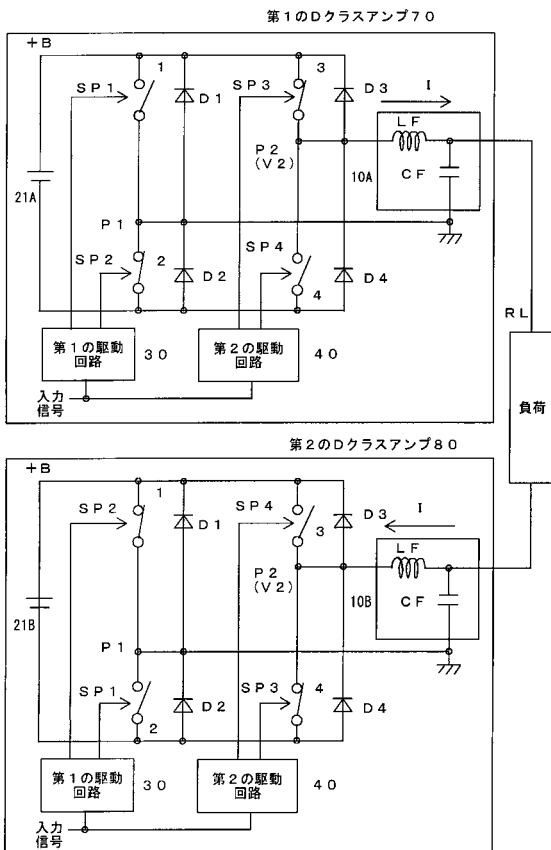
【図 1 1】



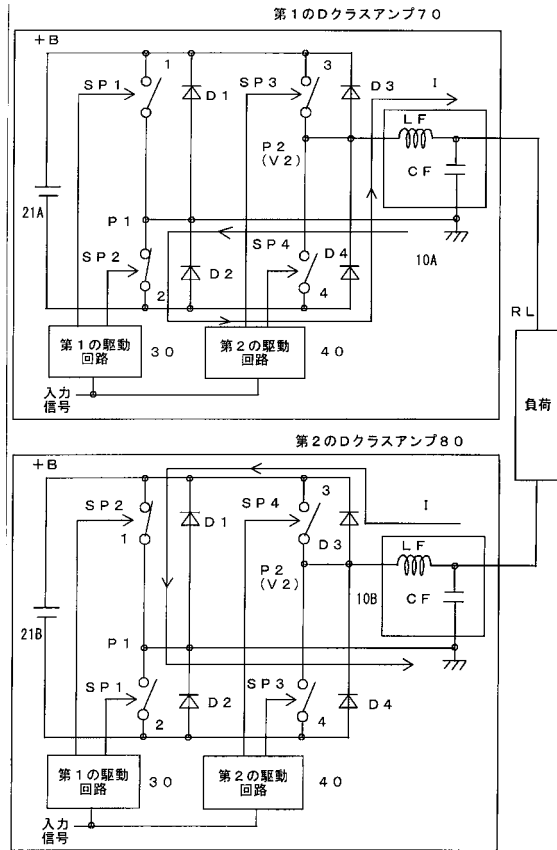
【図 1 2】



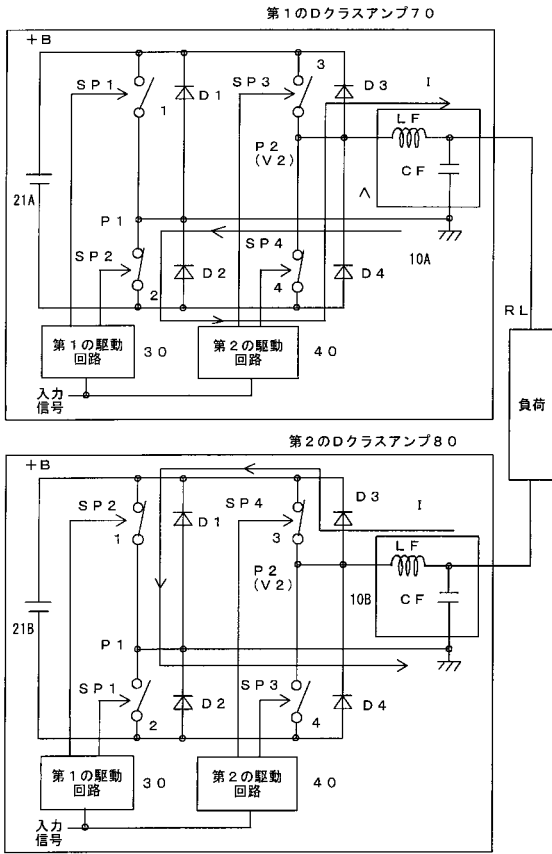
【図 1 3】



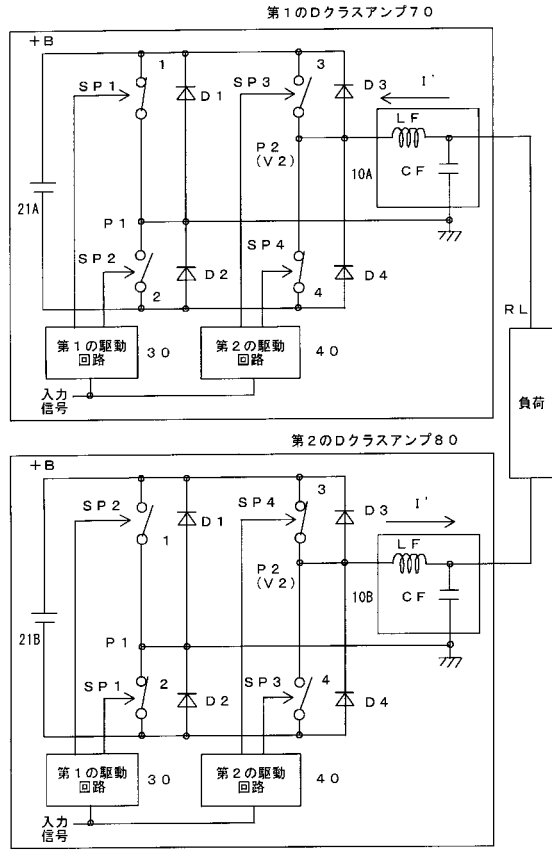
【図 1 4】



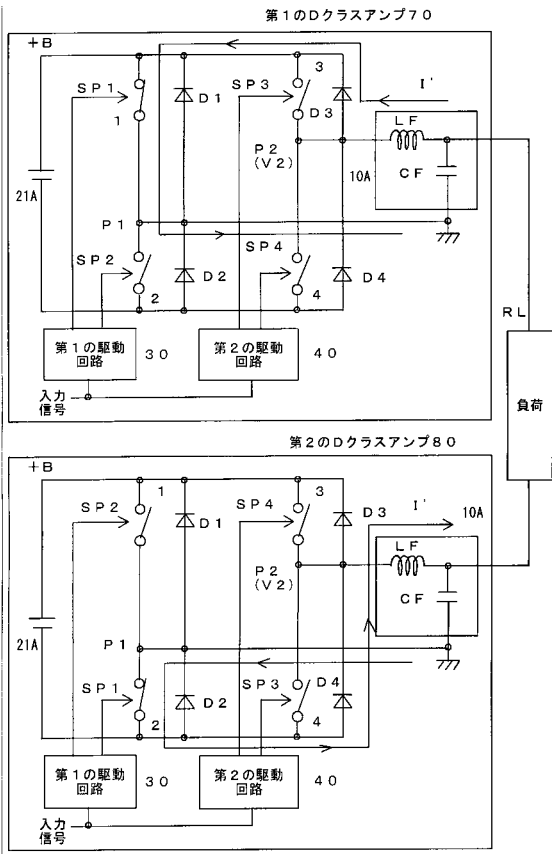
【図15】



【図16】



【図17】



【図18】

