

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-43049

(P2007-43049A)

(43) 公開日 平成19年2月15日(2007.2.15)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 21/82 (2006.01)	HO 1 L 21/82 B	5 F 0 3 8
HO 1 L 21/822 (2006.01)	HO 1 L 21/82 W	5 F 0 6 4
HO 1 L 27/04 (2006.01)	HO 1 L 27/04 A	
	HO 1 L 27/04 D	

審査請求 未請求 請求項の数 33 O L (全 26 頁)

(21) 出願番号	特願2005-353654 (P2005-353654)	(71) 出願人	000005821 松下電器産業株式会社
(22) 出願日	平成17年12月7日 (2005.12.7)		大阪府門真市大字門真1006番地
(31) 優先権主張番号	特願2004-367717 (P2004-367717)	(74) 代理人	100086737 弁理士 岡田 和秀
(32) 優先日	平成16年12月20日 (2004.12.20)		
(33) 優先権主張国	日本国 (JP)	(72) 発明者	一柳 美和 大阪府門真市大字門真1006番地 松下電器産業株式会社内
(31) 優先権主張番号	特願2005-191434 (P2005-191434)	(72) 発明者	森脇 俊幸 大阪府門真市大字門真1006番地 松下電器産業株式会社内
(32) 優先日	平成17年6月30日 (2005.6.30)	(72) 発明者	當房 哲朗 大阪府門真市大字門真1006番地 松下電器産業株式会社内
(33) 優先権主張国	日本国 (JP)		

Fターム(参考) 5F038 CA02 CA17 CD02 EZ09 EZ20
最終頁に続く

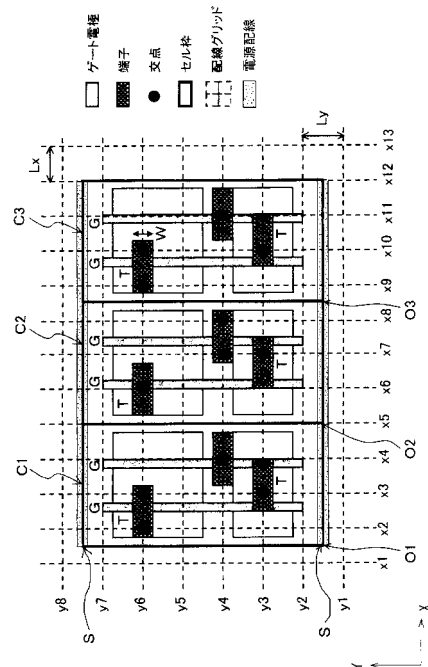
(54) 【発明の名称】セル、スタンダードセル、スタンダードセル配置方法、スタンダードセルライブラリ、ならびに半導体集積回路

(57) 【要約】

【課題】セル面積削減を図り、チップ面積を縮小できる半導体集積回路の提供。

【解決手段】本発明のセルは、入力信号または出力信号を伝達可能な複数の端子を有し、半導体集積装置を設計するうえでの最小単位となるセルであって、前記複数の端子は、自動配置配線で用いられるセルの電源配線に垂直な方向であるY方向に並ぶ配線グリッド上に配置され、かつ前記電源配線に平行な方向であるX方向に沿って長い形状、例えば、前記端子の長辺寸法を(X方向に沿った配線グリッド間隔+配線幅)とした形状にする。これにより、セル面積削減を図り、チップ面積を縮小する。

【選択図】図1



【特許請求の範囲】

【請求項 1】

入力信号または出力信号を伝達可能な複数の端子を有し、半導体集積装置を設計するうえでの最小単位となるセルであって、

前記複数の端子は、自動配置配線で用いられるセルの電源配線に垂直な方向である Y 方向に並ぶ配線グリッド上に配置され、かつ前記電源配線に平行な方向である X 方向に沿って長い形状を有する、

ことを特徴とするセル。

【請求項 2】

前記端子の短辺寸法は自動配置配線での配線幅であり、前記端子の長辺寸法は、X 方向に沿う配線グリッド間隔以上で前記 X 方向に沿う当該セルのセル幅から配線の最小間隔を差し引いた長さ以下である、

ことを特徴とする請求項 1 記載のセル。

【請求項 3】

前記端子の短辺寸法は自動配置配線での配線幅であり、前記端子の長辺寸法は、(X 方向に沿う配線グリッド間隔 + 前記配線幅) 以上で前記 X 方向に沿う当該セルのセル幅から配線の最小間隔を差し引いた長さ以下である、

ことを特徴とする請求項 1 記載のセル。

【請求項 4】

前記端子の短辺寸法は自動配置配線での配線幅であり、前記端子の長辺寸法は (X 方向に沿った配線グリッド間隔 + 配線幅) である、

ことを特徴とする請求項 1 記載のセル。

【請求項 5】

前記端子の短辺寸法は自動配置配線での配線幅であり、前記端子の長辺寸法は、前記 X 方向に沿った当該セルのセル幅から配線の最小間隔を差し引いた長さである、

ことを特徴とする請求項 1 記載のセル。

【請求項 6】

当該セルはスタンダードセルである、

ことを特徴とする請求項 1 記載のセル。

【請求項 7】

当該セルはゲートアレイセルである、

ことを特徴とする請求項 1 記載のセル。

【請求項 8】

請求項 1 のセルと、

前記セルを実装する回路基板と、

を備える、

ことを特徴とする半導体集積回路。

【請求項 9】

機能マクロレイアウトを合成するためのスタンダードセルライブラリであって、当該ライブラリは、セル幅が配線グリッド間隔の整数倍の寸法とは相違するスタンダードセルを含む、

スタンダードセルライブラリ。

【請求項 10】

前記スタンダードセルはゲート電極を複数備えており、

前記ゲート電極の幾つかが有するゲートピッチは、前記スタンダードセルの電源配線に平行な X 方向に沿って設定された前記配線グリッド間隔とは異なる値に設定されており、

前記スタンダードセルの電源配線に平行な X 方向に沿うセル幅は、前記 X 方向に沿う前記配線グリッド間隔とは異なる値に設定された前記ゲート電極のゲートピッチのうちの最小値の整数倍に設定されている、

ことを特徴とする請求項 9 記載のスタンダードセルライブラリ。

10

20

30

40

50

【請求項 1 1】

スタンダードセルを用いて機能マクロレイアウトを合成する設計手法であって、
少なくとも一つのスタンダードセルのセル原点の Y 座標を、自動配置配線での隣接配線
グリッド間の中点または配線グリッド上に配置し、

前記スタンダードセルのセル原点の X 座標を、前記隣接配線グリッド間の中点または前
記配線グリッド上とは相違する位置に配置する、

ことを特徴とするスタンダードセル配置方法。

【請求項 1 2】

前記スタンダードセルとして、請求項 1 のセルを用いる、

ことを特徴とする請求項 1 1 記載のスタンダードセル配置方法。

10

【請求項 1 3】

スタンダードセルを用いて機能マクロレイアウトを合成する設計手法であって、

前記スタンダードセルを仮配置したうえで、

仮配置した前記スタンダードセルのセル原点の Y 座標が、自動配置配線での隣接配線グ
リッド間の中点または配線グリッド上に位置するとともに、前記セル原点の X 座標が、前
記隣接配線グリッド間の中点または前記配線グリッド上に位置する場合には、

前記セル原点を、当該セル原点を有する前記スタンダードセルが隣接スタンダードセル
に当接する位置に移動させる、

ことを特徴とするスタンダードセル配置方法。

【請求項 1 4】

前記スタンダードセルとして、請求項 1 のスタンダードセルを用いる、

ことを特徴とする請求項 1 3 記載のスタンダードセル配置方法。

20

【請求項 1 5】

スタンダードセルを用いて機能マクロレイアウトを合成する設計手法であって、

前記スタンダードセルを仮配置したうえで、

仮配置した前記スタンダードセルに、各セル幅が自動配置配線での配線グリッド間隔の
整数倍である第 1 のセル群が含まれる場合には、

前記第 1 のセル群を、セル幅が必ずしも前記配線グリッド間隔の整数倍でない第 2 のセ
ル群に置換する、

ことを特徴とするスタンダードセル配置方法。

30

【請求項 1 6】

前記第 2 のセル群として、請求項 9 のセルライブラリに含まれるものを用いる、

ことを特徴とする請求項 1 5 記載のスタンダードセル配置方法。

【請求項 1 7】

請求項 5 のスタンダードセルを配置するステップと、

配置した前記スタンダードセルを、当該スタンダードセルの接続情報に従って仮配線す
るステップと、

前記スタンダードセルに含まれる端子レイアウトのうち配線に不要な部分を削除するス
テップと、

を含む、

ことを特徴とするスタンダードセル配置方法。

40

【請求項 1 8】

ゲート電極を複数備えたスタンダードセルであって、

当該スタンダードセルの電源配線に平行な X 方向に沿った当該スタンダードセルのセル
幅は、X 方向に並ぶ配線グリッド間隔とは異なる数値の整数倍である、

ことを特徴とするスタンダードセル。

【請求項 1 9】

ゲート電極を複数備えたスタンダードセルであって、

前記ゲート電極の幾つかが有するゲートピッチは、前記スタンダードセルの電源配線に
平行な X 方向に沿って設定された前記配線グリッド間隔とは異なる値に設定されており、

50

前記スタンダードセルの電源配線に平行なX方向に沿ったセル幅は、前記X方向に沿って設定された前記配線グリッド間隔とは異なる値に設定された前記ゲート電極のゲートピッチのうちの最小値の整数倍に設定されている、

ことを特徴とするスタンダードセル。

【請求項20】

前記ゲート電極は、ダミーゲート電極を含む、

ことを特徴とする請求項19記載のスタンダードセル。

【請求項21】

前記ゲートピッチは全て等しい、

ことを特徴とする請求項19記載のスタンダードセル。

10

【請求項22】

前記ゲート電極の少なくとも一つのゲート長は、他のゲート電極のゲート長と異なる、

ことを特徴とする請求項19記載のスタンダードセル。

【請求項23】

入力信号または出力信号を伝達可能な複数の端子をさらに備え、

前記端子は、自動配置配線で用いられるセルの電源配線に垂直な方向であるY方向に並び配線グリッド上に配置され、かつ前記電源配線に平行な方向であるX方向に沿って長い形状を有する、

ことを特徴とする請求項19記載のスタンダードセル。

【請求項24】

前記端子の短辺寸法は自動配置配線での配線幅であり、前記端子の長辺寸法は、X方向に沿った配線グリッド間隔以上で前記X方向に沿った当該スタンダードセルのセル幅から配線の最小間隔を差し引いた長さ以下である、

ことを特徴とする請求項23記載のスタンダードセル。

20

【請求項25】

前記端子の短辺寸法は自動配置配線での配線幅であり、前記端子の長辺寸法は、(X方向に沿った配線グリッド間隔+配線幅)以上で前記X方向に沿った当該スタンダードセルのセル幅から配線の最小間隔を差し引いた長さ以下である、

ことを特徴とする請求項23記載のスタンダードセル。

【請求項26】

前記端子の短辺寸法は自動配置配線での配線幅であり、前記端子の長辺寸法は(X方向配線グリッド間隔+配線幅)である、

ことを特徴とする請求項23記載のスタンダードセル。

30

【請求項27】

前記端子の短辺寸法は自動配置配線での配線幅であり、前記端子の長辺寸法は、前記X方向に沿った当該スタンダードセルのセル幅から配線の最小間隔を差し引いた長さである、

ことを特徴とする請求項23記載のスタンダードセル。

【請求項28】

請求項19のスタンダードセルを含む、

ことを特徴とするスタンダードセルライブラリ。

40

【請求項29】

請求項19のスタンダードセルと、

前記スタンダードセルを実装する回路基板と、

を備える、

ことを特徴とする半導体集積回路。

【請求項30】

スタンダードセルを用いて機能マクロレイアウトを合成する設計手法であって、少なくとも一つのスタンダードセルのセル原点のY座標を、自動配置配線での隣接グリッド間の中点または配線グリッド上に配置し、

50

前記スタンダードセルのセル原点のX座標を、前記隣接グリッドとは異なるゲートピッチグリッドの midpoint またはゲートピッチグリッド上に配置する、
ことを特徴とするスタンダードセル配置方法。

【請求項 3 1】

前記スタンダードセルとして、請求項 1 9 のスタンダードセルを用いる、
ことを特徴とする請求項 3 0 記載のスタンダードセル配置方法。

【請求項 3 2】

論理回路の接続情報と、スタンダードセルのレイアウト情報と、前記スタンダードセルの設計規約情報とを記憶装置に記憶させるステップと、

前記記憶装置から設計対象とするスタンダードセルに関する前記情報を読み出すステップと、

読み出した前記情報に基づいて前記スタンダードセルを配置するステップと、
配置した前記スタンダードセルを実配線するステップと、

を含み、

これらのステップを演算回路で実施する、

ことを特徴とするスタンダードセル配置方法。

【請求項 3 3】

前記スタンダードセルとして、請求項 1 9 のスタンダードセルを用いる、
ことを特徴とする請求項 3 2 のスタンダードセル配置方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、高集積化、小面積化に対して有効なスタンダードセル、スタンダードセルライブラリおよびスタンダードセル配置方法に関する。

【背景技術】

【0002】

オングリッド設計の自動配置配線ツールによるLSIのレイアウト設計では、入出力信号を伝達可能なセル端子を、X方向に並ぶ配線グリッドとY方向に並ぶ配線グリッド交点に存在させる必要がある。これを満足させるためには、セル高さをY方向に並ぶ配線グリッド間隔の整数倍、セル幅をX方向に並ぶ配線グリッド間隔の整数倍にしておく必要がある。そうでなければ、セルを隙間無く密に並べた際に、端子をグリッドの交点に配置できない場合が発生する。なお、ここで、スタンダードセルの電源配線に沿った方向をX方向、電源配線に垂直な方向をY方向とする。

【0003】

従来のスタンダードセルの設計方法では、セルを隙間無く密に並べた際に端子が必ずグリッド交点に位置するようにするために、セル高さ、セル幅を配線グリッド間隔の整数倍としている。その上で、自動配置配線ツールは、端子位置が配線グリッド交点にくるようにセルの配置位置を決定している。

【0004】

図17は、従来の技術におけるスタンダードセルのレイアウト図である。図17において、C41, C42, C43はスタンダードセル、Tはスタンダードセルにおける入力信号または出力信号を伝達可能な端子、Gはゲート電極である。電源配線の方向がX方向であるので、ゲート電極Gの方向はY方向となっている。図17は、X方向に沿うセル幅LcがX方向配線グリッド間隔Lxの整数倍になっていない状態では、端子Tの位置が配線グリッドの交点に配置できないことを示す。

【0005】

図17で上側に位置するセルC41, C42, C43は、セル幅がX方向配線グリッド間隔Lxの整数倍になっていない。この例では説明を簡単にするためにセルC41, C42, C43が同一のセルの場合を挙げている。この場合、セルC41, C43の端子Tはグリッドの交点に配置されているが、セルC42の端子Tはグリッドの交点に配置されな

10

20

30

40

50

い。つまり、自動配置配線時に、セルC 4 2の端子Tには接続できない。これを回避するために、図1 7の下側に位置するセルC 5 1, C 5 2, C 5 3のように、セル幅を配線グリッド間隔の整数倍に合わせ込むための領域R 1, R 2, R 3を設けることが一般に行われる。この合わせ込みの結果、セルC 5 1, C 5 2, C 5 3の各原点O 5 1, O 5 2, O 5 3は、X、Yの両方向に沿って隣接する配線グリッド間の中点に配置される。この結果、全端子Tを配線グリッド上に配置することが可能となる(特許文献1参照)。

【0006】

しかしながら、上記従来技術における合わせ込みのための領域R 1, R 2, R 3は、本来不必要な領域であり、トランジスタ、配線などの回路に必要なデバイスは一切含まれていない。その結果、セル面積が大きくなり、ひいてはチップ面積の縮小を阻害する要因の一つとなる。

10

【0007】

また、従来技術においてはオングリッド設計の自動配置配線ツールのうち自動配置の際には、各セルについては配線グリッドを基準として配置が行われる。したがって、図1 7で上側に示すセルC 4 1, C 4 2, C 4 3のようにセル幅が配線グリッド間隔の整数倍になっていない場合には実際には図1 7の上側に示すようにセルを隙間なく配置することはできず、自動配置の際には図1 7の下側に示すような配置となる。図1 7に示す例ではセルC 4 1, C 4 2, C 4 3が同一のセルの場合であるので、セルC 4 1, C 4 2, C 4 3の幅を配置の際に使用する配置グリッドとして自動配置の際にはその配置グリッドを基準として図1 7の上側に示すようなセルの配置を得ることも可能である。しかしながら、配置すべきセル群が異なるセルを含み、かつそれらのセル幅がそれぞれ任意のセル幅で設計されるとそのような自動配置をすることもできない。

20

【0008】

さらに、プロセスが微細化していくと、ゲート電極のパターンにおいてゲート電極の間隔やゲート長が規則的でない場合には、光近接効果によって最終的に得られるゲート電極の仕上がり寸法の精度が低くなってしまふ。ゲート電極の仕上がり寸法の精度が低くなると、半導体集積回路の各トランジスタの性能のばらつきが大きくなり、ひいては半導体集積回路の性能のばらつきが大きくなり、歩留まりが低下する。

【0009】

上記不具合を解消するために、従来からトランジスタ毎にOPC(Optical Proximity effect Correction)を行うことが広く行われているが、トランジスタ毎にOPCを実施することは処理時間の増大を招く。そのため、従来から各スタンダードセルでゲート電極の間隔やゲート長を規則的にすることによってOPCを各スタンダードセル単体で行うことが行われている(特許文献2参照)。

30

【0010】

図1 7に示すスタンダードセルに上記従来技術を適用したものが図1 8である。図1 8において図1 7と同じものには同じ記号を付している。図1 8で上側に位置するスタンダードセルC 4 1', C 4 2', C 4 3'それぞれのセル枠上にはさらにダミーゲート電極DGが備えられている。これらダミーゲート電極DGは、隣接するスタンダードセル間で共有されている。ゲート電極Gおよびダミーゲート電極DGは等間隔に配置されており、それぞれのゲート長は等しい。このことにより、図1 8で上側に位置するスタンダードセルC 4 1', C 4 2', C 4 3'では、そのセル内部だけでなく、そのセル間においても、ゲート電極パターン、ゲート長、ゲート間隔(特にゲート電極パターン)は一定となっており、ゲート電極の仕上がり寸法の精度を高くすることができる。

40

【0011】

さらに各スタンダードセル単体での状態と、それを隣接して配置した状態とを比較して、ゲート電極のゲート長やゲート間隔のパターンは同一となっており、このことからわかるように、OPCを各スタンダードセル単体で行うことができる。

【0012】

なお、ダミーゲート電極DGがない図1 7の構成で上側に位置するスタンダードセルC

50

4 1 , C 4 2 , C 4 3 でも、O P C を各スタンダードセル単体で行うことができる。これは、各スタンダードセルのセル枠から最近傍のゲート電極までの距離が一定の場合には、各スタンダードセルのセル枠から最近傍のゲート電極までの距離と、隣接するスタンダードセルのセル枠から最近傍のゲート電極までの距離とを一定にできるためである。

【特許文献 1】特開昭 6 1 - 4 4 4 4 4 号

【特許文献 2】特開平 1 0 - 3 2 2 5 3 号

【発明の開示】

【発明が解決しようとする課題】

【0 0 1 3】

しかしながら、前述したようにセル幅を配線グリッド間隔の整数倍に合わせ込むための領域 R 1 , R 2 , R 3 を設けた場合には、スタンダードセルのセル枠上に備えられたゲート電極を共有することができず、セル枠上のダミーゲート D G 同士がデザインルールで許容される最小間隔未満に配置される可能性があり、デザインルールエラーが発生する可能性がある。このようなデザインルールエラーを回避するために、たとえば図 1 8 の構成で下側に位置するダミーゲート電極 D G 2 のようにゲート長を大きくする等の処理が必要となる。

10

【0 0 1 4】

しかしながらこのような処理を実施すれば、各スタンダードセルに備えられるゲート間隔を一定に保つことができるものの、ゲート長はダミーゲート電極 D G 2 において不規則な状態となり、ゲート電極の仕上がり寸法の精度は低下する。さらには、各スタンダードセル単体におけるダミーゲート電極 D G と、それに隣接するダミーゲート電極 D G 2 とのゲート長が異なることになり、O P C を各スタンダードセル単体で行うことができない。これにより、O P C を半導体集積回路全体で実施しなくてはならなくなる。

20

【0 0 1 5】

なお、ダミーゲート電極 D G , D G 2 がない図 1 7 の下側に位置するスタンダードセル C 5 1 , C 5 2 , C 5 3 でも、スタンダードセルのセル枠からセル内の最近傍のゲートまでの距離を一定とした場合でも、領域 R 1 , R 2 , R 3 を設けることによって次の不都合が生じる。すなわち、元々各スタンダードセルのセル枠からセル内の最近傍のゲート電極までの距離を一定としていたにも関わらず、領域 R 1 , R 2 , R 3 を設けることによってセル枠位置が変更されることになり、セル枠から最近傍のゲートまでの距離が一定にならず、そのため、O P C を各スタンダードセル単体で行うことができない。

30

【0 0 1 6】

以上の従来技術の課題を解決するために、本発明は、セル面積削減を図り、チップ面積を縮小できる半導体集積回路を提供することを目的とする。さらに、本発明の他の目的は、プロセスが微細化してもゲート電極の仕上がり寸法の精度を高くすることができ、O P C を各スタンダードセル単体で行うことができる半導体集積回路の技術を提供することである。

【課題を解決するための手段】

【0 0 1 7】

上述した課題を解決するために本発明によるスタンダードセルは、入力信号または出力信号を伝達可能な複数の端子を有し、半導体集積装置を設計するうえでの最小単位となるセルであって、前記複数の端子は、自動配置配線で用いられるセルの電源配線に垂直な方向である Y 方向に並ぶ配線グリッド上に配置され、かつ前記電源配線に平行な方向である X 方向に沿って長い形状を有する。

40

【0 0 1 8】

好ましくは、前記端子の短辺寸法は自動配置配線での配線幅であり、前記端子の長辺寸法は、(X 方向に沿う配線グリッド間隔 + 前記配線幅) 以上で前記 X 方向に沿う当該セルのセル幅から配線の最小間隔を差し引いた長さ以下である。

【0 0 1 9】

さらに好ましくは、前記端子の短辺寸法は自動配置配線での配線幅であり、前記端子の

50

長辺寸法は（X方向に沿う配線グリッド間隔＋前記配線幅）である。

【0020】

なお、上述した本発明の各記述には、後述する実施の形態1の説明を参照することが可能である。

【0021】

これによれば、セル原点の位置につき、そのY座標を配線グリッドの midpoint におくこととした場合、そのX座標をどこにおいたとしても、端子を少なくとも1箇所のグリッド交点に配置することが可能となる。すなわち、各セル原点のX座標をX方向でのグリッド間 midpoint に配置する必要がなくなる。したがって、全端子を配線グリッド上に配置するためにセル内に余分な領域を設ける必要性をなくすることができる。あるいは、セル間に無駄な領域が発生することがなくなる。その結果として、チップサイズを小さくすることができる。

10

【0022】

また、前記端子はそのサイズにおいて、短辺寸法が自動配置配線での配線幅であり、長辺寸法が前記X方向に沿った前記スタンダードセルのセル幅から配線の最小間隔を差し引いた長さとしてもよい。その場合は、スタンダードセル配置方法は、そのスタンダードセルの配置を行うステップと、配置した前記スタンダードセルを接続情報に従って仮配線するステップと、前記スタンダードセルに含まれる端子レイアウトのうち配線に不要な部分を削除するステップとを含むものとなる。なお、ここでの記述には、後述する実施の形態4の説明を参照することが可能である。

【0023】

これによれば、全端子を配線グリッド上に配置する上で、セル原点のX座標をX方向でのグリッド間 midpoint に配置する必要がなくなる。したがって、全端子を配線グリッド上に配置するためにセル内に余分な領域を設ける必要性をなくすることができる。あるいは、セル間に無駄な領域が発生することがなくなる。その結果として、チップサイズを小さくすることができる。さらには、端子縮小により配線リソースが増加し、その配線リソースを最大限に活かす状態でスタンダードセルどうしの配線処理を行うことができる。それゆえに、全配線長を短くすることができ、配線容量削減、遅延時間削減、配線リソース増による設計TAT（Turn Around Time）の短縮を期待することができる。

20

【0024】

本発明では、機能マクロレイアウトを合成するためのスタンダードセルライブラリを、セル幅が配線グリッド間隔の整数倍の寸法とは相違するスタンダードセルを含むものとする。なお、これには、後述する実施の形態2の説明を参照することが可能である。

30

【0025】

これによれば、セル配置におけるセル原点のX座標を配線グリッド上または隣接グリッド間の midpoint にする必要がなくなり、最小サイズのスタンダードセルを用いて、隙間なく配置することが可能となり、ロジック部の面積を小さくすることができる。

【0026】

また、本発明のスタンダードセル配置方法は、スタンダードセルを用いて機能マクロレイアウトを合成する設計手法であって、少なくとも一つのスタンダードセルのセル原点のY座標を、自動配置配線での隣接配線グリッド間の midpoint または配線グリッド上に配置し、前記スタンダードセルのセル原点のX座標を、前記隣接配線グリッド間の midpoint または前記配線グリッド上とは相違する位置に配置する。

40

【0027】

ここで、前記スタンダードセルとしては、上記のいずれかのスタンダードセルを用いるものとする。なお、これには、後述する実施の形態1～4の説明を参照することが可能である。

【0028】

これによれば、セルの配置において、セル原点のX座標は配線グリッド上または隣接グリッド間の midpoint でなくてもよく、最小サイズのスタンダードセルを用いて、隙間なく配置することが可能となり、ロジック部の面積を小さくできる。

50

【0029】

また、本発明によるスタンダードセル配置方法は、スタンダードセルを用いて機能マクロレイアウトを合成する設計手法であって、前記スタンダードセルを仮配置したうえで、仮配置した前記スタンダードセルのセル原点のY座標が、自動配置配線での隣接配線グリッド間の中点または配線グリッド上に位置するとともに、前記セル原点のX座標が、前記隣接配線グリッド間の中点または前記配線グリッド上に位置する場合には、前記セル原点を、当該セル原点を有する前記スタンダードセルが隣接スタンダードセルに当接する位置に移動させる。ここで、前記スタンダードセルとしては、上述した本発明のスタンダードセルを用いることができる。なお、これには、後述する実施の形態3の説明を参照することが可能である。

10

【0030】

これによれば、各セル原点のX座標をX方向でのグリッド間中点に配置する必要がなくなる。そのため、全端子を配線グリッド上に配置するためにセル内に余分な領域を設ける必要がなくなる。あるいは、セル間に無駄な領域が発生しなくなる。その結果として、半導体集積回路の設計上の占有面積をロジック部の面積に反映させることができ、さらには結果としてチップ面積を縮小することができる。

【0031】

また、本発明によるスタンダードセル配置方法は、スタンダードセルを用いて機能マクロレイアウトを合成する設計手法であって、前記スタンダードセルを仮配置したうえで、仮配置した前記スタンダードセルに、各セル幅が自動配置配線での配線グリッド間隔の整数倍である第1のセル群が含まれる場合には、前記第1のセル群を、セル幅が必ずしも前記配線グリッド間隔の整数倍でない第2のセル群に置換する。

20

【0032】

ここで、前記第2のセル群としては、上述した本発明のセルライブラリに含まれるものを用いることが可能である。この置換方法は、自動配置配線ツールが、セル幅が必ずしも配線グリッドの整数倍でないセルを扱えない場合を想定した方法であって、置換後に移動させることになる。

【0033】

これによれば、同じ論理回路を実現しつつ、スタンダードセルの面積の総和が小さくなるため、配線リソース増に基づいた設計TATの短縮化を期待することができる。

30

【0034】

また、本発明によるスタンダードセル配置方法は、自動配置配線での配線幅の短辺寸法と、X方向に沿ったセル幅から配線の最小間隔を差し引いた長さの長辺寸法をもつスタンダードセルを配置するステップと、配置した前記スタンダードセルを当該スタンダードセルの接続情報に従って仮配線するステップと、前記スタンダードセルに含まれる端子レイアウトのうち配線に不要な部分を削除するステップとを備えるものである。なお、これには、後述する実施の形態4の説明を参照することが可能である。

【0035】

これによれば、全端子を配線グリッド上に配置する上で、セル原点のX座標をX方向でのグリッド間中点に配置する必要がなくなる。したがって、全端子を配線グリッド上に配置するためにセル内に余分な領域を設ける必要がなくなる。あるいは、セル間に無駄な領域が発生しなくなる。その結果、チップサイズを小さくすることができるようになる。さらには、端子縮小により配線リソースが増加し、その配線リソースを最大限に活かす状態でスタンダードセルどうしの配線処理を行うことができる。それゆえに、全配線長を短くことができ、配線容量削減、遅延時間削減、配線リソース増に基づいた設計TATの短縮化を期待することができる。

40

【0036】

また、本発明によるスタンダードセルは、ゲート電極を複数備えたスタンダードセルであって、当該スタンダードセルの電源配線に平行なX方向に沿った当該スタンダードセルのセル幅は、X方向に並ぶ配線グリッド間隔とは異なる数値の整数倍とされている。

50

【0037】

また、本発明によるスタンダードセルは、ゲート電極を複数備えたスタンダードセルであって、前記ゲート電極の幾つかが有するゲートピッチは、前記スタンダードセルの電源配線に平行なX方向に沿って設定された前記配線グリッド間隔とは異なる値に設定されており、前記スタンダードセルの電源配線に平行なX方向に沿ったセル幅は、前記X方向に沿って設定された前記配線グリッド間隔とは異なる値に設定された前記ゲート電極のゲートピッチのうちの最小値の整数倍に設定されている。

【0038】

これによれば、セル幅を最小のゲートピッチの整数倍とすることにより、この最小のゲートピッチを基準にして自動配置によってセル間を隙間なく配置することができる。そのため、チップ面積を縮小するとともに、セル間を隙間なく配置することができる。したがって、ゲート電極のパターンを、そのゲート長やゲート間隔ともに規則的なものとすることができる。したがって、ゲート電極の仕上がり寸法の精度を高くすることができるとともに、OPCを各スタンダードセル単体で行うことができる。

【0039】

また、本発明によるスタンダードセルは、ゲート電極とダミーゲート電極とをそれぞれ複数備え、スタンダードセルの電源配線に平行なX方向のセル幅がX方向に並ぶ配線グリッド間隔とは異なる前記ゲート電極および前記ダミーゲート電極のゲートピッチのうちの最小のゲートピッチの整数倍である。

【0040】

これによれば、セル幅を最小のゲートピッチの整数倍とすることにより、この最小のゲートピッチを基準とすることによって自動配置によってセル間を隙間なく配置することができる。そのため、チップ面積を縮小するとともに、セル間を隙間なく配置することができる。したがって、ゲート電極のパターンはそのゲート長、ゲート間隔ともに規則性を有するものにすることができ、ゲート電極の仕上がり寸法の精度を高くすることができ、OPCを各スタンダードセル単体で行うことができる。また、ダミーゲート電極を備えることによりゲート長、ゲート間隔の規則性をさらに向上させることができる。これは、OPCを各スタンダードセル単体で行うことをより容易にすることに大いに寄与する。

【0041】

なお、上記スタンダードセルのゲートピッチは全て等しいのが好ましい。そうすれば、ゲート電極のパターンはそのゲートピッチを完全に規則性を有するものとすることができ、ゲート電極の仕上がり寸法の精度をさらに高くすることができる。

【0042】

また、上記スタンダードセルのゲート電極の少なくとも一つのゲート長は他と異なるのが好ましい。そうすれば、ゲート電極のパターンの一部について規則性をなくすことにより、スタンダードセルの設計自由度を確保しつつ、チップ面積の縮小、ゲート電極の仕上がり寸法の精度向上、OPCを各スタンダードセル単体で行うことができる。

【0043】

また、入力信号または出力信号を伝達可能な複数の端子をさらに備え、前記端子は、自動配置配線で用いられるセルの電源配線に垂直な方向であるY方向に並ぶ配線グリッド上に配置され、かつ前記電源配線に平行な方向であるX方向に沿って長い形状を有するのが好ましい。

【0044】

なお、さらには、前記端子の短辺寸法は自動配置配線での配線幅であり、前記端子の長辺寸法は、X方向に沿った配線グリッド間隔以上で前記X方向に沿った当該スタンダードセルのセル幅から配線の最小間隔を差し引いた長さ以下であるのが好ましい。

【0045】

さらには、前記端子の短辺寸法は自動配置配線での配線幅であり、前記端子の長辺寸法は、(X方向に沿った配線グリッド間隔+配線幅)以上で前記X方向に沿った当該スタンダードセルのセル幅から配線の最小間隔を差し引いた長さ以下であるのが好ましい。

10

20

30

40

50

【0046】

この場合、さらには、前記端子の短辺寸法は自動配置配線での配線幅であり、前記端子の長辺寸法は（X方向配線グリッド間隔＋配線幅）であるのが好ましい。

【0047】

これによれば、チップ面積の縮小、ゲート電極の仕上がり寸法の精度向上、OPCを各スタンダードセル単体で行うことができる、といった効果に加えて、次の効果がある。すなわち、セル原点のY座標を配線グリッドの midpoint におけば、セル原点のX座標をどこにおいたとしても、端子を少なくとも1箇所のグリッド交点に配置することが可能となる。すなわち、各セル原点のX座標をX方向でのグリッド間 midpoint に配置する必要がなくなる。したがって、全端子を配線グリッド上に配置するためにセル内に余分な領域を設ける必要がなくなる。あるいは、セル間に無駄な領域が発生することがなくなる。そのため、チップサイズを小さくすることができる。

10

【0048】

本発明では、このようなスタンダードセルを含んでスタンダードセルライブラリを構成してもよい。そうすれば、半導体集積回路の設計を行ううえで、チップ面積の縮小、ゲート電極の仕上がり寸法の精度向上、各スタンダードセル単体でのOPCの実施を実現することができる。

【0049】

また、本発明では、このようなスタンダードセルを含んで半導体集積回路を構成してもよい。そうすれば、チップ面積の縮小、ゲート電極の仕上がり寸法の精度向上、OPCを各スタンダードセル単体で行うことができる半導体集積回路を得ることができる。

20

【0050】

また、本発明のスタンダードセル配置方法は、スタンダードセルを用いて機能マクロレイアウトを合成する設計手法であって、少なくとも一つのスタンダードセルのセル原点のY座標を、自動配置配線での隣接グリッド間の midpoint または配線グリッド上に配置し、前記スタンダードセルのセル原点のX座標を、前記隣接グリッドとは異なるゲートピッチグリッドの midpoint またはゲートピッチグリッド上に配置する。ここで、前記スタンダードセルとしては、上述したいずれかのスタンダードセルを用いることができる。

【0051】

これによれば、セルの配置において、セル原点のX座標はゲートピッチを基準として配置することができる。そのため、チップ面積を縮小化することができるとともに、セル間を隙間なく配置することができる。したがって、ゲート電極のパターンを、そのゲート長、ゲート間隔ともに規則性のあるものとするすることができる。したがって、ゲート電極の仕上がり寸法の精度を高くすることができ、OPCを各スタンダードセル単体で行うことができる。

30

【発明の効果】

【0052】

以上説明したように、本発明によれば、全端子を配線グリッド上に配置するためにセル内に余分な領域を設ける必要がなくなる。あるいは、セル間に無駄な領域が発生しなくなる。その結果、チップサイズを小さくすることができる。

40

【0053】

さらには、ゲート電極のパターンを規則性のあるものとするため、プロセスが微細化してもゲート電極の仕上がり寸法の精度を高くすることができ、OPCを各スタンダードセル単体で行うことができる。

【発明を実施するための最良の形態】

【0054】

以下、本発明にかかわるスタンダードセル配置方法の実施の形態を図面を参照して詳細に説明する。

【0055】

（実施の形態1）

50

図1は、本発明の実施の形態1におけるスタンダードセルのレイアウト図である。ここで、スタンダードセルの電源配線に沿った方向をX方向、電源配線Sに対して垂直な方向をY方向とする。なお、図例の電源配線Sはその一例であって電源配線Sはこのような位置に限定されない。

【0056】

図1において、 $x_1 \sim x_{13}$ は自動配置配線で用いられるX方向に並ぶ配線グリッド、 $y_1 \sim y_8$ はY方向に並ぶ配線グリッド、 C_1, C_2, C_3 はスタンダードセル、 O_1, O_2, O_3 は C_1, C_2, C_3 の原点、 T はスタンダードセル C_i ($i = 1, 2 \dots$)の入力信号または出力信号を伝達可能な端子、 G はゲート電極である。

【0057】

自動配置配線ツールは、セル、ブロックの配置と端子間の配線経路を決定する自動設計処理ツールである。自動設計処理ツールは、コンピュータでその演算処理が実行されるプログラムから構成されており、予めコンピュータにインストールされたうえで使用される。

【0058】

このような自動配置配線ツールを用いることで、X方向、Y方向の配線グリッド上に最小配線幅で配線することが可能となる。配線される配線グリッドどうしは、X方向に L_x の等間隔、Y方向に L_y の等間隔に配置される。X方向での配線とY方向での配線とは、基本的に別の配線層を使用し、異なる配線層間は層間接続により接続される。

【0059】

端子 T を構成する配線は、X方向に沿って横長の矩形形状(長方形)を有する。端子 T の短辺寸法は、自動配置配線での配線幅 W となっている。また、長辺寸法は、(X方向グリッド間隔 $L_x +$ 配線幅 W)以上となっている。

【0060】

自動配置配線ツールを用いて端子 T に配線接続を行うためには、端子 T はグリッド交点(配線グリッドの交点)を含まなければならない(黒丸参照)。実施の形態1では、端子 T を横長(X方向に長い)矩形形状とし、Y方向に並ぶ配線グリッド y_i ($i = 1, 2 \dots$)上に配置している。

【0061】

実施の形態1とは逆に、図3に示すように、端子 T を構成する配線をY方向に縦長(Y方向に長い)矩形形状にした場合、楕円で囲んだ部分のように、グリッド交点に配置されない端子 T が存在する。これは、従来技術の図17と同じ状況である。

【0062】

実施の形態1のように、端子 T の長辺寸法を(X方向グリッド間隔 $L_x +$ 配線幅 W)とした横長矩形形状とすることで、図2の端子 T_{11}, T_{17} に例示されるように、端子 T は、配線グリッドの交点と最大2箇所で交差する。さらには、端子 T_{11}, T_{17} の状態からX方向にずれた場合でも、端子 $T_{12} \sim T_{16}$ に例示されるように、少なくとも1個のグリッド交点と交差する。

【0063】

実施の形態1によれば、セル配置位置をY方向では限定するものの、X方向では任意位置としても、少なくとも1箇所の配線グリッド交点に端子 T を配置することができる。したがって、全端子 T を配線グリッド上に配置するために、図17の従来技術のセル C_{51}, C_{52}, C_{53} に示すように、各セル原点をX方向でのグリッド間中点に配置する必要がなくなる。つまり、全端子 T を配線グリッド上に配置するための余分な領域 R_1, R_2, R_3 をセル内に設ける必要がなくなる。あるいは、セル間に無駄な領域 R_1, R_2, R_3 が発生することがなくなる。以上の結果として、チップサイズを小さくすることができるようになる。

【0064】

なお、端子 T を構成する配線の長辺寸法の上限值は、実質上、X方向に沿うセル C のセル幅から配線の最小間隔を差し引いた長さ以下となる。また、上述したように、面積効率

10

20

30

40

50

からみて、端子Tを構成する配線の長辺寸法は、(X方向グリッド間隔Lx+配線幅W)とするのが好ましい。しかしながら、(X方向グリッド間隔Lx+配線幅W)の値は、端子Tを構成する配線の長辺寸法の下限值として見なしてもよい。

【0065】

以上説明した実施の形態1では、ロジックブロックを合成して設計する際のスタンダードセルにおいて本発明を実施した。しかしながら、実施の形態1では、ゲートピッチが予め設定されているゲートレイセルにおいても同様に実施することができる。この場合、ゲートレイセルの端子形状を上述したスタンダードセルの端子形状と同様にすればよく、図面上の構成は全く変わらない。そうすれば、スタンダードセルの場合と同様のセル面積縮小効果が得られる。あるいは、ゲートレイセルのゲートピッチまで配線グリッドを拡大することによるブロック面積の増大を抑えることができる。

10

【0066】

ここで、図1は、実施の形態1で説明したセルを用いて設計された半導体集積回路の一部でもある。上述のセルを使用することで、集積回路の小面積化が実現できることはいうまでもない。

【0067】

なお、図4に示すように、実施の形態1では、必ずしもセル幅がLxの整数倍でないセルの原点を隣接するX方向配線グリッド間の midpoint に配置する必要性は必ずしもない。図4に示す構成としても上述した実施の形態1と同様の効果を得ることができる。

【0068】

20

(実施の形態2)

図5は、本発明の実施の形態2におけるスタンダードセルの自動配置配線方法の処理フローを表わす。

【0069】

この自動配置配線方法を実行する自動配置配線装置は、論理回路の接続情報を外部から獲得する接続情報入力手段と、論理回路の設計規約を外部から獲得する設計規約入力手段と、スタンダードセルのレイアウト情報を外部から獲得するレイアウト情報入力手段と、獲得した接続情報に基づいて各セル群を仮配置する仮配置手段と、仮配置した各セル群を面積小になるように再配置する再配置手段とを備える。このような構成を有する自動配置配線装置は複数のスタンダードセルを含む状態で論理回路を配置配線する。

30

【0070】

まず、予め、複数のスタンダードセルどうしを互いに接続するための論理回路の回路接続情報、自動配置配線を行う際に必要となる設計規約、および各スタンダードセルのレイアウトデータを図示しない記憶装置に格納しておく。ここで記憶装置に格納されるレイアウト情報は、セルC21, C22, C23として、実施の形態1で説明した構造を有するセルのレイアウト情報である。

【0071】

そのうえで、自動配置配線装置は、データ読み込み工程S1において、上述した回路接続情報、設計規約、および各スタンダードセルのレイアウトデータを記憶装置から読み出す。

40

【0072】

次に、自動配置配線装置は、仮配置工程S2において、図6に示すように、第1のスタンダードセルC21, C22, C23の原点O21, O22, O23がX方向の隣接配線グリッド間の midpoint およびY方向の隣接配線グリッド間の midpoint に位置するように、回路接続情報に基づいてセルC21, C22, C23を仮配置する。ここで第1のスタンダードセルC21, C22, C23とは、実施の形態1で説明した構造を有するセルであって、各セル幅が必ずしも自動配置配線での配線グリッド間隔の整数倍ではないセルのことである。

【0073】

次いで、自動配置配線装置は、再配置工程S3において、まず、仮配置したスタンダー

50

ドセルのセル原点のY座標が、自動配置配線での隣接配線グリッド間の midpoint または配線グリッド上に位置するとともに、セル原点のX座標が、隣接配線グリッド間の midpoint または前記配線グリッド上に位置するセルを抽出する。図6の例では、セルC21, C22, C23が抽出される。

【0074】

次いで、自動配置配線装置は、再配置工程S3において、抽出したセルC21, C22, C23を、隣接する余分な領域R21, R22, R23をなくすようにX方向に移動して互いのセル枠が当接してロジック部の面積が小さくなるように、セルC21, C22, C23を再配置する。

【0075】

その後、自動配置配線装置は、実配線処理工程S4において、それぞれ配置されたセルC21, C22, C23どうしの配線処理を行う。

【0076】

再配置工程S3を実行することで、仮配置工程S2での領域R21, R22(斜線部)を省略することができ、ロジック面積を小さくし、ひいては、チップサイズを小さくすることができるようになる。

【0077】

(実施の形態3)

図7は、本発明の実施の形態3におけるスタンダードセルの自動配置配線方法の処理フローを表わす。

【0078】

この自動配置配線方法を実行する自動配置配線装置は、論理回路の接続情報を外部から獲得する接続情報入力手段と、論理回路の設計規約を外部から獲得する設計規約入力手段と、スタンダードセルのレイアウト情報を外部から獲得するレイアウト情報入力手段と、獲得した接続情報に基づいて各セル群を配置する配置手段と、各セルの端子を接続する配線の仮配線を行う仮配線処理手段と、端子を形成する端子形状処理手段と、実配線処理手段とを備える。

【0079】

まず、予め、複数のスタンダードセルどうしを互いに接続するための論理回路の回路接続情報、自動配置配線を行う際に必要となる設計規約、および各スタンダードセルのレイアウトデータを図示しない記憶装置に格納しておく。ここで記憶装置に格納されるレイアウト情報は、セルC11, C12, C13として、実施の形態1で説明した構造を有するセルのレイアウト情報に基本的に類似した構造を有するレイアウト情報であるが、その詳細については次に説明する。

【0080】

そのうえで、自動配置配線装置は、データ読み込み工程S11において、複数のセルどうしを互いに接続するための論理回路の回路接続情報、自動配置配線を行う際に必要な設計規約、および各セルのレイアウトデータを記憶装置から読み出す。このとき読み出されるレイアウトデータは、上述したように基本的には、実施の形態1で説明した構造を有するものの、図8に示すように、端子Tの長辺寸法はX方向に沿ったセル幅から配線の最小間隔を差し引いた長さに設定されている。なお、端子Tの長辺寸法は後の工程で短縮される。また、セル幅は、必ずしも自動配置配線での配線グリッド間隔の整数倍ではない。

【0081】

次に、自動配置配線装置は、スタンダードセルの配置工程S12において、セル原点O31, O32, O33がY方向の隣接配線グリッド間の midpoint に位置するように、回路接続情報に基づいてセルC31, C32, C33を配置する。

【0082】

次いで、自動配置配線装置は、仮配線処理工程S13において、回路接続情報に基づいて複数の端子Tを配線で接続する。このとき、端子Tの形状がX方向に長細いので、仮配線する際に自由度が上がり、全配線長を短くすることができる。

10

20

30

40

50

【 0 0 8 3 】

その後、自動配置配線装置は、端子形状処理工程 S 1 4 において、有効な接続にとって必要な端子形状寸法を自動で認識し、端子 T において不要な部分を削除し、端子形状の縮小を行う。

【 0 0 8 4 】

最後に、自動配置配線装置は、実配線処理工程 S 1 5 において、スタンダードセルどうしの配線処理を行う。端子形状処理工程 S 1 4 での端子縮小により配線リソースが増加しているので、その配線リソースを最大限に活かす状態でスタンダードセルどうしの配線処理を行う。

【 0 0 8 5 】

上記の工程 S 1 1 ~ S 1 5 を実行することで、結果として全配線長を短くすることができ、配線容量削減、遅延時間削減、配線リソース増による設計 T A T の短縮を実現できる。

【 0 0 8 6 】

また、全端子 T を配線グリッド上に配置するために、図 1 7 の従来技術のセル C 5 1 , C 5 2 , C 5 3 のように各セル原点を X 方向でのグリッド間中点に配置する必要がなくなる。つまり、全端子 T を配線グリッド上に配置するための領域 R 1 , R 2 , R 3 をセル内に設ける必要がなくなる。あるいは、セル間に領域 R 1 , R 2 , R 3 が発生しなくなる。以上の結果として、チップサイズを小さくすることができる。

【 0 0 8 7 】

(実施の形態 4)

図 9 は、本発明の実施の形態 4 におけるスタンダードセルの自動配置配線方法の処理フローを表わす。

【 0 0 8 8 】

この自動配置配線方法を実行する自動配置配線装置は、論理回路の接続情報を外部から獲得する接続情報入力手段と、論理回路の設計規約を外部から獲得する設計規約入力手段と、セル幅が配線グリッド間隔の整数倍であるスタンダードセルライブラリのレイアウト情報およびセル幅が必ずしも配線グリッド間隔の整数倍でないスタンダードセルライブラリのレイアウト情報を外部から獲得するレイアウト情報入力手段と、セル幅が配線グリッド間隔の整数倍であるスタンダードセルライブラリのセルを上記接続情報に基づいて配置する配置手段と、配置された各セルをセル幅が必ずしも配線グリッド間隔の整数倍ではないスタンダードセルライブラリの同じ論理のセルに置換するセル置換手段と、セル配置面積を圧縮するために各セルを再配置する再配置手段と、再配置されたセル同士を上記接続情報に基づいて配線により接続する実配線処理手段とを備える。

【 0 0 8 9 】

なお、セル幅が配線グリッド間隔の整数倍であるスタンダードセルのグループを、以下第 1 のセル群といい、セル幅が必ずしも配線グリッド間隔の整数倍でないスタンダードセルのグループを第 2 のセル群という。

【 0 0 9 0 】

まず、予め、複数のスタンダードセルどうしを互いに接続するための論理回路の回路接続情報、自動配置配線を行う際に必要となる設計規約、および各スタンダードセルのレイアウトデータを図示しない記憶装置に格納しておく。ここで記憶装置に格納されるレイアウト情報は、セル C 1 1 , C 1 2 , C 1 3 として、実施の形態 1 で説明した構造を有するセルのレイアウト情報に基本的に類似した構造を有するレイアウト情報である。ただし、このレイアウト情報は、第 1 のセル群のレイアウト情報と、第 2 のセル群のレイアウト情報とを含む。

【 0 0 9 1 】

そのうえで、自動配置配線装置は、データ読み込み工程 S 2 1 において、複数のスタンダードセルどうしを互いに接続するための論理回路の回路接続情報、自動配置配線を行う際に必要な設計規約、第 1 のセル群のレイアウトデータ、および第 2 のセル群のレイアウト

10

20

30

40

50

トデータを記憶装置から読み出す。

【0092】

次に、自動配置配線装置は、仮配置工程S22においては、図10に示すように、レイアウト情報を読み出した第1のセルCb11, Cb12, Cb13を、その原点Ob11, Ob12, Ob13がX方向の隣接配線グリッド間の midpoint および Y 方向の隣接配線グリッド間の midpoint に位置するように、回路接続情報に基づいて仮配置する。

【0093】

次に、セル置換工程S23においては、第1のセルCb11, Cb12, Cb13を、それぞれ同じ論理で、第2のセルCb21, Cb22, Cb23に置換する。このとき、第2のセルCb21, Cb22, Cb23の原点Ob21, Ob22, Ob23を、セルCb11, Cb12, Cb13の原点Ob11, Ob12, Ob13と同一の座標にする。

【0094】

次いで、再配置工程S24においては、トータルのセル配置面積が小さくなるように、第2のセルCb21, Cb22, Cb23をX方向に移動させる再配置を行なう。その移動量は、隣接するセル同士のセル枠が接するところを最大とする。

【0095】

その後、実配線処理工程S25においては、回路接続情報に基づき、再配置された第2のセルCb21, Cb22, Cb23同士の配線処理を行う。

【0096】

以上のようなフローにより、セル幅が必ずしも配線グリッド間隔の整数倍でない第2のセルを直接扱えない自動配置配線ツールにおいても、図10に示される領域Rb21, Rb22(斜線部)を省略することができる。そのため、スタンダードセルで構成されるロジック面積を小さくし、ひいては、チップサイズを小さくすることができる。

【0097】

(実施の形態5)

図11は、本発明の実施の形態5におけるスタンダードセルのレイアウト図である。ここで、スタンダードセルの電源配線に沿った方向をX方向、電源配線Sに対して垂直な方向をY方向とする。なお、図例の電源配線Sはその一例であって電源配線Sはこのような位置に限定されない。

【0098】

図11において、x1~x13は自動配置配線で用いられる、Y方向に平行に配置されて互いにX方向に並ぶ配線グリッド、y1~y8はX方向に平行に配置されて互いにY方向に並ぶ配線グリッド、gx1~gx10は自動配置配線に用いられるY方向に平行に配置されて互いにX方向に並ぶゲートピッチのグリッド、C61, C62, C63はスタンダードセル、O61, O62, O63はスタンダードセルC61, C62, C63の原点、TはスタンダードセルCi(i=1, 2...)における入力信号または出力信号を伝達可能な端子、Gはゲート電極、DGはダミーゲート電極である。

【0099】

さらにスタンダードセルC61, C62, C63においては、ゲート電極G, ダミーゲート電極DGのゲート長、ゲート間隔は互いに一定となっており、かつ各スタンダードセルC61, C62, C63のX方向のセル幅はゲートピッチGx(ゲートピッチはゲート長にゲート間隔を足した値)の最小値の整数倍となっている(図11においては、スタンダードセルC61, C62, C63のセル幅はGxの3倍となっている)。

【0100】

自動配置配線ツールは、セル、ブロックの配置と端子間の配線経路を決定する自動設計処理ツールである。自動配置配線ツールは、上述した各実施の形態とその構成は同一である。

【0101】

自動配置配線ツールの配置の際においては、各セルのX方向のセル幅がゲートピッチG

10

20

30

40

50

x の整数倍となっているため、各セルの X 方向の配置をゲートピッチのグリッドの位置に配置することができる。

【0102】

自動配置配線ツールを用いることで、X 方向、Y 方向の配線グリッド上に最小配線幅で配線を配置することができる。配線グリッドは、X 方向にゲートピッチ G_x とは異なる L_x の等間隔、Y 方向に L_y の等間隔となっている。X 方向での配線と Y 方向での配線とは、基本的に別の配線層を使用し、異なる配線層間は層間接続により接続される。

【0103】

端子 T を構成する配線は、X 方向に沿って横長の矩形形状（長方形）を有する。端子 T の短辺寸法は、自動配置配線での配線幅 W となっている。また、長辺寸法は、（X 方向グリッド間隔 L_x + 配線幅 W ）以上となっている。

10

【0104】

自動配置配線ツールを用いて端子 T に配線接続を行うためには、端子 T はグリッド交点（配線グリッドの交点）を含まなければならない（黒丸 参照）。実施の形態 6 では、端子 T を横長（X 方向に長い）矩形形状とし、Y 方向に並ぶ配線グリッド y_i ($i = 1, 2 \dots$) に配置している。

【0105】

実施の形態 6 とは逆に、図 13 に示すように、端子 T を構成する配線を Y 方向に縦長（Y 方向に長い）矩形形状にした場合、楕円で囲んだ部分のように、グリッド交点に配置されない端子 T が存在する。これは、従来技術の図 17 と同じ状況である。

20

【0106】

実施の形態 6 のように、端子 T の長辺寸法を（X 方向グリッド間隔 L_x + 配線幅 W ）とした横長矩形形状とすることで、図 12 の端子 T_{11} 、 T_{17} に例示されるように、端子 T は、配線グリッド交点と最大 2 箇所で交差する。さらには、端子 T_{11} 、 T_{17} の状態から X 方向にずれた場合でも、端子 $T_{12} \sim T_{16}$ に例示されるように、少なくとも 1 個のグリッド交点と交差する。

【0107】

実施の形態 6 によれば、セル配置位置を Y 方向では限定するものの、X 方向では配線グリッド L_x と異なるゲートピッチ G_x の整数倍の位置としても、少なくとも 1 箇所の配線グリッド交点に端子 T を配置することができる。したがって、全端子 T を配線グリッド上に配置するために、図 19 の従来技術のセル C_{51} 、 C_{52} 、 C_{53} に示すように、各セル原点を X 方向でのグリッド間中点に配置する必要がなくなる。つまり、全端子 T を配線グリッド上に配置するための余分な領域 R_1 、 R_2 、 R_3 をセル内に設ける必要がなくなる。あるいは、セル間に無駄な領域 R_1 、 R_2 、 R_3 が発生することがなくなる。以上の結果として、チップサイズを小さくすることができるようになる。

30

【0108】

さらには、スタンダードセル C_{61} 、 C_{62} 、 C_{63} の内部だけでなく、これらスタンダードセル C_{61} 、 C_{62} 、 C_{63} どうしを比較しても、そのゲート電極、ダミーゲート電極のパターンはゲート長、ゲート間隔ともに同一となっている。これにより、ゲート電極の仕上がり寸法の精度を高くすることができる。さらに各スタンダードセル単体で見た場合と、それを隣接して配置した状態とではゲート電極、ダミーゲート電極のゲート長、ゲート間隔のパターンが同一となっており、OPC を各スタンダードセル単体で行うことができる。

40

【0109】

なお、端子 T を構成する配線の長辺寸法の上限值は、実質上、X 方向に沿うセル C のセル幅から配線の最小間隔を差し引いた長さ以下となる。また、上述したように、面積効率からみて、端子 T を構成する配線の長辺寸法は、（X 方向グリッド間隔 L_x + 配線幅 W ）とするのが好ましい。しかしながら、（X 方向グリッド間隔 L_x + 配線幅 W ）の値は、端子 T を構成する配線の長辺寸法の下限值として見なしてもよい。

【0110】

50

以上説明した実施の形態 5 では、ロジックブロックを合成して設計する際のスタンダードセルにおいて本発明を実施した。しかしながら、実施の形態 6 では、ゲートピッチが予め設定されているゲートレイセルにおいても同様に実施することができる。この場合、ゲートレイセルの端子形状を上述したスタンダードセルの端子形状と同様にすればよい。そうすれば、スタンダードセルの場合と同様のセル面積縮小効果が得られる。あるいは、ゲートレイセルのゲートピッチまで配線グリットを拡大することに起因して生じるブロック面積の増大を抑えることができる。

【0111】

なお、実施の形態 5 においては、ゲート電極、ダミーゲート電極は全て同一のゲート長であるとしたが、同一である必要はない。図 14 にゲート電極、ダミーゲート電極の一部のゲート長が同一でないスタンダードセルの例を示す。

10

【0112】

図 14 において、C81 はスタンダードセルである。スタンダードセル C81 内にはゲート電極 G と、ダミーゲート電極 DG と、さらにはゲート長がゲート電極 G、ダミーゲート電極 DG とは異なるゲート電極 G2 が二つ設けられており、スタンダードセル C81 の X 方向のセル幅はゲートピッチ Gx の整数倍となるように、ゲート電極 G2 の幅が設定されている。なお、図 14 においては、スタンダードセル C81 のセル幅はゲートピッチ Gx の 9 倍となっている。ここで、G2 の幅をこのように設定するのは、一般的に用いられる自動配置配線ツールで配置を行う際において、各セルの X 方向のセル幅がゲートピッチ Gx の整数倍となっている方が各セルのセル幅が任意の値を取る場合に比べて処理速度が

20

【0113】

このようにゲート長の異なるゲート電極を有するスタンダードセルを含む場合でも、前述したように端子の長辺寸法を (X 方向グリット間隔 Lx + 配線幅 W) とする横長矩形形状とすることで、端子が少なくとも 1 個の配線グリット交点と交差するようにしておけば、X 方向のセル配置を自由に設定することができ、セル間に余分な領域が発生することはない。

【0114】

また、自動配置配線ツールの処理速度を考慮して、各セルの X 方向のセル幅がゲートピッチ Gx の整数倍となるように設定した場合でも同様にセル間に余分な領域が発生することはない。また、ゲート電極、ダミーゲート電極のパターンはゲート長、ゲート間隔において、不均一な部分をスタンダードセル内に持つことができるため、スタンダードセルの設計の自由度が向上する。また、OPC を各スタンダードセル単体で行うことができる効果については他の実施の形態と同様、実施の形態 6 でも得られる。

30

【0115】

以上の説明では、ゲート長が同一ではなく互いに異なるゲート電極を設ける場合について説明したが、ゲート長が異なるダミーゲート電極を設ける場合や、ゲート間隔が異なるゲート電極やダミーゲート電極を設けるセル構成においても同様に実施の形態 5 を実施することができる。

40

【0116】

なお、実施の形態 5 においては、ダミーゲート電極 DG を設けることを前提して説明したが、次の構成において実施の形態 5 を実施してもその効果を同様に得ることができる。その構成とは、ダミーゲート電極 DG を設けない構成において、さらに各スタンダードセルのセル枠からの最近傍のゲート電極までの距離を一定にする構成である。この構成においても、各スタンダードセルのセル枠から最近傍のゲート電極までの距離と、そのスタンダードセルに隣接する他のスタンダードセルのセル枠から最近傍のゲート電極までの距離とは一定になる。そのため、このような構成においても、OPC を各スタンダードセル単体で行うことができるという実施の形態 5 の効果を同様に得ることができる。

【0117】

50

例えば、前述した図 1 1 の構成においてダミーゲート電極 DG を設けない構成であっても、各スタンダードセル C 6 1 , C 6 2 , C 6 3 のセル枠から、各スタンダードセルの端部に位置するゲート電極 G までの X 方向の距離は $(G \times - \text{ゲート長} / 2)$ であって一定であり、また、各スタンダードセルの端部に位置するゲート電極 G から、隣接するスタンダードセルの端部に位置するゲート電極 G までの X 方向の距離は $(2 G \times - \text{ゲート長})$ であって一定である。

【 0 1 1 8 】

(実施の形態 6)

図 1 5 は、本発明の実施の形態 6 におけるスタンダードセルの自動配置配線方法の処理フローを表わしている。

10

【 0 1 1 9 】

この自動配置配線方法を実行する自動配置配線装置は、論理回路の接続情報を入力する接続情報入力手段と、設計規約入力手段と、スタンダードセルのレイアウト情報入力手段と、各セル群を接続情報に基づいて配置する配置手段とを備えている。このような構成を有する自動配置配線装置は複数のスタンダードセルを含む状態で論理回路を配置配線する。

【 0 1 2 0 】

まず、予め、複数のスタンダードセルどうしを互いに接続するための論理回路の回路接続情報、自動配置配線を行う際に必要となる設計規約、および各スタンダードセルのレイアウトデータを図示しない記憶装置に格納しておく。ここで記憶装置に格納されるレイアウト情報は、セル C 2 1 , C 2 2 , C 2 3 として、実施の形態 5 で説明した構造を有するセルのレイアウト情報である。

20

【 0 1 2 1 】

そのうえで、自動配置配線装置は、データ読み込み工程 S 3 1 において、上述した論理回路の回路接続情報、設計規約、および各スタンダードセルのレイアウトデータを記憶装置から読み出す。

【 0 1 2 2 】

次に、自動配置配線装置は、配置工程 S 3 2 において、回路接続情報に基づいてセル C 9 1 , C 9 2 , C 9 3 を配置する。ここで、セル C 9 1 , C 9 2 , C 9 3 は、図 1 6 に示すように、X 方向にはセル幅を規定するゲートピッチ $G \times$ の整数倍のグリッド位置に、Y 方向には Y 方向の隣接配線グリッド間の midpoint に位置するように配置される。

30

【 0 1 2 3 】

その後、自動配置配線装置は、実配線処理工程 S 3 3 において、配置したセル C 9 1 , C 9 2 , C 9 3 どうしの配線処理を行う。

【 0 1 2 4 】

実施の形態 6 では、配置工程 S 3 2 で実施するセル配置において、各セルを X 方向にはセル幅を規定するゲートピッチ $G \times$ の整数倍のグリッド位置に配置することで配置面積を小さくして、チップサイズを小さくすることができる。

【 0 1 2 5 】

さらには、実施の形態 6 では、スタンダードセルとして実施の形態 1 や実施の形態 5 で説明したスタンダードセルを使用している。これにより、配置されたスタンダードセル C 9 1 , C 9 2 , C 9 3 のゲート電極のパターンはゲート長、ゲート間隔ともに一定となっており、ゲート電極の仕上がり寸法の精度を高くすることができる。このようなゲート電極の仕上がり精度の向上は、スタンダードセル C 9 1 , C 9 2 , C 9 3 内だけでなく、スタンダードセルの間においても得られる。

40

【 0 1 2 6 】

さらに各スタンダードセル単体で見た場合と、それを隣接して配置した状態とではゲート電極のゲート長、ゲート間隔のパターンが同一となるため、OPC を各スタンダードセル単体で行うことができる。

【 0 1 2 7 】

50

なお、実施の形態 6 に示すスタンダードセルの自動配置配線方法は、データ読み込み工程 S 2 1、配置工程 S 2 2、実配線処理工程 S 2 3 などを CPU などにおいて演算処理を行わせることで実現できる。そうすれば、設計者はキーボードなどを使用して設計規約等を記憶装置に入力して記憶させたうえで、設計途中においては、モニター画面などを通じて設計の途中段階のデータの確認や、配線処理後のデータの確認などをすることができる。このようにして本実施形態はハードウェア上で実現することができる。

【産業上の利用可能性】

【0128】

このように本発明は、配線長を短く設計できて、チップの小面積化に対して有効である。さらには、電源降下の低減による遅延時間の短縮化、ばらつき削減などにおいて有効である。 10

【図面の簡単な説明】

【0129】

【図 1】本発明の実施の形態 1 におけるスタンダードセルのレイアウト図である。

【図 2】本発明の実施の形態 1 における端子位置の説明図である。

【図 3】本発明の実施の形態 1 に関連して端子がグリッド交点に配置できない場合の説明図である。

【図 4】実施の形態 1 の変形例におけるスタンダードセルのレイアウト図である。

【図 5】本発明の実施の形態 2 におけるスタンダードセルの自動配置配線方法の処理フロー図である。 20

【図 6】本発明の実施の形態 2 におけるスタンダードセルのレイアウト図である。

【図 7】本発明の実施の形態 3 におけるスタンダードセルの自動配置配線方法の処理フロー図である。

【図 8】本発明の実施の形態 3 におけるスタンダードセルのレイアウト図である。

【図 9】本発明の実施の形態 4 におけるスタンダードセルの自動配置配線方法の処理フロー図である。

【図 10】本発明の実施の形態 4 におけるスタンダードセルのレイアウト図である。

【図 11】本発明の実施の形態 5 におけるスタンダードセルのレイアウト図である。

【図 12】本発明の実施の形態 5 における端子位置の説明図である。

【図 13】本発明の実施の形態 5 に関連して端子がグリッド交点に配置できない場合の説明図である。 30

【図 14】本発明の実施の形態 5 においてゲート長が異なるゲート電極を含むスタンダードセルのレイアウト図である。

【図 15】本発明の実施の形態 6 におけるスタンダードセルの自動配置配線方法の処理フロー図である。

【図 16】本発明の実施の形態 6 におけるスタンダードセルのレイアウト図である。

【図 17】従来技術におけるスタンダードセルのレイアウト図である。

【図 18】従来技術における別のスタンダードセルのレイアウト図である。

【符号の説明】

【0130】

C 1 ~ C 3 , C 1 1 ~ C 1 3 , C 2 1 ~ C 2 3 , C 3 1 ~ C 3 3 スタンダードセル

O 1 ~ O 3 , O 1 1 ~ O 1 3 , O 2 1 ~ O 2 3 , O 3 1 ~ O 3 3 原点

G ゲート電極 L x の X 方向グリッド間隔

L y Y 方向グリッド間隔

R 2 1 , R 2 2 余分な(無駄な)領域

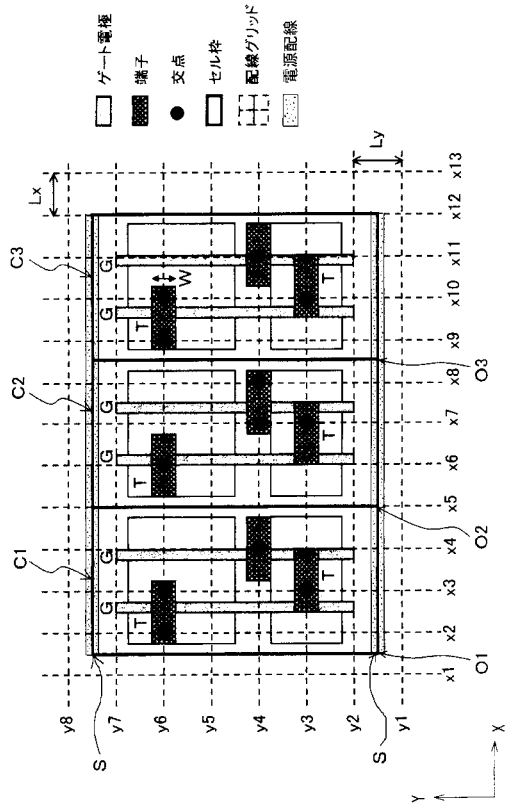
T 入出力信号を伝達可能な端子

W セル幅

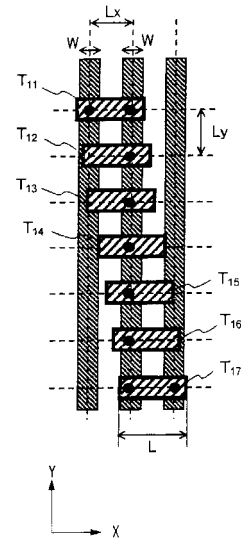
x 1 ~ x 1 3 X 方向配線グリッド

y 1 ~ y 8 Y 方向配線グリッド

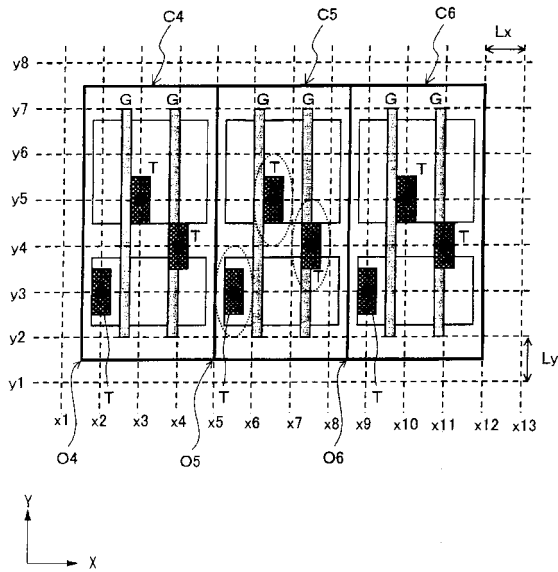
【 図 1 】



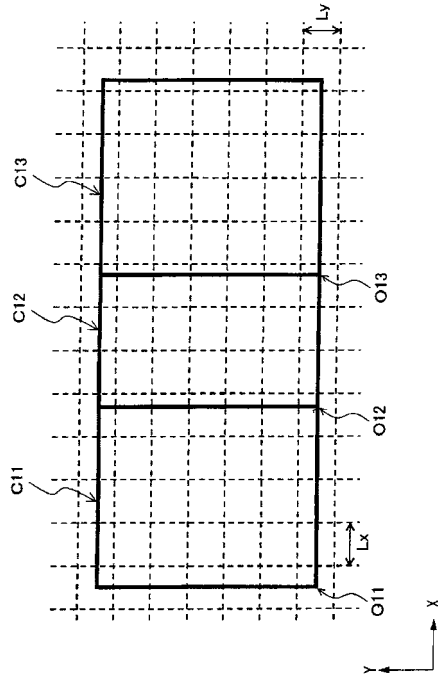
【 図 2 】



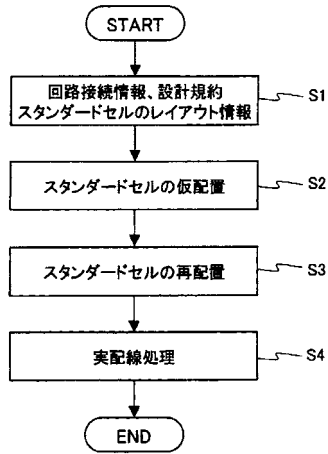
【 図 3 】



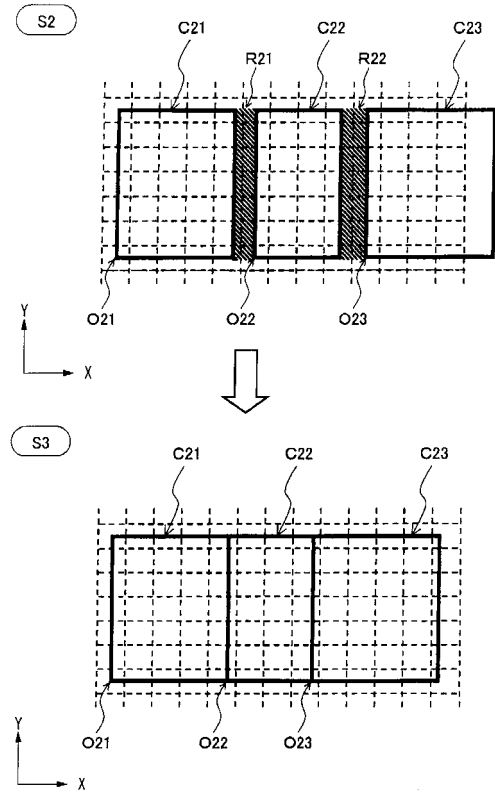
【 図 4 】



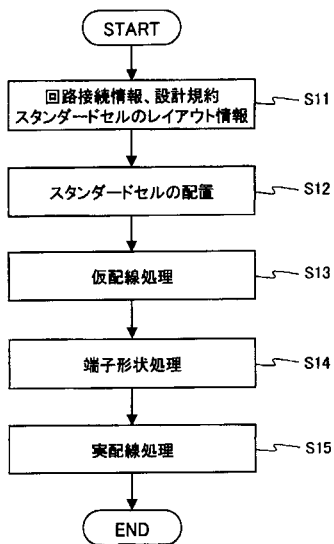
【 図 5 】



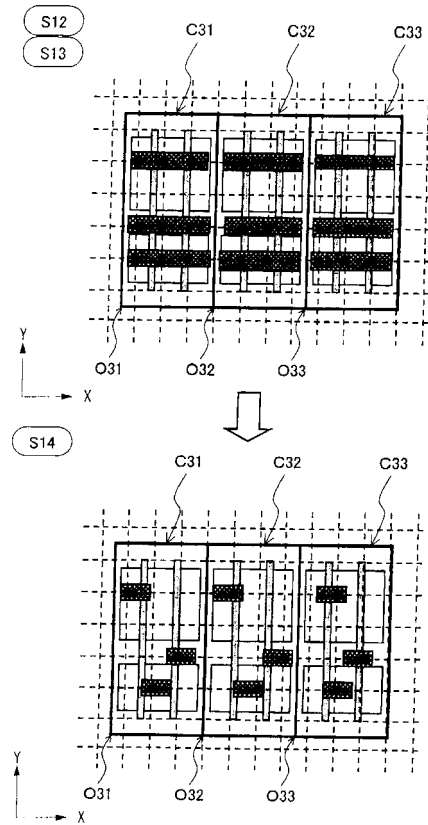
【 図 6 】



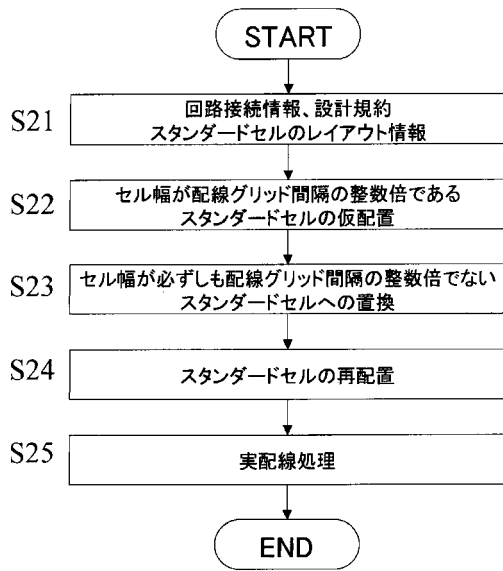
【 図 7 】



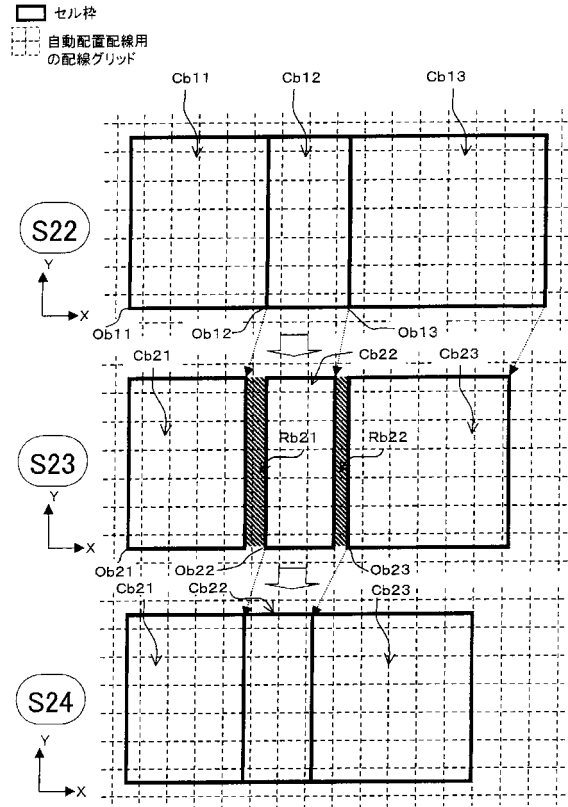
【 図 8 】



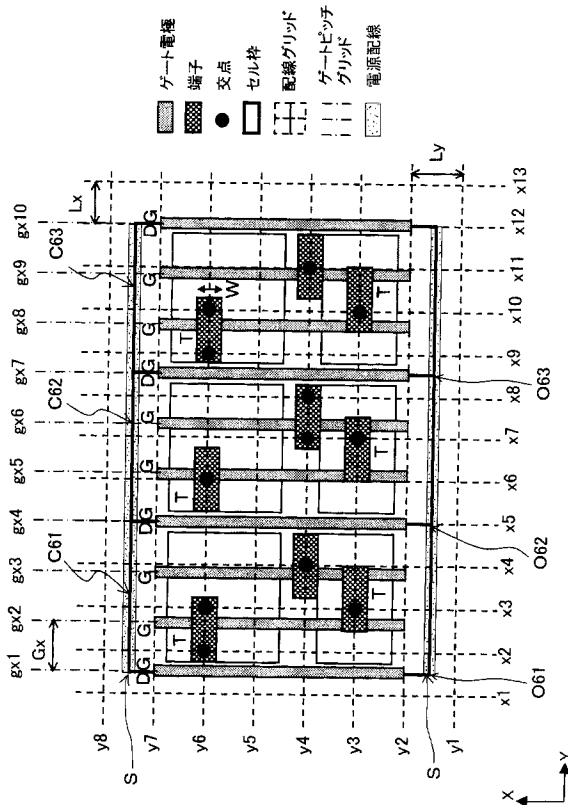
【 図 9 】



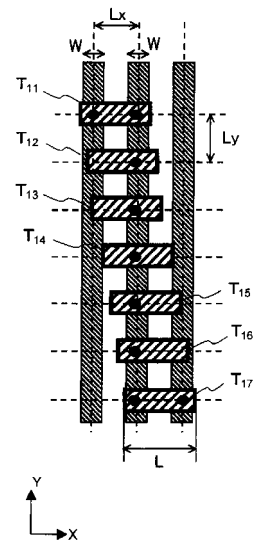
【 図 10 】



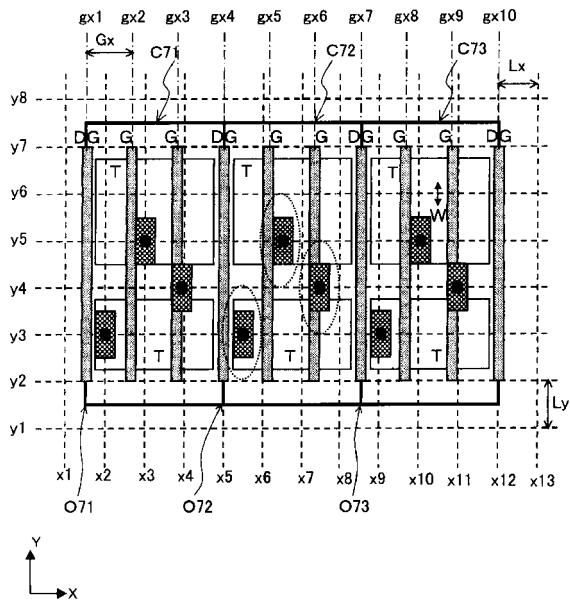
【 図 11 】



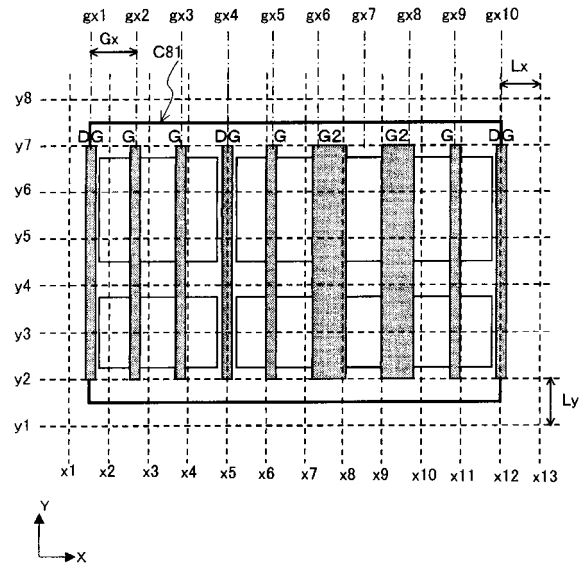
【 図 12 】



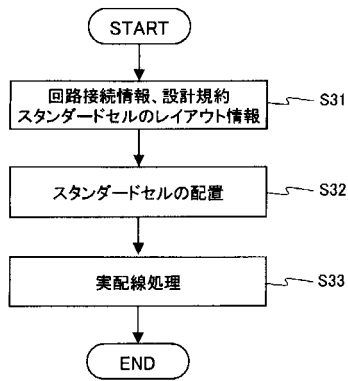
【 図 1 3 】



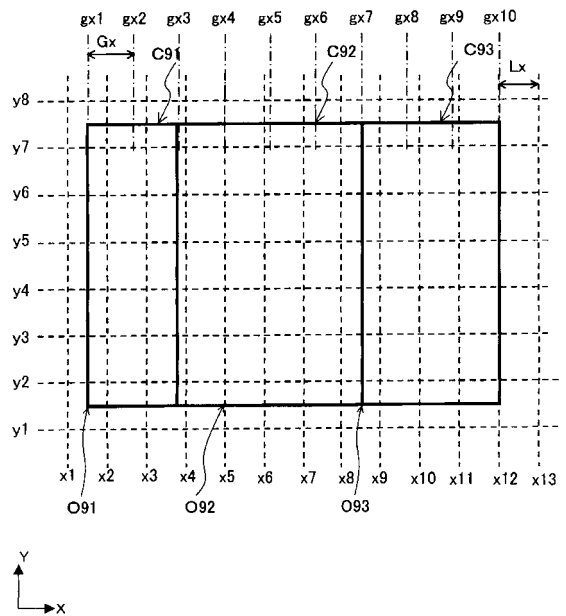
【 図 1 4 】



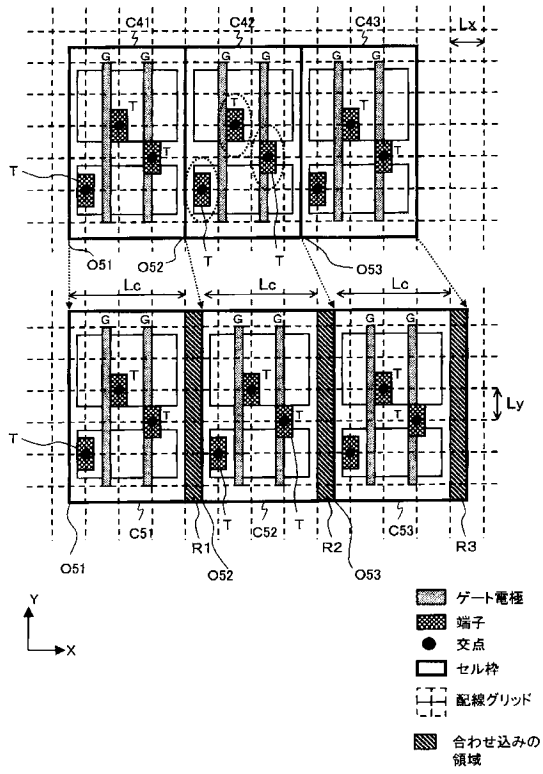
【 図 1 5 】



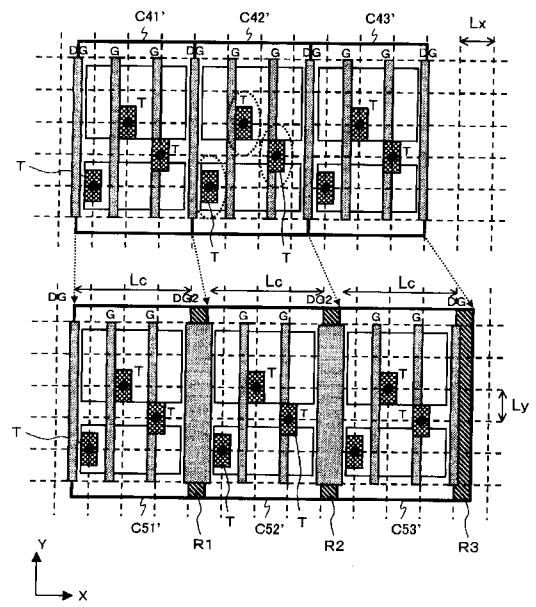
【 図 1 6 】



【図 17】



【図 18】



フロントページの続き

Fターム(参考) 5F064 AA04 DD02 DD05 DD10 DD12 DD14 DD22 DD25 EE02 EE05
EE09 EE16 EE52 EE57 HH06 HH12