



(12)发明专利

(10)授权公告号 CN 105830143 B

(45)授权公告日 2018.11.23

(21)申请号 201480067584.2

(22)申请日 2014.08.28

(65)同一申请的已公布的文献号  
申请公布号 CN 105830143 A

(43)申请公布日 2016.08.03

(30)优先权数据  
2013-262378 2013.12.19 JP

(85)PCT国际申请进入国家阶段日  
2016.06.12

(86)PCT国际申请的申请数据  
PCT/JP2014/072536 2014.08.28

(87)PCT国际申请的公布数据  
W02015/093100 JA 2015.06.25

(73)专利权人 夏普株式会社

地址 日本大阪府

(72)发明人 小原将纪 野口登 岸宣孝

(74)专利代理机构 北京尚诚知识产权代理有限公司 11322

代理人 龙淳 池兵

(51)Int.Cl.  
G09G 3/30(2006.01)  
G09G 3/20(2006.01)  
H01L 51/50(2006.01)

审查员 李玮

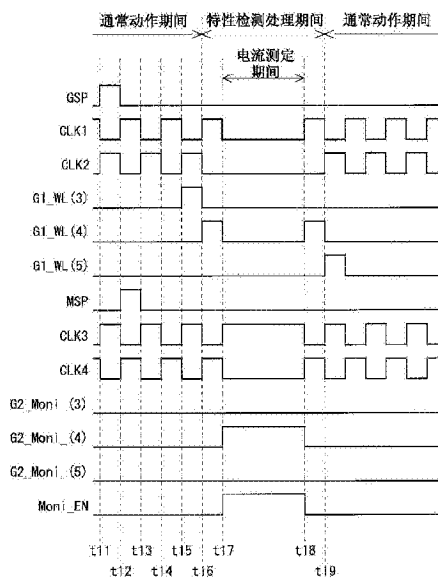
权利要求书5页 说明书28页 附图26页

(54)发明名称

显示装置及其驱动方法

(57)摘要

本发明的目的在于,在采用由单沟道的TFT形成的栅极驱动电路的显示装置中,实现驱动晶体管的特性的偏差的补偿。在时钟信号(CLK1、CLK2)的脉冲数与表示补偿对象行的补偿对象行地址一致时,以两者一致的时刻(t16)的1水平扫描期间后的时刻(t17)作为电流测定期间的开始时刻,进行以下的控制。在电流测定期间的开始时刻(t17)和结束时刻(t18),仅使时钟信号(CLK1、CLK2)中被提供给与补偿对象行对应的单位电路的信号的电位变化。在整个电流测定期间,使时钟信号(CLK1~CLK4)的时钟动作停止。仅在电流测定期间使提供与输出控制晶体管的控制端子的监视启用信号(Moni\_EN)为高电平,其中,输出控制晶体管控制对监视控制线的有效的信号的输出。



1. 一种显示装置,该显示装置具有形成为矩阵状的多个像素电路,该多个像素电路各自包括通过电流来控制亮度的电光学元件和用于对要供给至所述电光学元件的电流进行控制的驱动晶体管,所述显示装置包括:

多个写入控制线,该多个写入控制线以与各行对应的方式设置,用于控制是否对对应的行的像素电路写入数据电压;和

多个数据线,该多个数据线以与各列对应的方式设置,用于向对应的列的像素电路供给所述数据电压,

所述显示装置的特征在于,还包括:

多个监视控制线,该多个监视控制线以与各行对应的方式设置,用于控制是否对供给至对应的行的像素电路中包含的驱动晶体管的驱动电流进行测定;

写入控制线驱动电路,该写入控制线驱动电路包括第一移位寄存器,该第一移位寄存器包括与所述多个写入控制线一对一地对应的多个第一单位电路,基于第一时钟信号组进行动作,并且构成为所述多个第一单位电路基于所述第一时钟信号组依次成为有效的状态,所述写入控制线驱动电路使与有效的状态的第一单位电路对应的写入控制线成为选择状态;

监视控制线驱动电路,该监视控制线驱动电路用于使与测定对象行对应的监视控制线成为选择状态,其中,所述测定对象行为成为测定驱动电流的对象行;

数据线驱动电路,该数据线驱动电路对所述多个数据线施加所述数据电压;

电流测定电路,该电流测定电路对从所述多个像素电路供给的驱动电流进行测定;

驱动控制部,该驱动控制部控制所述写入控制线驱动电路、所述监视控制线驱动电路、所述数据线驱动电路和所述电流测定电路的动作;

修正数据计算/存储部,该修正数据计算/存储部基于由所述电流测定电路测定的驱动电流,计算用于对与各像素电路的显示灰度等级对应的灰度等级数据进行修正的修正数据,并保持该修正数据;和

灰度等级修正部,该灰度等级修正部通过基于被保持在所述修正数据计算/存储部中的修正数据对所述灰度等级数据进行修正,求取要写入各像素电路的数据电压,

所述多个第一单位电路使用N沟道型和P沟道型中的仅任一种类型的晶体管构成,

所述监视控制线驱动电路包括第二移位寄存器,该第二移位寄存器包括与所述多个监视控制线一对一地对应的多个第二单位电路,基于第二时钟信号组和监视许可信号进行动作,并且构成为所述多个第二单位电路基于所述第二时钟信号组依次成为有效的状态,所述监视控制线驱动电路在所述监视许可信号成为有效时使与有效的状态的第二单位电路对应的监视控制线成为选择状态,

所述多个第二单位电路使用N沟道型和P沟道型中的仅与构成所述多个第一单位电路的晶体管相同类型的晶体管构成,

在每1帧期间,1个行被定为所述测定对象行,

所述驱动控制部包括:

时钟计数器,该时钟计数器对所述第一时钟信号组的时钟脉冲的数量进行计数;

测定对象地址值存储部,该测定对象地址值存储部保持表示所述测定对象行的测定对象地址值;和

一致判定电路,该一致判定电路对所述时钟计数器的值与所述测定对象地址值是否一致进行判定,

从由所述一致判定电路判定为所述时钟计数器的值与所述测定对象地址值一致的时钟的1时钟期间后的时刻起规定的期间,被定为进行由所述电流测定电路进行的驱动电流的测定的电流测定期间,

所述驱动控制部控制所述第一时钟信号组,使得:在所述电流测定期间的开始时刻和结束时刻,仅所述第一时钟信号组中包含的时钟信号中被提供给与所述测定对象行对应的第一单位电路的时钟信号的电位变化,并且,在整个所述电流测定期间,由所述第一时钟信号组进行的时钟动作停止,

所述驱动控制部控制所述第二时钟信号组,使得:在所述第二时钟信号组中包含的时钟信号的电位在所述电流测定期间的开始时刻变化之后,在整个所述电流测定期间,由所述第二时钟信号组进行的时钟动作停止,

所述驱动控制部仅在所述电流测定期间使所述监视许可信号为有效。

2. 如权利要求1所述的显示装置,其特征在于:

各第二单位电路包括:

第一输出端子,该第一输出端子与前级和后级连接,输出表示内部状态的状态信号;

第二输出端子,该第二输出端子与对应的监视控制线连接;和

输出控制晶体管,该输出控制晶体的控制端子被提供所述监视许可信号,该输出控制晶体的第一导通端子与所述第一输出端子连接,该输出控制晶体的第二导通端子与所述第二输出端子连接。

3. 如权利要求2所述的显示装置,其特征在于:

还包括电平转换电路,该电平转换电路对被提供给所述输出控制晶体的控制端子的所述监视许可信号的电压电平进行转换。

4. 如权利要求1所述的显示装置,其特征在于:

在所述电流测定电路,进行基于第一灰度等级的驱动电流的测定和基于第二灰度等级的驱动电流的测定,

所述驱动控制部还包括灰度等级识别计数器,该灰度等级识别计数器用于识别在各帧期间是进行了所述基于第一灰度等级的驱动电流的测定还是进行了所述基于第二灰度等级的驱动电流的测定,

所述修正数据计算/存储部参照所述灰度等级识别计数器的值,基于由所述电流测定电路测定的2种驱动电流来计算所述修正数据。

5. 如权利要求4所述的显示装置,其特征在于:

在连续的2帧期间,对同一行的像素电路进行所述基于第一灰度等级的驱动电流的测定和所述基于第二灰度等级的驱动电流的测定。

6. 如权利要求1所述的显示装置,其特征在于:

所述时钟计数器的值与所述测定对象地址值由相同的比特数表示,

所述一致判定电路包括:

多个“异或”电路,该多个“异或”电路输出所述时钟计数器的值与所述测定对象地址值的对应的比特彼此的“异或”;

多个“非”电路,该多个“非”电路以与所述多个“异或”电路一对一地对应的方式设置,输出对应的“异或”电路的输出的“非”;和

“与”电路,该“与”电路输出所述多个“非”电路的输出的“与”。

7.如权利要求1所述的显示装置,其特征在于:

所述时钟计数器的值与所述测定对象地址值由相同的比特数表示,

所述一致判定电路包括:

多个“异或”电路,该多个“异或”电路输出所述时钟计数器的值与所述测定对象地址值的对应的比特彼此的“异或”;和

“或非”电路,该“或非”电路输出所述多个“异或”电路的输出的“或非”。

8.如权利要求1所述的显示装置,其特征在于:

各第一单位电路和各第二单位电路包括:

第一节点;

第一输出端子,该第一输出端子输出表示内部状态的状态信号;

第一晶体管,该第一晶体管的控制端子和第一导通端子被提供从前级输出的状态信号,该第一晶体管的第二导通端子与所述第一节点连接;

第二晶体管,该第二晶体管的控制端子与所述第一节点连接,该第二晶体管的第一导通端子被提供控制时钟信号,该第二晶体管的第二导通端子与所述第一输出端子连接;

第三晶体管,该第三晶体管的控制端子被提供从后级输出的状态信号,该第三晶体管的第一导通端子与所述第一输出端子连接,该第三晶体管的第二导通端子被提供截止电平的直流电源电压;和

第四晶体管,该第四晶体管的控制端子被提供从后级输出的状态信号,该第四晶体管的第一导通端子与所述第一节点连接,该第四晶体管的第二导通端子被提供截止电平的直流电源电压,

对各第一单位电路中包含的第二晶体管的第一导通端子提供所述第一时钟信号组中的1个信号作为所述控制时钟信号,

对各第二单位电路中包含的第二晶体管的第一导通端子提供所述第二时钟信号组中的1个信号作为所述控制时钟信号,

各第一单位电路中包含的第一输出端子与对应的写入控制线连接,

各第二单位电路还包括:

第二输出端子,该第二输出端子与对应的监视控制线连接;和

输出控制晶体管,该输出控制晶体管的控制端子被提供所述监视许可信号,该输出控制晶体管的第一导通端子与所述第一输出端子连接,该输出控制晶体管的第二导通端子与所述第二输出端子连接。

9.如权利要求1所述的显示装置,其特征在于:

构成所述多个第一单位电路和所述多个第二单位电路的晶体管是包含氧化铟镓锌的薄膜晶体管。

10.一种显示装置的驱动方法,该显示装置具有形成为矩阵状的多个像素电路,该多个像素电路各自包括通过电流来控制亮度的电光学元件和用于对要供给至所述电光学元件的电流进行控制的驱动晶体管,所述显示装置的制造方法的特征在于,包括:

驱动控制步骤,控制所述显示装置的驱动动作;

电流测定步骤,对供给至各像素电路中包含的驱动晶体管的驱动电流进行测定;

修正数据计算步骤,基于在所述电流测定步骤中测定的驱动电流,计算用于对与各像素电路的显示灰度等级对应的灰度等级数据进行修正的修正数据;和

灰度等级修正步骤,通过基于在所述修正数据计算步骤中计算出的修正数据对所述灰度等级数据进行修正,求取要写入各像素电路的数据电压,

所述显示装置包括:

多个写入控制线,该多个写入控制线以与各行对应的方式设置,用于控制是否对对应的行的像素电路写入所述数据电压;

多个监视控制线,该多个监视控制线以与各行对应的方式设置,用于控制是否对供给至对应的行的像素电路中包含的驱动晶体管的驱动电流进行测定;

多个数据线,该多个数据线以与各列对应的方式设置,用于向对应的列的像素电路供给所述数据电压;

写入控制线驱动电路,该写入控制线驱动电路包括第一移位寄存器,该第一移位寄存器包括与所述多个写入控制线一对一地对应的多个第一单位电路,基于第一时钟信号组进行动作,并且构成为所述多个第一单位电路基于所述第一时钟信号组依次成为有效的状态,所述写入控制线驱动电路使与有效的状态的第一单位电路对应的写入控制线成为选择状态;和

监视控制线驱动电路,该监视控制线驱动电路用于使与测定对象行对应的监视控制线成为选择状态,其中,所述测定对象行为成为测定驱动电流的对象行,

所述多个第一单位电路使用N沟道型和P沟道型中的仅任一种类型的晶体管构成,

所述监视控制线驱动电路包括第二移位寄存器,该第二移位寄存器包括与所述多个监视控制线一对一地对应的多个第二单位电路,基于第二时钟信号组和监视许可信号进行动作,并且构成为所述多个第二单位电路基于所述第二时钟信号组依次成为有效的状态,所述监视控制线驱动电路在所述监视许可信号成为有效时使与有效的状态的第二单位电路对应的监视控制线成为选择状态,

所述多个第二单位电路使用N沟道型和P沟道型中的仅与构成所述多个第一单位电路的晶体管相同类型的晶体管构成,

在每1帧期间,1个行被定为所述测定对象行,

所述驱动控制步骤包括:

时钟脉冲计数步骤,对所述第一时钟信号组的时钟脉冲的数量进行计数;和

一致判定步骤,对在所述时钟脉冲计数步骤中计数得到的值与表示所述测定对象行的测定对象地址值是否一致进行判定,

从在所述一致判定步骤中判定为在所述时钟脉冲计数步骤中计数得到的值与所述测定对象地址值一致的时刻的1时钟期间后的时刻起规定的期间,被定为进行所述电流测定步骤中的驱动电流的测定的电流测定期间,

在所述驱动控制步骤中,

控制所述第一时钟信号组,使得:在所述电流测定期间的开始时刻和结束时刻,仅所述第一时钟信号组中包含的时钟信号中被提供给与所述测定对象行对应的第一单位电路的

时钟信号的电位变化,并且,在整个所述电流测定期间,由所述第一时钟信号组进行的时钟动作停止,

控制所述第二时钟信号组,使得:在所述第二时钟信号组中包含的时钟信号的电位在所述电流测定期间的开始时刻变化之后,在整个所述电流测定期间,由所述第二时钟信号组进行的时钟动作停止,

仅在所述电流测定期间使所述监视许可信号为有效。

## 显示装置及其驱动方法

### 技术领域

[0001] 本发明涉及显示装置,更详细而言,涉及有机EL显示装置等具备利用电流驱动的自发光型显示元件的显示装置及其驱动方法。

### 背景技术

[0002] 一直以来,作为显示装置具备的显示元件,有利用被施加的电压来控制亮度的电光学元件和利用流动的电流来控制亮度的电光学元件。作为利用被施加的电压来控制亮度的电光学元件的代表例,可以列举液晶显示元件。另一方面,作为利用流动的电流来控制亮度的电光学元件的代表例,可以列举有机EL (Electro Luminescence:电致发光) 元件。有机EL元件也被称为OLED (Organic Light-Emitting Diode:有机发光二极管)。使用作为自发光型的电光学元件的有机EL元件的有机EL显示装置,与需要背光源和彩色滤光片等的液晶显示装置相比,能够容易地实现薄型化、低耗电化、高亮度化等。因此,近年来,有机EL显示装置的开发正在积极地进行。

[0003] 作为有机EL显示装置的驱动方式,已知有无源矩阵方式(也称为单纯矩阵方式)和有源矩阵方式。采用无源矩阵方式的有机EL显示装置,虽然结构简单,但是难以实现大型化和高精细化。与此相对,采用有源矩阵方式的有机EL显示装置(以下称为“有源矩阵型的有机EL显示装置”),与采用无源矩阵方式的有机EL显示装置相比能够容易地实现大型化和高精细化。

[0004] 在有源矩阵型的有机EL显示装置中,呈矩阵状形成有多个像素电路。有源矩阵型的有机EL显示装置的像素电路,典型地包括选择像素的输入晶体管和向有机EL元件的电流的供给的驱动晶体管。另外,在以下的说明中,存在将从驱动晶体管流向有机EL元件的电流称为“驱动电流”的情况。

[0005] 图37是表示以往的一般的像素电路81的结构的电路图。该像素电路81和配置在显示部的多个数据线DL与多个扫描线SL的各交叉点对应地设置。如图37所示,该像素电路81包括2个晶体管T1、T2、1个电容器Cst和1个有机EL元件OLED。晶体管T1是输入晶体管,晶体管T2是驱动晶体管。

[0006] 晶体管T1设置在数据线DL与晶体管T2的栅极端子之间。关于该晶体管T1,其栅极端子与扫描线SL连接,其源极端子与数据线DL连接。晶体管T2与有机EL元件OLED串联地设置。关于该晶体管T2,其漏极端子与供给高电平电源电压ELVDD的电源线连接,其源极端子与有机EL元件OLED的阳极端子连接。另外,以下将供给高电平电源电压ELVDD的电源线称为“高电平电源线”,对高电平电源线赋予与高电平电源电压相同的符号ELVDD。关于电容器Cst,其一端与晶体管T2的栅极端子连接,其另一端与晶体管T2的源极端子连接。另外,也存在电容器Cst的另一端与晶体管T2的漏极端子连接的情况。有机EL元件OLED的阴极端子与供给低电平电源电压ELVSS的电源线连接。另外,以下将供给低电平电源电压ELVSS的电源线称为“低电平电源线”,对低电平电源线赋予与低电平电源电压相同的符号ELVSS。此外,在此,为了说明方便起见,将晶体管T2的栅极端子、电容器Cst的一端和晶体管T1的漏极端

子的连接点称为“栅极节点VG”。另外，一般，漏极和源极中电位高的一方被称为漏极，但是在本说明书的说明中，将一方定义为漏极，将另一方定义为源极，因此，也存在源极电位比漏极电位高的情况。

[0007] 图38是用于对图37所示的像素电路81的动作进行说明的时序图。在时刻t81以前，扫描线SL成为非选择状态。因此，在时刻t81以前，晶体管T1成为截止状态，栅极节点VG的电位被维持在初始电平（例如，与在前1帧的写入相应的电平）。当到达时刻t81时，扫描线SL成为选择状态，晶体管T1成为导通状态。由此，通过数据线DL和晶体管T1，与该像素电路81形成的像素（子像素）的亮度对应的数据电压Vdata被供给至栅极节点VG。然后，在至时刻t82为止的期间，栅极节点VG的电位根据数据电压Vdata而变化。此时，电容器Cst被充电至作为栅极节点VG的电位与晶体管T2的源极电位的差的栅极-源极间电压Vgs。当到达时刻t82时，扫描线SL成为非选择状态。由此，晶体管T1成为截止状态，电容器Cst保持的栅极-源极间电压Vgs确定。晶体管T2根据电容器Cst保持的栅极-源极间电压Vgs向有机EL元件OLED供给驱动电流。其结果，有机EL元件OLED以与驱动电流相应的亮度发光。

[0008] 在有机EL显示装置中，作为驱动晶体管，典型地采用薄膜晶体管（TFT）。但是，就薄膜晶体管而言，特性（阈值电压和迁移率）容易产生偏差。当在显示部内设置的驱动晶体管的特性产生偏差时，驱动电流的大小会产生偏差。其结果，在显示画面上会产生亮度不均匀。因此，为了抑制有机EL显示装置中的显示画面内的亮度不均匀的产生，需要对驱动晶体管的特性的偏差进行补偿。

[0009] 因此，关于有机EL显示装置，以往提出了对驱动晶体管的特性的偏差进行补偿的技术。例如，在日本特开2007-233326号公报中，公开了能够不依赖于驱动晶体管的特性（阈值电压和迁移率）地进行均匀亮度的图像显示的外部补偿技术。在日本特开2007-233326号公报公开的技术中，驱动电流被读出，进行和驱动电流与数据电流的比较结果相应的控制。

[0010] 现有技术文献

[0011] 专利文献

[0012] 专利文献1：日本特开2007-233326

## 发明内容

[0013] 发明要解决的技术问题

[0014] 可以考虑使像素电路为如图39所示的结构，使得能够为了进行与驱动晶体管的特性相应的补偿而进行驱动电流的测定。在图39所示的像素电路91中，除了一直以来设置的构成要素以外，还设置有用于控制是否进行驱动电流的测定的晶体管T3。在该晶体管T3成为导通状态时，驱动电流通过数据线DL被读出。此外，在显示部，与扫描线平行地设置有用于控制该晶体管T3的导通/截止的信号线。以下，为了说明方便起见，将与一直以来设置的扫描线对应的信号线称为“写入控制线”，将用于控制晶体管T3的导通/截止的信号线称为“监视控制线”。对写入控制线赋予符号G1\_WL，对监视控制线赋予符号G2\_Moni。

[0015] 在以上那样的结构中，为了使对显示图像的影响尽可能小，例如可以考虑在1帧逐行地进行驱动电流的测定。以下，将在各帧中成为驱动电流的测定的对象的1行称为“补偿对象行”。此外，在本说明书中，为了说明方便起见，将最先的行称为“第0行”。在第n行成为补偿对象行的帧，写入控制线G1\_WL和监视控制线G2\_Moni如图40所示被驱动。在图40中，时



刻t91以前的期间和时刻t94以后的期间,是用于对补偿对象行以外的行进行处理的期间。在时刻t91以前的期间和时刻t94以后的期间,进行通常的数据写入。因此,以下,将时刻t91以前的期间和时刻t94以后的期间称为“通常动作期间”。在图40中,时刻t91~时刻t94的期间是用于对补偿对象行进行处理的期间。在时刻t91~时刻t94的期间,测定驱动电流来进行检测各驱动晶体管的特性的处理。因此,以下,将时刻t91~时刻t94的期间称为“特性检测处理期间”。另外,特性检测处理期间的长度典型地为相当于5~6水平扫描期间的长度。

[0016] 从图40可知,在通常动作期间,写入控制线G1\_WL按每1水平扫描期间依次成为选择状态。与此相对,在特性检测处理期间,补偿对象行的写入控制线G1\_WL(n)必须2次成为选择状态。详细而言,在特性检测处理期间的最初和最后,补偿对象行的写入控制线G1\_WL(n)必须成为选择状态。另外,在特性检测处理期间,在补偿对象行进行如下那样的处理。在时刻t91~时刻t92的期间,进行用于驱动电流的测定的数据(以下,称为“补偿前数据”)的写入。在时刻t92~时刻t93的期间,进行驱动电流的测定。在时刻t93~时刻t94的期间,进行用于图像显示的数据(以下,称为“补偿后数据”)的写入。在图39所示的结构中,通过晶体管T3进行驱动电流的读出,因此,在时刻t92~时刻t93的期间,监视控制线G2\_Moni(n)成为选择状态。

[0017] 上述的补偿对象行根据帧而不同。因此,例如在第五行被定为补偿对象行的帧,第五行的写入控制线G1\_WL(5)必须2次成为选择状态,此外,例如在第十行被定为补偿对象行的帧,第十行的写入控制线G1\_WL(10)必须2次成为选择状态。这样,为了在1帧按每1行的量进行驱动电流的测定,需要进行复杂的动作。

[0018] 另外,写入控制线G1\_WL和监视控制线G2\_Moni均与像素电路91内的晶体管的栅极端子连接。因此,在本说明书中,将写入控制线用的驱动电路和监视控制线用的驱动电路总称为“栅极驱动电路”。

[0019] 近年来,由于“漏电流极小”、“迁移率比较高”、“能够实现高精细化”等理由,含有InGaZnO(由铟(In)、镓(Ga)、锌(Zn)和氧(O)构成的化合物)(氧化铟镓锌)的TFT的采用在增加。但是,在使用InGaZnO的制造工艺中,不能在基板上形成P沟道型TFT。因此,为了将栅极驱动电路单片化,必须使用仅N沟道型的TFT实现该电路。但是,利用使用仅N沟道型的TFT构成的栅极驱动电路实现上述那样的复杂的动作是极为困难的。

[0020] 因此,本发明的目的在于,在具备利用电流驱动的自发光型显示元件、采用利用单沟道的TFT形成的栅极驱动电路的显示装置中,实现驱动晶体管的特性的偏差的补偿。

[0021] 用于解决技术问题的手段

[0022] 本发明的第一方面是一种显示装置,该显示装置具有形成为矩阵状的多个像素电路,该多个像素电路各自包括通过电流来控制亮度的电光学元件和用于对要供给至上述电光学元件的电流进行控制的驱动晶体管,上述显示装置的特征在于,包括:

[0023] 多个写入控制线,该多个写入控制线以与各行对应的方式设置,用于控制是否对对应的行的像素电路写入数据电压;

[0024] 多个监视控制线,该多个监视控制线以与各行对应的方式设置,用于控制是否对供给至对应的行的像素电路中包含的驱动晶体管的驱动电流进行测定;

[0025] 多个数据线,该多个数据线以与各列对应的方式设置,用于向对应的列的像素电路供给上述数据电压;

[0026] 写入控制线驱动电路,该写入控制线驱动电路包括第一移位寄存器,该第一移位寄存器包括与上述多个写入控制线一对一地对应的多个第一单位电路,基于第一时钟信号组进行动作,并且构成为上述多个第一单位电路基于上述第一时钟信号组依次成为有效的状态,上述写入控制线驱动电路使与有效的状态的第一单位电路对应的写入控制线成为选择状态;

[0027] 监视控制线驱动电路,该监视控制线驱动电路用于使与测定对象行对应的监视控制线成为选择状态,其中,上述测定对象行为成为测定驱动电流的对象行;

[0028] 数据线驱动电路,该数据线驱动电路对上述多个数据线施加上述数据电压;

[0029] 电流测定电路,该电流测定电路对从上述多个像素电路供给的驱动电流进行测定;

[0030] 驱动控制部,该驱动控制部控制上述写入控制线驱动电路、上述监视控制线驱动电路、上述数据线驱动电路和上述电流测定电路的动作;

[0031] 修正数据计算/存储部,该修正数据计算/存储部基于由上述电流测定电路测定的驱动电流,计算用于对与各像素电路的显示灰度等级对应的灰度等级数据进行修正的修正数据,并保持该修正数据;和

[0032] 灰度等级修正部,该灰度等级修正部通过基于被保持在上述修正数据计算/存储部中的修正数据对上述灰度等级数据进行修正,求取要写入各像素电路的数据电压,

[0033] 上述多个第一单位电路使用N沟道型和P沟道型中的仅任一种类型的晶体管构成,

[0034] 上述监视控制线驱动电路包括第二移位寄存器,该第二移位寄存器包括与上述多个监视控制线一对一地对应的多个第二单位电路,基于第二时钟信号组和监视许可信号进行动作,并且构成为上述多个第二单位电路基于上述第二时钟信号组依次成为有效的状态,上述监视控制线驱动电路在上述监视许可信号成为有效时使与有效的状态的第二单位电路对应的监视控制线成为选择状态,

[0035] 上述多个第二单位电路使用N沟道型和P沟道型中的仅与构成上述多个第一单位电路的晶体管相同类型的晶体管构成,

[0036] 在每1帧期间,1个行被定为上述测定对象行,

[0037] 上述驱动控制部包括:

[0038] 时钟计数器,该时钟计数器对上述第一时钟信号组的时钟脉冲的数量进行计数;

[0039] 测定对象地址值存储部,该测定对象地址值存储部保持表示上述测定对象行的测定对象地址值;和

[0040] 一致判定电路,该一致判定电路对上述时钟计数器的值与上述测定对象地址值是否一致进行判定,

[0041] 从由上述一致判定电路判定为上述时钟计数器的值与上述测定对象地址值一致的时分的1时钟期间后的时刻起规定的期间,被定为进行由上述电流测定电路进行的驱动电流的测定的电流测定期间,

[0042] 上述驱动控制部控制上述第一时钟信号组,使得:在上述电流测定期间的开始时刻和结束时刻,仅上述第一时钟信号组中包含的时钟信号中被提供给与上述测定对象行对应的第一单位电路的时钟信号的电位变化,并且,在整个上述电流测定期间,由上述第一时钟信号组进行的时钟动作停止,

[0043] 上述驱动控制部控制上述第二时钟信号组,使得:在上述第二时钟信号组中包含的时钟信号的电位在上述电流测定期间的开始时刻变化之后,在整个上述电流测定期间,由上述第二时钟信号组进行的时钟动作停止,

[0044] 上述驱动控制部仅在上述电流测定期间使上述监视许可信号为有效。

[0045] 本发明的第二方面的特征在于,在本发明的第一方面中:

[0046] 各第二单位电路包括:

[0047] 第一输出端子,该第一输出端子与前级和后级连接,输出表示内部状态的状态信号;

[0048] 第二输出端子,该第二输出端子与对应的监视控制线连接;和

[0049] 输出控制晶体管,该输出控制晶体的控制端子被提供上述监视许可信号,该输出控制晶体的第一导通端子与上述第一输出端子连接,该输出控制晶体的第二导通端子与上述第二输出端子连接。

[0050] 本发明的第三方面的特征在于,在本发明的第二方面中:

[0051] 还包括电平转换电路,该电平转换电路对被提供给上述输出控制晶体的控制端子的上述监视许可信号的电压电平进行转换。

[0052] 本发明的第四方面的特征在于,在本发明的第一方面中:

[0053] 在上述电流测定电路,进行基于第一灰度等级的驱动电流的测定和基于第二灰度等级的驱动电流的测定,

[0054] 上述驱动控制部还包括灰度等级识别计数器,该灰度等级识别计数器用于识别在各帧期间是进行了上述基于第一灰度等级的驱动电流的测定还是进行了上述基于第二灰度等级的驱动电流的测定,

[0055] 上述修正数据计算/存储部参照上述灰度等级识别计数器的值,基于由上述电流测定电路测定的2种驱动电流来计算上述修正数据。

[0056] 本发明的第五方面的特征在于,在本发明的第四方面中:

[0057] 在连续的2帧期间,对同一行的像素电路进行上述基于第一灰度等级的驱动电流的测定和上述基于第二灰度等级的驱动电流的测定。

[0058] 本发明的第六方面的特征在于,在本发明的第一方面中:

[0059] 上述时钟计数器的值与上述测定对象地址值由相同的比特(bit)数表示,

[0060] 上述一致判定电路包括:

[0061] 多个“异或”电路,该多个“异或”电路输出上述时钟计数器的值与上述测定对象地址值的对应的比特彼此的“异或”;

[0062] 多个“非”电路,该多个“非”电路以与上述多个“异或”电路一对一地对应的方式设置,输出对应的“异或”电路的输出的“非”;和

[0063] “与”电路,该“与”电路输出上述多个“非”电路的输出的“与”。

[0064] 本发明的第七方面的特征在于,在本发明的第一方面中:

[0065] 上述时钟计数器的值与上述测定对象地址值由相同的比特数表示,

[0066] 上述一致判定电路包括:

[0067] 多个“异或”电路,该多个“异或”电路输出上述时钟计数器的值与上述测定对象地址值的对应的比特彼此的“异或”;和

- [0068] “或非”电路,该“或非”电路输出上述多个“异或”电路的输出的“或非”。
- [0069] 本发明的第八方面的特征在于,在本发明的第一方面中:
- [0070] 各第一单位电路和各第二单位电路包括:
- [0071] 第一节点;
- [0072] 第一输出端子,该第一输出端子输出表示内部状态的状态信号;
- [0073] 第一晶体管,该第一晶体管的控制端子和第一导通端子被提供从前级输出的状态信号,该第一晶体管的第二导通端子与上述第一节点连接;
- [0074] 第二晶体管,该第二晶体管的控制端子与上述第一节点连接,该第二晶体管的第一导通端子被提供控制时钟信号,该第二晶体管的第二导通端子与上述第一输出端子连接;
- [0075] 第三晶体管,该第三晶体管的控制端子被提供从后级输出的状态信号,该第三晶体管的第一导通端子与上述第一输出端子连接,该第三晶体管的第二导通端子被提供截止电平的直流电源电压;和
- [0076] 第四晶体管,该第四晶体管的控制端子被提供从后级输出的状态信号,该第四晶体管的第一导通端子与上述第一节点连接,该第四晶体管的第二导通端子被提供截止电平的直流电源电压,
- [0077] 对各第一单位电路中包含的第二晶体管的第一导通端子提供上述第一时钟信号组中的1个信号作为上述控制时钟信号,
- [0078] 对各第二单位电路中包含的第二晶体管的第一导通端子提供上述第二时钟信号组中的1个信号作为上述控制时钟信号,
- [0079] 各第一单位电路中包含的第一输出端子与对应的写入控制线连接,
- [0080] 各第二单位电路还包括:
- [0081] 第二输出端子,该第二输出端子与对应的监视控制线连接;和
- [0082] 输出控制晶体管,该输出控制晶体的控制端子被提供上述监视许可信号,该输出控制晶体管的第一导通端子与上述第一输出端子连接,该输出控制晶体的第二导通端子与上述第二输出端子连接。
- [0083] 本发明的第九方面的特征在于,在本发明的第一方面中:
- [0084] 构成上述多个第一单位电路和上述多个第二单位电路的晶体管是包含氧化镉镓锌的薄膜晶体管。
- [0085] 本发明的第十方面是一种显示装置的驱动方法,该显示装置具有形成为矩阵状的多个像素电路,该多个像素电路各自包括通过电流来控制亮度的电光学元件和用于对要供给至上述电光学元件的电流进行控制的驱动晶体管,上述显示装置的制造方法的特征在于,包括:
- [0086] 驱动控制步骤,控制上述显示装置的驱动动作;
- [0087] 电流测定步骤,对供给至各像素电路中包含的驱动晶体管的驱动电流进行测定;
- [0088] 修正数据计算步骤,基于在上述电流测定步骤中测定的驱动电流,计算用于对与各像素电路的显示灰度等级对应的灰度等级数据进行修正的修正数据;和
- [0089] 灰度等级修正步骤,通过基于在上述修正数据计算步骤中计算出的修正数据对上述灰度等级数据进行修正,求取要写入各像素电路的数据电压,

[0090] 上述显示装置包括：

[0091] 多个写入控制线，该多个写入控制线以与各行对应的方式设置，用于控制是否对对应的行的像素电路写入上述数据电压；

[0092] 多个监视控制线，该多个监视控制线以与各行对应的方式设置，用于控制是否对供给至对应的行的像素电路中包含的驱动晶体管的驱动电流进行测定；

[0093] 多个数据线，该多个数据线以与各列对应的方式设置，用于向对应的列的像素电路供给上述数据电压；

[0094] 写入控制线驱动电路，该写入控制线驱动电路包括第一移位寄存器，该第一移位寄存器包括与上述多个写入控制线一对一地对应的多个第一单位电路，基于第一时钟信号组进行动作，并且构成为上述多个第一单位电路基于上述第一时钟信号组依次成为有效的状态，上述写入控制线驱动电路使与有效的状态的第一单位电路对应的写入控制线成为选择状态；和

[0095] 监视控制线驱动电路，该监视控制线驱动电路用于使与测定对象行对应的监视控制线成为选择状态，其中，上述测定对象行为成为测定驱动电流的对象行，

[0096] 上述多个第一单位电路使用N沟道型和P沟道型中的仅任一种类型的晶体管构成，

[0097] 上述监视控制线驱动电路包括第二移位寄存器，该第二移位寄存器包括与上述多个监视控制线一对一地对应的多个第二单位电路，基于第二时钟信号组和监视许可信号进行动作，并且构成为上述多个第二单位电路基于上述第二时钟信号组依次成为有效的状态，上述监视控制线驱动电路在上述监视许可信号成为有效时使与有效的状态的第二单位电路对应的监视控制线成为选择状态，

[0098] 上述多个第二单位电路使用N沟道型和P沟道型中的仅与构成上述多个第一单位电路的晶体管相同类型的晶体管构成，

[0099] 在每1帧期间，1个行被定为上述测定对象行，

[0100] 上述驱动控制步骤包括：

[0101] 时钟脉冲计数步骤，对上述第一时钟信号组的时钟脉冲的数量进行计数；和

[0102] 一致判定步骤，对在上述时钟脉冲计数步骤中计数得到的值与表示上述测定对象行的测定对象地址值是否一致进行判定，

[0103] 从在上述一致判定步骤中判定为在上述时钟脉冲计数步骤中计数得到的值与上述测定对象地址值一致的时刻的1时钟期间后的时刻起规定的期间，被定为进行上述电流测定步骤中的驱动电流的测定的电流测定期间，

[0104] 在上述驱动控制步骤中，

[0105] 控制上述第一时钟信号组，使得：在上述电流测定期间的开始时刻和结束时刻，仅上述第一时钟信号组中包含的时钟信号中被提供给与上述测定对象行对应的第一单位电路的时钟信号的电位变化，并且，在整个上述电流测定期间，由上述第一时钟信号组进行的时钟动作停止，

[0106] 控制上述第二时钟信号组，使得：在上述第二时钟信号组中包含的时钟信号的电位在上述电流测定期间的开始时刻变化之后，在整个上述电流测定期间，由上述第二时钟信号组进行的时钟动作停止，

[0107] 仅在上述电流测定期间使上述监视许可信号为有效。

**[0108] 发明效果**

**[0109]** 根据本发明的第一方面,在驱动控制部内设置有一致判定电路,该一致判定电路对控制写入控制线驱动电路的动作的第一时钟信号组的时钟脉冲数与表示测定对象行的测定对象地址值是否一致进行判定。如果第一时钟信号组的时钟脉冲数与表示测定对象行的测定对象地址值一致,则驱动控制部从两者一致的時刻的1时钟期间后的時刻起使由第一时钟信号组进行的时钟动作停止规定的期间(电流测定期间)。此外,驱动控制部,在电流测定期间的开始時刻和结束時刻,仅使第一时钟信号组中包含的时钟信号中被提供给与测定对象行对应的第一单位电路的时钟信号的电位变化。由此,测定对象行的写入控制线,在紧接电流测定期间之前的期间和紧接电流测定期间之后的期间成为选择状态。此外,监视控制线驱动电路构成为,在监视许可信号成为有效时,使与有效的状态的第二单位电路对应的监视控制线成为选择状态。在此,驱动控制部从第一时钟信号组的时钟脉冲数与表示测定对象行的测定对象地址值一致的時刻的1时钟期间后的時刻起使由第二时钟信号组进行的时钟动作停止规定的期间(电流测定期间)。由此,在各帧期间,在电流测定期间,测定对象行的监视控制线成为选择状态,在其以外的期间,所有的监视控制线被维持在非选择状态。通过如以上那样驱动写入控制线和监视控制线,在各帧期间,进行用于检测驱动晶体管的特性的驱动电流的测定。然后,基于驱动电流的测定值求取修正数据,基于该修正数据进行灰度等级数据的修正。其结果,驱动晶体管的特性的偏差得到补偿。在此,实现上述的动作的栅极驱动电路(写入控制线驱动电路和监视控制线驱动电路)内的移位寄存器使用N沟道型和P沟道型中的仅任一种类型的晶体管构成。根据以上说明,在具备利用电流驱动的自发光型显示元件、采用由单沟道的晶体管形成的栅极驱动电路的显示装置中,能够补偿驱动晶体管的特性的偏差。可是,进行用于使上述那样的驱动电流的测定能够进行的复杂的动作的栅极驱动电路一般利用CMOS逻辑电路实现。因此,根据现有技术,在构成栅极驱动电路的晶体管采用多晶硅TFT以外的晶体管的情况下,不能将进行复杂的动作的栅极驱动电路形成在玻璃基板上。因此,需要将栅极驱动电路以IC芯片的形态安装在玻璃基板上。关于这一点,根据本发明的第一方面,通过使用单沟道的晶体管构成的栅极驱动电路实现了复杂的动作。因此,能够将栅极驱动电路不IC化地形成在玻璃基板上。其结果,能够实现显示装置的成本降低。

**[0110]** 根据本发明的第二方面,能够以比较简易的结构实现能够仅在电流测定期间使监视控制线成为选择状态的监视控制线驱动电路。

**[0111]** 根据本发明的第三方面,能够将被提供给输出控制晶体管的控制端子的电压的电平可靠地提高至对使监视控制线成为选择状态而言充分的电平。

**[0112]** 根据本发明的第四方面,修正数据计算/存储部能够识别从电流测定电路提供的驱动电流的测定值是基于第一灰度等级的值还是基于第二灰度等级的值。因此,能够可靠地基于2种驱动电流进行修正数据的计算。

**[0113]** 根据本发明的第五方面,不需要按每行设置灰度等级识别计数器,仅整体设置1个灰度等级识别计数器即可。

**[0114]** 根据本发明的第六方面,在具备包括多个“异或”电路、多个“非”电路和“与”电路的一致判定电路的结构的显示装置中,能够得到与本发明的第一方面同样的效果。

**[0115]** 根据本发明的第七方面,在具备包括多个“异或”电路和“或非”电路的一致判定电

路的结构的显示装置中,能够得到与本发明的第一方面同样的效果。

[0116] 根据本发明的第八方面,能够不使第一单位电路和第二单位电路的结构复杂化而得到与本发明的第一方面同样的效果。

[0117] 根据本发明的第九方面,能够实现高精细化和低消电化并且得到与本发明的第一方面同样的效果。

[0118] 根据本发明的第十方面,能够在显示装置的驱动方法的发明中得到与本发明的第一方面同样的效果。

## 附图说明

[0119] 图1是用于对在本发明的一个实施方式的有源矩阵型的有机EL显示装置中假定第四行为补偿对象行的情况下的动作进行说明的时序图。

[0120] 图2是表示上述实施方式中的有机EL显示装置的整体结构的框图。

[0121] 图3是用于对上述实施方式中的数据线驱动/电流测定电路的概略进行说明的图。

[0122] 图4是用于对上述实施方式中的显示部的结构进行说明的图。

[0123] 图5是用于对上述实施方式中的写入控制线和监视控制线的驱动进行说明的时序图。

[0124] 图6是表示上述实施方式中的像素电路与数据线驱动/电流测定电路的一部分的电路图。

[0125] 图7是表示上述实施方式中的显示控制电路内的驱动控制部的详细的结构的框图。

[0126] 图8是表示上述实施方式中的写入行计数器的结构的框图。

[0127] 图9是用于对上述实施方式中的计数器(第一计数器、第二计数器)的结构进行说明的框图。

[0128] 图10是用于对上述实施方式中的D型触发器进行说明的图。

[0129] 图11是用于对上述实施方式中的D型触发器进行说明的图。

[0130] 图12是上述实施方式中的通常动作期间中的时钟信号CLK1和时钟信号CLK2的信号波形图。

[0131] 图13是用于对上述实施方式中来自第一计数器的输出的变化进行说明的图。

[0132] 图14是用于对上述实施方式中来自第二计数器的输出的变化进行说明的图。

[0133] 图15是表示上述实施方式中的匹配电路的结构的逻辑电路图。

[0134] 图16是表示在上述实施方式中被输入至AND电路的数据的数量多的情况下的一个结构例的逻辑电路图。

[0135] 图17是表示在上述实施方式中着眼于图15所示的匹配电路的1比特量的结构时的真值表的图。

[0136] 图18是表示上述实施方式中的显示控制电路内的修正数据计算/存储部的详细的结构的框图。

[0137] 图19是表示上述实施方式中的写入控制线驱动电路的结构的框图。

[0138] 图20是表示上述实施方式中的构成写入控制线驱动电路的移位寄存器内的单位电路的结构(移位寄存器的1级的量的结构)的电路图。

- [0139] 图21是用于对上述实施方式中的单位电路的基本动作进行说明的时序图。
- [0140] 图22是表示上述实施方式中的监视控制线驱动电路的结构的框图。
- [0141] 图23是上述实施方式中的通常动作期间中的时钟信号CLK3和时钟信号CLK4的信号波形图。
- [0142] 图24是表示上述实施方式中的构成监视控制线驱动电路的移位寄存器内的单位电路的结构(移位寄存器的1级的量的结构)的电路图。
- [0143] 图25是用于对上述实施方式中向单位电路内的晶体管T49提供监视启用信号的提供方法进行说明的图。
- [0144] 图26是用于对上述实施方式中的写入控制线驱动电路的动作进行说明的时序图。
- [0145] 图27是用于对上述实施方式中的监视控制线驱动电路的动作进行说明的时序图。
- [0146] 图28是用于对上述实施方式中的像素电路的动作进行说明的时序图。
- [0147] 图29是用于对上述实施方式中的像素电路中的电流的流动进行说明的图。
- [0148] 图30是用于对上述实施方式中的像素电路中的电流的流动进行说明的图。
- [0149] 图31是表示上述实施方式中的特性检测处理(用于检测驱动晶体管的特性的一系列处理)用的控制步骤的流程图。
- [0150] 图32是用于说明在上述实施方式中着眼于1个像素(i行j列的像素)时的补偿处理(用于对驱动晶体管的特性的偏差进行补偿的一系列处理)的步骤的流程图。
- [0151] 图33是表示上述实施方式中的灰度等级-电流特性的图。
- [0152] 图34是表示上述实施方式的第一变形例中的匹配电路的结构的逻辑电路图。
- [0153] 图35是表示在上述实施方式的第一变形例中被输入至NOR电路的数据的数量多的情况下的一个结构例的逻辑电路图。
- [0154] 图36是用于对上述实施方式的第二变形例中向单位电路内的晶体管T49提供监视启用信号的提供方法进行说明的图。
- [0155] 图37是表示以往的一般的像素电路的结构的电路图。
- [0156] 图38是用于对图37所示的像素电路的动作进行说明的时序图。
- [0157] 图39是表示用于为了进行与驱动晶体管的特性相应的补偿而使驱动电流的测定能够进行的像素电路的结构例的电路图。
- [0158] 图40是用于对写入控制线和监视控制线的驱动进行说明的时序图。

## 具体实施方式

[0159] 以下,参照附图对本发明的实施方式进行说明。另外,关于各晶体管,栅极端子相当于控制端子,漏极端子相当于第一导通端子,源极端子相当于第二导通端子。

[0160] <1.整体结构和动作概要>

[0161] 图2是表示本发明的一个实施方式的有源矩阵型的有机EL显示装置1的整体结构的框图。该有机EL显示装置1包括显示控制电路100、数据线驱动/电流测定电路200、写入控制线驱动电路300、监视控制线驱动电路400和显示部500。数据线驱动/电流测定电路200,如图3所示,包括作为数据线驱动电路210发挥作用的部分和作为电流测定电路220发挥作用的部分。另外,在本实施方式中,在包括显示部500的有机EL面板6内形成有写入控制线驱动电路300和监视控制线驱动电路400。即,写入控制线驱动电路300和监视控制线驱动电路



400被单片化。此外,在该有机EL显示装置1,作为用于向有机EL面板6供给各种电源电压的构成要素,设置有逻辑电源610、逻辑电源620、有机EL用高电平电源630和有机EL用低电平电源640。

[0162] 从逻辑电源610向有机EL面板6供给写入控制线驱动电路300的动作所需要的高电平电源电压VDD和低电平电源电压VSS。从逻辑电源620向有机EL面板6供给监视控制线驱动电路400的动作所需要的高电平电源电压VDD和低电平电源电压VSS。从有机EL用高电平电源630向有机EL面板6供给作为恒压的高电平电源电压ELVDD。从有机EL用低电平电源640向有机EL面板6供给作为恒压的低电平电源电压ELVSS。

[0163] 图4是用于对本实施方式中的显示部500的结构进行说明的图。另外,在本说明书中,假定有机EL面板6是全高清用的面板来进行说明。但是,本发明并不限于此。如图4所示,在显示部500,1080条写入控制线G1\_WL(0)~G1\_WL(1079)和5760条数据线DL(0)~DL(5759)以相互交叉的方式配置。关于数据线DL(0)~DL(5759),依次配置有红色的像素用的数据线、绿色的像素用的数据线和蓝色的像素用的数据线。和写入控制线G1\_WL(0)~G1\_WL(1079)与数据线DL(0)~DL(5759)的各交叉点对应地设置有像素电路50。即,在显示部500,以构成多个行(1080行)和多个列(5760列)的方式呈矩阵状形成有像素电路50。另外,如上所述,在本说明书中将最先的行称为“第0行”。即,将1080个行分别称为第0行~第1079行。同样,将5760个列分别称为第0列~第5759列。此外,在显示部500,与上述1080条写入控制线G1\_WL(0)~G1\_WL(1079)一对一地对应的方式配置有1080条监视控制线G2\_Moni(0)~G2\_Moni(1079)。进一步,在显示部500配置有高电平电源线ELVDD和低电平电源线ELVSS。像素电路50的详细情况将在后面说明。

[0164] 另外,在以下的说明中,在不需要将1080条写入控制线G1\_WL(0)~G1\_WL(1079)相互区别的情况下,仅用符号G1\_WL表示写入控制线。同样,分别仅用符号G2\_Moni和符号DL表示监视控制线和数据线。

[0165] 如图2所示,显示控制电路100在功能上具有驱动控制部110、修正数据计算/存储部120和灰度等级修正部130。驱动控制部110输出:用于对写入控制线驱动电路300的动作进行控制的写入控制信号WCTL;用于对监视控制线驱动电路400的动作进行控制的监视控制信号MCTL、监视启用信号Moni\_EN;和用于对数据线驱动/电流测定电路200的动作进行控制的源极控制信号SCTL。写入控制信号WCTL包含后述的启动脉冲信号GSP、时钟信号CLK1和时钟信号CLK2。监视控制信号MCTL包含后述的启动脉冲信号MSP、时钟信号CLK3和时钟信号CLK4。源极控制信号SCTL包含后述的启动脉冲信号SSP、时钟信号SCK、锁存选通信号LS和输入输出控制信号DWT。另外,监视启用信号Moni\_EN是用于控制是否使驱动电流的测定能够进行的信号。另外,驱动控制部110在显示控制电路100的内部输出数据信号DA和后述的灰度等级位置指示信号PS。在修正数据计算/存储部120保持有在数据信号DA的修正中使用的修正数据。该修正数据由偏置值和增益值构成。修正数据计算/存储部120接受灰度等级位置指示信号PS和作为数据线驱动/电流测定电路200的电流测定的结果的监视电压V<sub>mo</sub>,进行修正数据的更新。灰度等级修正部130使用保持在修正数据计算/存储部120中的修正数据DH对从驱动控制部110输出的数据信号DA实施修正,将通过修正得到的数据作为数字视频信号DV输出。对显示控制电路100内的构成要素的更详细的说明将在后面进行。

[0166] 另外,在本实施方式中,由时钟信号CLK1和时钟信号CLK2实现第一时钟信号组,由

时钟信号CLK3和时钟信号CLK4实现第二时钟信号组,由监视启用信号Moni\_EN实现监视许可信号。

[0167] 数据线驱动/电流测定电路200有选择地进行驱动数据线DL(0)~DL(5759)的动作(作为数据线驱动电路210的动作)和测定从像素电路50输出至数据线DL(0)~DL(5759)的驱动电流的动作(作为电流测定电路220的动作)。另外,如上所述,在修正数据计算/存储部120中保持偏置值和增益值作为修正数据。为了实现这一点,在数据线驱动/电流测定电路200中,基于2种灰度等级(第一灰度等级P1和第二灰度等级P2:P2>P1)进行驱动电流的测定。

[0168] 写入控制线驱动电路300基于从显示控制电路100发送的写入控制信号WCTL来驱动1080条写入控制线G1\_WL(0)~G1\_WL(1079)。监视控制线驱动电路400基于从显示控制电路100发送的监视控制信号MCTL、监视启用信号Moni\_EN来驱动1080条监视控制线G2\_Moni(0)~G2\_Moni(1079)。在第n行被定为补偿对象行(测定对象行)的帧,写入控制线G1\_WL和监视控制线G2\_Moni如图5所示那样被驱动。在图5中,时刻t2以前的期间和时刻t5以后的期间为通常动作期间,时刻t2~时刻t5的期间为特性检测处理期间。关于这一点,在图26~图28中也是同样。在通常动作期间,写入控制线G1\_WL按每1水平扫描期间依次成为选择状态。此外,在通常动作期间,所有监视控制线G2\_Moni被维持在非选择状态。特性检测处理期间由进行补偿前数据(用于驱动电流的测定的数据)的写入的补偿前数据写入期间、进行驱动电流的测定的电流测定期间和进行补偿后数据(用于图像显示的数据)的写入的补偿后数据写入期间构成。在补偿前数据写入期间和补偿后数据写入期间,补偿对象行的写入控制线G1\_WL(n)成为选择状态。此外,在电流测定期间,补偿对象行的监视控制线G2\_Moni(n)成为选择状态。关于在本实施方式中如何实现以上那样的驱动,将在后面进行说明。

[0169] 通过如以上那样各构成要素进行动作而驱动数据线DL(0)~DL(5759)、写入控制线G1\_WL(0)~G1\_WL(1079)和监视控制线G2\_Moni(0)~G2\_Moni(1079),在显示部500显示图像。此时,基于驱动电流的测定结果对数据信号DA实施修正,因此,驱动晶体管的特性的偏差得到补偿。

[0170] <2. 像素电路和数据线驱动/电流测定电路>

[0171] 数据线驱动/电流测定电路200在作为数据线驱动电路210发挥作用时进行以下那样的动作。数据线驱动/电流测定电路200接受从显示控制电路100发送的源极控制信号SCTL,对数据线DL(0)~DL(5759)施加驱动用视频信号。此时,在数据线驱动/电流测定电路200中,将启动脉冲信号SSP的脉冲作为触发,在产生时钟信号SCK的脉冲的定时(timing),表示要对各数据线DL施加的电压的数字视频信号DV依次被保持。然后,在产生锁存选通信号LS的脉冲的定时,上述被保持的数字视频信号DV被转换为模拟电压。该转换后的模拟电压作为驱动用视频信号被同时施加至所有数据线DL(0)~DL(5759)。数据线驱动/电流测定电路200在作为电流测定电路220发挥作用时,输出与从像素电路50输出至数据线DL(0)~DL(5759)的驱动电流相应的监视电压Vmo。

[0172] 图6是表示像素电路50与数据线驱动/电流测定电路200的一部分的电路图。图6表示了第i行j列的像素电路50和数据线驱动/电流测定电路200中的与第j列的数据线DL(j)对应的部分。该像素电路50包括1个有机EL元件(电光学元件)OLED、3个晶体管T1~T3和1个电容器Cst。晶体管T1作为选择像素的输入晶体管发挥作用,晶体管T2作为控制向有机EL元

件OLED的电流的供给的驱动晶体管发挥作用,晶体管T3作为控制是否进行用于检测驱动晶体管的特性的电流测定的监视控制晶体管发挥作用。

[0173] 晶体管T1设置在数据线DL(j)与晶体管T2的栅极端子之间。关于该晶体管T1,其栅极端子与写入控制线G1\_WL(i)连接,其源极端子与数据线DL(j)连接。晶体管T2与有机EL元件OLED串联地设置。关于该晶体管T2,其栅极端子与晶体管T1的漏极端子连接,其漏极端子与高电平电源线ELVDD连接,其源极端子与有机EL元件OLED的阳极端子连接。关于晶体管T3,其栅极端子与监视控制线G2\_Moni(i)连接,其漏极端子与有机EL元件OLED的阳极端子连接,其源极端子与数据线DL(j)连接。关于电容器Cst,其一端与晶体管T2的栅极端子连接,其另一端与晶体管T2的漏极端子连接。有机EL元件OLED的阴极端子与低电平电源线ELVSS连接。

[0174] 在本实施方式中,像素电路50内的晶体管T1~T3全部为N沟道型。此外,在本实施方式中,晶体管T1~T3采用含有InGaZnO的TFT。写入控制线驱动电路300和监视控制线驱动电路400内的晶体管也是同样。另外,只要是仅使用单沟道的晶体管的结构,在使用含有InGaZnO的TFT以外的晶体管的结构中也能够应用本发明。

[0175] 如图6所示,数据线驱动/电流测定电路200包括DA转换器21、运算放大器22、电容器23和开关24。DA转换器21的输入端子被提供数字视频信号DV。DA转换器21将数字视频信号DV转换为模拟的数据电压。DA转换器21的输出端子与运算放大器22的非反转输入端子连接。因此,运算放大器22的非反转输入端子被提供数据电压。运算放大器22的反转输入端子与数据线DL(j)连接。开关24设置在运算放大器22的反转输入端子与输出端子之间。电容器23与开关24并联地设置在运算放大器22的反转输入端子与输出端子之间。开关24的控制端子被提供源极控制信号SCTL中包含的输入输出控制信号DWT。运算放大器22的输出端子与显示控制电路100内的灰度等级修正部130中包含的AD转换器131的输入端子连接。

[0176] 在以上那样的结构中,在输入输出控制信号DWT为高电平时,开关24成为导通状态,运算放大器22的反转输入端子-输出端子间成为短路状态。此时,运算放大器22作为缓冲放大器发挥作用。由此,对运算放大器22的非反转输入端子提供的的数据电压被施加至数据线DL(j)。在输入输出控制信号DWT为低电平时,开关24成为断开状态,运算放大器22的反转输入端子与输出端子通过电容器23连接。此时,运算放大器22与电容器23作为积分电路发挥作用。由此,运算放大器22的输出电压(监视电压 $V_{mo}$ )成为与从像素电路50输出至数据线DL(j)的驱动电流相应的电压。AD转换器131将运算放大器22的输出电压(监视电压 $V_{mo}$ )转换为数字值。在本实施方式中,在电流测定期间,输入输出控制信号DWT成为低电平,在电流测定期间以外的期间,输入输出控制信号DWT成为高电平。

[0177] <3.显示控制电路>

[0178] 接着,对本实施方式中的显示控制电路100的详细结构和动作进行说明。

[0179] <3.1驱动控制部>

[0180] 图7是表示显示控制电路100内的驱动控制部110的详细的结构的框图。如图7所示,驱动控制部110包括写入行计数器111、补偿对象行地址存储器112、匹配电路113、匹配计数器114、状态机115、图像数据/源极控制信号生成电路116和栅极控制信号生成电路117。另外,在本实施方式中,由写入行计数器111实现时钟计数器,由补偿对象行地址存储器112实现测定对象地址值存储部,由匹配电路113实现一致判定电路,由匹配计数器114实

现灰度等级识别计数器。

[0181] 图8是表示写入行计数器111的结构框图。如图8所示,写入行计数器111由对从栅极控制信号生成电路117输出的时钟信号CLK1的时钟脉冲的数量进行计数的第一计数器1111、对从栅极控制信号生成电路117输出的时钟信号CLK2的时钟脉冲的数量进行计数的第二计数器1112和将表示第一计数器1111的输出值与第二计数器1112的输出值的和的值作为计数值CntWL输出的加法运算器1113构成。

[0182] 图9是用于对在本实施方式中使用的计数器(第一计数器1111、第二计数器1112)的结构进行说明的框图。在此,为方便起见,列举4比特的计数器为例进行说明。该计数器由相互串联连接的4个D型触发器FF(0)~FF(3)构成。从D型触发器FF(0)输出表示4比特中的最下位比特的OUT\_0,从D型触发器FF(3)输出表示4比特中的最上位比特的OUT\_3。另外,实际上例如使用10比特的计数器。即,随着写入控制线G1\_WL的条数变多而使触发器的连接数变多即可。

[0183] 图10是表示1个D型触发器FF的图。D型触发器FF将表示时钟信号CLK的上升时刻的输入信号D的逻辑值的值作为Q输出,将使Q反转而得到的值作为QB输出。D型触发器FF这样进行动作,因此,当如图11所示构成为提供QB作为输入信号D时,除了时钟信号CLK的最初的上升时刻以外,每当时钟信号CLK上升(每当时钟信号CLK的逻辑值从0变化为1)时,Q的值反转。

[0184] 对于第一计数器1111,时钟信号CLK1被提供给触发器FF(0)。在此,当考虑上述情况时,在图9所示的结构中,触发器FF(0)每当时钟信号CLK1的逻辑值从0变化为1时,使OUT\_0的值反转。此外,触发器FF(1)每当OUT\_0的逻辑值从1变化为0时,使OUT\_1的值反转。另外,触发器FF(2)每当OUT\_1的逻辑值从1变化为0时,使OUT\_2的值反转。另外,触发器FF(3)每当OUT\_2的逻辑值从1变化为0时,使OUT\_3的值反转。另外,在通常动作期间中,时钟信号CLK1和时钟信号CLK2如图12所示那样变化。根据以上说明,在第一计数器1111中,OUT\_1~OUT\_4在启动脉冲信号GSP的脉冲产生后,基于时钟信号CLK1如图13所示那样变化。此外,从图12可知,时钟信号CLK1与时钟信号CLK2的相位相差180度。因此,在第二计数器1112中,OUT\_1~OUT\_4的值在启动脉冲信号GSP的脉冲产生后,基于时钟信号CLK2如图14所示那样变化。

[0185] 从图13和图14可知,在启动脉冲信号GSP的脉冲产生后,在时钟信号CLK1最初上升后的时刻,从写入行计数器111输出的计数值CntWL成为0。然后,每当时钟信号CLK1和时钟信号CLK2中的任一个上升时,计数值CntWL增加1。另外,D型触发器FF(0)~FF(3)基于清除信号CLR被初始化。换言之,从写入行计数器111输出的计数值CntWL基于清除信号CLR被设为0。

[0186] 关于图7,在补偿对象行地址存储器112中,存储有表示接下来要进行驱动电流的测定的行(补偿对象行)的地址(以下,称为“补偿对象行地址”)Addr。存储在补偿对象行地址存储器112中的补偿对象行地址Addr,根据从状态机115输出的重写信号WE被重写。另外,在本说明书中,假设表示补偿对象行为第几行的数值被定为补偿对象行地址Addr来进行说明。例如,如果第五行为补偿对象行,则补偿对象行地址为5。

[0187] 匹配电路113对从写入行计数器111输出的计数值CntWL与存储在补偿对象行地址存储器112中的补偿对象行地址Addr是否一致进行判定,并输出表示其判定结果的匹配信号MS。另外,计数值CntWL与补偿对象行地址Addr由相同的比特数表示。在本实施方式中,当

计数值CntWL与补偿对象行地址Addr一致时,匹配信号MS为高电平,当两者不一致时,匹配信号MS为低电平。从匹配电路113输出的匹配信号MS被提供给状态机115和匹配计数器114。

[0188] 图15是表示本实施方式中的匹配电路113的结构逻辑电路图。该匹配电路113由4个EXOR电路(“异或”电路)71(1)~71(4)、4个反相器(“非”电路)72(1)~72(4)和1个AND电路(“与”电路)73构成。EXOR电路71(1)~71(4)与反相器72(1)~72(4)一对一地对应。各EXOR电路71的一个输入端子,被提供表示存储在补偿对象行地址存储器112中的补偿对象行地址Addr的4比特数据中的1比特数据作为第一输入数据IN(a)。各EXOR电路71的另一个输入端子,被提供从写入行计数器111输出的4比特数据(计数值CntWL)中的1比特数据作为第二输入数据IN(b)。各EXOR电路71输出表示第一输入数据IN(a)的逻辑值与第二输入数据IN(b)的逻辑值的“异或”的值作为第一输出数据OUT(c)。各反相器72的输入端子,被提供从对应的EXOR电路71输出的第一输出数据OUT(c)。各反相器72输出使第一输出数据OUT(c)的逻辑值反转后的值(即,表示第一输出数据OUT(c)的逻辑值的“非”的值)作为第二输出数据OUT(d)。AND电路73输出表示从反相器72(1)~72(4)输出的4个第二输出数据OUT(d)的“与”的值作为匹配信号MS。另外,在此列举了对4比特的数据进行比较的例子,但是,实际上例如为了对10比特的数据进行比较,EXOR电路71和反相器72各设置10个。即,随着写入控制线G1\_WL的条数变多,使EXOR电路71和反相器72的数量变多即可。

[0189] 另外,在输入至AND电路73的数据的数量多的情况下,例如可以如图16所示,代替1个AND电路73,设置多个AND电路731和1个AND电路732,其中,该多个AND电路731输出表示从多个反相器72输出的第二输出数据OUT(d)的“与”的值,该1个AND电路732输出表示从该多个AND电路731输出的值的“与”的值。

[0190] 图17是表示着眼于图15所示的匹配电路113的1比特量的结构时的真值表的图。当“第一输入数据IN(a)的值为0且第二输入数据IN(b)的值为0”时,第一输出数据OUT(c)的值为0,第二输出数据OUT(d)的值为1。当“第一输入数据IN(a)的值为1且第二输入数据IN(b)的值为0”时,第一输出数据OUT(c)的值为1,第二输出数据OUT(d)的值为0。当“第一输入数据IN(a)的值为0且第二输入数据IN(b)的值为1”时,第一输出数据OUT(c)的值为1,第二输出数据OUT(d)的值为0。当“第一输入数据IN(a)的值为1且第二输入数据IN(b)的值为1”时,第一输出数据OUT(c)的值为0,第二输出数据OUT(d)的值为1。

[0191] 例如,当存储在补偿对象行地址存储器112中的4比特的数据(补偿对象行地址Addr)为“a1=0,a2=1,a3=0,a4=0”且从写入行计数器111输出的4比特的数据(计数值CntWL)为“b1=0,b2=1,b3=0,b4=0”时,从EXOR电路71(1)~71(4)输出的第一输出数据OUT(c)的值全部为0,从反相器72(1)~72(4)输出的第二输出数据OUT(d)的值全部为1。其结果,匹配信号MS成为高电平。此外,例如,当存储在补偿对象行地址存储器112中的4比特的数据(补偿对象行地址Addr)为“a1=0,a2=1,a3=0,a4=1”且从写入行计数器111输出的4比特的数据(计数值CntWL)为“b1=0,b2=1,b3=0,b4=0”时,从EXOR电路71(1)~71(3)输出的第一输出数据OUT(c)的值为0,从EXOR电路71(4)输出的第一输出数据OUT(c)的值为1。由此,从反相器72(1)~72(3)输出的第二输出数据OUT(d)的值成为1,从反相器72(4)输出的第二输出数据OUT(d)的值成为0。其结果,匹配信号MS成为低电平。如以上那样,当补偿对象行地址Addr与计数值CntWL一致时,从匹配电路113输出的匹配信号MS成为高电平,当补偿对象行地址Addr与计数值CntWL不一致时,从匹配电路113输出的匹配信号MS成

为低电平。

[0192] 在本实施方式中,在启动脉冲信号GSP的脉冲产生后,写入控制线G1\_WL基于时钟信号CLK1、CLK2依次成为选择状态。此外,从写入行计数器111输出的计数值CntWL基于时钟信号CLK1、CLK2每次增加1。因此,计数值CntWL表示要成为选择状态的写入控制线G1\_WL的行的值。例如,当在某个时刻tx时钟信号CLK1上升,计数值CntWL成为50时,从该时刻tx起1水平扫描期间,第50行的写入控制线G1\_WL(50)成为选择状态。此外,因为表示补偿对象行的补偿对象行地址Addr存储在补偿对象行地址存储器112中,所以,计数值CntWL与补偿对象行地址Addr一致的時刻成为特性检测处理期间的开始時刻。

[0193] 关于图7,匹配计数器114输出计数值CntM。该计数值CntM在被初始化后(被设为0后),每当匹配信号MS从低电平变化为高电平时增加1。此外,从匹配计数器114输出灰度等级位置指示信号PS,该灰度等级位置指示信号PS用于识别是基于第一灰度等级P1进行了驱动电流的测定还是基于第二灰度等级P2进行了驱动电流的测定。另外,匹配计数器114基于从状态机输出的清除信号CLR2被初始化。

[0194] 状态机115基于匹配信号MS输出控制信号S1、控制信号S2和监视启用信号Moni\_EN。此外,状态机115输出用于将写入行计数器111初始化的清除信号CLR和用于将匹配计数器114初始化的清除信号CLR2。另外,状态机115输出用于对存储在补偿对象行地址存储器112中的补偿对象行地址Addr进行更新的重写信号WE。

[0195] 图像数据/源极控制信号生成电路116基于从状态机115提供的控制信号S1,输出源极控制信号SCTL和数据信号DA。另外,控制信号S1例如包括指示补偿处理(用于对驱动晶体管的特性的偏差进行补偿的一系列处理)开始的信号。栅极控制信号生成电路117基于从状态机115提供的控制信号S2,输出写入控制信号WCTL和监视控制信号MCTL。另外,控制信号S2例如包括控制时钟信号CLK1~CLK4的时钟动作的信号和指示启动脉冲信号GSP、MSP的脉冲的输出的信号。

[0196] <3.2灰度等级修正部>

[0197] 灰度等级修正部130将保持在修正数据计算/存储部120中的修正数据DH(偏置值和增益值)读出,进行从驱动控制部110输出的数据信号DA的修正。然后,灰度等级修正部130将通过修正得到的数据(相当于要被写入像素电路50的数据电压的数据)作为数字视频信号DV输出。从灰度等级修正部130输出的数字视频信号DV被发送至数据线驱动/电流测定电路200。

[0198] <3.3修正数据计算/存储部>

[0199] 图18是表示显示控制电路100内的修正数据计算/存储部120的详细的结构的框图。如图18所示,修正数据计算/存储部120包括AD转换器121、修正运算电路122、非易失性存储器123和缓冲存储器124。AD转换器121将从数据线驱动/电流测定电路200输出的监视电压Vmo(模拟电压)转换为数字信号Dmo。修正运算电路122基于数字信号Dmo求取用于在灰度等级修正部130的修正中使用的修正数据(偏置值和增益值)。此时,为了判断从AD转换器121输出的数字信号Dmo是基于第一灰度等级P1的数据还是基于第二灰度等级P2的数据,参照从匹配计数器114输出的灰度等级位置信号PS。由修正运算电路122求得的修正数据DH被保持在非易失性存储器123中。详细而言,在非易失性存储器123中,按每个像素电路50保持偏置值和增益值。在由灰度等级修正部130进行数据信号DA的修正时,使用从非易失性存储

器123临时读出至缓冲存储器124的修正数据DH。

[0200] <4. 写入控制线驱动电路的结构>

[0201] 图19是表示本实施方式中的写入控制线驱动电路300的结构框图。该写入控制线驱动电路300使用移位寄存器3实现。移位寄存器3的各级以与显示部500内的各写入控制线G1\_WL一对一地对应的方式设置。即,在本实施方式中,写入控制线驱动电路300包括由1080级构成的移位寄存器3。另外,在图19中仅表示出了构成1080级中的从第(i-1)级至第(i+1)级的单位电路30(i-1)~30(i+1)。为了说明方便起见,假定i为偶数。在移位寄存器3的各级(各单位电路),设置有用于接收时钟信号VCLK的输入端子、用于接收置位信号S的输入端子、用于接收复位信号R的输入端子和用于输出表示各级的内部状态的状态信号Q的输出端子。图9~图11中的符号Q与图19中的符号Q没有任何关系。另外,在本实施方式中,第一移位寄存器由移位寄存器3实现,第一单位电路由单位电路30实现。

[0202] 关于图19,被提供给移位寄存器3的各级(各单位电路)的输入端子的信号如下所述。对第奇数级,提供时钟信号CLK1作为时钟信号VCLK,对第偶数级,提供时钟信号CLK2作为时钟信号VCLK。此外,对任意级,提供从前级(前一级)输出的状态信号Q作为置位信号S,提供从次级(后一级)输出的状态信号Q作为复位信号R。但是,对第1级(在图19中未图示),提供启动脉冲信号GSP作为置位信号S。另外,对所有的单位电路30共用地提供低电平电源电压VSS(在图19中未图示)。从移位寄存器3的各级输出状态信号Q。从各级输出的状态信号Q向对应的写入控制线G1\_WL输出,并且被作为复位信号R提供给前级,被作为置位信号S提供给次级。

[0203] 图20是表示构成写入控制线驱动电路300的移位寄存器3内的单位电路30的结构(移位寄存器3的1级的量的结构)的电路图。如图20所示,单位电路30包括4个晶体管T31~T34。此外,单位电路30除了低电平电源电压VSS用的输入端子以外还具有3个输入端子31~33和1个输出端子38。在此,对接收置位信号S的输入端子赋予符号31,对接收复位信号R的输入端子赋予符号32,对接收时钟信号VCLK的输入端子赋予符号33。此外,对输出状态信号Q的输出端子赋予符号38。在晶体管T32的栅极端子-漏极端子间形成有寄生电容Cgd,在晶体管T32的栅极端子-源极端子间形成有寄生电容Cgs。晶体管T31的源极端子、晶体管T32的栅极端子和晶体管T34的漏极端子相互连接。另外,以下将它们相互连接的区域(配线)称为“第一节点”。对第一节点赋予符号N1。

[0204] 晶体管T31的栅极端子和漏极端子与输入端子31连接(即,成为二极管连接),源极端子与第一节点N1连接。晶体管T32的栅极端子与第一节点N1连接,漏极端子与输入端子33连接,源极端子与输出端子38连接。晶体管T33的栅极端子与输入端子32连接,漏极端子与输出端子38连接,源极端子与低电平电源电压VSS用的输入端子连接。晶体管T34的栅极端子与输入端子32连接,漏极端子与第一节点N1连接,源极端子与低电平电源电压VSS用的输入端子连接。

[0205] 接着,对各构成要素的该单位电路30的功能进行说明。晶体管T31在置位信号S成为高电平时使第一节点N1的电位向高电平变化。晶体管T32在第一节点N1的电位成为高电平时将时钟信号VCLK的电位提供给输出端子38。晶体管T33在复位信号R成为高电平时使输出端子38的电位向低电平电源电压VSS的电位变化。晶体管T34在复位信号R成为高电平时使第一节点N1的电位向低电平电源电压VSS的电位变化。

[0206] 另外,关于单位电路30,在本实施方式中,第一输出端子由输出端子38实现,第一晶体管由晶体管T31实现,第二晶体管由晶体管T32实现,第三晶体管由晶体管T33实现,第四晶体管由晶体管T34实现,控制时钟信号由时钟信号VCLK实现。

[0207] 参照图20和图21对单位电路30的基本动作进行说明。被作为时钟信号VCLK提供给单位电路30的时钟信号CLK1、CLK2的波形如图12所示(但是,特性检测处理期间除外)。如图21所示,在时刻t20以前的期间,第一节点N1的电位和状态信号Q的电位(输出端子38的电位)成为低电平。此外,输入端子33每隔规定期间被提供成为高电平的时钟信号VCLK。另外,关于图21,虽然实际的波形会产生一些延迟,但是在此表示出理想的波形。

[0208] 当到达时刻t20时,输入端子31被提供置位信号S的脉冲。晶体管T31如图20所示成为二极管连接,因此,通过该置位信号S的脉冲,晶体管T31成为导通状态。由此,第一节点N1的电位上升。

[0209] 当到达时刻t21时,时钟信号VCLK从低电平变化至高电平。此时,因为复位信号R成为低电平,所以晶体管T34成为截止状态。因此,第一节点N1成为浮置状态。如上所述,在晶体管T32的栅极端子-漏极端子间形成有寄生电容Cgd,在晶体管T32的栅极端子-源极端子间形成有寄生电容Cgs。因此,由于自举效应,第一节点N1的电位大幅上升。其结果,晶体管T32被施加大的电压。由此,状态信号Q的电位(输出端子38的电位)上升至时钟信号VCLK的高电平的电位。另外,在时刻t21~时刻t22的期间中,复位信号R成为低电平。因此,晶体管T33被维持在截止状态,因此,在该期间中状态信号Q的电位不降低。

[0210] 当到达时刻t22时,时钟信号VCLK从高电平变化至低电平。由此,与输入端子33的电位降低的同时,状态信号Q的电位降低,进一步,第一节点N1的电位通过寄生电容Cgd、Cgs也降低。此外,在时刻t22,输入端子32被提供复位信号R的脉冲。由此,晶体管T33和晶体管T34成为导通状态。通过晶体管T33成为导通状态,状态信号Q的电位降低至低电平,通过晶体管T34成为导通状态,第一节点N1的电位降低至低电平。

[0211] 考虑到上述那样的单位电路30的动作和图19所示的移位寄存器3的结构,可知在通常动作期间进行以下那样的动作。当移位寄存器3的第1级被提供作为置位信号S的启动脉冲信号GSP的脉冲时,基于时钟信号CLK1、CLK2,从各级输出的状态信号Q中包含的移位脉冲被从第0级依次向后续的级转送。此外,从各级输出的状态信号Q被向对应的写入控制线G1\_WL输出。因此,根据移位脉冲的转送,写入控制线G1\_WL逐条地依次成为选择状态。这样,在通常动作期间,写入控制线G1\_WL逐条地依次成为选择状态。

[0212] 另外,单位电路30的结构并不限定于图20所示的结构(包括4个晶体管T31~T34的结构)。一般而言,为了实现驱动性能的提高和可靠性的提高,单位电路30包括多于4个的数量的晶体管。在那样的情况下,也能够应用本发明。

[0213] <5. 监视控制线驱动电路的结构>

[0214] 图22是表示本实施方式中的监视控制线驱动电路400的结构的框图。该监视控制线驱动电路400使用移位寄存器4实现。移位寄存器4的各级以与显示部500内的各监视控制线G2\_Moni一对一地对应的方式设置。即,在本实施方式中,监视控制线驱动电路400包括由1080级构成的移位寄存器4。另外,在图22中仅表示出了构成1080级中的从第(i-1)级至第(i+1)级的单位电路40(i-1)~40(i+1)。在移位寄存器4的各级(各单位电路),设置有用于接收时钟信号VCLK的输入端子、用于接收置位信号S的输入端子、用于接收复位信号R的输



入端子、用于输出状态信号Q的输出端子和用于输出输出信号Q2的输出端子。另外,在本实施方式中,第二移位寄存器由移位寄存器4实现,第二单位电路由单位电路40实现。

[0215] 关于图22,被提供给移位寄存器4的各级(各单位电路)的输入端子的信号如下所述。对第奇数级,提供时钟信号CLK3作为时钟信号VCLK,对第偶数级,提供时钟信号CLK4作为时钟信号VCLK。此外,对任意级,提供从前级输出的状态信号Q作为置位信号S,提供从次级输出的状态信号Q作为复位信号R。但是,对第1级(在图22中未图示),提供启动脉冲信号MSP作为置位信号S。另外,对所有的单位电路40共用地提供低电平电源电压VSS(在图22中未图示)。此外,对所有的单位电路40共用地提供监视启用信号Moni\_EN(在图22中未图示)。从移位寄存器4的各级输出状态信号Q和输出信号Q2。从各级输出的状态信号Q被作为复位信号R提供给前级,并且被作为置位信号S提供给次级。从各级输出的输出信号Q2向对应的监视控制线G2\_Moni输出。另外,在通常动作期间中,时钟信号CLK3和时钟信号CLK4如图23所示变化。

[0216] 图24是表示构成写入控制线驱动电路400的移位寄存器4内的单位电路40的结构(移位寄存器4的1级的量的结构)的电路图。如图24所示,单位电路40包括5个晶体管T41~T44、T49。此外,单位电路40除了低电平电源电压VSS用的输入端子以外还具有4个输入端子41~44和2个输出端子48、49。图24中的晶体管T41~T44、输入端子41~43和输出端子48分别相当于图20中的晶体管T31~T34、输入端子31~33和输出端子38。即,单位电路40除以下方面以外与单位电路30结构相同。在单位电路40,在输出端子48之外设置有输出端子49。此外,在单位电路40,设置有漏极端子与输出端子48连接、源极端子与输出端子49连接、且栅极端子被提供监视启用信号Moni\_EN的晶体管T49。另外,与构成写入控制线驱动电路300的移位寄存器3内的单位电路30同样,该单位电路40也不限定于图24所示的结构。

[0217] 另外,关于单位电路40,在本实施方式中,第一输出端子由输出端子48实现,第二输出端子由输出端子49实现,第一晶体管由晶体管T41实现,第二晶体管由晶体管T42实现,第三晶体管由晶体管T43实现,第四晶体管由晶体管T44实现,输出控制晶体管由晶体管T49实现,控制时钟信号由时钟信号VCLK实现。

[0218] 如上所述,除了设置有输出端子49和晶体管T49以外,单位电路40与单位电路30结构相同。此外,移位寄存器4被提供图23所示的波形的时钟信号CLK3、CLK4。根据以上说明,基于时钟信号CLK3、CLK4,从移位寄存器4的各级输出的状态信号Q依次成为高电平。在此,在着眼于任意的单位电路40时,当监视启用信号Moni\_EN成为低电平时,晶体管T49成为截止状态。此时,即使状态信号Q成为高电平,输出信号Q2也维持在低电平。因此,与该单位电路40对应的监视控制线G2\_Moni并不成为选择状态。与此相对,当监视启用信号Moni\_EN成为高电平时,晶体管T49成为导通状态。此时,当状态信号Q成为高电平时,输出信号Q2也成为高电平。由此,与该单位电路40对应的监视控制线G2\_Moni成为选择状态。

[0219] 在此,关于向单位电路40内的晶体管T49提供监视启用信号Moni\_EN的方法,参照图25进行说明。如图25所示,被提供给晶体管T49的监视启用信号Moni\_EN从延迟电路1151输出。该延迟电路1151设置在显示控制电路100的驱动控制部110内的状态机115。当从写入行计数器111输出的计数值CntWL与存储在补偿对象行地址存储器112中的补偿对象行地址Addr一致时,匹配信号MS从低电平变化为高电平。延迟电路1151使匹配信号MS的波形仅延迟1水平扫描期间。由此得到的信号作为监视启用信号Moni\_EN从延迟电路1151被输出。根

据以上说明,从匹配信号MS由低电平变化为高电平的时刻起1水平扫描期间后,被提供给晶体管T49的监视启用信号Moni\_EN成为高电平。

[0220] <6.由显示控制电路进行的控制处理>

[0221] 接着,说明为了使写入控制线驱动电路300和监视控制线驱动电路400进行期望的动作而由显示控制电路100进行的控制处理。在各帧,在监视启用信号Moni\_EN已成为低电平、在补偿对象行地址存储器112已设定了表示补偿对象行的补偿对象行地址Addr、并且写入行计数器111已被初始化的状态下,输出指示写入控制线驱动电路300的动作开始的启动脉冲信号GSP的脉冲。此外,在输出启动脉冲信号GSP的脉冲后1水平扫描期间后,输出指示监视控制线驱动电路400的动作开始的启动脉冲信号MSP的脉冲。在启动脉冲信号GSP的脉冲输出后,基于时钟信号CLK1、CLK2,计数值CntWL增加。

[0222] 如上所述,匹配电路113对从写入行计数器111输出的计数值CntWL与存储在补偿对象行地址存储器112的补偿对象行地址Addr是否一致进行判定。然后,在计数值CntWL与补偿对象行地址Addr一致时,提供给状态机115的匹配信号MS从低电平变化为高电平。此时,通过状态机115进行以下那样的控制。另外,计数值CntWL与补偿对象行地址Addr一致的时刻,成为特性检测处理期间的开始时刻。

[0223] (a)对时钟信号CLK1、CLK2的控制

[0224] 在计数值CntWL与补偿对象行地址Addr一致的时刻的1水平扫描期间后,时钟信号CLK1和时钟信号CLK2两者成为低电平。然后,在整个电流测定期间,由时钟信号CLK1、CLK2进行的时钟动作成为停止状态。在电流测定期间结束后,时钟信号CLK1、CLK2的状态返回至电流测定期间刚要开始前的状态。

[0225] (b)对时钟信号CLK3、CLK4的控制

[0226] 在计数值CntWL与补偿对象行地址Addr一致的时刻的1水平扫描期间后,时钟信号CLK3和时钟信号CLK4两者与通常同样地变化。然后,在整个电流测定期间,由时钟信号CLK3、CLK4进行的时钟动作成为停止状态。在电流测定期间结束后,由时钟信号CLK3、CLK4进行的时钟动作再次开始。

[0227] (c)对监视启用信号Moni\_EN的控制

[0228] 在计数值CntWL与补偿对象行地址Addr一致的时刻的1水平扫描期间后,监视启用信号Moni\_EN成为高电平。然后,在整个电流测定期间,监视启用信号Moni\_EN被维持在高电平。在电流测定期间结束后,监视启用信号Moni\_EN成为低电平。

[0229] 换言之,由显示控制电路100内的驱动控制部110进行以下那样的控制处理。驱动控制部110控制时钟信号CLK1、CLK2,使得:在电流测定期间的开始时刻和结束时刻,仅2个时钟信号CLK1、CLK2中被提供给与补偿对象行对应的单位电路30的时钟信号的电位变化,并且,在整个电流测定期间,由时钟信号CLK1、CLK2进行的时钟动作停止。此外,驱动控制部110控制时钟信号CLK3、CLK4,使得:在时钟信号CLK3、CLK4的电位在电流测定期间的开始时刻变化之后,在整个电流测定期间,由时钟信号CLK3、CLK4进行的时钟动作停止。另外,驱动控制部110仅在电流测定期间使监视启用信号Moni\_EN为有效。

[0230] <7.写入控制线驱动电路的动作>

[0231] 根据显示控制电路100中的上述的控制处理的内容,对特性检测处理期间附近的写入控制线驱动电路300的动作进行说明。图26是用于对写入控制线驱动电路300的动作进

行说明的时序图。另外,假定第 $n$ 行被定为补偿对象行。

[0232] 当到达时刻 $t_1$ 时,第 $(n-1)$ 行的写入控制线 $G1\_WL(n-1)$ 成为选择状态。由此,在第 $(n-1)$ 行进行通常的数据写入。此外,通过第 $(n-1)$ 行的写入控制线 $G1\_WL(n-1)$ 成为选择状态,在移位寄存器3内的第 $n$ 级的单位电路30 $(n)$ ,第一节点 $N1(n)$ 的电位上升。另外,至紧挨时刻 $t_2$ 之前的时刻为止,补偿对象行地址 $Addr$ 与计数值 $CntWL$ 并不一致。

[0233] 当到达时刻 $t_2$ 时,时钟信号 $CLK1$ 上升。由此,在第 $n$ 级的单位电路30 $(n)$ ,第一节点 $N1(n)$ 的电位进一步上升。其结果,第 $n$ 行写入控制线 $G1\_WL(n)$ 成为选择状态。此时,在第 $n$ 行的各像素电路50写入补偿前数据。此外,在时刻 $t_2$ ,第 $n$ 行写入控制线 $G1\_WL(n)$ 成为选择状态,由此,在移位寄存器3内的第 $(n+1)$ 级的单位电路30 $(n+1)$ ,第一节点 $N1(n+1)$ 的电位上升。

[0234] 在时刻 $t_2$ ,时钟信号 $CLK1$ 上升,由此,补偿对象行地址 $Addr$ 与计数值 $CntWL$ 一致。由此,显示控制电路100在从时刻 $t_2$ 起1水平扫描期间后的时刻 $t_3$ 使时钟信号 $CLK1$ 下降,然后,至电流测定期间的结束时刻(时刻 $t_4$ )为止,使由时钟信号 $CLK1$ 、 $CLK2$ 进行的时钟动作停止。即,在时刻 $t_3$ ~时刻 $t_4$ 的期间中,时钟信号 $CLK1$ 和时钟信号 $CLK2$ 被维持在低电平。

[0235] 另外,在时刻 $t_3$ ,由于时钟信号 $CLK1$ 下降,在第 $n$ 级的单位电路30 $(n)$ ,第一节点 $N1(n)$ 的电位降低。此外,在时刻 $t_3$ ,时钟信号 $CLK2$ 不上升,因此,第 $(n+1)$ 行写入控制线 $G1\_WL(n+1)$ 不成为选择状态。因此,第 $n$ 级的单位电路30 $(n)$ 不被输入高电平的复位信号 $R$ 。因此,紧挨时刻 $t_3$ 之后的时刻的第 $n$ 级的单位电路30 $(n)$ 内的第一节点 $N1(n)$ 的电位,与紧挨时刻 $t_2$ 之前的时刻的电位大致相等。

[0236] 在时刻 $t_3$ ~时刻 $t_4$ 的期间(电流测定期间),进行用于检测驱动晶体管的特性的驱动电流的测定。在该电流测定期间,由时钟信号 $CLK1$ 、 $CLK2$ 进行的时钟动作停止。因此,在电流测定期间中,第 $n$ 级的单位电路30 $(n)$ 内的第一节点 $N1(n)$ 的电位被维持。

[0237] 当到达作为电流测定期间的结束时刻的时刻 $t_4$ 时,显示控制电路100使由时钟信号 $CLK1$ 、 $CLK2$ 进行的时钟动作再次开始。此时,使时钟信号 $CLK1$ 和时钟信号 $CLK2$ 中在电流测定期间的开始时刻(时刻 $t_3$ )下降的时钟信号(在图26所示的例子中为时钟信号 $CLK1$ )上升。这样在时刻 $t_4$ 时钟信号 $CLK1$ 上升,因此,在第 $n$ 级的单位电路30 $(n)$ ,第一节点 $N1(n)$ 的电位上升。其结果,第 $n$ 行写入控制线 $G1\_WL(n)$ 成为选择状态。此时,在第 $n$ 行的各像素电路50被写入补偿后数据。

[0238] 当到达时刻 $t_5$ 时,时钟信号 $CLK1$ 下降,时钟信号 $CLK2$ 上升。在该时刻 $t_5$ 以后的期间,写入控制线 $G1\_WL$ 逐行地成为选择状态。由此,逐行地进行通常的数据写入。

[0239] <8. 监视控制线驱动电路的动作>

[0240] 根据显示控制电路100中的上述的控制处理的内容,对特性检测处理期间附近的监视控制线驱动电路400的动作进行说明。图27是用于对监视控制线驱动电路400的动作进行说明的时序图。另外,在此也假定第 $n$ 行被定为补偿对象行。

[0241] 在监视控制线驱动电路400中,基于时钟信号 $CLK3$ 和时钟信号 $CLK4$ ,从移位寄存器4内的各单位电路40输出的状态信号 $Q$ 按每1水平扫描期间依次成为高电平。例如,在时刻 $t_1$ ~时刻 $t_2$ 的期间,从第 $(n-2)$ 级的单位电路40 $(n-2)$ 输出的状态信号 $Q(n-2)$ 成为高电平,在时刻 $t_2$ ~时刻 $t_3$ 的期间,从第 $(n-1)$ 级的单位电路40 $(n-1)$ 输出的状态信号 $Q(n-1)$ 成为高电平。但是,在紧挨时刻 $t_3$ 之前的时刻以前的期间,监视启用信号 $Moni\_EN$ 成为低电平,因此,

第(n-2)行监视控制线G2\_Moni (n-2) 和第(n-1)行监视控制线G2\_Moni (n-1) 不成为选择状态。

[0242] 当到达时刻t<sub>2</sub>时, 补偿对象行地址Addr与计数值CntWL一致。由此, 显示控制电路100在从时刻t<sub>2</sub>起1水平扫描期间后的时刻t<sub>3</sub>, 使监视启用信号Moni\_EN从低电平变化至高电平。其结果, 在时刻t<sub>3</sub>, 所有的单位电路40内的晶体管T49成为导通状态。此外, 在时刻t<sub>3</sub>, 从第n级的单位电路40(n)输出的状态信号Q(n)成为高电平。根据以上说明, 从第n级的单位电路40(n)输出的输出信号Q2(n)成为高电平, 第n行监视控制线G2\_Moni(n)成为选择状态。

[0243] 此外, 显示控制电路100在时刻t<sub>3</sub>使时钟信号CLK3和时钟信号CLK4的值变化之后, 在整个电流测定期间(时刻t<sub>3</sub>~时刻t<sub>4</sub>的期间), 使由时钟信号CLK3、CLK4进行的时钟动作停止。在图27所示的例子中, 在时刻t<sub>3</sub>, 时钟信号CLK3从低电平变化至高电平, 时钟信号CLK4从高电平变化至低电平, 因此, 在电流测定期间中, 时钟信号CLK3被维持在高电平, 时钟信号CLK4被维持在低电平。这样由时钟信号CLK3、CLK4进行的时钟动作停止, 因此, 在整个电流测定期间, 第n行的监视控制线G2\_Moni(n)被维持在选择状态。

[0244] 当到达作为电流测定期间的结束时刻的时刻t<sub>4</sub>时, 显示控制电路100使监视启用信号Moni\_EN从高电平变化至低电平, 并且使由时钟信号CLK3、CLK4进行的时钟动作再次开始。在时刻t<sub>4</sub>~时刻t<sub>5</sub>的期间从第(n+1)级的单位电路40(n+1)输出的状态信号Q(n+1)成为高电平, 但是监视启用信号Moni\_EN成为低电平, 因此, 第(n+1)行监视控制线G2\_Moni(n+1)不成为选择状态。同样, 在时刻t<sub>5</sub>以后的期间, 任一监视控制线G2\_Moni均不成为选择状态。

[0245] <9. 像素电路的动作>

[0246] 根据关于写入控制线驱动电路300和监视控制线驱动电路400的上述的动作, 对补偿对象行中包含的像素电路50的特性检测处理期间中的动作进行说明。图28是用于对像素电路50的动作进行说明的时序图。另外, 在此也假定第n行被定为补偿对象行。

[0247] 当到达时刻t<sub>2</sub>时, 写入控制线G1\_WL(n)成为选择状态。由此, 晶体管T1成为导通状态。此时, 从数据线驱动电路210向数据线DL供给补偿前数据。因此, 如在图29中用符号75表示的箭头那样, 从数据线DL向像素电路50内供给电流。由此, 电容器Cst基于补偿前数据被充电, 晶体管T2成为导通状态。此外, 在时刻t<sub>3</sub>以前的期间, 监视控制线G2\_Moni(n)成为非选择状态, 因此, 晶体管T3被维持在截止状态。根据以上说明, 在时刻t<sub>2</sub>~时刻t<sub>3</sub>的期间(补偿前数据写入期间), 如在图29中用符号76表示的箭头那样, 经晶体管T2向有机EL元件OLED供给驱动电流。由此, 有机EL元件OLED以与驱动电流相应的亮度发光。另外, 例如, 在奇数帧, 基于第一灰度等级P1的数据被作为补偿前数据, 在偶数帧, 基于第二灰度等级P2的数据被作为补偿前数据。

[0248] 当到达时刻t<sub>3</sub>时, 写入控制线G1\_WL(n)成为非选择状态。由此, 晶体管T1成为截止状态。此外, 在时刻t<sub>3</sub>, 监视启用信号Moni\_EN成为高电平, 因此, 基于从移位寄存器4的第n级的单位电路40(n)输出的输出信号Q2(n), 监视控制线G2\_Moni(n)成为选择状态。由此, 晶体管T3成为导通状态。其结果, 如在图30中用符号77表示的箭头那样, 经晶体管T3向数据线DL输出驱动电流。然后, 由电流测定电路220进行该驱动电流的测定。

[0249] 当到达时刻t<sub>4</sub>时, 写入控制线G1\_WL(n)再次成为选择状态。由此, 晶体管T1成为导通状态。此外, 在时刻t<sub>4</sub>, 监视控制线G2\_Moni(n)成为非选择状态。由此, 晶体管T3成为截止状态。此时, 从数据线驱动电路210向数据线DL供给补偿后数据。因此, 如在图29中用符号75

表示的箭头那样,从数据线DL向像素电路50内供给电流。由此,电容器Cst基于补偿后数据被充电,晶体管T2成为导通状态。根据以上说明,在时刻t4~时刻t5的期间(补偿后数据写入期间),如在图29中用符号76表示的箭头那样,经晶体管T2向有机EL元件OLED供给驱动电流。由此,有机EL元件OLED以与驱动电流相应的亮度发光。

[0250] <10.具体的动作例>

[0251] 接着,参照图1对假定第四行被定为补偿对象行的情况下的动作进行说明。另外,在图1中,时刻t16~时刻t19的期间为特性检测处理期间,时刻t17~时刻t18的期间为电流测定期间。因为第四行为补偿对象行,所以存储在补偿对象行地址存储器112中的补偿对象行地址Addr为4。

[0252] 在时刻t11产生启动脉冲信号GSP的脉冲,在时刻t12产生启动脉冲信号MSP的脉冲。当在时刻t12时钟信号CLK1上升时,计数值CntWL成为0,当在时刻t13时钟信号CLK2上升时,计数值CntWL成为1。这样,至到达时刻t16为止,补偿对象行地址Addr与计数值CntWL不一致。因此,在时刻t16以前的期间,逐行地进行通常的数据写入。

[0253] 当到达时刻t16而时钟信号CLK1上升时,计数值CntWL成为4。即,在时刻t16,补偿对象行地址Addr与计数值CntWL一致。此时,第四行写入控制线G1\_WL(4)成为选择状态,在第四行像素电路50写入补偿前数据。

[0254] 在时刻t17,时钟信号CLK1从高电平变化至低电平。由此,第四行写入控制线G1\_WL(4)成为非选择状态。此外,时钟信号CLK3从低电平变化至高电平,时钟信号CLK4从高电平变化至低电平。另外,监视启用信号Moni\_EN从低电平变化至高电平,第四行监视控制线G2\_Moni(4)成为选择状态。由此,在时刻t17~时刻t18的期间,进行驱动电流的测定。

[0255] 当到达作为电流测定期间的结束时刻的时刻t18时,时钟信号CLK3从高电平变化至低电平,时钟信号CLK4从低电平变化至高电平。此外,监视启用信号Moni\_EN从高电平变化至低电平,第四行的监视控制线G2\_Moni(4)成为非选择状态。另外,在时刻t18,时钟信号CLK1从低电平变化至高电平。由此,第四行写入控制线G1\_WL(4)再次成为选择状态。此时,在第四行像素电路50写入补偿后数据。在时刻t19以后的期间,逐行地进行通常的数据写入。

[0256] <11.特性检测处理>

[0257] 图31是表示特性检测处理(用于检测驱动晶体管的特性的一系列处理)用的控制步骤的流程图。另外,假定写入行计数器111和匹配计数器114预先被初始化,存储在补偿对象行地址存储器112中的补偿对象行地址Addr的值为表示补偿对象行的值。

[0258] 特性检测处理开始后,每当产生时钟信号CLK1或时钟信号CLK2的时钟脉冲时,1条写入控制线G1\_WL作为扫描对象被选择(步骤S100)。然后,进行存储在补偿对象行地址存储器112中的补偿对象行地址Addr与从写入行计数器111输出的计数值CntWL是否一致的判定(步骤S110)。其结果,如果两者一致,则处理前进至步骤S120,如果两者不一致,则处理前进至步骤S112。在步骤S112中,进行扫描对象是否是最终行的写入控制线的判定。其结果,如果扫描对象是最终行的写入控制线,则处理前进至步骤S150,如果扫描对象不是最终行的写入控制线,则处理返回至步骤S100。另外,在处理前进至步骤S112时,进行通常的数据写入。

[0259] 在步骤S120中,将计数值CntM加上1。然后,进行计数值CntM是1还是2的判定(步骤

S130)。其结果,如果计数值CntM为1,则处理前进至步骤S132,如果计数值CntM为2,则处理前进至步骤S134。在步骤S132中,进行基于第一灰度等级P1的驱动电流的测定。在步骤S134中,进行基于第二灰度等级P2的驱动电流的测定。

[0260] 在步骤S132或步骤S134结束后,进行扫描对象是否是最终行的写入控制线的判定(步骤S140)。其结果,如果扫描对象是最终行的写入控制线,则处理前进至步骤S150,如果扫描对象不是最终行的写入控制线,则处理返回至步骤S100。

[0261] 在步骤S150中,计数值CntWL被初始化。然后,进行是否满足“计数值CntM为1并且补偿对象行地址Addr的值为表示最终行的值WL\_Max以下”的条件的判定(步骤S160)。其结果,如果满足该条件,则处理前进至步骤S162,如果不满足该条件,则处理前进至步骤S164。

[0262] 在步骤S162中,在补偿对象行地址存储器112内的补偿对象行地址Addr代入相同的值。另外,该步骤S162并非必须设置。在步骤S164中,进行是否满足“计数值CntM为2并且补偿对象行地址Addr的值为表示最终行的值WL\_Max以下”的条件的判定。其结果,如果满足该条件,则处理前进至步骤S166,如果不满足该条件,则处理前进至步骤S170。在步骤S166中,将补偿对象行地址Addr加上1。在步骤S168中,计数值CntM被初始化。

[0263] 在步骤S170中,进行是否满足“补偿对象行地址Addr的值等于通过将表示最终行的值WL\_Max加上1而得到的值”的条件的判定。其结果,如果满足该条件,则处理前进至步骤S180,如果不满足该条件,则处理返回至步骤S100。在步骤S180中,补偿对象行地址Addr被初始化。如以上那样,对显示部500内的所有驱动晶体管的1次特性检测处理结束。

[0264] <12. 补偿处理>

[0265] 图32是用于说明着眼于1个像素(i行j列的像素)时的补偿处理(用于对驱动晶体管的特性的偏差进行补偿的一系列处理)的步骤的流程图。首先,如上述那样,在特性检测处理期间进行驱动电流的测定(步骤S200)。驱动电流的测定基于2种灰度等级(第一灰度等级P1和第二灰度等级P2:P2>P1)进行。在本实施方式中,在连续的2帧,在第1帧进行基于第一灰度等级P1的驱动电流的测定,在第2帧进行基于第二灰度等级P2的驱动电流的测定。更详细而言,在第1帧,进行通过将利用下式(1)计算出的第一测定用灰度等级电压V<sub>mp1</sub>写入像素电路50而得到的驱动电流的测定,在第2帧,进行通过将利用下式(2)计算出的第二测定用灰度等级电压V<sub>mp2</sub>写入像素电路50而得到的驱动电流的测定。

[0266]  $V_{mp1} = V_{cw} \times V_n(P1) \times B(i, j) + V_{th}(i, j) \dots\dots (1)$

[0267]  $V_{mp2} = V_{cw} \times V_n(P2) \times B(i, j) + V_{th}(i, j) \dots\dots (2)$

[0268] 在此,V<sub>cw</sub>是和最小灰度等级对应的灰度等级电压与和最大灰度等级对应的灰度等级电压的差(即,灰度等级电压的范围)。V<sub>n</sub>(P1)是将第一灰度等级P1标准化为0~1的范围的值而得到的值,V<sub>n</sub>(P2)是将第二灰度等级P2标准化为0~1的范围的值而得到的值。B(i, j)是利用下式(3)计算出的i行j列的像素的标准化系数。V<sub>th</sub>(i, j)是i行j列的像素的偏置值(该偏置值相当于驱动晶体管的阈值电压)。

[0269]  $B = \sqrt{\frac{\beta_0}{\beta}} \dots\dots (3)$

[0270] 在此,β<sub>0</sub>是全部像素的增益值的平均值,β是i行j列的像素的增益值。

[0271] 进行基于2种灰度等级的驱动电流的测定后,基于测定值进行偏置值V<sub>th</sub>和增益值β的计算(步骤S210)。该步骤S210的处理由修正运算电路122(参照图18)进行。进行偏置值

$V_{th}$ 和增益值 $\beta$ 的计算时,使用表示晶体管的漏极-源极间电流(驱动电流) $I_{ds}$ 与栅极-源极间电压 $V_{gs}$ 的关系的下式(4)。

$$[0272] \quad I_{ds} = \beta \times (V_{gs} - V_{th})^2 \dots\dots (4)$$

[0273] 具体而言,从将基于第一灰度等级P1的测定结果代入上式(4)得到的式子和将基于第二灰度等级P2的测定结果代入上式(4)得到的式子的联立方程式,得到下式(5)所示的偏置值和下式(6)所示的增益值。

$$[0274] \quad V_{th} = \frac{V_{gs_{p2}} \sqrt{I_{Op1}} - V_{gs_{p1}} \sqrt{I_{Op2}}}{\sqrt{I_{Op1}} - \sqrt{I_{Op2}}} \dots\dots (5)$$

$$[0275] \quad \beta = \frac{(\sqrt{I_{Op1}} - \sqrt{I_{Op2}})^2}{(V_{gs_{p1}} - V_{gs_{p2}})^2} \dots\dots (6)$$

[0276] 在此, $I_{Op1}$ 是作为基于第一灰度等级P1的测定结果的驱动电流, $I_{Op2}$ 是作为基于第二灰度等级P2的测定结果的驱动电流。

[0277] 使用如以上那样计算出的偏置值 $V_{th}$ 和增益值 $\beta$ ,更新被保持在修正数据计算/存储部120内的非易失性存储器123(参照图18)中的修正数据。另外,在步骤S200中得到的测定值的数据临时存储在SRAM(静态随机存取存储器)或DRAM(动态随机存取存储器)等能够进行高速存取的存储器中,使得步骤S210的处理高速地进行。

[0278] 接着,在对i行j列的像素电路50写入电压时,使用偏置值 $V_{th}$ 和增益值 $\beta$ 根据下式(7)计算灰度等级电压(步骤S220)。该步骤S220的处理由灰度等级修正部130(参照图2)进行。

$$[0279] \quad V_p = \left( V_{cw} \times V_n(P) \times \sqrt{\frac{\beta_0}{\beta}} + V_{th} \right) \dots\dots (7)$$

[0280] 在此, $V_n(P)$ 是将i行j列的像素的显示灰度等级标准化为0~1的范围的值而得到的值。

[0281] 然后,在步骤S220中计算出的灰度等级电压被写入i行j列的像素电路50(步骤S230)。通过对所有的像素进行以上那样的补偿处理,驱动晶体管的特性的偏差得到补偿。

[0282] 图33是表示灰度等级-电流特性的图。在图33中,作为目标特性,表示出了 $\gamma = 2.2$ 的特性。在驱动晶体管产生了劣化时,在进行基于第一灰度等级P1的写入时得到的驱动电流 $I_{Op1}$ 与和第一灰度等级P1对应的目标电流不一致,在进行基于第二灰度等级P2的写入时得到的驱动电流 $I_{Op2}$ 与和第二灰度等级P2对应的目标电流不一致。但是,在本实施方式中,利用上述的方法基于驱动电流 $I_{Op1}$ 、 $I_{Op2}$ 计算偏置值 $V_{th}$ 和增益值 $\beta$ 。然后,使用这些偏置值 $V_{th}$ 和增益值 $\beta$ ,修正与各灰度等级对应的灰度等级电压。由此,关于任意的灰度等级,在像素电路50被写入灰度等级电压时得到的驱动电流与目标电流大致一致。因此,显示画面内的亮度不均匀的产生被抑制,进行高画质显示。

[0283] <13.效果>

[0284] 根据本实施方式,在显示控制电路100内设置有匹配电路113,该匹配电路113对基于控制写入控制线驱动电路300的运动的时钟信号CLK1、CLK2得到的计数值CntWL(表示扫描对象行的计数值CntWL)与表示补偿对象行的补偿对象行地址Addr是否一致进行判定。如

果计数值CntWL与补偿对象行地址Addr一致,则显示控制电路100从两者一致的时刻的1水平扫描期间后起使时钟信号CLK1、CLK2的时钟动作停止规定的期间(电流测定期间)。此外,显示控制电路100控制时钟信号CLK1、CLK2的时钟动作,使得在电流测定期间的前后产生相同的时钟信号的脉冲。由此,在特性检测处理期间,补偿对象行的写入控制线G1\_WL(n)2次成为选择状态。此外,在构成监视控制线驱动电路400的移位寄存器4内的单位电路40,设置有输出用于控制其它级的动作的状态信号Q的输出端子48和与监视控制线G2\_Moni连接的输出端子49,在输出端子48与输出端子49之间,设置有利用从显示控制电路100提供的监视启用信号Moni\_EN来控制导通/截止的晶体管T49。如果计数值CntWL与补偿对象行地址Addr一致,则显示控制电路100从两者一致的时刻的1水平扫描期间后起使监视启用信号Moni\_EN成为高电平规定的期间(电流测定期间),并且,在电流测定期间使时钟信号CLK3、CLK4的时钟动作停止。由此,在各帧,在特性检测处理期间中的电流测定期间,补偿对象行的监视控制线G2\_Moni(n)成为选择状态,在此以外的期间,所有的监视控制线G2\_Moni被维持在非选择状态。通过如以上那样驱动写入控制线G1\_WL和监视控制线G2\_Moni,在各帧进行用于检测驱动晶体管的特性的驱动电流的测定。然后,基于驱动电流的测定值求取修正数据,基于该修正数据进行灰度等级电压的修正。其结果,驱动晶体管的特性的偏差得到补偿。在此,实现上述的动作的栅极驱动电路(写入控制线驱动电路300和监视控制线驱动电路400)内的移位寄存器使用仅N沟道型的TFT构成。根据以上说明,根据本实施方式,在采用由单沟道的TFT形成的栅极驱动电路的有机EL显示装置1中,能够补偿驱动晶体管的特性的偏差。

[0285] 进行本说明书中说明的那样的复杂的动作的栅极驱动电路一般利用CMOS逻辑电路实现。因此,根据现有技术,在构成栅极驱动电路的TFT采用多晶硅TFT以外的TFT的情况下,不能将进行上述那樣的复杂的动作的栅极驱动电路形成在玻璃基板上。因此,需要将栅极驱动电路以IC芯片的形态安装在玻璃基板上。关于这一点,根据本实施方式,通过使用仅N沟道型的TFT构成的栅极驱动电路实现了上述那樣的复杂的动作。因此,能够将栅极驱动电路不IC化地形成在玻璃基板上。其结果,能够实现显示装置的成本降低。

[0286] <14.变形例>

[0287] 以下,对上述实施方式的变形例进行说明。

[0288] <14.1第一变形例>

[0289] 图34是表示上述实施方式的第一变形例中的匹配电路113的结构逻辑电路图。在本变形例中,代替上述实施方式中的反相器72(1)~72(4)和AND电路73(参照图15)设置有NOR电路(“或非”电路)74。NOR电路74将表示从EXOR电路71(1)~71(4)输出的4个第一输出数据OUT(c)的“或非”的值作为匹配信号MS输出。

[0290] 如果第一输入数据IN(a)的值与第二输入数据IN(b)的值一致,则第一输出数据OUT(c)的值为0。如果第一输入数据IN(a)的值与第二输入数据IN(b)的值不一致,则第一输出数据OUT(c)的值为1。因此,如果在所有的EXOR电路71(1)~71(4)中第一输入数据IN(a)的值与第二输入数据IN(b)的值一致,则输入NOR电路74的值全部为0,从NOR电路74输出的值为1。即,如果从写入行计数器111输出的计数值CntWL与存储在补偿对象行地址存储器112中的补偿对象行地址Addr一致,则匹配信号MS成为高电平。

[0291] 如以上所述,也能够使匹配电路113为如图34所示的结构。另外,在输入NOR电路74的数据的数量多的情况下,例如也可以如图35所示,代替1个NOR电路74而设置多个NOR电路



741和1个AND电路742。

[0292] <14.2第二变形例>

[0293] 在上述实施方式中,如图25所示,从延迟电路1151输出的监视启用信号Moni\_EN被提供给晶体管T49。在该情况下,只能将逻辑电源的电压作为监视启用信号Moni\_EN提供给晶体管T49。因此,存在被提供给晶体管T49的电压的电平不能达到对使监视控制线G2\_Moni成为选择状态而言充分的电平的情况。因此,在本变形例中,如图36所示,在延迟电路1151的后级设置有电平转换电路118。

[0294] 在电平转换电路118中,逻辑电压升压至期望的电平。由此,能够将提供给晶体管T49的电压的电平可靠地提高至对使监视控制线G2\_Moni成为选择状态而言充分的电平。另外,电平转换电路118也可以利用CMOS电路实现。

[0295] <15.其它>

[0296] 本发明并不限于上述的实施方式和变形例,能够在不脱离本发明的主旨的范围进行各种变形而实施。例如,在上述实施方式中列举有机EL显示装置为例进行了说明,但是只要是具备利用电流驱动的自发光型显示元件的有机显示装置,在有机EL显示装置以外的显示装置中也能够应用本发明。此外,在上述实施方式中列举使用仅N沟道型的TFT构成栅极驱动电路的例子进行了说明,但是在使用仅P沟道型的TFT构成栅极驱动电路的情况下也能够应用本发明。

[0297] 符号说明

[0298] 1……有机EL显示装置

[0299] 3、4……移位寄存器

[0300] 6……有机EL面板

[0301] 30、40……(移位寄存器内的)单位电路

[0302] 50……像素电路

[0303] 100……显示控制电路

[0304] 110……驱动控制部

[0305] 111……写入行计数器

[0306] 112……补偿对象行地址存储器

[0307] 113……匹配电路

[0308] 114……匹配计数器

[0309] 115……状态机

[0310] 116……图像数据/源极控制信号生成电路

[0311] 117……栅极控制信号生成电路

[0312] 120……修正数据计算/存储部

[0313] 130……灰度等级修正部

[0314] 200……数据线驱动/电流测定电路

[0315] 300……写入控制线驱动电路

[0316] 400……监视控制线驱动电路

[0317] 500……显示部

[0318] T1……输入晶体管

- [0319] T2……驱动晶体管
- [0320] T3……监视控制晶体管
- [0321] Cst……电容器
- [0322] DL、DL(0) ~ DL(5978)……数据线
- [0323] G1\_WL、G1\_WL(0) ~ G1\_WL(1079)……写入控制线
- [0324] G2\_Moni、G2\_Moni(0) ~ G2\_Moni(1079)……监视控制线
- [0325] CLK1 ~ CLK4……时钟信号
- [0326] Moni\_EN……监视启用信号
- [0327] MS……匹配信号
- [0328] Addr……补偿对象行地址
- [0329] CntWL……从写入行计数器输出的计数值

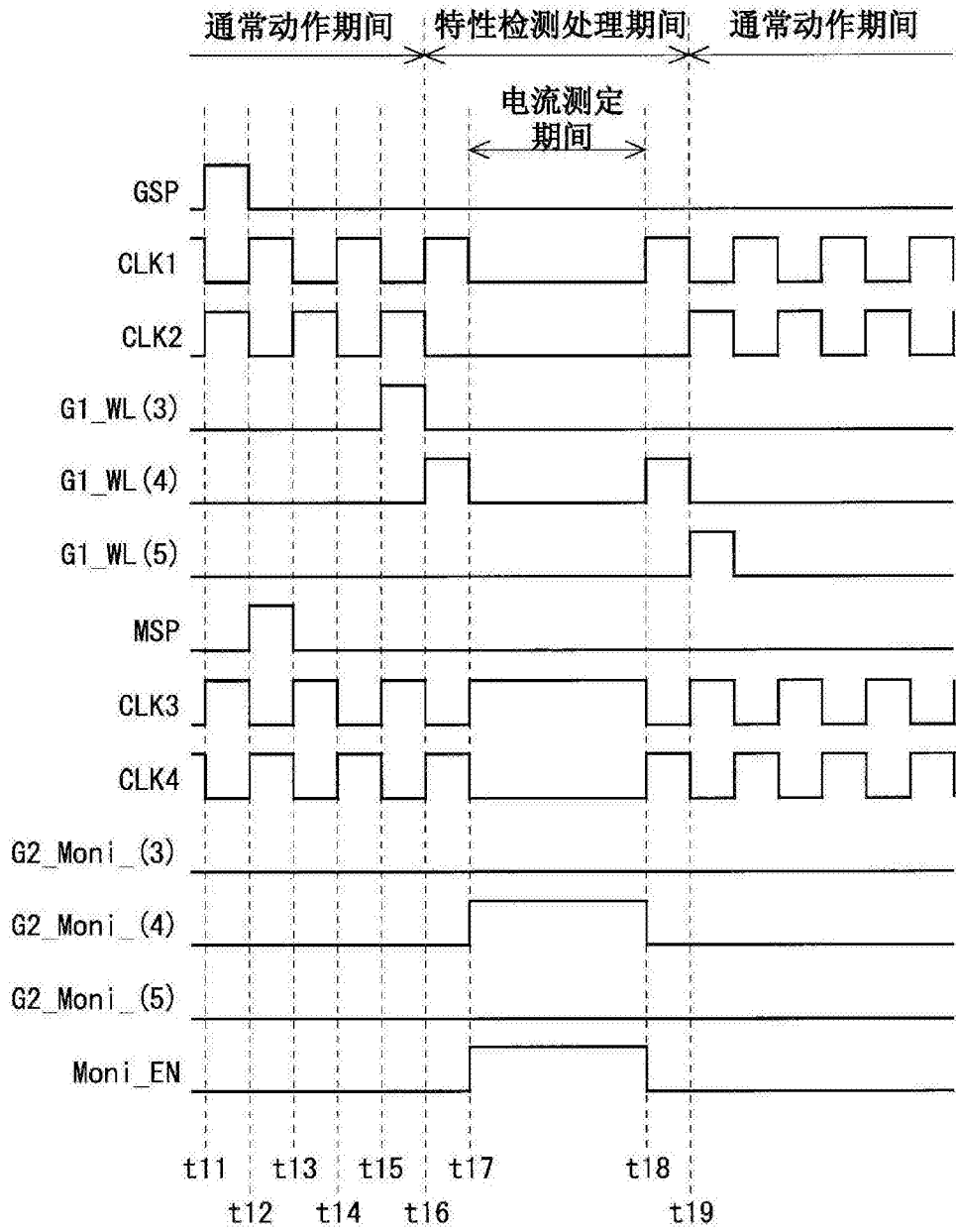


图1

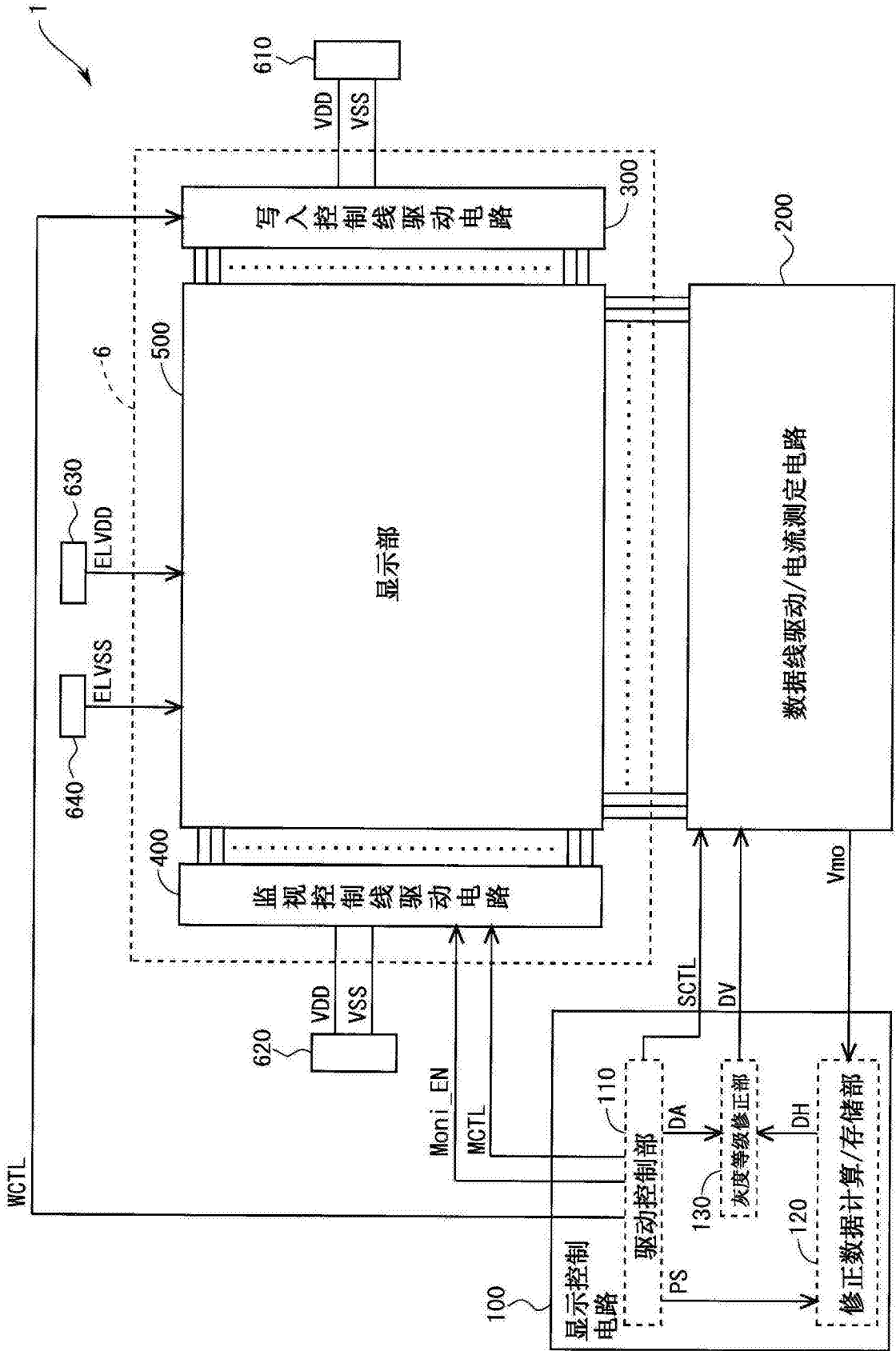


图2

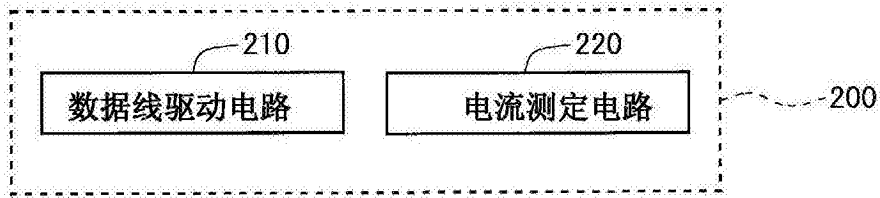


图3

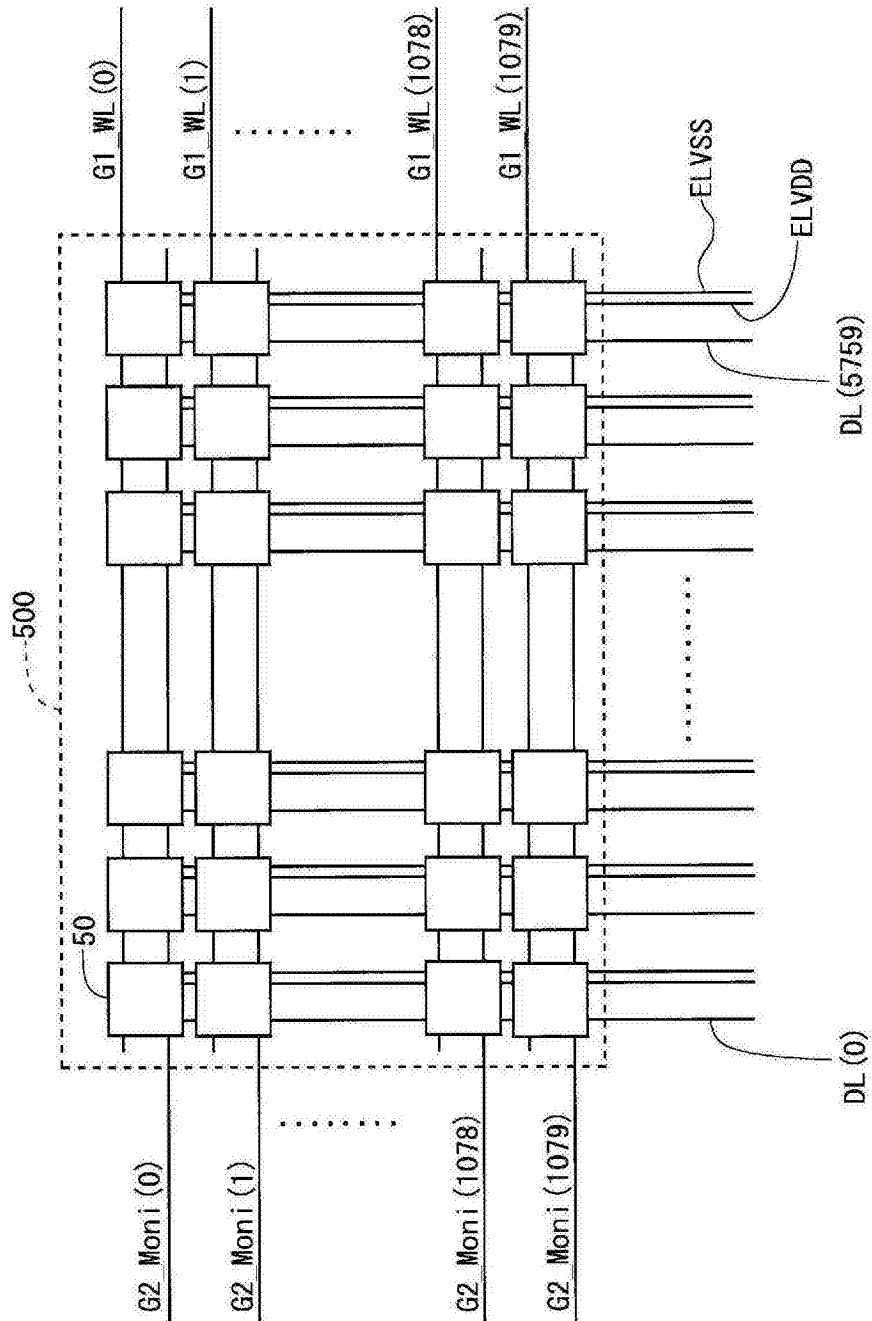


图4

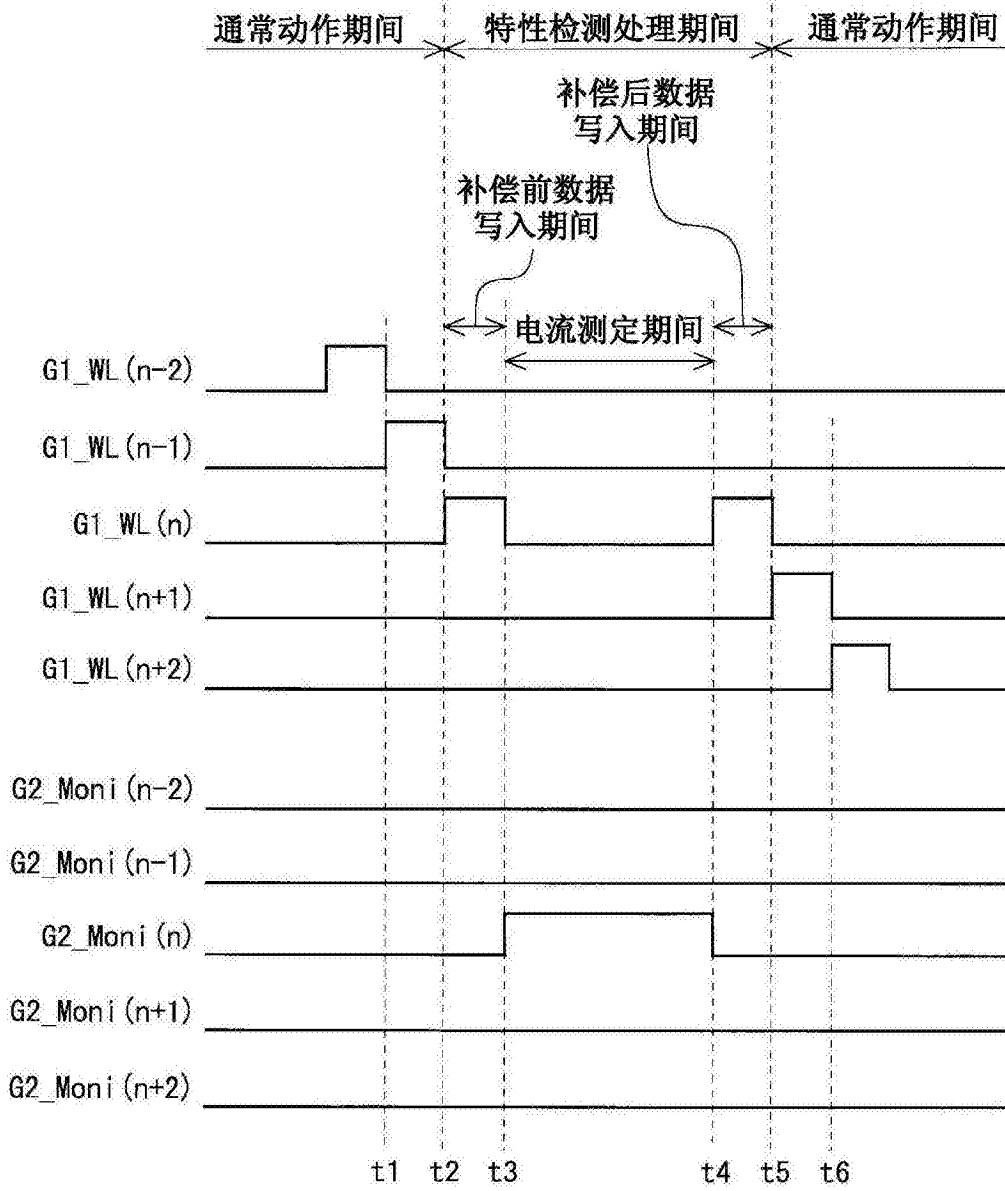


图5

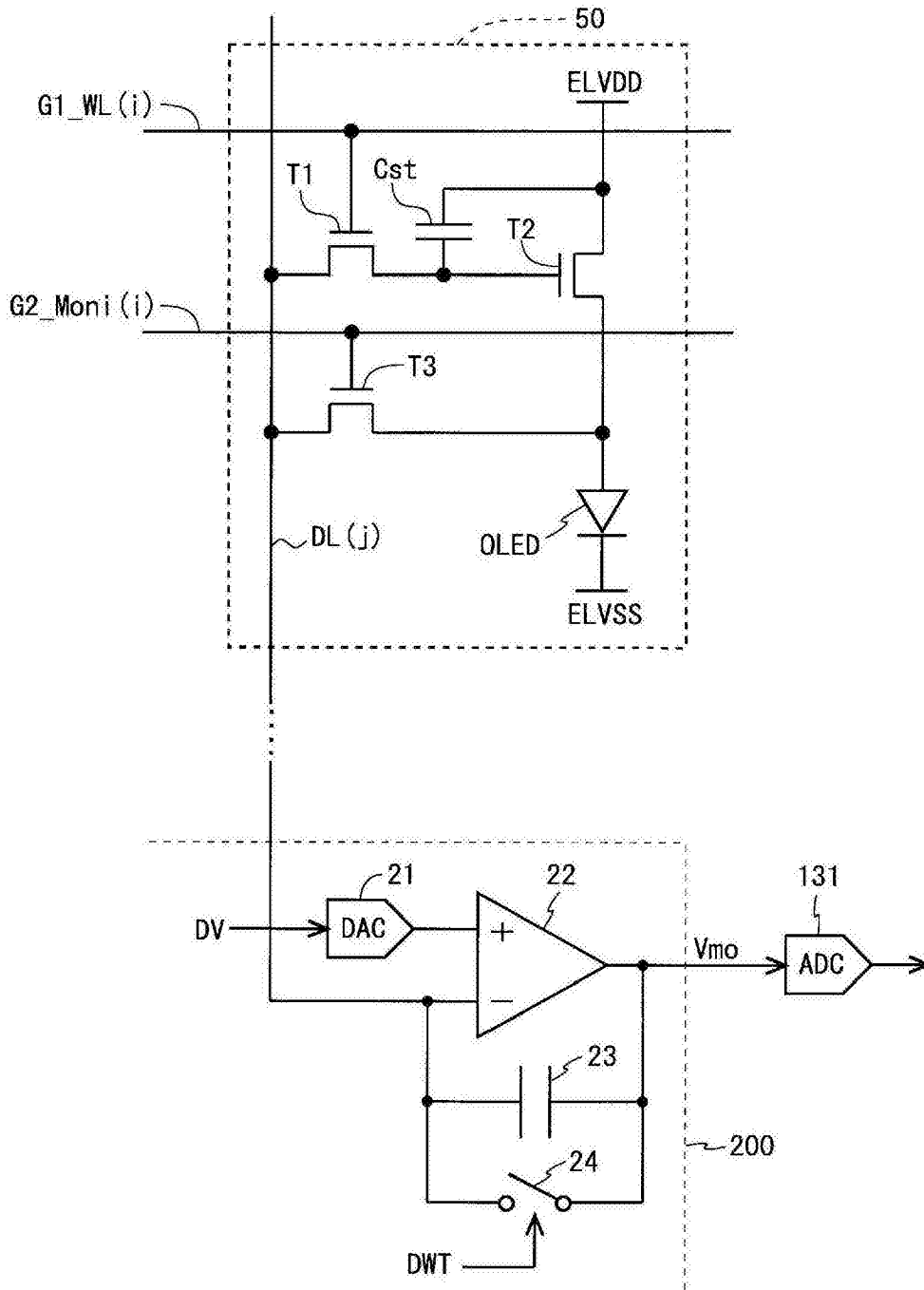


图6

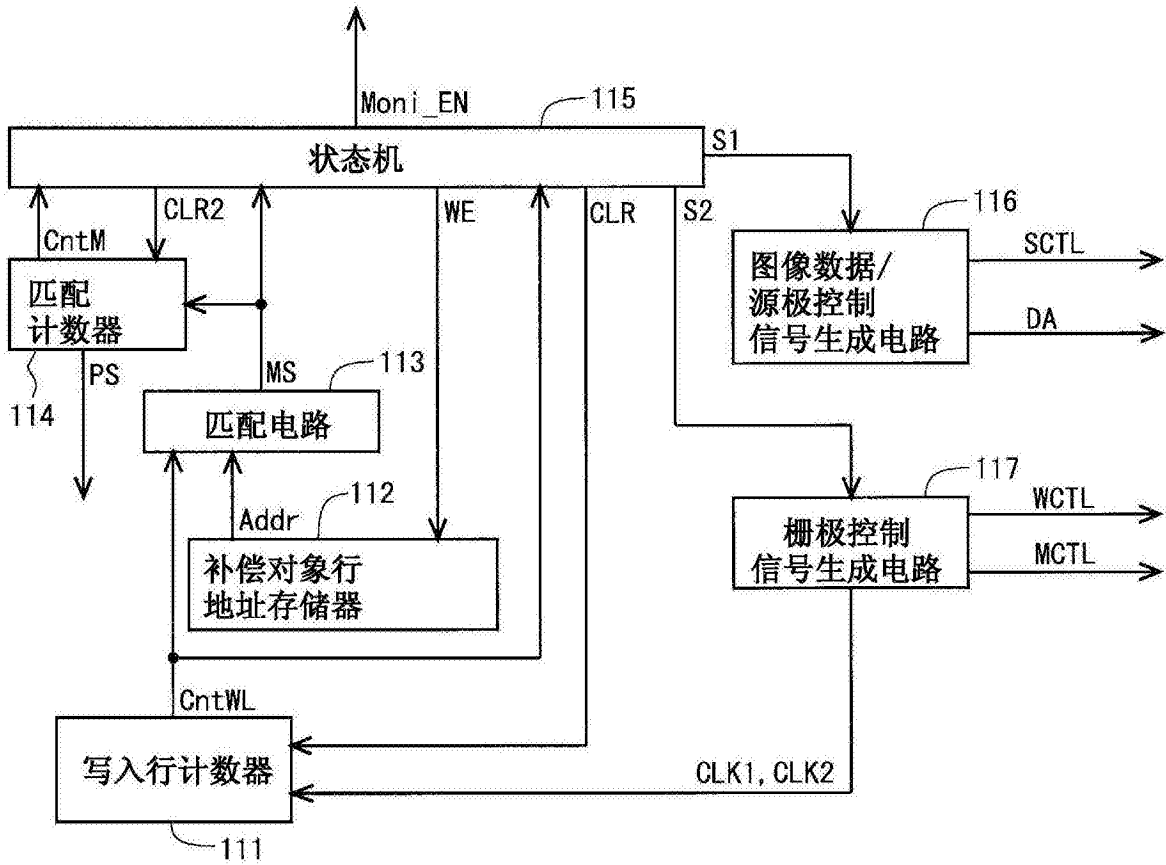


图7

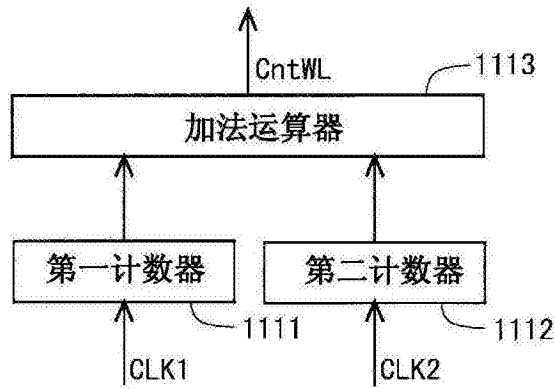


图8



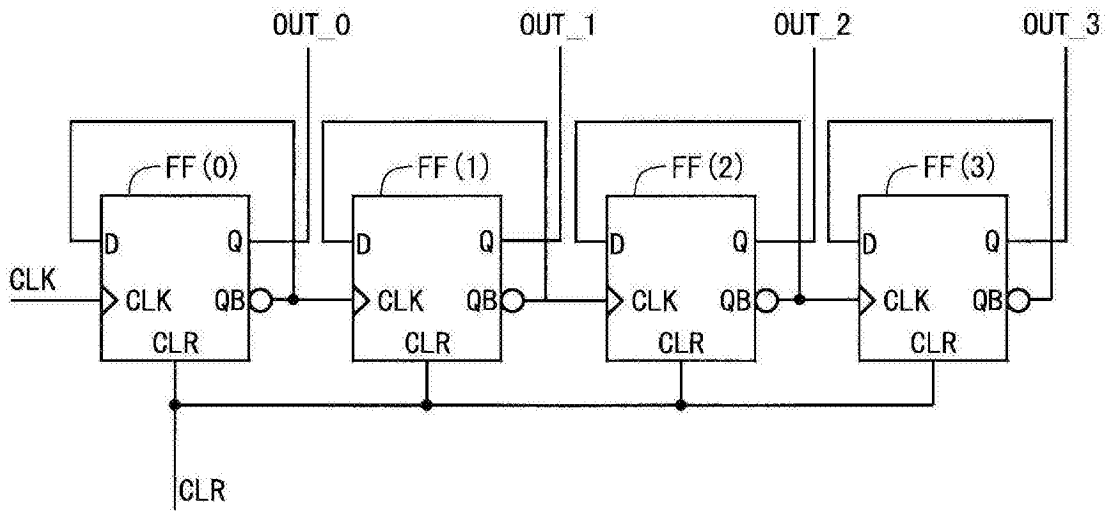


图9

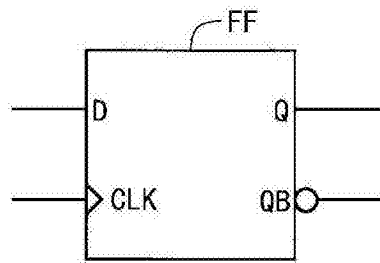


图10

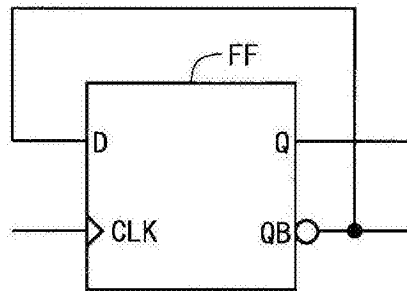


图11

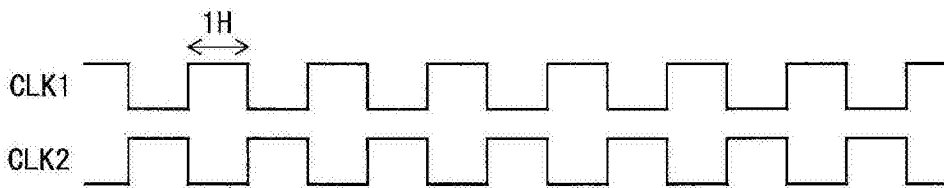


图12

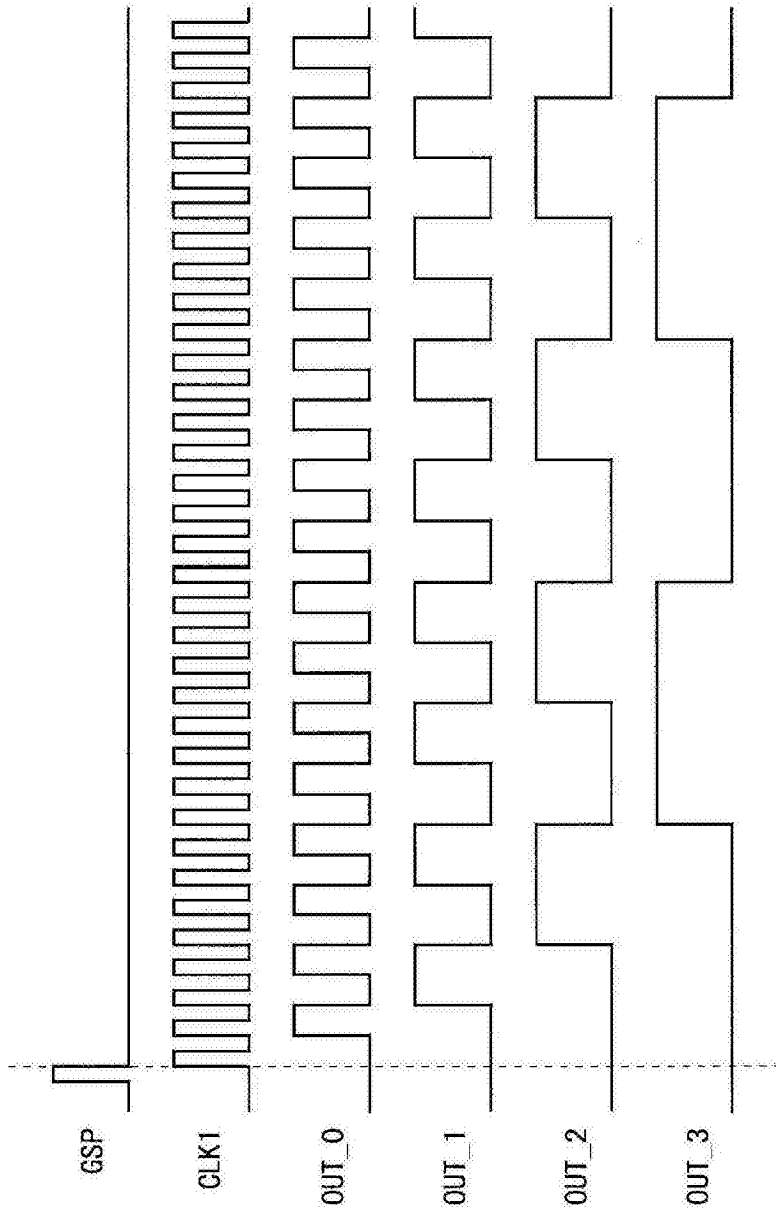


图13

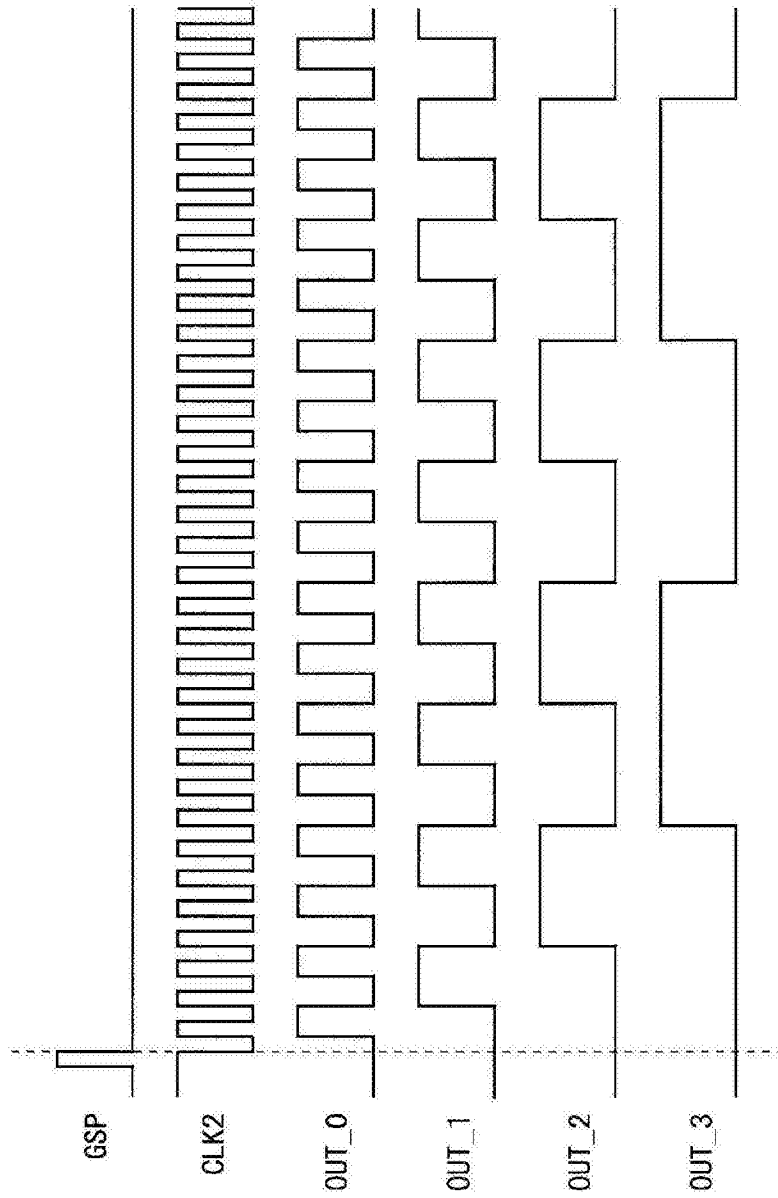


图14

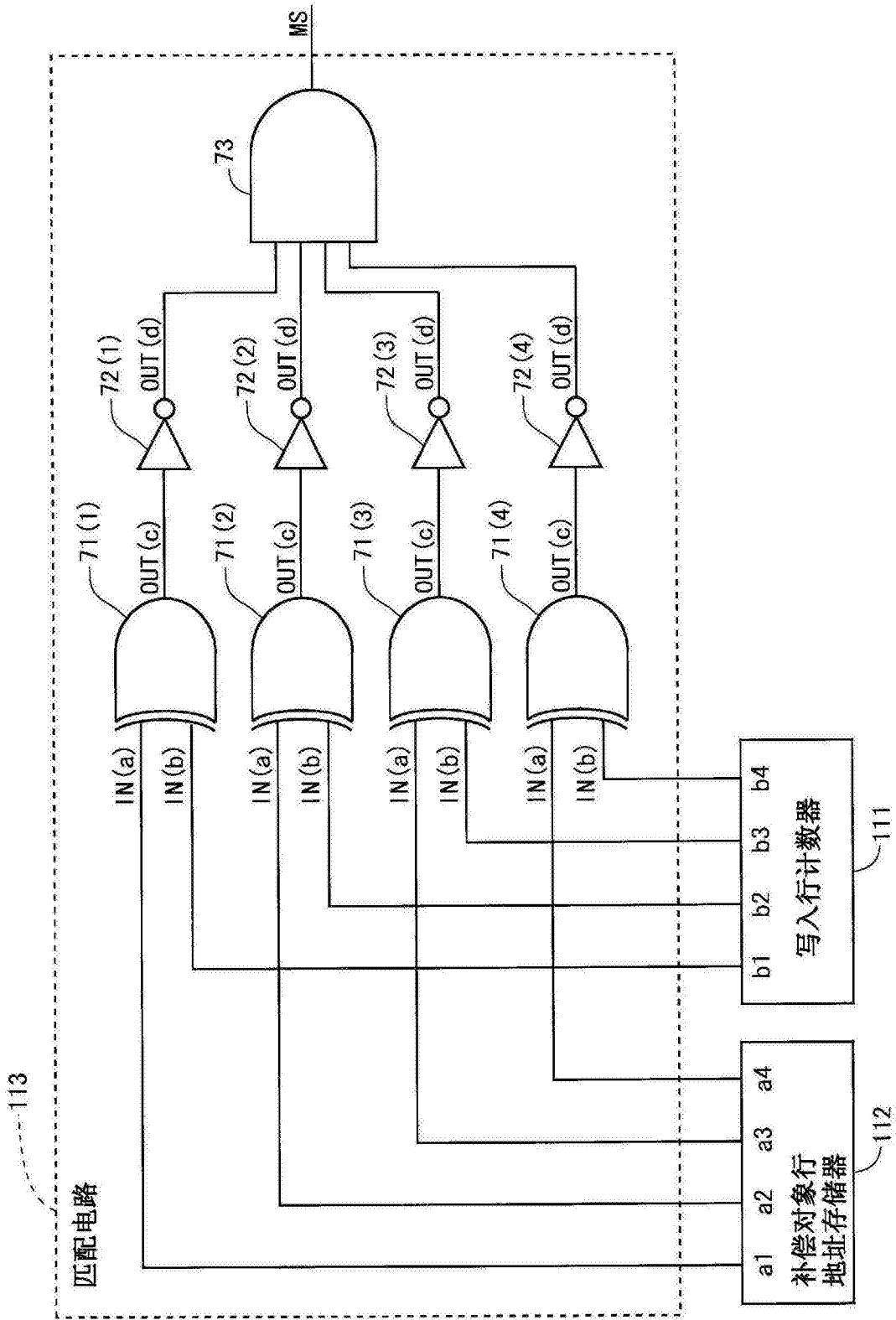


图15

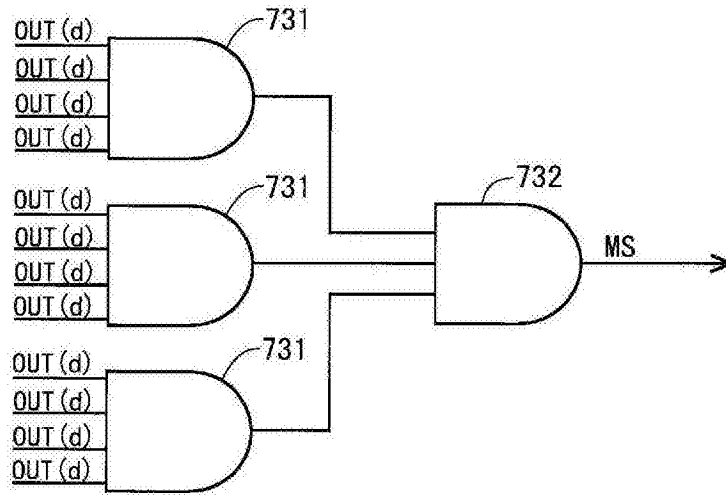


图16

输入		输出	
IN(a)	IN(b)	OUT(c)	OUT(d)
0	0	0	1
1	0	1	0
0	1	1	0
1	1	0	1

图17

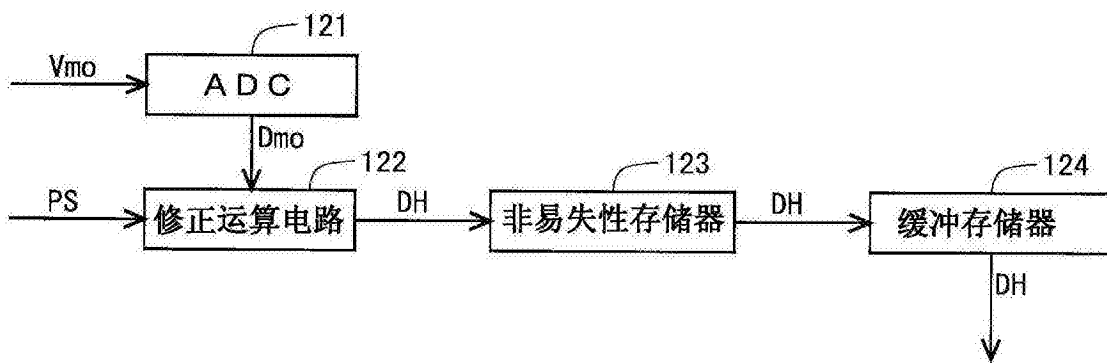


图18

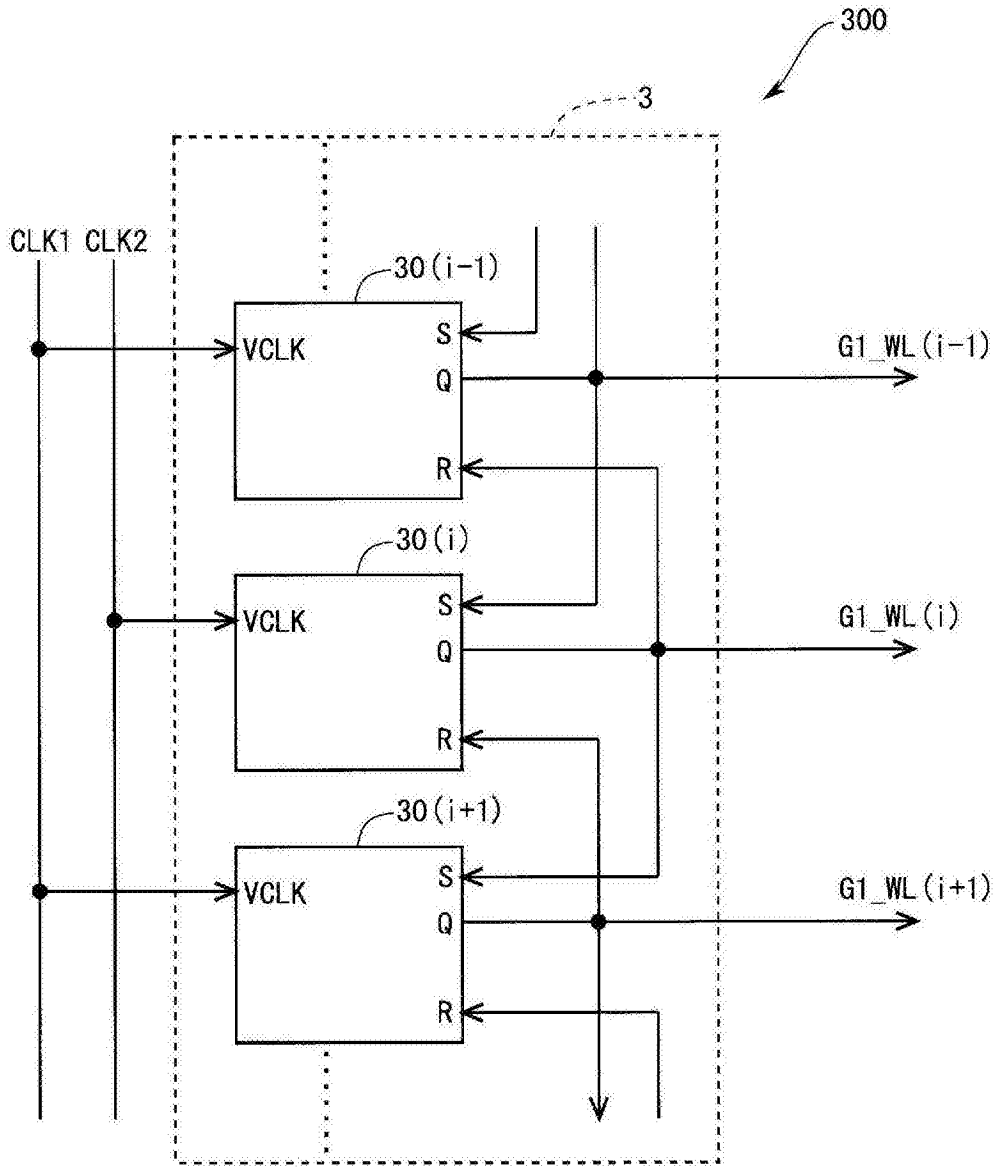


图19

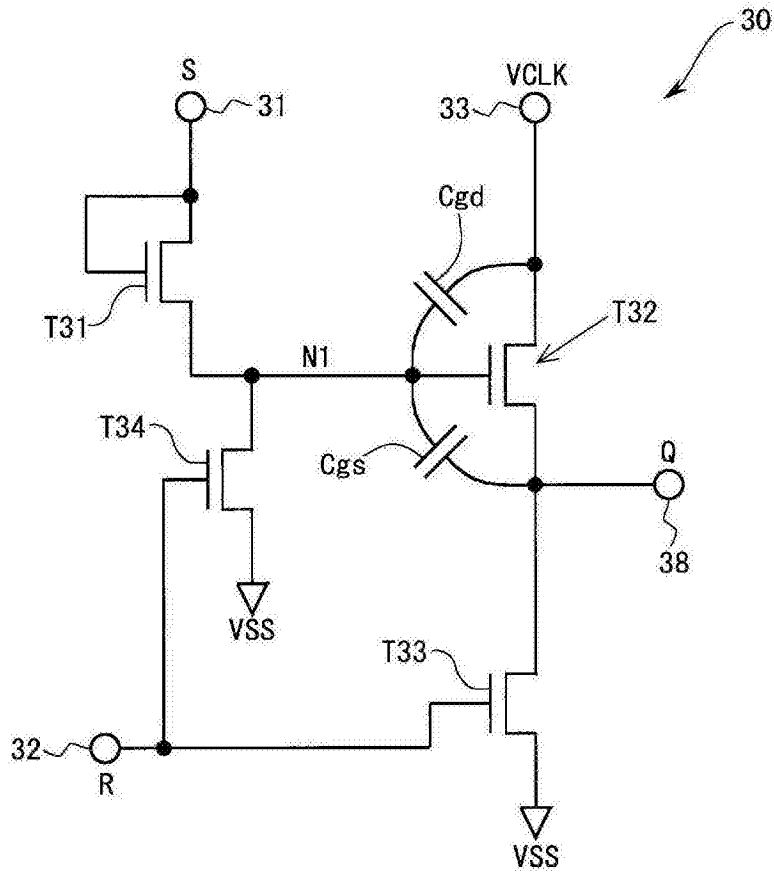


图20

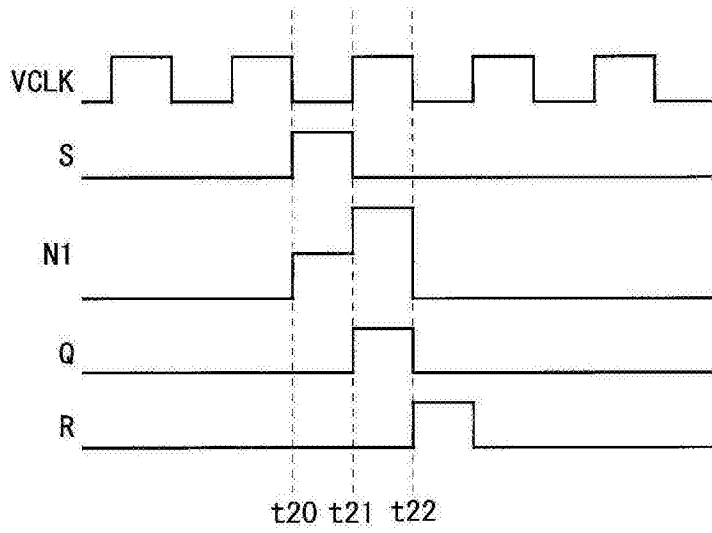


图21

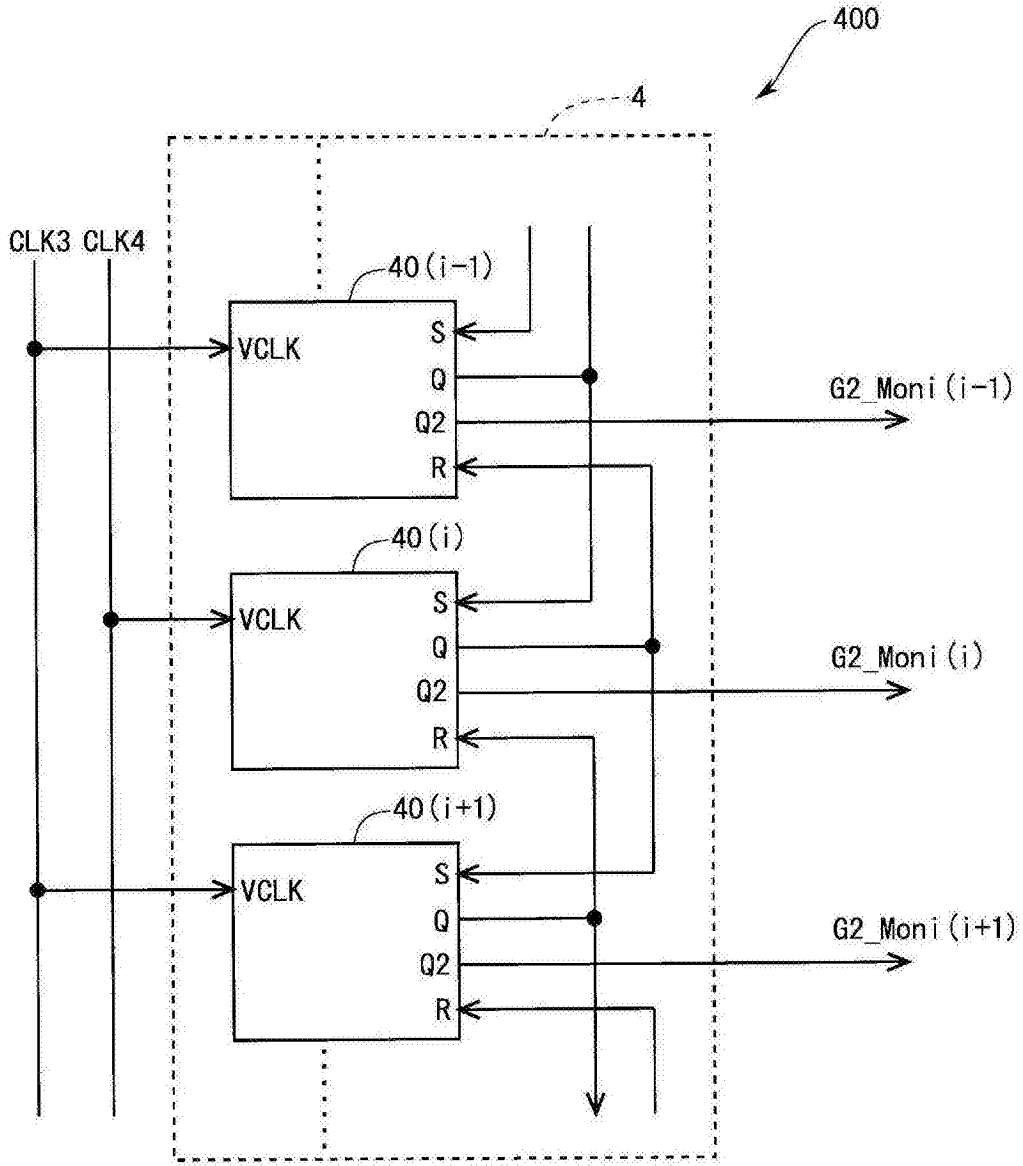


图22

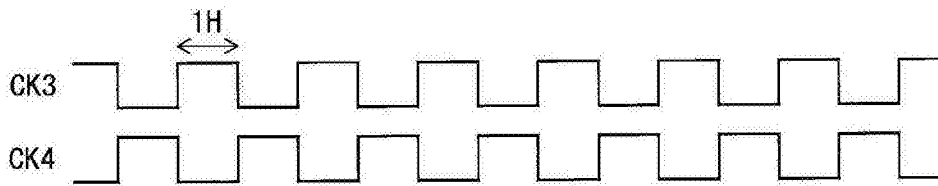


图23





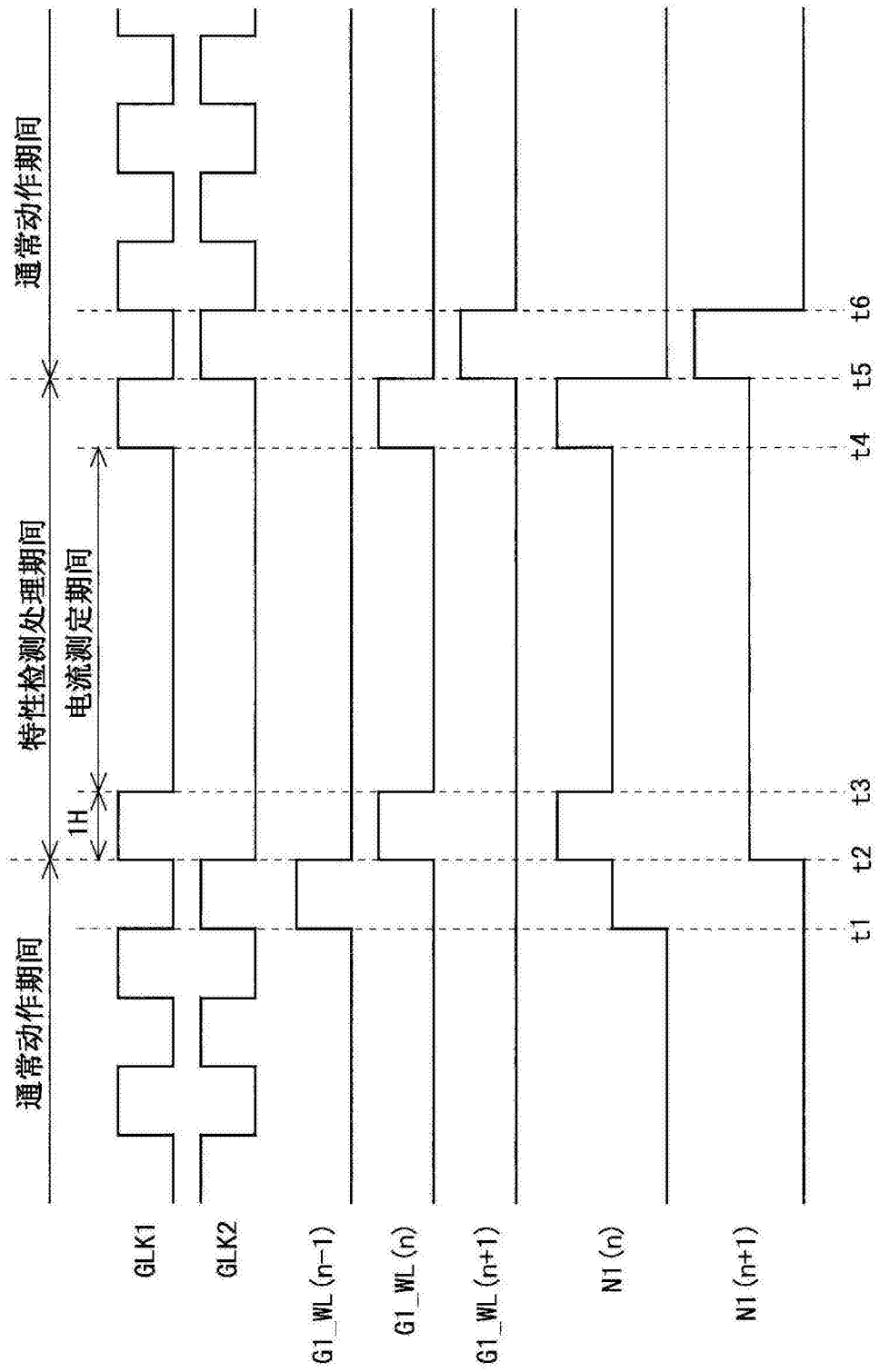


图26

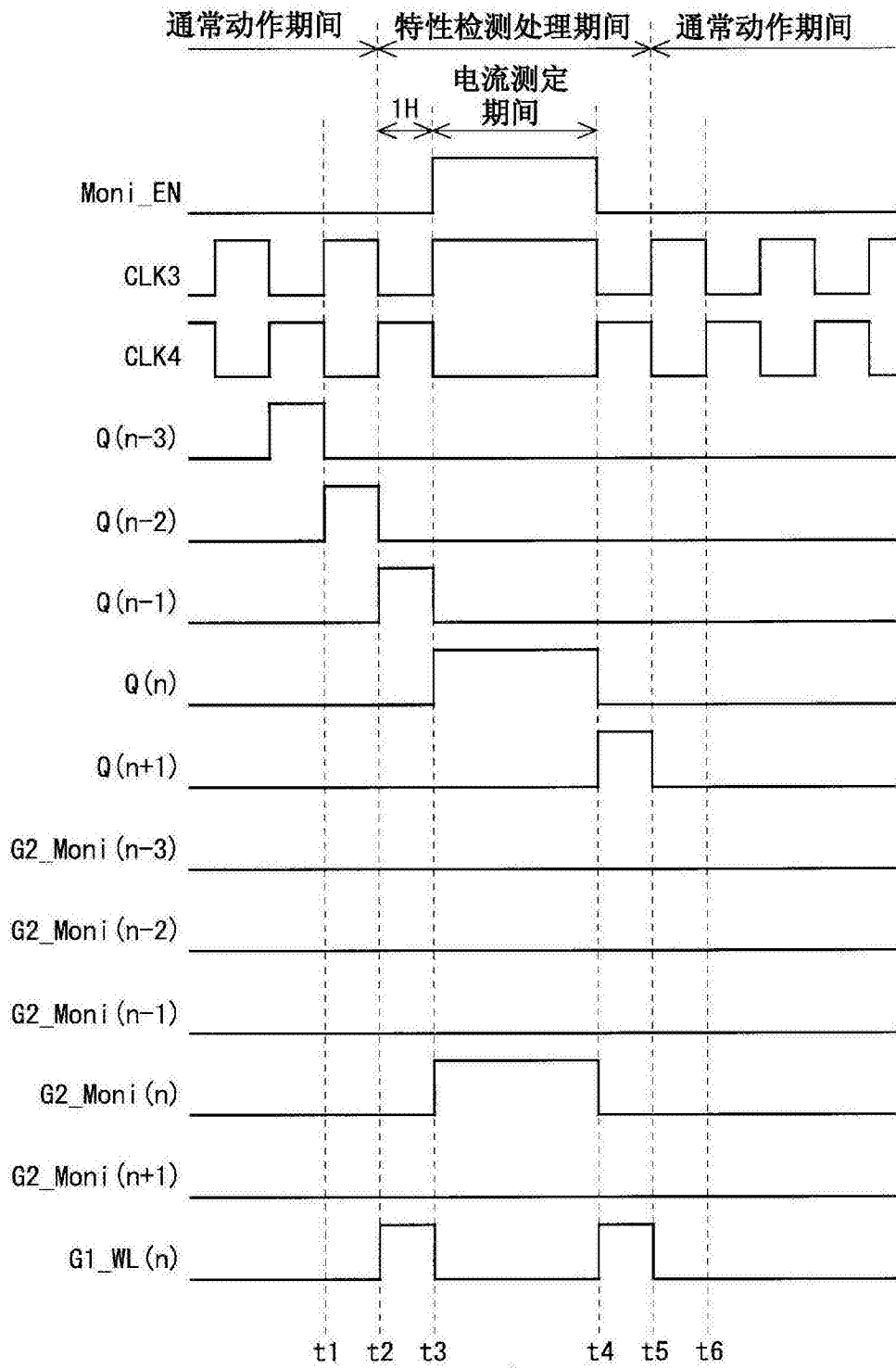


图27

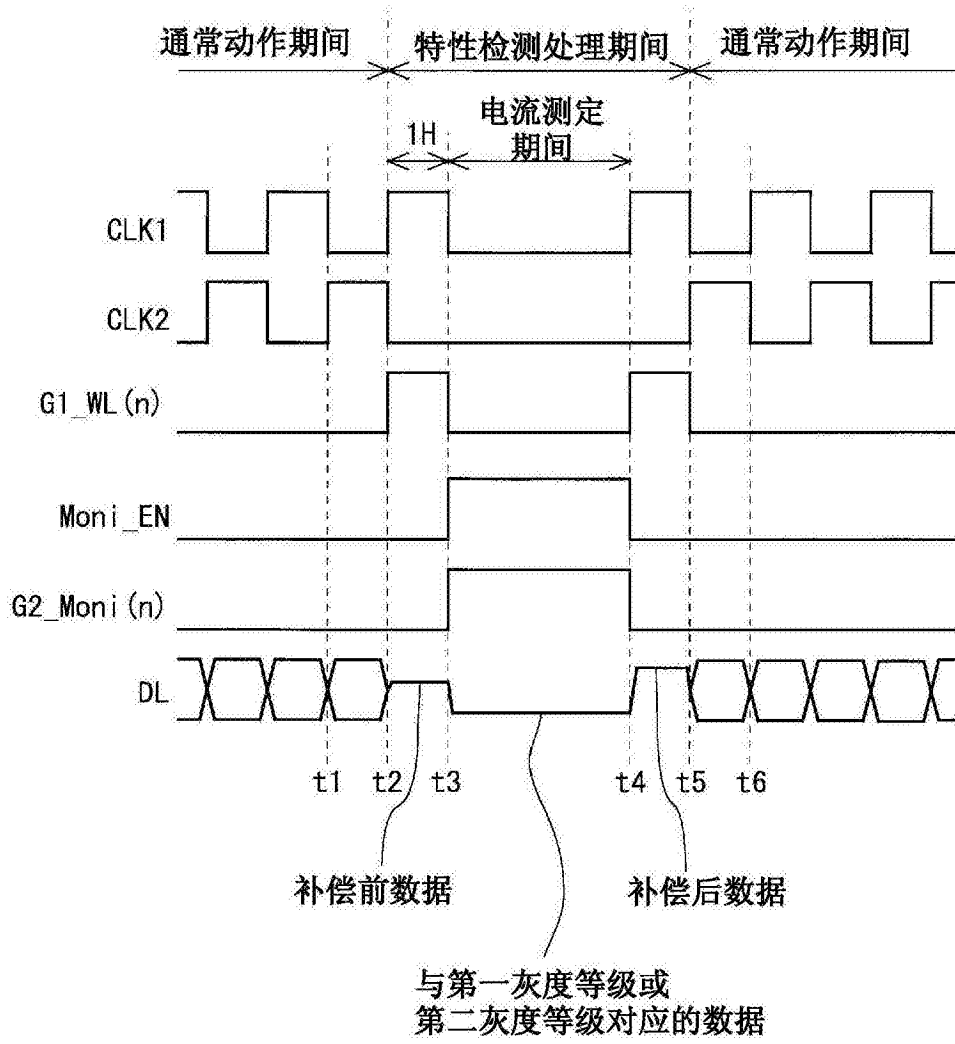


图28

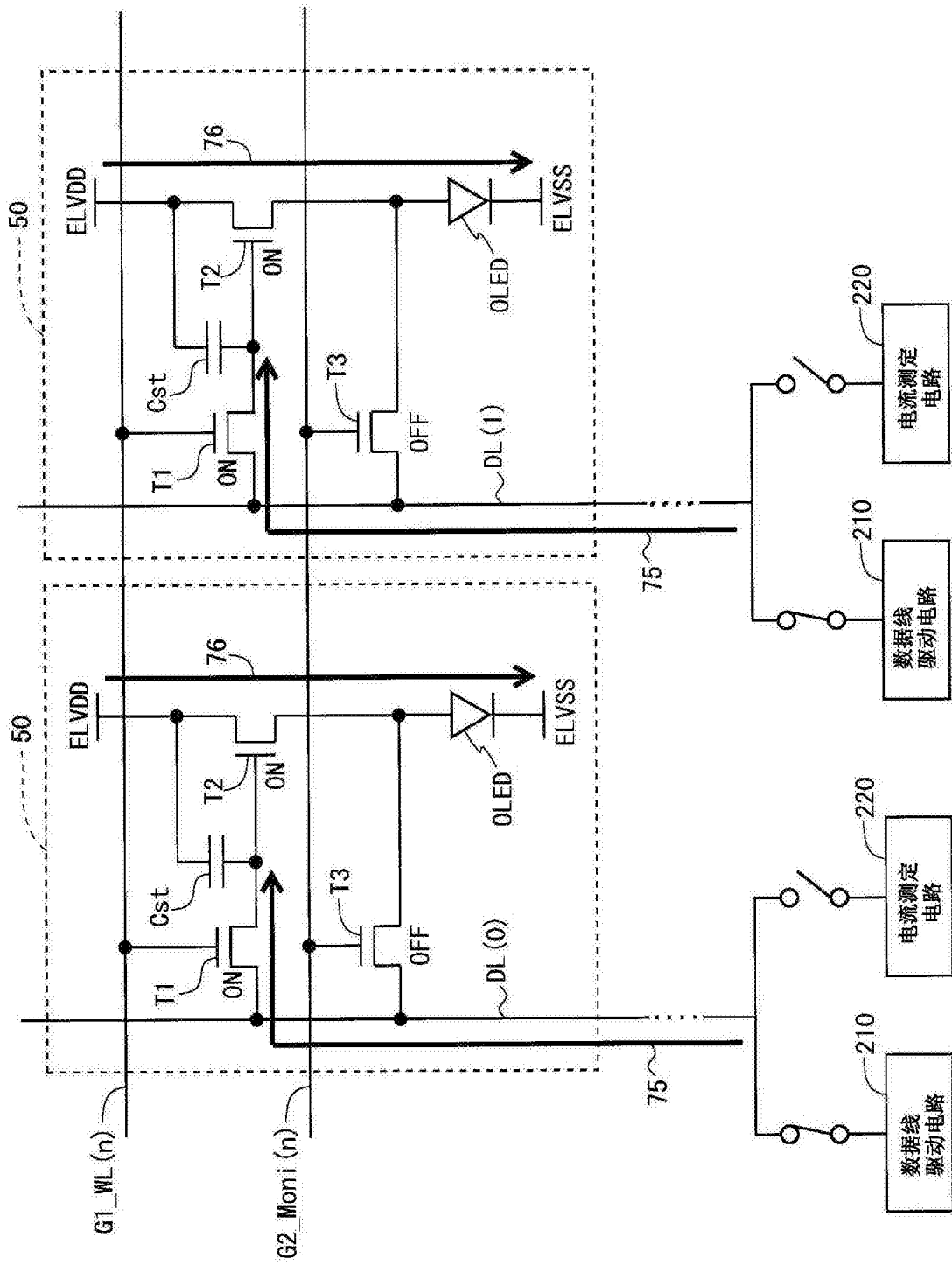


图29

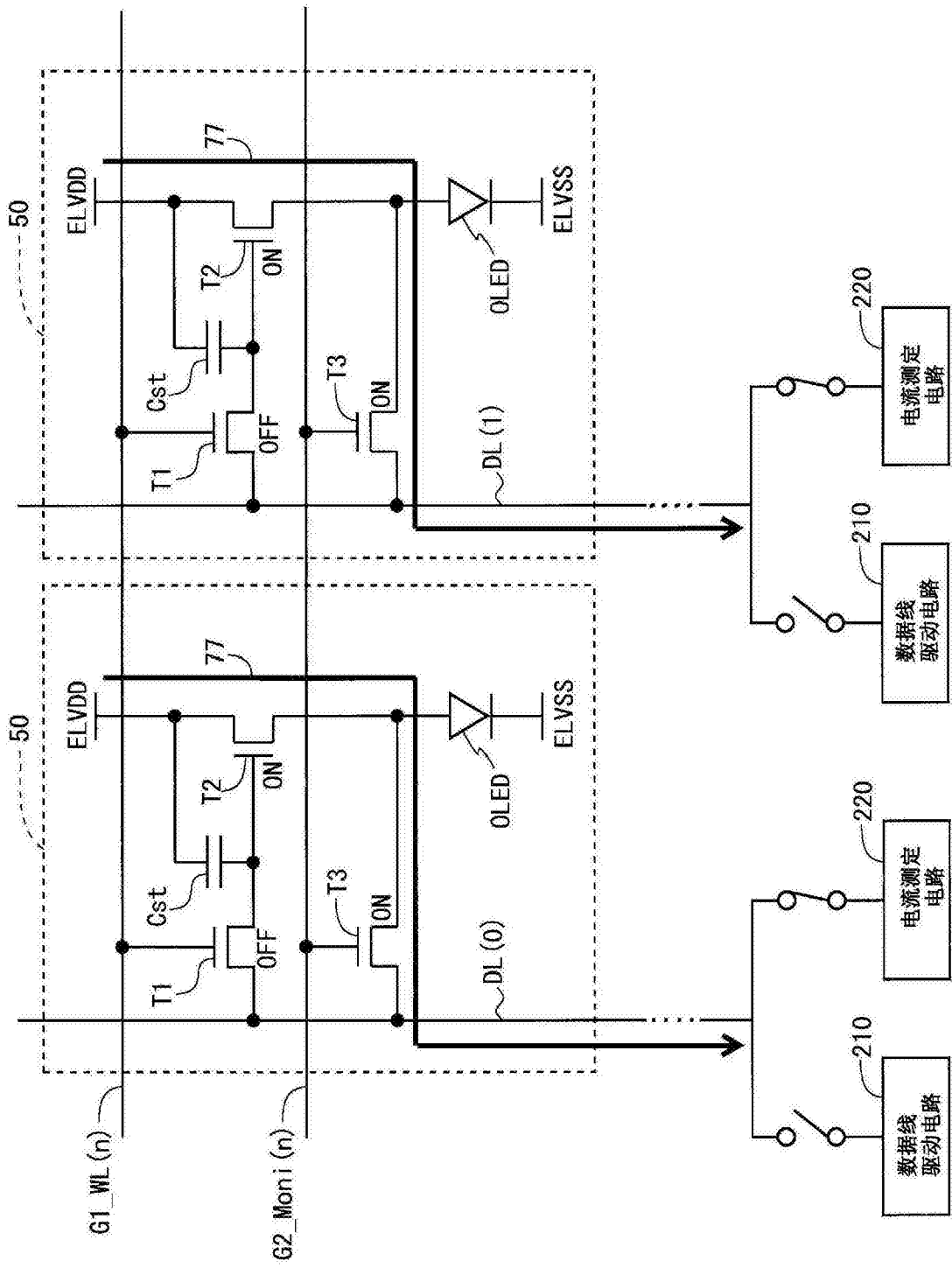


图30

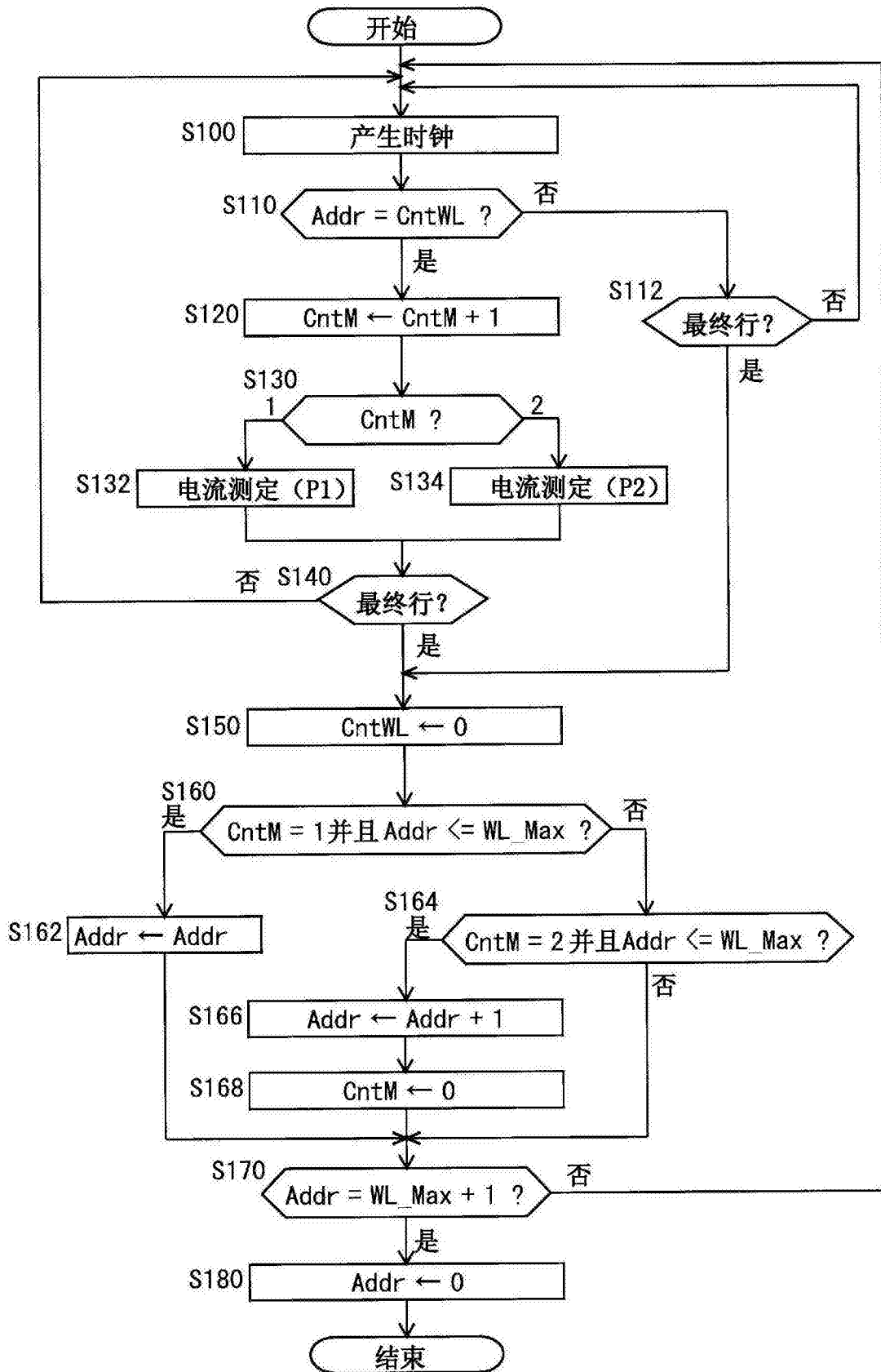


图31

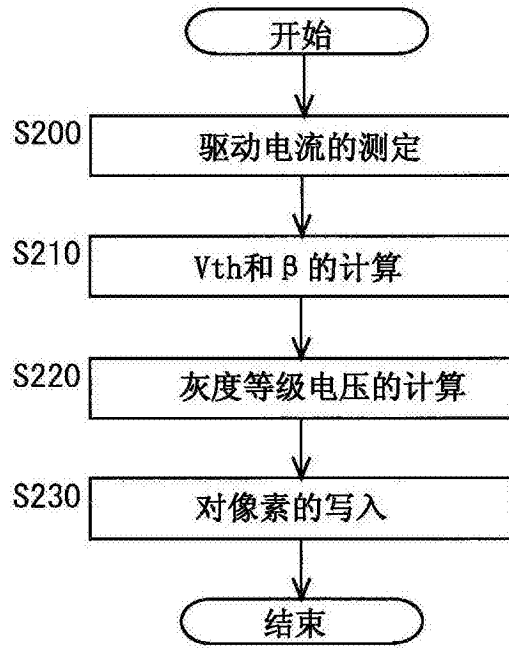


图32

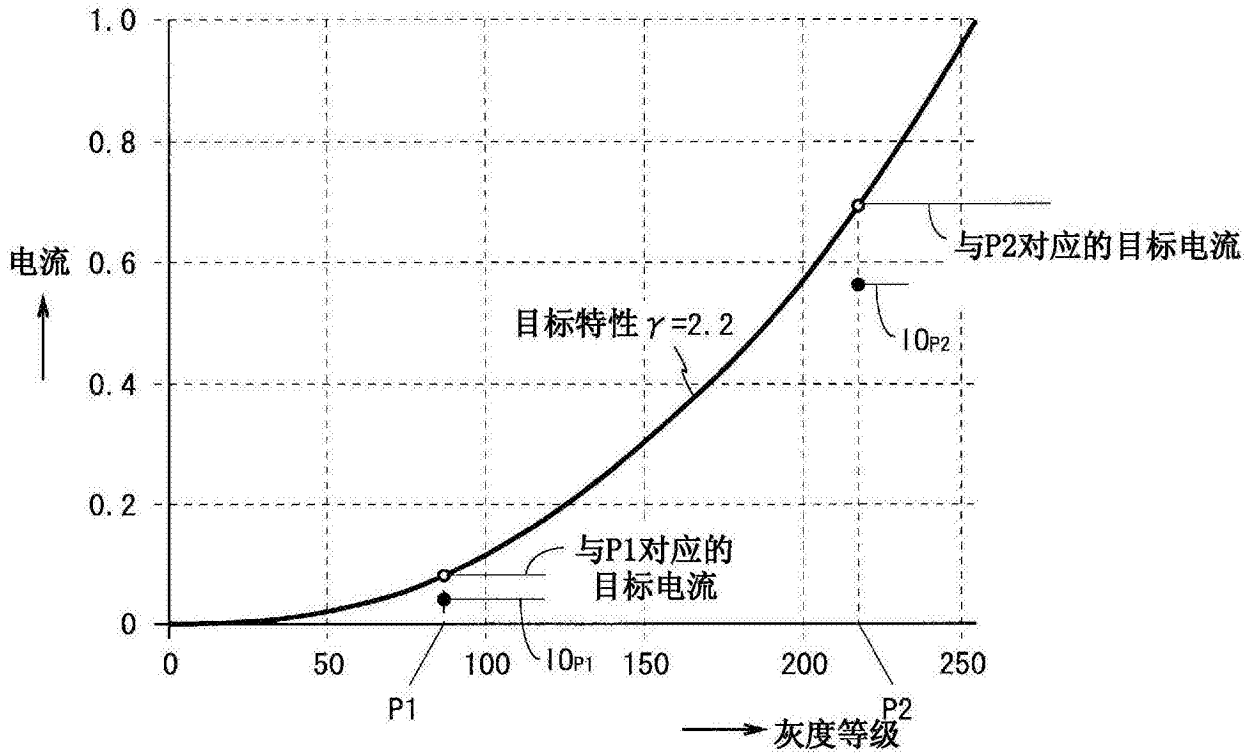


图33



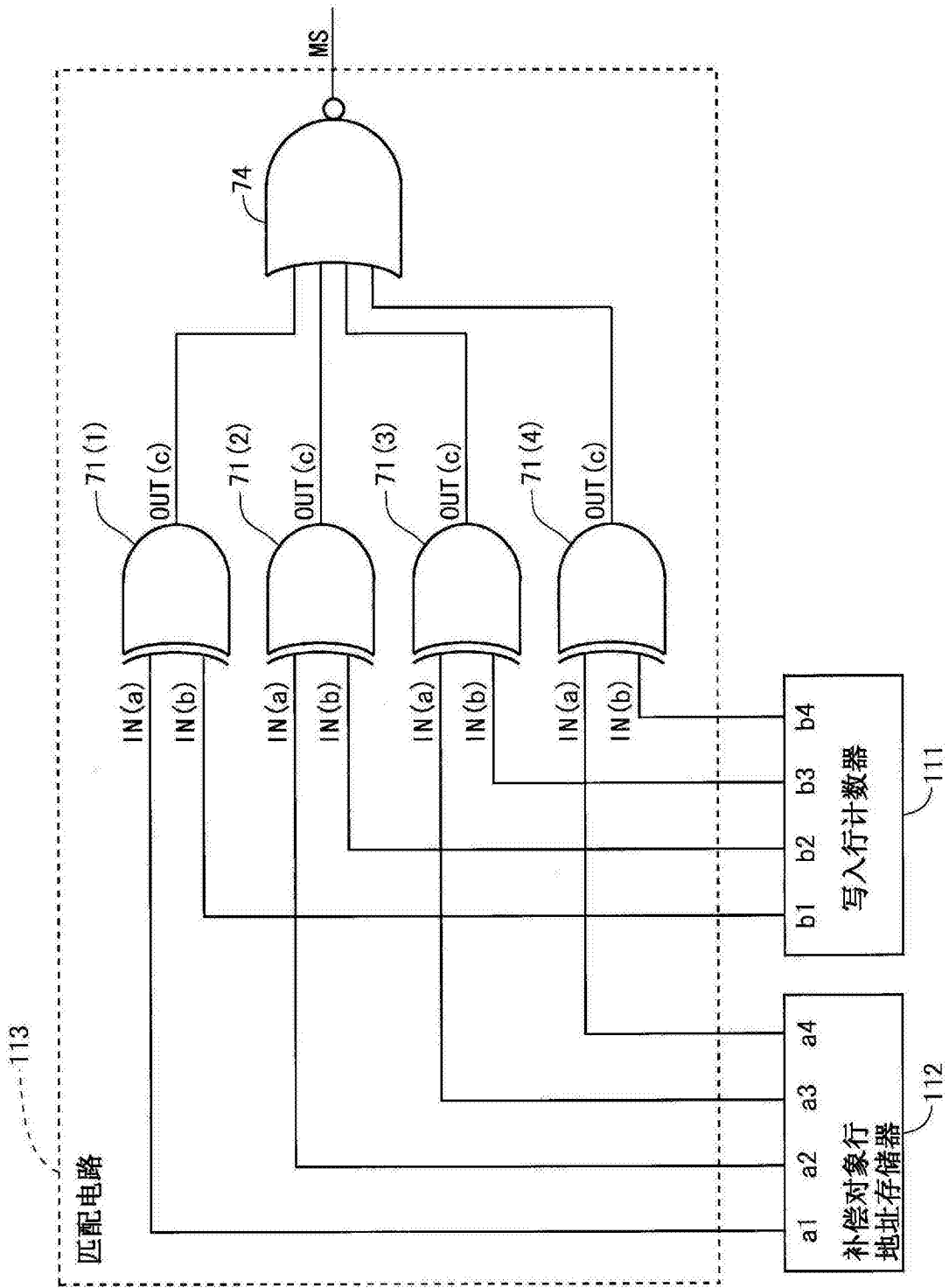


图34

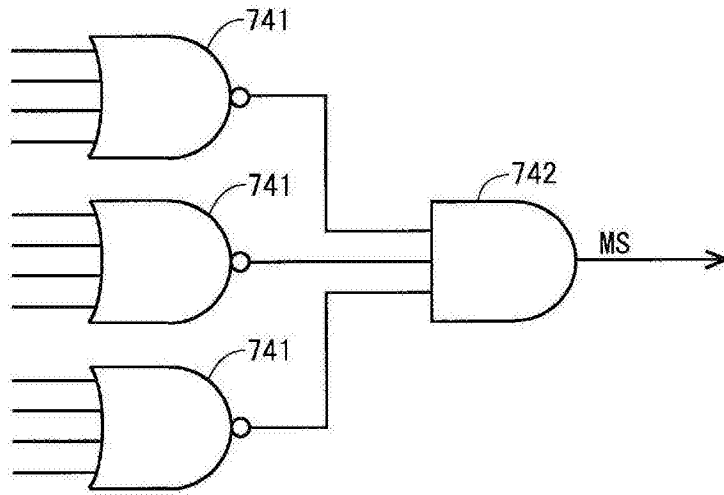


图35

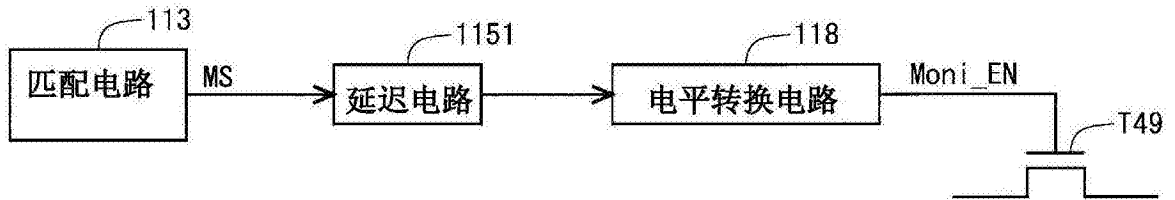


图36

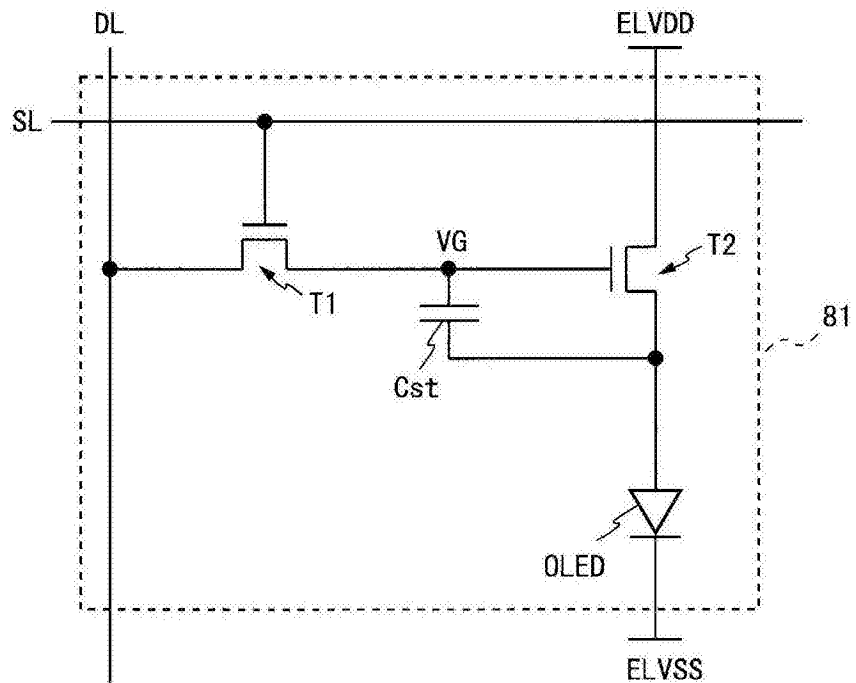


图37

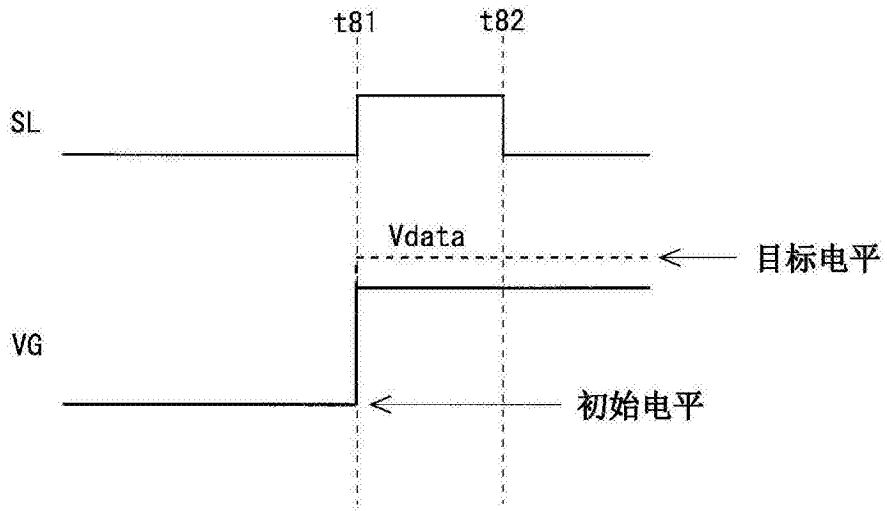


图38

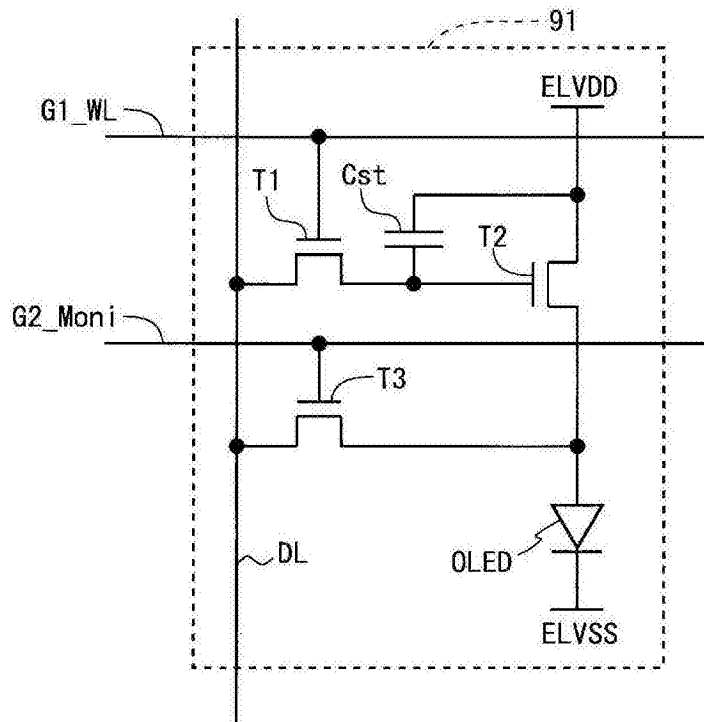


图39

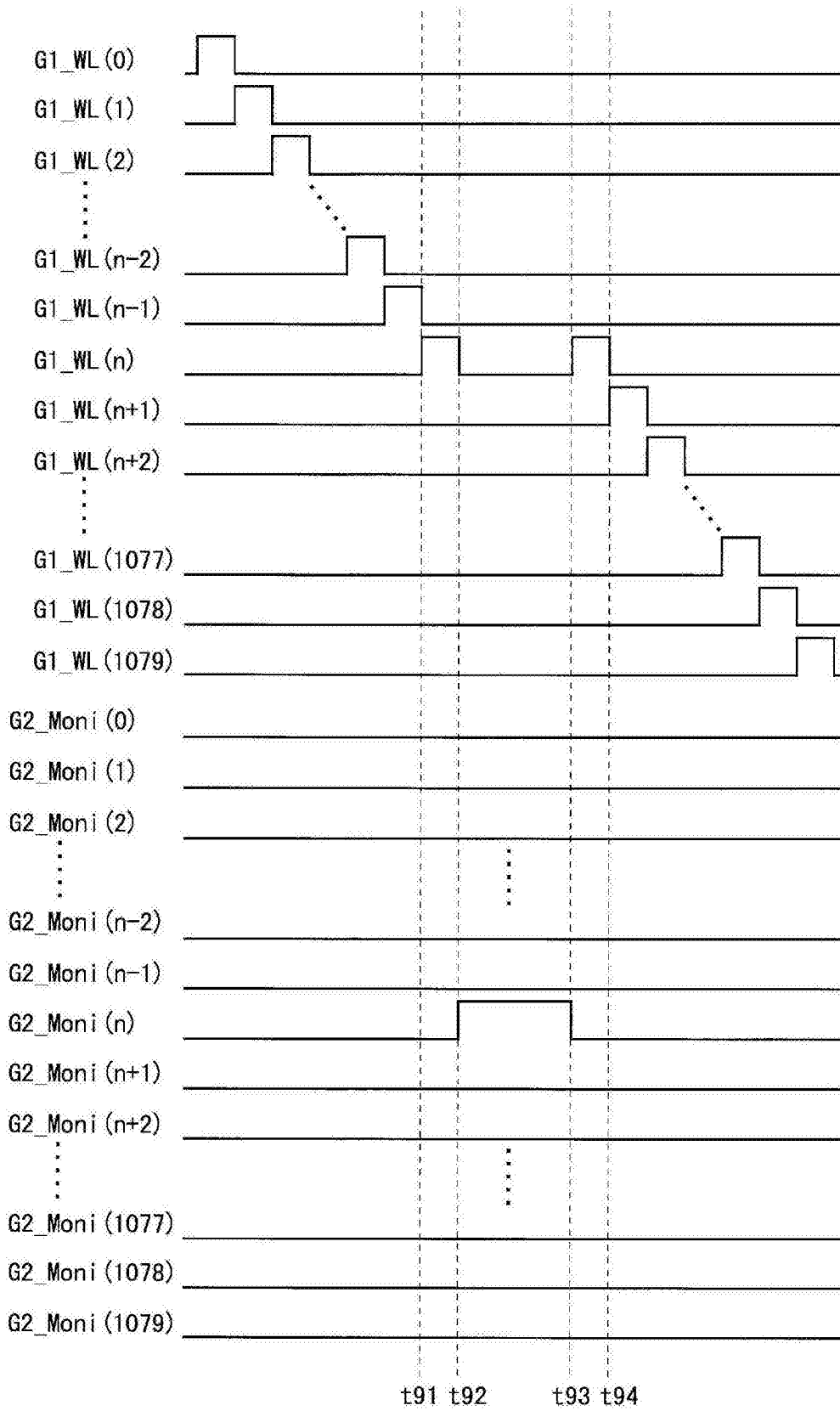


图40