

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-164206

(P2009-164206A)

(43) 公開日 平成21年7月23日(2009.7.23)

(51) Int. Cl. F I テーマコード (参考)
 HO 1 L 23/12 (2006.01) HO 1 L 23/12 5 O 1 C
 HO 1 L 23/12 5 O 1 P

審査請求 有 請求項の数 5 O L (全 10 頁)

(21) 出願番号	特願2007-339935 (P2007-339935)	(71) 出願人	504378124 スパンション エルエルシー アメリカ合衆国 カリフォルニア州 94 088-3453 サニーベイル デグウ イン ドライブ 915
(22) 出願日	平成19年12月28日(2007.12.28)	(74) 代理人	100117385 弁理士 田中 裕人
		(74) 代理人	100098431 弁理士 山中 郁生
		(72) 発明者	舩田 直実 福島県会津若松市高久工業団地2番 Sp ansion Japan株式会社内
		(72) 発明者	田谷 耕治 福島県会津若松市高久工業団地2番 Sp ansion Japan株式会社内

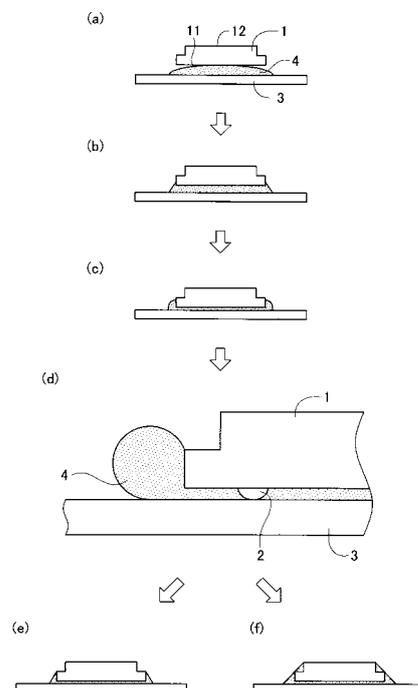
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 フリップチップ接続による実装において、アンダーフィルの這い上がりによる問題の防止をより確実なものにすることが可能な半導体装置及びその製造方法を提供すること。

【解決手段】 本発明に係る半導体装置は、一方の面に突起状の接続端子が設けられた平板状の半導体チップを備えている。半導体チップは、接続端子が設けられた一方の面とは反対の面について周囲エッジが除去されて段差が設けられる。これにより、アンダーフィルのフィレット部の容積をより大きく確保することができ、半導体チップに段差を設けたことによるアンダーフィルの這い上がり防止としての機能を向上できる。

【選択図】 図3



【特許請求の範囲】**【請求項 1】**

一方の面に突起状の接続端子が設けられた平板状の半導体チップを備える半導体装置であって、

前記チップの前記接続端子が設けられた一方の面とは反対の面について周囲エッジを除去し段差を設けたことを特徴とする半導体装置。

【請求項 2】

一方の面に突起状の接続端子が設けられた平板状の半導体チップを備える半導体装置の製造方法であって、

ウェハから個々のチップを形成する際、前記ウェハについて複数個の半導体回路が形成された面とは反対の面からダイシングするステップを備えることを特徴とする半導体装置製造方法。

10

【請求項 3】

前記ダイシングするステップは、

前記反対の面から前記ウェハの位置を特定するステップと、

前記反対の面から前記ウェハを切断するステップとを備えることを特徴とする請求項 2 に記載の半導体装置製造方法。

【請求項 4】

前記ウェハの位置を特定するステップは、

前記ウェハの前記反対の面にレーザーマークを捺印するステップと、

20

前記レーザーマークを参照するステップとを備えることを特徴とする請求項 3 に記載の半導体装置製造方法。

【請求項 5】

前記レーザーマークを捺印するステップと前記レーザーマークを参照するステップとは、確認用のダミーウェハを用いて実行されることを特徴とする請求項 4 に記載の半導体装置製造方法。

【発明の詳細な説明】**【技術分野】****【0001】**

30

本発明は半導体装置、特に平板状の半導体チップの一方の面に配列された突起状の接続端子（電極）によって半導体チップが直接基板に実装されることにより構成される半導体装置、及びその製造方法に関するものである。

【背景技術】**【0002】**

半導体装置においてチップと基板とを接続する方法として、近年の集積回路の小型化、薄型化に伴い、フリップチップと呼ばれる接続方法が実用化されている。従来のワイヤボンディングによる接続では、チップの接続端子が設けられた面を上面として、ワイヤによってチップと基板とが接続されていた。フリップチップ接続では、チップに bumps と呼ばれる突起状の接続端子が設けられる。bumps が下面となるようにチップが反転（フリップ）されて直接基板と接続される。

40

【0003】

フリップチップ接続では、アンダーフィルと呼ばれる熱硬化性樹脂によりチップと基板との間の bumps 周辺の領域が充填され、補強される。ところで、フリップチップ接続による実装においては、このアンダーフィルの這い上がりが問題とされてきた。図 1 を参照して、説明する。図 1 はフリップチップ接続による実装の一例を示す。図 1 に示されるように、チップ 1 の表面（回路形成面）11 が下面、裏面（回路形成面の反対の面）12 が上面とされる。チップ 1 の表面 11 には bumps 2 が配列される。bumps 2 を介してチップ 1 に形成された回路と基板 3 の回路とが接続される。

【0004】

50

基板 3 にチップ 1 を実装する際には、例えば、基板 3 のチップ 1 を取り付ける箇所に予めアンダーフィル 4 を塗布しておく。ボンディングヘッド 5 によりチップ 1 がピックアップされ、アンダーフィル 4 が塗布された基板 3 上のチップ 1 の取り付け箇所に載せられる。その後、ボンディングヘッド 5 により上から圧力と熱が加えられる。これにより、熱硬化性樹脂であるアンダーフィル 4 が硬化し、チップ 1 が基板 3 に固定される。

【 0 0 0 5 】

アンダーフィル 4 は、その塗布量が少ないと、バンプ 2 の周辺に十分に行き渡らない可能性があるため、ある程度は多量に塗布される必要がある。一方、アンダーフィル 4 の塗布量が多いと、チップ 1 の周囲にはみ出す。アンダーフィル 4 のはみ出した部分はフィレット部と呼ばれる。フィレット部の容積が大きい場合、図 1 に示されるようにアンダーフィル 4 がチップ 1 の側面を這い上がり、ボンディングヘッド 5 に付着する。

10

【 0 0 0 6 】

アンダーフィル 4 がボンディングヘッド 5 に付着すると、実装終了後にボンディングヘッド 5 を引き上げる際、チップ 1 がいくらか持ち上げられ、バンプ 2 にズレが生じてしまう。また、付着したアンダーフィル 4 が硬化してボンディングヘッド 5 の平坦性が損なわれることによって、フリップチップ製品の品質が低下するなどの問題がある。

【 0 0 0 7 】

特許文献 1 には、このアンダーフィル 4 の這い上がりによる問題に対処する技術が記載されている。

【 0 0 0 8 】

20

【特許文献 1】特開 2 0 0 1 - 2 5 0 8 4 3 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 9 】

特許文献 1 に開示された技術では、チップ 1 の表面 1 1 の周囲エッジが除去されて表面 1 1 の周囲に段差が設けられる。この段差により、アンダーフィル 4 の這い上がりを防止する。

【 0 0 1 0 】

しかし、アンダーフィル 4 のフィレット部が、チップ 1 の表面 1 1 の周囲に形成された段差を超えることが考えられる。チップ 1 の表面 1 1 の周囲に形成された段差ではフィレット部の容積に対して十分でないおそれがあり、アンダーフィル 4 の這い上がりを防止できないおそれがあり問題である。

30

【 0 0 1 1 】

本発明は、上記の課題に鑑み提案されたものである。フリップチップ接続による実装において、アンダーフィルの這い上がりによる問題の防止をより確実なものにすることが可能な半導体装置及びその製造方法を提供することを目的とする。

【課題を解決するための手段】

【 0 0 1 2 】

本発明に係る半導体装置は、一方の面に突起状の接続端子が設けられた平板状の半導体チップを備えている。半導体チップは、接続端子が設けられた一方の面とは反対の面について周囲エッジが除去されて段差が設けられる。

40

【 0 0 1 3 】

これにより、アンダーフィルのフィレット部の容積をより大きく確保することができ、半導体チップに段差を設けたことによるアンダーフィルの這い上がり防止としての機能を向上できる。

【 0 0 1 4 】

本発明に係る半導体装置の製造方法は、一方の面に突起状の接続端子が設けられた平板状の半導体チップを備える半導体装置を製造するものである。ウェハから個々のチップを形成する際、ウェハは複数個の回路が形成された面とは反対の面からダイシングされる。

【 0 0 1 5 】

50

これにより、半導体チップの接続端子が設けられた一方の面とは反対の面について周囲エッジが除去されて段差が設けられるため、フリップチップ接続による実装において、アンダーフィルの這い上がりによる問題の防止をより確実にした製造ができる。

【発明の効果】

【0016】

本発明の半導体装置及びその製造方法によれば、フリップチップ接続による実装において、アンダーフィルの這い上がりによる問題の防止をより確実なものにすることができる。

【発明を実施するための最良の形態】

【0017】

本発明の実施の形態について図面を参照しながら詳細に説明する。図2、図3を参照して、本発明の一実施の形態について、前述された特許文献1の実施形態と比較しながら説明する。なお、図2、図3において、背景技術で説明された図1と対応する部分には同一の符号が付される。

【0018】

図2は特許文献1によるフリップチップ接続の実装例を、図3は本発明によるフリップチップ接続の実装例を、それぞれアンダーフィル4の広がる過程を通じて示したものである。図2(a)と図3(a)とに示されるように、アンダーフィル4が塗布された基板3上のチップ1の取り付け箇所に、チップ1が載せられる。その後、図2(b)、(c)と図3(b)、(c)とに示されるように、チップ1には上から圧力と熱が加えられ、アンダーフィル4がチップ1の周囲にはみ出し、フィレット部が生じる。図2(d)と図3(d)とはそれぞれ、フィレット部の容積が大きくなり、アンダーフィル4がチップ1の側面を這い上がり始める限界の状態を拡大して示す。フィレット部の容積が図2(d)、図3(d)に示される限界を超えない場合の実装終了後の状態は、それぞれ図2(e)、図3(e)に示される。フィレット部の容積が図2(d)、図3(d)に示される限界を超えた場合の実装終了後の状態は、それぞれ図2(f)、図3(f)に示される。

【0019】

図2に示されるように、特許文献1によるフリップチップ接続の実装例では、チップ1の表面(回路形成面)11に段差が設けられる。一方、図3に示されるように、本発明によるフリップチップ接続の実装例では、チップ1の裏面(回路形成面の反対の面)12に段差が設けられる。アンダーフィル4がチップ1の側面を這い上がり始める限界の状態におけるフィレット部の形状は、図2(d)に示されるように特許文献1では1/4円なのに対して、図3(d)に示されるように本発明では全円である。したがって、本発明では、アンダーフィル4がチップ1の側面を這い上がり始める限界の状態におけるフィレット部の容積をより大きく確保することができる。すなわち、チップ1に段差を設けたことによるアンダーフィル4の這い上がり防止としての機能を向上できる。

【0020】

図4~図6を参照して、本発明と特許文献1について、チップ1に段差を設けたことによるアンダーフィル4の這い上がり防止機能を比較し、本発明において段差をチップ1の裏面に設けたことによる効果の説明をする。なお、図5、図6においても、背景技術で説明された図1と対応する部分には同一の符号が付される。

【0021】

図4は、チップ1の大きさ(ダイ寸法)が10[mm]四方である場合を取り上げて、アンダーフィル4がチップ1の側面を這い上がり始める限界の状態におけるアンダーフィル4全体の容積に占めるフィレット部の容積の比率を試算した結果の一例を表す。図4では、チップ1の厚さ(ダイ厚)が100、200、300、400[μm]のチップ1について、段差をチップ1の表面に設けた場合(表面ダブルカット)と裏面に設けた場合(裏面ダブルカット)との試算結果がそれぞれ示されている。ここで、ダブルカットとは、チップ1に段差を形成する方法として一般に知られているもので、幅の異なる2つの切削刃を用いる方法のことである。つまり、本発明は裏面ダブルカットであり、特許文献1は

10

20

30

40

50

表面ダブルカットである。

【 0 0 2 2 】

図 5、図 6 は図 4 に示される試算結果を求めるのに用いられた方法を説明する図である。図 5 は表面ダブルカットに、図 6 は裏面ダブルカットにそれぞれ対応する断面図の一部である。図 4 の試算結果においては、図 5、図 6 に示されるように、チップ 1 の厚さ（ダイ厚）は、チップ 1 の表面と裏面との間の距離である。ダブルカットにより形成される段差の高さであるダブルカット段差（高サ）は、ダイ厚 / 2 として計算されている。ダブルカットにより形成される段差の縦方向、横方向の長さであるダブルカット段差（タテ、ヨコ）は、ともに 30 [μm] として計算されている。アンダーフィル 4 のうち右上がり斜線で示される部分は、ダイ下部 4 1 である。アンダーフィル 4 のうち右下がり斜線で示される部分は、フィレット部 4 2 である。図 5、図 6 に示されるように、表面ダブルカットと裏面ダブルカットのどちらの場合も、図 4 の試算結果においては、ダイ下部 4 1 の厚さは 25 [μm] として計算されている。フィレット部 4 2 については、表面ダブルカットでは図 5 に示されるようにチップ 1 及び基板 3 とアンダーフィル 4 との接触角が 90 ° となる円弧で近似される。裏面ダブルカットでは図 6 に示されるようにチップ 1 及び基板 3 に接する円弧で近似される。一般的な CAD ソフトに備えられる面積演算機能により、それぞれのフィレット部 4 2 の断面積が計算されている。

10

【 0 0 2 3 】

チップ 1 の厚さ（ダイ厚）が 100 [μm] のチップ 1、すなわち、100 μm ダイを例に、図 4 の試算結果について具体的に説明する。まず、アンダーフィル 4 各部の断面積が計算される。表面ダブルカットについては、図 5 より、アンダーフィル 4 のダイ下部 4 1 の断面は縦が 25 [μm]、横がダイ寸法 10 [mm] から両側のダブルカット段差、すなわち、30 [μm] \times 2 = 60 [μm] を引いた長さの長方形である。よってその断面積は、 $0.025 \times (10 - 0.03 \times 2) = 0.25$ [mm^2] (a) となる。裏面ダブルカットについては、図 6 より、アンダーフィル 4 のダイ下部 4 1 の断面は縦が 25 [μm]、横がダイ寸法 10 [mm] の長方形である。よってその断面積は、 $0.025 \times 10 = 0.25$ [mm^2] (c) となる。表面ダブルカットと裏面ダブルカットともに、アンダーフィル 4 のフィレット部 4 2 の断面積は、前述されたように CAD ソフトの面積演算機能により求められた値 0.007 [mm^2] (b)、0.013 [mm^2] (d) となる。

20

30

【 0 0 2 4 】

続いて、断面積からアンダーフィル 4 各部の容積が計算される。表面ダブルカットについては、アンダーフィル 4 のダイ下部 4 1 の容積は、その断面積 (a) と、ダイ寸法 10 [mm] から両側のダブルカット段差、すなわち、30 [μm] \times 2 = 60 [μm] を引いた長さとの積で求められる。よってその容積は、約 2.5 [mm^3] (e) となる。裏面ダブルカットについては、アンダーフィル 4 のダイ下部 4 1 の容積は、その断面積 (c) とダイ寸法 10 [mm] との積で求められる。よってその容積は、2.5 [mm^3] (g) となる。表面ダブルカットと裏面ダブルカットともに、アンダーフィル 4 のフィレット部 4 2 の容積は、その断面積 (b、d) と、チップ 1 の 4 辺の長さ、すなわち、ダイ寸法 10 [mm] \times 4 = 40 [mm] との積で計算されている。よって表面ダブルカットについては 0.28 [mm^3] (f)、裏面ダブルカットについては 0.52 [mm^3] (h) となる。

40

【 0 0 2 5 】

アンダーフィル 4 各部の容積から、アンダーフィル 4 全体の容積が計算される。アンダーフィル 4 全体の容積は、アンダーフィル 4 のダイ下部 4 1 の容積 (e、g) とフィレット部 4 2 の容積 (f、h) との和で求められる。よって、表面ダブルカットについては 2.78 [mm^3] (i)、裏面ダブルカットについては 3.02 [mm^3] (j) となる。

【 0 0 2 6 】

アンダーフィル 4 全体の容積に占めるフィレット部 4 2 の容積の比率であるフィレット

50

部容積比率は、フィレット部 4 2 の容積 (f 、 h) をアンダーフィル 4 全体の容積 (i 、 j) で割った値である。よって、表面ダブルカットについては約 1 0 . 0 [%] (k) 、裏面ダブルカットについては約 1 7 . 2 [%] (l) となる。

【 0 0 2 7 】

このようにして求められたフィレット部容積比率を、表面ダブルカットと裏面ダブルカットとで比較する。1 0 0 μ m ダイ、2 0 0 μ m ダイ、3 0 0 μ m ダイ、4 0 0 μ m ダイのいずれにおいても、裏面ダブルカットのほうが表面ダブルカットよりフィレット部容積比率が高い。つまり、アンダーフィル 4 全体の容積に占めるフィレット部 4 2 の容積の比率が高い。アンダーフィル 4 がチップ 1 の側面を這い上がり始める限界の状態におけるフィレット部 4 2 の容積の比率が高いということは、アンダーフィル 4 についてチップ 1 の周囲にはみ出してもよい量が多いということである。したがって、表面ダブルカットに比べて、本発明に係る裏面ダブルカットでは、チップ 1 に段差を設けたことによるアンダーフィル 4 の這い上がり防止機能が向上されていることがわかる。

10

【 0 0 2 8 】

図 7 は、本発明に係る半導体装置の製造方法についてのフローの一例を示す。前工程での処理が終了したウェハが受領される (S 1) 。受領されたウェハの表面 (回路形成面) に保護テープが貼り付けられる (S 2) 。続いて、ウェハを所定の厚みにするためのバックグラインド処理が行われる (S 3) 。バックグラインド処理では、ウェハの裏面 (回路形成面の反対の面) が研削される。バックグラインド処理の後、保護テープが引き剥がされる (S 4) 。次に、ウェハ及びウェハから個片化されたチップ (ダイ) の支持体となるダイシングテープが、ウェハの表面に貼り付けられる (S 5) 。本発明ではウェハから個々のチップを形成する際、ウェハの裏面からダイシング (個片化) される。したがって、裏面からウェハの位置を特定する必要がある。そのため、ウェハの裏面にレーザーマークが捺印される (S 6) 。捺印されたレーザーマークを参照してウェハの位置が特定され (S 7) 、裏面からウェハが個々のチップに切断される (S 8) 。

20

【 0 0 2 9 】

このようにしてウェハの裏面からダイシングされたチップが、次工程のダイボンディング工程において、フリップチップ接続される。ウェハの裏面からのダイシングによりチップを形成することで、半導体チップの接続端子が設けられた一方の面とは反対の面について周囲エッジが除去されて段差が設けられる。そのため、フリップチップ接続による実装において、アンダーフィルの這い上がりによる問題の防止をより確実にした製造ができる。

30

【 0 0 3 0 】

図 8 を参照して、図 7 に示されるフローの各ステップのうち、ウェハの裏面にレーザーマークを捺印するステップ (S 6) について、具体的に説明する。図 8 は、ウェハにレーザーマークを捺印する装置の概略の一例を示す。装置は、稼動テストに使用されるダミーウェハ 6 、上カメラ 7 1 、下カメラ 7 2 、レーザー照射器 8 、 X Y ロボットテーブル 9 を備える。

【 0 0 3 1 】

ダミーウェハ 6 には、確認用の貫通穴が開けられている。ダミーウェハ 6 は、表面が下向きに、裏面が上向きに置かれる。上カメラ 7 1 は、ウェハに捺印されるレーザーマークを確認するカメラである。下カメラ 7 2 は、ウェハの表面の回路パターンを認識するカメラである。ダミーウェハ 6 を用いて、上カメラ 7 1 と下カメラ 7 2 との軸が検出される。この検出には、数値位置補正が含まれる。

40

【 0 0 3 2 】

次に、上カメラ 7 1 とレーザー照射器 8 それぞれの中心位置が補正される。レーザー照射器 8 により、ダミーウェハ 6 の規定の位置にレーザー 8 1 で捺印される。捺印されたレーザーマークを上カメラ 7 1 で確認することで、上カメラ 7 1 とレーザー照射器 8 それぞれの中心位置の間の距離が計測され、補正される。なお、ウェハの搬送は X Y ロボットテーブル 9 により行われる。上カメラ 7 1 とレーザー照射器 8 それぞれの中心位置の補正で

50

は、XYロボットテーブル9による搬送の誤差も合わせて補正が行われる。

【0033】

このように、ダミーウェハ6を用いて装置の稼動テストが行われる。これにより、上カメラ71と下カメラ72、及びXYロボットテーブル9の移動量を用いて、ウェハの表面の回路パターンを認識し、ウェハの裏面の任意の位置にレーザーマークを捺印することができる。捺印されたレーザーマークを参照することで、ウェハの裏面からのダイシングが可能となる。

【0034】

ここで、特許請求の範囲との対応は以下の通りである。

バンプ2は、突起状の接続端子の一例である。

チップ1の表面11は、チップの接続端子が設けられた一方の面の一例である。

チップ1の裏面12は、チップの接続端子が設けられた一方の面とは反対の面の一例である。

図7に示されるフローの各ステップS1～S8は、ウェハについて複数個の半導体回路が形成された面とは反対の面からダイシングするステップの一例である。

図7に示されるフローのステップS6、S7は、ウェハの位置を特定するステップの一例である。

【0035】

以上、詳細に説明したように、本発明の上述された実施の形態によれば、ウェハから個々のチップを形成する際、ウェハは裏面（回路形成面の反対の面）からダイシングされる。これにより、半導体チップは、接続端子が設けられた一方の面とは反対の面について周囲エッジが除去されて段差が設けられる。したがって、アンダーフィルのフィレット部の容積をより大きく確保することができ、半導体チップに段差を設けたことによるアンダーフィルの這い上がり防止としての機能の向上が図られる。

【0036】

前述の特許文献1では、ウェハの表面（回路形成面）からダイシングされるため、ダブルカット段差の幅について、回路パターンに影響を与えない領域より広くすることはできないという制約がある。しかし、本発明では、ウェハの裏面からダイシングされるため、この制約を受けないという利点もある。

【0037】

また、本発明では、ウェハの裏面からダイシングされるため、従来はウェハの裏面に貼り付けられていたダイシングテープがウェハの表面に貼り付けられる（図7：S5参照）。したがって、バックグラインド処理（図7：S3参照）の前にウェハの表面に貼り付けられる保護テープ（図7：S2参照）を、ダイシングテープとしても用いることが可能とされ得る。つまり、テープの貼り付け及び引き剥がしの工程を削減することができる。実装作業時間の短縮や、テープ部材のコスト削減を図ることができる。

【0038】

なお、本発明は前記実施形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲内での種々の改良、変更が可能であることは言うまでもない。

例えば、ダイ厚やダブルカット段差などの値は一例を示したものであり、この値に限定されるものではないことは言うまでもない。ダブルカット段差については、フィレット部42がボンディングヘッド5に接触しない範囲であればよい。

【0039】

図4～図6では、チップ1に段差を形成する方法としてダブルカットを用いた場合の試算結果を示したが、本発明はこれに限られるものではない。チップ1について、アンダーフィル4の這い上がり防止機能の向上が図られるような段差を形成できる方法であればよい。段差の形状についても、図示されたような平面でなく、傾斜面であってもよい。

【0040】

前記実施形態では、チップ1は基板3と接続されたが、これに限られない。チップ1は基板以外にも、例えば、リードフレームなどのパッケージキャリアと接続されてもよいし

10

20

30

40

50

、チップ間を接続するチップ・オン・チップの実装にも本発明を適用することができる。

【0041】

前記実施形態では、ウェハの裏面からダイシングするために、図7、図8に示されるように、ウェハの裏面に捺印されるレーザーマークを参照して、ウェハの位置が特定される。しかし、これに限られるものではない。例えば、赤外線カメラを用いてウェハの裏面からウェハの表面の回路パターンを認識して、それを参照するようにしてもよい。

【図面の簡単な説明】

【0042】

【図1】本発明に関連して、フリップチップ接続による実装の一例を示す図である。

【図2】従来のフリップチップ接続の実装例を示す図である。

10

【図3】本発明によるフリップチップ接続の実装例を示す図である。

【図4】チップの側面を這い上がり始める限界の状態におけるアンダーフィル全体の容積に占めるフィレット部の容積の比率を試算した結果の一例を表す。

【図5】表面ダブルカットについて、図4の試算に用いられた方法を説明する断面図である。

【図6】裏面ダブルカットについて、図4の試算に用いられた方法を説明する断面図である。

【図7】本発明に係る半導体装置の製造方法についてのフローの一例を示す図である。

【図8】ウェハにレーザーマークを捺印する装置の概略の一例を示す図である。

20

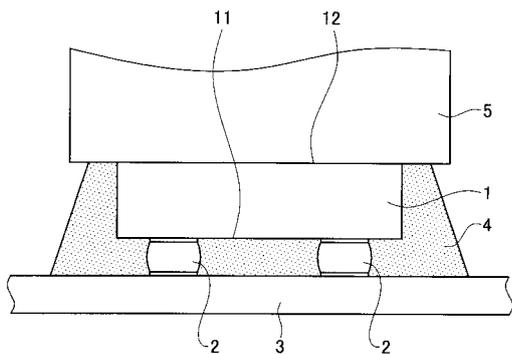
【符号の説明】

【0043】

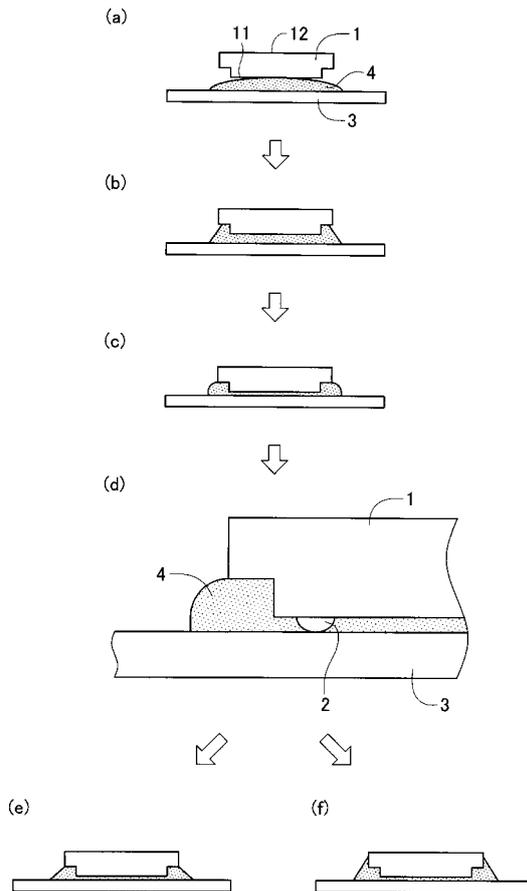
- 1 チップ
- 2 パンプ
- 3 基板
- 4 アンダーフィル
- 5 ボンディングヘッド
- 6 ダミーウェハ
- 8 レーザー照射器
- 9 X Yロボットテーブル
- 11 表面（回路形成面）
- 12 裏面（回路形成面の反対の面）
- 41 アンダーフィル4のダイ下部
- 42 アンダーフィル4のフィレット部
- 71 上カメラ
- 72 下カメラ
- 81 レーザー

30

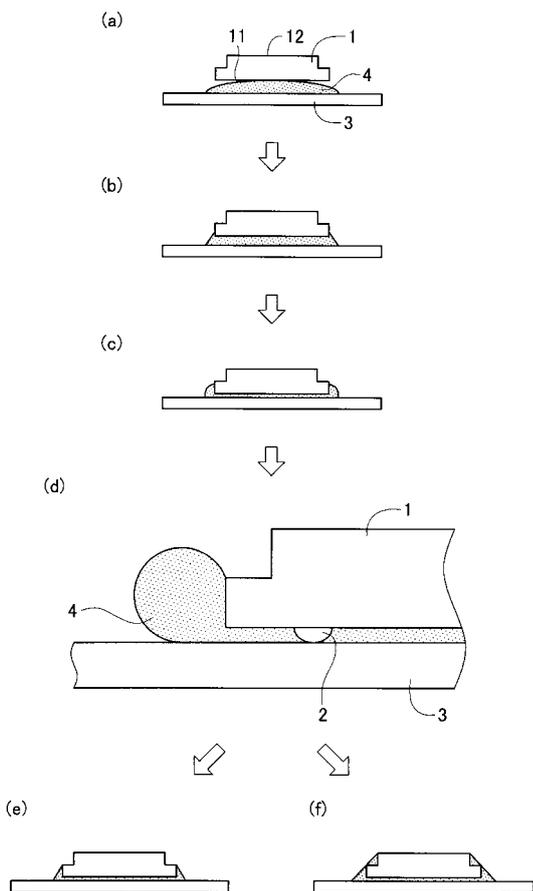
【 図 1 】



【 図 2 】



【 図 3 】

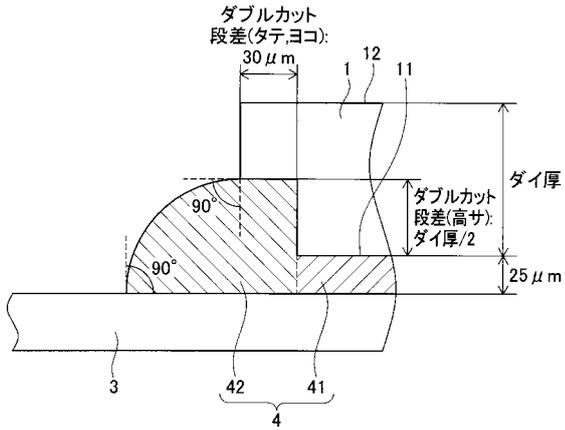


【 図 4 】

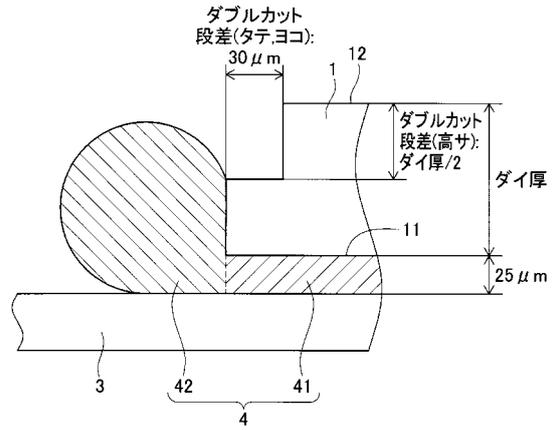
	100 μm ダイ			200 μm ダイ			300 μm ダイ			400 μm ダイ		
	表面 ダブルカット ダイ 下部	裏面 ダブルカット ダイ 下部	フィレット 部									
アンダーファイル 各部断面積(mm ²)	a	b	c	d	e	f	g	h	i	j	k	l
アンダーファイル 各部容積(mm ³)	0.25	0.007	0.25	0.013	0.25	0.016	0.25	0.042	0.25	0.029	0.25	0.089
アンダーファイル 全体容積(mm ³)	2.5	0.28	2.5	0.52	2.5	0.64	2.5	1.68	2.5	1.16	2.5	3.56
フィレット部 容積比率(%)	2.78	10.0	3.02	17.2	3.14	20.4	4.18	31.7	6.06	42.9	8.56	58.7

※ ダイ寸法(女子×ヨコ) : 10×10mm
 ダブルカット段差(女子ヨコ) : 各0.03mm
 ダブルカット段差(高さ) : ダイ厚/2

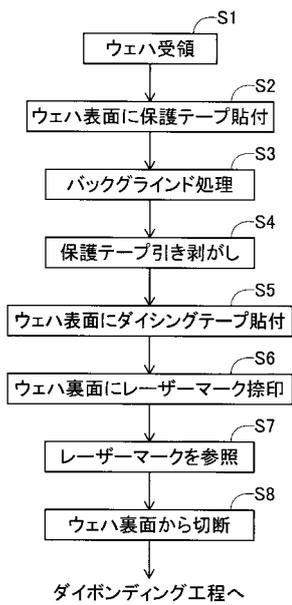
【 図 5 】



【 図 6 】



【 図 7 】



【 図 8 】

