



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2021년04월06일
(11) 등록번호 10-2236560
(24) 등록일자 2021년03월31일

(51) 국제특허분류(Int. Cl.)
H01L 29/78 (2006.01) H01L 21/336 (2006.01)
(21) 출원번호 10-2014-0101756
(22) 출원일자 2014년08월07일
심사청구일자 2019년08월02일
(65) 공개번호 10-2015-0111807
(43) 공개일자 2015년10월06일
(30) 우선권주장
61/970,615 2014년03월26일 미국(US)
(56) 선행기술조사문헌
CN101414632 A*
(뒷면에 계속)

(73) 특허권자
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
마에다, 시게노부
경기도 성남시 분당구 백현로 100 정자아이파크
916
권태용
경기도 수원시 영통구 영통로 498 황골마을아파트
155동 1806호
(뒷면에 계속)
(74) 대리인
특허법인가산

전체 청구항 수 : 총 20 항

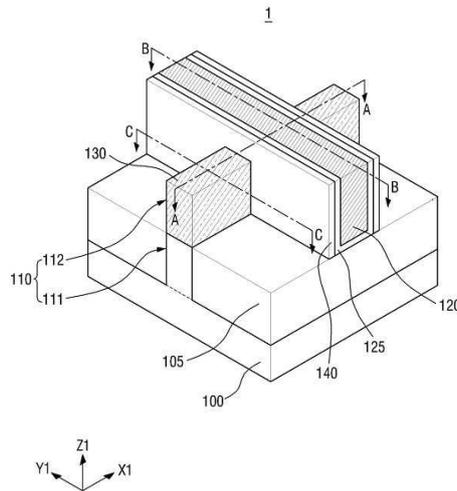
심사관 : 최정민

(54) 발명의 명칭 반도체 장치 및 이의 제조 방법

(57) 요약

실리콘 카바이드를 트랜지스터의 채널층에 사용함으로써, 트랜지스터의 동작 성능을 향상시킨 반도체 장치를 제공하는 것이다. 상기 반도체 장치는 기판 상에 형성된 필드 절연막, 상기 필드 절연막에 의해 정의되고, 제1 방향으로 연장되고, 상기 기판 상에 순차적으로 적층된 하부 패턴과 상부 패턴을 포함하는 핀형 액티브 패턴으로, 상기 하부 패턴은 실리콘 패턴이고, 상기 상부 패턴은 실리콘 카바이드(SiC) 패턴이고, 상기 핀형 액티브 패턴의 상면은 상기 상부 패턴이고, 제1 부분과 상기 제1 부분을 중심으로 상기 제1 방향으로 양측에 배치되는 제2 부분을 포함하는 핀형 액티브 패턴, 상기 제1 방향과 다른 제2 방향으로 연장되고, 상기 제1 부분 상에 형성되는 게이트 전극, 및 상기 제2 부분에 형성되는 소오스/드레인을 포함한다.

대표도 - 도1



(72) 발명자

김상수

경기도 용인시 기흥구 사은로 274-22 씨니벨리아파
트 110동 1804호

박재후

경기도 화성시 동탄중앙로 171 시범다은마을우남퍼
스트빌아파트 355-1801

(56) 선행기술조사문헌

KR1020130007412 A*

KR1020130086104 A*

US20120104472 A1*

US20130234204 A1*

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

기판의 상면 상에, 그 내부에 정의되며 제1 방향으로 연장되는 트렌치를 포함하는 필드 절연막;

상기 기판의 상면으로부터 상기 필드 절연막 내부에 정의된 상기 트렌치를 통하여 연장되고, 제1 핀 부분과 상기 제1 방향에서 상기 제1 핀 부분의 양 측 상에 배치된 제2 핀 부분을 포함하는 핀형 액티브 패턴;

상기 핀형 액티브 패턴과 교차하며 상기 제1 방향과 다른 제2 방향으로 연장되는 제1 게이트 전극; 및

상기 제2 핀 부분 내에, 상기 제1 게이트 전극의 양 측 상에 배치되는 제1 소오스 및 드레인 영역들을 포함하고,

상기 핀형 액티브 패턴은 상기 기판과 접촉하는 제1 하부 패턴과, 상기 필드 절연막보다 상기 기판으로부터 더 돌출하며 상기 제1 하부 패턴과 접촉하는 제1 상부 패턴을 포함하고,

상기 제1 상부 패턴과 상기 제1 하부 패턴의 접촉면은 상기 필드 절연막의 상면과 동일 평면에 형성되어, 상기 제2 핀 부분의 상기 제1 상부 패턴의 측벽의 전체는 상기 필드 절연막과 접촉하지 않고,

상기 제1 상부 패턴과 상기 제1 하부 패턴의 접촉면은 상기 제1 소오스 및 드레인 영역들의 하면과 동일 평면에 형성되고,

상기 제1 상부 패턴은 상기 제1 하부 패턴과 상이한 격자 변형 물질을 포함하고,

상기 제1 하부 패턴은 반도체 물질을 포함하는 반도체 장치.

청구항 2

제1 항에 있어서,

제1 소오스 및 드레인 영역들은

상기 제2 핀 부분 내에 배치되고, 상기 제1 게이트 전극과의 양 측 상에 배치된 불순물 영역들과, 상기 격자 변형 물질을 포함하는 제1 에피택셜막을 포함하는 반도체 장치.

청구항 3

제2 항에 있어서,

상기 제1 에피택셜막은 상기 제1 상부 패턴의 상기 제2 핀 부분의 측벽들 및 상면 상에 형성되고,

상기 제1 에피택셜막은 상기 필드 절연막과 접촉하는 반도체 장치.

청구항 4

제2 항에 있어서,

상기 제1 에피택셜막은 상기 필드 절연막과 접촉하지 않고, 상기 제1 상부 패턴의 상기 제2 핀 부분의 측벽들 및 상면 상에 형성된 반도체 장치.

청구항 5

제4 항에 있어서,

상기 제1 게이트 전극의 측벽들 상에 배치된 제1 게이트 스페이서들과,

상기 제1 상부 패턴의 상기 제2 핀 부분의 상기 측벽들의 일부 상에 배치되며, 상기 제1 에피택셜막과 상기 제1 게이트 스페이서들과 접촉하는 제1 핀 스페이서들을 더 포함하는 반도체 장치

청구항 6

제1 항에 있어서,
 상기 반도체 장치는 NMOS(n-channel metal oxide semiconductor)를 포함하고,
 상기 격자 변형 물질은 탄소(carbon)를 포함하고,
 상기 제1 상부 패턴은 SiC(silicon carbide)를 포함하는 반도체 장치.

청구항 7

제6 항에 있어서,
 제1 소오스 및 드레인 영역들은, 상기 제1 게이트 전극의 양 측벽들 상에 배치되고 상기 제2 핀 부분 내에 배치된 불순물 영역들과, 상기 격자 변형 물질을 포함하는 제1 에피택셜막을 포함하고,
 상기 제1 상부 패턴 내의 탄소 농도는 상기 제1 에피택셜막 내의 탄소 농도를 초과하지 않는 반도체 장치.

청구항 8

제7 항에 있어서,
 상기 제1 상부 패턴 내 상기 탄소 농도는 0.5% 내지 1.5%이고,
 상기 제1 에피택셜막 내 상기 탄소 농도는 0.5% 내지 1.5%인 반도체 장치.

청구항 9

제1 항에 있어서,
 상기 반도체 장치는 PMOS(p-channel metal oxide semiconductor)를 포함하고,
 상기 격자 변형 물질은 게르마늄(germanium)을 포함하고,
 상기 제1 상부 패턴은 실리콘 게르마늄(silicon germanium)를 포함하는 반도체 장치.

청구항 10

제9 항에 있어서,
 제1 소오스 및 드레인 영역들은 상기 제1 게이트 전극의 양 측벽들 상에 배치되고 상기 제2 핀 부분 내에 배치된 불순물 영역들과, 상기 격자 변형 물질을 포함하는 제1 에피택셜막을 포함하고,
 상기 제1 상부 패턴 내의 게르마늄 농도는 상기 제1 에피택셜막 내의 게르마늄 농도를 초과하지 않는 반도체 장치.

청구항 11

제10 항에 있어서,
 상기 제1 상부 패턴 내의 상기 게르마늄 농도는 50% 내지 70%이고,
 상기 제1 에피택셜막 내의 상기 게르마늄 농도는 50% 내지 70%인 반도체 장치.

청구항 12

제1 항에 있어서,
 상기 제2 핀 부분의 상면은 상기 기판에 대해 상기 제1 핀 부분의 상면보다 더 리세스된 반도체 장치.

청구항 13

기판의 상면 상에, 그 내부에 정의되며 제1 방향으로 연장되는 트렌치를 포함하는 필드 절연막;
 상기 기판의 상면으로부터 상기 필드 절연막 내부에 정의된 상기 트렌치를 통하여 연장되고, 상기 제1 방향에서

제1 핀 부분과, 상기 제1 핀 부분의 양 측 상에 배치된 제2 핀 부분을 포함하 제1 핀형 액티브 패턴;

상기 기판의 상면으로부터 상기 필드 절연막 내부에 정의된 상기 트렌치를 통하여 연장되고, 제3 핀 부분과, 상기 제1 방향에서 상기 제3 핀 부분의 양 측 상에 배치된 제4 핀 부분을 포함하는 제2 핀형 액티브 패턴;

상기 제1 핀형 액티브 패턴과 교차하고 상기 제1 방향과 다른 제2 방향으로 연장되는 제1 게이트 전극;

상기 제2 핀 부분 내에, 상기 제1 게이트 전극의 양 측 상에 배치되는 제1 소오스 및 드레인 영역들;

상기 제2 핀형 액티브 패턴과 교차하고 상기 제2 방향으로 연장되는 제2 게이트 전극; 및

상기 제4 핀 부분 내에, 상기 제2 게이트 전극의 양 측 상에 배치되는 제2 소오스 및 드레인 영역들을 포함하고,

상기 제1 핀형 액티브 패턴은 상기 기판과 접촉하는 제1 하부 패턴과, 상기 필드 절연막보다 상기 기판으로부터 더 돌출하며 상기 제1 하부 패턴과 접촉하는 제1 상부 패턴을 포함하고,

상기 제1 상부 패턴과 상기 제1 하부 패턴의 접촉면은 상기 필드 절연막의 상면과 동일 평면에 형성되어, 상기 제2 핀 부분의 상기 제1 상부 패턴의 측벽의 전체는 상기 필드 절연막과 접촉하지 않고,

상기 제1 상부 패턴과 상기 제1 하부 패턴의 접촉면은 상기 제1 소오스 및 드레인 영역들의 하면과 동일 평면에 배치되고,

상기 제1 상부 패턴은 상기 제1 하부 패턴과 상이한 제1 격자 변형 물질을 포함하고,

상기 제2 핀형 액티브 패턴은 상기 기판과 접촉하는 제2 하부 패턴과, 상기 필드 절연막보다 상기 기판으로부터 더 돌출하며 제2 하부 패턴과 접촉하는 제2 상부 패턴을 포함하고,

상기 제2 상부 패턴과 상기 제2 하부 패턴의 접촉면은 상기 필드 절연막의 상면과 동일 평면에 형성되어, 상기 제4 핀 부분의 상기 제2 상부 패턴의 측벽의 전체는 상기 필드 절연막과 접촉하지 않고,

상기 제2 상부 패턴과 상기 제2 하부 패턴의 접촉면은 상기 제2 소오스 및 드레인 영역들의 하면과 동일 평면 상에 배치되고,

상기 제2 상부 패턴은 상기 제2 하부 패턴과 상이한 제2 격자 변형 물질을 포함하는 반도체 장치.

청구항 14

제13 항에 있어서,

상기 제1 소오스 및 드레인 영역들은 상기 제1 게이트 전극의 양 측 상에 배치되며 상기 제2 핀 부분 내에 배치되는 불순물 영역들과, 상기 제1 격자 변형 물질을 포함하는 제1 에피택셜막을 포함하고,

상기 제2 소오스 및 드레인 영역들은 상기 제2 게이트 전극의 양 측 상에 배치되며 상기 제4 핀 부분 내에 배치되는 불순물 영역들과, 상기 제2 격자 변형 물질을 포함하는 제2 에피택셜막을 포함하는 반도체 장치.

청구항 15

제14 항에 있어서,

상기 제1 격자 변형 물질과 상기 제2 격자 변형 물질은 같은 물질인 반도체 장치.

청구항 16

제14 항에 있어서,

상기 제1 격자 변형 물질은 탄소(carbon)를 포함하고, 상기 제2 격자 변형 물질은 게르마늄(germanium)을 포함하는 반도체 장치.

청구항 17

제14 항에 있어서,

상기 제1 게이트 전극과 상기 제2 게이트 전극 사이에, 상기 제2 방향으로 연장되며 상기 필드 절연막 상에 배

치된 더미 게이트를 더 포함하는 반도체 장치.

청구항 18

제14 항에 있어서,

상기 제1 및 제2 핀형 액티브 패턴들 사이에, 상기 기판 상에 형성된 옥사이드 패턴(oxide pattern)을 더 포함하는 반도체 장치.

청구항 19

제18 항에 있어서,

상기 옥사이드 패턴 상의 더미 게이트 전극을 더 포함하고,

상기 더미 게이트 전극은 상기 제2 방향으로 연장되고, 상기 제1 게이트 전극과 상기 제2 게이트 전극 사이에 배치된 반도체 장치.

청구항 20

제18 항에 있어서,

상기 옥사이드 패턴의 적어도 일부 상에 배치된 제1 및 제2 더미 게이트 전극들을 더 포함하고,

상기 제1 및 제2 더미 게이트 전극들은 상기 제1 게이트 전극과 상기 제2 게이트 전극 사이에서 상기 제1 방향으로 이격되고, 상기 제2 방향으로 연장되는 반도체 장치.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 장치 및 그 제조 방법에 관한 것으로, 더 구체적으로 핀형 액티브 패턴을 포함하는 반도체 장치 및 그 제조 방법에 관한 것이다.

배경 기술

[0002] 반도체 장치의 밀도를 높이기 위한 스케일링(scaling) 기술 중 하나로서, 기판 상에 핀(fin) 또는 나노와이어(nanowire) 형상의 다채널 액티브 패턴(또는 실리콘 바디)을 형성하고 다채널 액티브 패턴의 표면 위에 게이트를 형성하는 멀티 게이트 트랜지스터(multi gate transistor)가 제안되었다.

[0003] 또한, MOS 트랜지스터의 피쳐 사이즈(feature size)가 감소함에 따라, 게이트 길이와 그 아래에 형성되는 채널의 길이도 작아지게 된다. 트랜지스터의 채널 길이가 감소함에 따라, 채널에서 전하의 산란이 증가하게 되고, 전하의 이동도가 감소하게 된다. 전하 이동도의 감소는 트랜지스터의 포화 전류(saturation current)를 향상시키는데 있어서, 장애물이 될 수 있다.

[0004] 따라서, 채널의 길이가 감소한 트랜지스터에서 전하의 이동도를 향상시키기 위한 다양한 연구가 진행되고 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명이 해결하려는 과제는, 실리콘 카바이드를 트랜지스터의 채널층에 사용함으로써, 트랜지스터의 동작 성능을 향상시킨 반도체 장치를 제공하는 것이다.

[0006] 본 발명이 해결하려는 다른 과제는, 실리콘 카바이드를 트랜지스터의 채널층에 사용함으로써, 트랜지스터의 동작 성능을 향상시킨 반도체 장치의 제조 방법을 제공하는 것이다.

[0007] 본 발명이 해결하려는 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

- [0008] 상기 과제를 해결하기 위한 본 발명의 반도체 장치의 일 태양(aspect)은 기판 상에 형성된 필드 절연막, 상기 필드 절연막에 의해 정의되고, 제1 방향으로 연장되고, 상기 기판 상에 순차적으로 적층된 하부 패턴과 상부 패턴을 포함하는 핀형 액티브 패턴으로, 상기 하부 패턴은 실리콘 패턴이고, 상기 상부 패턴은 실리콘 카바이드(SiC) 패턴이고, 상기 핀형 액티브 패턴의 상면은 상기 상부 패턴이고, 제1 부분과 상기 제1 부분을 중심으로 상기 제1 방향으로 양측에 배치되는 제2 부분을 포함하는 핀형 액티브 패턴, 상기 제1 방향과 다른 제2 방향으로 연장되고, 상기 제1 부분 상에 형성되는 게이트 전극, 및 상기 제2 부분에 형성되는 소오스/드레인을 포함한다.
- [0009] 본 발명의 몇몇 실시예에서, 상기 제1 부분의 상면 및 상기 제2 부분의 상면은 상기 필드 절연막의 상면보다 위로 돌출되고, 동일 평면 상에 놓여있고, 상기 소오스/드레인은 상기 필드 절연막의 상면보다 위로 돌출된 상기 제2 부분의 상면 및 측벽 상에 형성된 에피층을 포함한다.
- [0010] 본 발명의 몇몇 실시예에서, 상기 에피층은 상기 필드 절연막과 접한다.
- [0011] 본 발명의 몇몇 실시예에서, 상기 에피층은 상기 제2 부분의 측벽의 일부 및 상면 상에 형성된다.
- [0012] 본 발명의 몇몇 실시예에서, 상기 필드 절연막의 상면보다 위로 돌출된 상기 제2 부분의 측벽 일부에 형성된 핀 스페이서를 더 포함하고, 상기 에피층은 상기 핀 스페이서보다 돌출된 상기 제2 부분의 둘레를 따라 형성된다.
- [0013] 본 발명의 몇몇 실시예에서, 상기 에피층은 실리콘 카바이드를 포함하고, 상기 에피층에 포함된 탄소의 비율은 상기 상부 패턴에 포함된 탄소의 비율보다 높다.
- [0014] 본 발명의 몇몇 실시예에서, 상기 제1 부분의 상면은 상기 필드 절연막의 상면보다 위로 돌출되고, 상기 제2 부분의 상면은 상기 제1 부분의 상면보다 리세스되고, 상기 소오스/드레인은 상기 제2 부분의 상면 상에 형성된 에피층을 포함한다.
- [0015] 본 발명의 몇몇 실시예에서, 상기 제2 부분의 상면은 상기 필드 절연막의 상면보다 위로 돌출된다.
- [0016] 본 발명의 몇몇 실시예에서, 상기 에피층은 상기 필드 절연막의 상면보다 위로 돌출된 상기 제2 부분의 측벽 상에 형성된다.
- [0017] 본 발명의 몇몇 실시예에서, 상기 필드 절연막의 상면보다 위로 돌출된 상기 제2 부분의 측벽 상에 형성된 핀 스페이서를 더 포함한다.
- [0018] 본 발명의 몇몇 실시예에서, 상기 제2 부분의 측벽은 전체적으로 상기 필드 절연막과 접한다.
- [0019] 본 발명의 몇몇 실시예에서, 상기 필드 절연막 상에, 트렌치를 포함하고, 상기 핀형 액티브 패턴과 상기 소오스/드레인을 덮는 층간 절연막과, 상기 게이트 전극과 상기 핀형 액티브 패턴 사이에 형성되는 게이트 절연막을 더 포함하고, 상기 게이트 전극은 상기 트렌치 내에 형성되고, 상기 게이트 절연막은 상기 트렌치의 측벽 및 바닥면을 따라서 형성된다.
- [0020] 상기 과제를 해결하기 위한 본 발명의 반도체 장치의 다른 태양은 기판 상에 길이 방향으로 나란하게 형성되고, 각각 장변 및 단변을 포함하는 제1 핀형 액티브 패턴 및 제2 핀형 액티브 패턴, 상기 기판 상에 형성되고, 제1 영역 및 제2 영역을 포함하는 필드 절연막으로, 상기 제1 영역은 상기 제1 핀형 액티브 패턴의 장변 및 상기 제2 핀형 액티브 패턴의 장변과 접하고, 상기 제2 영역은 상기 제1 핀형 액티브 패턴의 단변 및 상기 제2 핀형 액티브 패턴의 단변 사이에 형성되는 필드 절연막, 상기 제1 핀형 액티브 패턴 및 상기 제1 영역 상에, 상기 제1 핀형 액티브 패턴과 교차하도록 형성되는 제1 게이트 전극, 상기 제2 핀형 액티브 패턴 및 상기 제1 영역 상에, 상기 제2 핀형 액티브 패턴과 교차하도록 형성되는 제2 게이트 전극, 및 상기 제1 게이트 전극 및 상기 제2 게이트 전극과 나란하고, 적어도 일부는 상기 제2 영역 상에 형성되는 제1 더미 게이트 전극을 포함하고, 상기 제1 핀형 액티브 패턴은 상기 기판 상에 순차적으로 적층된 제1 실리콘 패턴과 제1 실리콘 카바이드 패턴을 포함하고, 상기 제2 핀형 액티브 패턴은 상기 기판 상에 순차적으로 적층된 제2 실리콘 패턴과 제2 실리콘 카바이드 패턴을 포함하고, 상기 제1 핀형 액티브 패턴의 상면은 상기 제1 실리콘 카바이드 패턴이고, 상기 제2 핀형 액티브 패턴의 상면은 상기 제2 실리콘 카바이드 패턴이다.
- [0021] 본 발명의 몇몇 실시예에서, 상기 제1 더미 게이트 전극은 상기 제1 핀형 액티브 패턴의 종단과 상기 제2 핀형 액티브 패턴의 종단 사이를 가로지른다.

- [0022] 본 발명의 몇몇 실시예에서, 상기 제1 게이트 전극 및 상기 제2 게이트 전극과 나란한 제2 더미 게이트 전극을 더 포함하고, 상기 제1 더미 게이트 전극은 상기 제1 영역과 상기 제1 핀형 액티브 패턴 상에 형성되고, 상기 제2 더미 게이트 전극의 일부는 제2 영역 상에 형성되고, 상기 제2 더미 게이트 전극의 나머지는 상기 제1 영역과 상기 제2 핀형 액티브 패턴 상에 형성된다.
- [0023] 본 발명의 몇몇 실시예에서, 상기 제1 실리콘 패턴은 상기 제1 실리콘 카바이드 패턴과 직접 연결되고, 상기 제2 실리콘 패턴은 상기 제2 실리콘 카바이드 패턴과 직접 연결된다.
- [0024] 상기 과제를 해결하기 위한 본 발명의 반도체 장치의 또 다른 태양은 기판 상에 형성된 필드 절연막, 상기 필드 절연막에 의해 정의되고, 제1 방향으로 연장되고, 상기 기판 상에 순차적으로 적층된 제1 하부 패턴과 제1 상부 패턴을 포함하는 제1 핀형 액티브 패턴으로, 상기 제1 하부 패턴은 실리콘 패턴이고, 상기 제1 상부 패턴은 실리콘 카바이드(SiC) 패턴이고, 상기 제1 핀형 액티브 패턴의 상면은 상기 제1 상부 패턴이고, 제1 부분과 상기 제1 부분을 중심으로 상기 제1 방향으로 양측에 배치되는 제2 부분을 포함하는 제1 핀형 액티브 패턴, 상기 제1 방향과 다른 제2 방향으로 연장되고, 상기 제1 부분 상에 형성되는 제1 게이트 전극, 상기 제2 부분에 형성되는 제1 소오스/드레인, 상기 필드 절연막에 의해 정의되고, 제3 방향으로 연장되고, 상기 기판 상에 순차적으로 적층된 제2 하부 패턴과 제2 상부 패턴을 포함하는 제2 핀형 액티브 패턴으로, 상기 제2 하부 패턴은 실리콘 패턴이고, 상기 제2 상부 패턴은 실리콘 게르마늄(SiGe) 패턴이고, 상기 제2 핀형 액티브 패턴의 상면은 상기 제2 상부 패턴이고, 제3 부분과 상기 제3 부분을 중심으로 상기 제3 방향으로 양측에 배치되는 제4 부분을 포함하는 제2 핀형 액티브 패턴, 상기 제3 방향과 다른 제4 방향으로 연장되고, 상기 제3 부분 상에 형성되는 제2 게이트 전극, 및 상기 제4 부분에 형성되는 제2 소오스/드레인을 포함한다.
- [0025] 본 발명의 몇몇 실시예에서, 상기 제1 소오스/드레인은 상기 제2 부분 상에 형성된 제1 에피층을 포함한다.
- [0026] 본 발명의 몇몇 실시예에서, 상기 제2 소오스/드레인은 상기 제4 부분 상에 형성된 제2 에피층을 포함한다.
- [0027] 상기 다른 과제를 해결하기 위한 본 발명의 반도체 장치 제조 방법의 일 태양은 기판 상에, 실리콘 카바이드막을 형성하고, 상기 실리콘 카바이드막과 상기 기판의 일부를 패터닝하여, 핀형 액티브 패턴을 형성하고, 상기 기판 상에, 상기 핀형 액티브 패턴과 교차하는 제1 게이트 전극을 형성하고, 상기 제1 게이트 전극의 양측에, 소오스/드레인을 형성하는 것을 포함한다.
- [0028] 본 발명의 몇몇 실시예에서, 상기 기판 상에, 상기 소오스/드레인과, 상기 제1 게이트 전극을 덮는 층간 절연막을 형성하고, 상기 제1 게이트 전극을 제거하여, 트렌치를 형성하고, 상기 트렌치 내에, 제2 게이트 전극을 형성하는 것을 더 포함한다.
- [0029] 본 발명의 기타 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

도면의 간단한 설명

- [0030] 도 1은 본 발명의 제1 실시예에 따른 반도체 장치를 설명하기 위한 사시도이다.
- 도 2는 도 1의 A - A를 따라서 절단한 단면도이다.
- 도 3은 도 1의 B - B를 따라서 절단한 단면도이다.
- 도 4는 도 1의 C - C를 따라서 절단한 단면도이다.
- 도 5 및 도 6은 본 발명의 제2 실시예에 따른 반도체 장치를 설명하기 위한 도면들이다.
- 도 7은 본 발명의 제3 실시예에 따른 반도체 장치를 설명하기 위한 도면이다.
- 도 8은 본 발명의 제4 실시예에 따른 반도체 장치를 설명하기 위한 도면이다.
- 도 9 및 도 10은 본 발명의 제5 실시예에 따른 반도체 장치를 설명하기 위한 도면들이다.
- 도 11은 본 발명의 제6 실시예에 따른 반도체 장치를 설명하기 위한 도면이다.
- 도 12는 본 발명의 제7 실시예에 따른 반도체 장치를 설명하기 위한 도면이다.
- 도 13 및 도 14는 본 발명의 제8 실시예에 따른 반도체 장치를 설명하기 위한 도면들이다.
- 도 15는 본 발명의 제9 실시예에 따른 반도체 장치를 설명하기 위한 도면이다.

도 16a 및 도 16b는 본 발명의 제10 실시예에 따른 반도체 장치를 설명하기 위한 사시도 및 평면도이다.
 도 17은 도 16a에서 편형 액티브 패턴과 필드 절연막을 설명하기 위한 부분 사시도이다.
 도 18은 도 16a의 D - D를 따라서 절단한 단면도이다.
 도 19 및 도 20은 본 발명의 제11 실시예에 따른 반도체 장치를 설명하기 위한 도면들이다.
 도 21은 본 발명의 제12 실시예에 따른 반도체 장치를 설명하기 위한 도면이다.
 도 22 및 도 23은 본 발명의 제13 실시예에 따른 반도체 장치를 설명하기 위한 도면들이다.
 도 24는 본 발명의 제14 실시예에 따른 반도체 장치를 설명하기 위한 사시도이다.
 도 25는 도 24의 A - A 및 E - E를 따라 절단한 단면도이다.
 도 26 및 도 27은 본 발명의 제15 실시예에 따른 반도체 장치를 설명하기 위한 도면들이다.
 도 28은 본 발명의 제16 실시예에 따른 반도체 장치를 설명하기 위한 도면이다.
 도 29는 본 발명의 제17 실시예에 따른 반도체 장치를 설명하기 위한 도면이다.
 도 30 및 도 31은 본 발명의 제18 실시예에 따른 반도체 장치를 설명하기 위한 도면들이다.
 도 32는 본 발명의 제19 실시예에 따른 반도체 장치를 설명하기 위한 도면이다.
 도 33은 본 발명의 제20 실시예에 따른 반도체 장치를 설명하기 위한 도면이다.
 도 34 및 도 35는 본 발명의 제21 실시예에 따른 반도체 장치를 설명하기 위한 도면들이다.
 도 36은 본 발명의 제22 실시예에 따른 반도체 장치를 설명하기 위한 도면이다.
 도 37 내지 도 45는 본 발명의 일 실시예에 따른 반도체 장치 제조 방법을 설명하기 위한 중간단계 도면들이다.
 도 46 및 도 47은 본 발명의 다른 실시예에 따른 반도체 장치 제조 방법을 설명하기 위한 중간단계 도면들이다.
 도 48은 본 발명의 몇몇 실시예에 따른 반도체 장치를 포함하는 전자 시스템의 블록도이다.
 도 49 및 도 50은 본 발명의 몇몇 실시예들에 따른 반도체 장치를 적용할 수 있는 예시적인 반도체 시스템이다.

발명을 실시하기 위한 구체적인 내용

- [0031] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 도면에서 층 및 영역들의 상대적인 크기는 설명의 명료성을 위해 과장된 것일 수 있다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- [0032] 하나의 소자(elements)가 다른 소자와 "접속된(connected to)" 또는 "커플링된(coupled to)" 이라고 지칭되는 것은, 다른 소자와 직접 연결 또는 커플링된 경우 또는 중간에 다른 소자를 개재한 경우를 모두 포함한다. 반면, 하나의 소자가 다른 소자와 "직접 접속된(directly connected to)" 또는 "직접 커플링된(directly coupled to)"으로 지칭되는 것은 중간에 다른 소자를 개재하지 않은 것을 나타낸다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. "및/또는"은 언급된 아이템들의 각각 및 하나 이상의 모든 조합을 포함한다.
- [0033] 소자(elements) 또는 층이 다른 소자 또는 층의 "위(on)" 또는 "상(on)"으로 지칭되는 것은 다른 소자 또는 층의 바로 위뿐만 아니라 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다. 반면, 소자가 "직접 위(directly on)" 또는 "바로 위"로 지칭되는 것은 중간에 다른 소자 또는 층을 개재하지 않은 것을 나타낸다.
- [0034] 비록 제1, 제2 등이 다양한 소자, 구성요소 및/또는 섹션들을 서술하기 위해서 사용되나, 이들 소자, 구성요소 및/또는 섹션들은 이들 용어에 의해 제한되지 않음은 물론이다. 이들 용어들은 단지 하나의 소자, 구성요소 또는 섹션들을 다른 소자, 구성요소 또는 섹션들과 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 소자, 제1 구성요소 또는 제1 섹션은 본 발명의 기술적 사상 내에서 제2 소자, 제2 구성요소 또는 제2 섹션

일 수도 있음은 물론이다.

- [0035] 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 "포함한다(comprises)" 및/또는 "포함하는(comprising)"은 언급된 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다.
- [0036] 다른 정의가 없다면, 본 명세서에서 사용되는 모든 용어(기술 및 과학적 용어를 포함)는 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 공통적으로 이해될 수 있는 의미로 사용될 수 있을 것이다. 또 일반적으로 사용되는 사전에 정의되어 있는 용어들은 명백하게 특별히 정의되어 있지 않는 한 이상적으로 또는 과도하게 해석되지 않는다.
- [0037] 이하에서, 도 1 내지 도 4를 참조하여, 본 발명의 제1 실시예에 따른 반도체 장치에 대해 설명한다.
- [0038] 도 1은 본 발명의 제1 실시예에 따른 반도체 장치를 설명하기 위한 사시도이다. 도 2는 도 1의 A - A를 따라서 절단한 단면도이다. 도 3은 도 1의 B - B를 따라서 절단한 단면도이다. 도 4는 도 1의 C - C를 따라서 절단한 단면도이다. 설명의 편의를 위해, 도 1에서, 층간 절연막(150)은 생략하였다.
- [0039] 도 1 내지 도 4를 참고하면, 본 발명의 제1 실시예에 따른 반도체 장치(1)는 기판(100), 제1 편형 액티브 패턴(110), 제1 게이트 전극(120), 제1 소오스/드레인(130) 등을 포함할 수 있다.
- [0040] 기판(100)은 기판(100)은 벌크 실리콘 또는 SOI(silicon-on-insulator)일 수 있다. 이와 달리, 기판(100)은 실리콘 기판일 수도 있고, 또는 다른 물질, 예를 들어, 실리콘게르마늄, 안티몬화 인듐, 납 텔루르 화합물, 인듐 비소, 인듐 인화물, 갈륨 비소 또는 안티몬화 갈륨을 포함할 수 있다. 또는 기판(100)은 베이스 기판 상에 에피층이 형성된 것일 수도 있다. 본 발명의 실시예들에 따른 설명에서, 기판(100)은 실리콘 기판인 것으로 설명한다.
- [0041] 필드 절연막(105)은 기판(100) 상에 형성될 수 있다. 필드 절연막(105)은 예를 들어, 산화막, 질화막, 산질화막 또는 이들의 조합 중 하나를 포함할 수 있다.
- [0042] 제1 편형 액티브 패턴(110)은 기판(100)으로부터 돌출되어 있을 수 있다. 필드 절연막(105)은 제1 편형 액티브 패턴(110)의 측벽 일부를 덮고 있기 때문에, 제1 편형 액티브 패턴(110)의 상면은 필드 절연막(105)의 상면보다 위로 돌출되어 있다. 즉, 제1 편형 액티브 패턴(110)은 필드 절연막(105)에 의해 정의된다.
- [0043] 제1 편형 액티브 패턴(110)은 기판(100) 상에 순차적으로 적층된 제1 하부 패턴(111)과 제1 상부 패턴(112)을 포함한다. 제1 하부 패턴(111)은 기판(100)으로부터 돌출되어 있다. 제1 상부 패턴(112)은 제1 하부 패턴(111) 상에 형성된다.
- [0044] 제1 상부 패턴(112)은 제1 편형 액티브 패턴(110)의 최상부에 위치할 수 있다. 즉, 제1 편형 액티브 패턴(110)의 상면은 제1 상부 패턴(112) 즉, 제1 상부 패턴(112)의 상면일 수 있다.
- [0045] 제1 편형 액티브 패턴(110)의 상면은 필드 절연막(105)의 상면보다 위로 돌출되어 있으므로, 제1 상부 패턴(112)의 적어도 일부는 필드 절연막(105) 위로 돌출되어 있다.
- [0046] 예를 들어, 반도체 장치(1)가 트랜지스터일 경우, 제1 상부 패턴(112)은 트랜지스터의 채널 영역으로 사용될 수 있다.
- [0047] 제1 상부 패턴(112)은 제1 하부 패턴(111)과 직접 연결되어 있다. 즉, 제1 상부 패턴(112)은 제1 하부 패턴(111)과 직접 접촉하여 형성된다. 예를 들어, 제1 하부 패턴(111)은 제1 상부 패턴(112)이 에피택셜 성장되기 위한 베이스이고, 제1 상부 패턴(112)은 제1 하부 패턴(111) 상에 형성된 에피택셜막일 수 있다.
- [0048] 제1 하부 패턴(111)은 실리콘을 포함하는 실리콘 패턴이다. 제1 상부 패턴(112)은 제1 하부 패턴(111)과 격자 상수가 다른 물질을 포함하는 화합물 반도체 패턴이다.
- [0049] 제1 하부 패턴(111)은 기판(100)과 직접 연결되어 형성된다. 또한, 기판(100)은 실리콘 기판일 수 있고, 제1 하부 패턴(111)은 실리콘 패턴이므로, 기판(100)과 제1 하부 패턴(111)은 동일한 물질을 포함한다. 다시 말하면, 기판(100)과 제1 하부 패턴(111)은 실리콘을 포함하고, 직접 연결되어 있으므로, 기판(100)과 제1 하부 패턴(111)은 통합 구조(integral structure)일 수 있다.
- [0050] 본 발명의 실시예들에 따른 반도체 장치(1)가 NMOS 트랜지스터인 경우, 제1 상부 패턴(112)이 실리콘보다 격자

상수가 작은 물질을 포함할 수 있고, 예를 들어, 실리콘 카바이드(SiC)를 포함할 수 있다. 즉, 제1 상부 패턴(112)은 실리콘 카바이드 패턴일 수 있다.

- [0051] 본 발명의 실시예들에 따른 반도체 장치(1)가 PMOS 트랜지스터인 경우, 제1 상부 패턴(112)이 실리콘보다 격자 상수가 큰 물질을 포함할 수 있고, 예를 들어, 실리콘 게르마늄(SiGe)를 포함할 수 있다. 즉, 제1 상부 패턴(112)은 실리콘 게르마늄 패턴일 수 있다.
- [0052] 도 1, 도 3 및 도 4에서, 제1 상부 패턴(112)과 제1 하부 패턴(111)이 접하는 접촉면은 필드 절연막(105)의 상면과 동일 평면에 있는 것으로 도시하였다, 즉, 제1 하부 패턴(111)의 측벽은 전체적으로 필드 절연막(105)과 접하고, 제1 상부 패턴(112)의 측벽은 전체적으로 필드 절연막(105)과 접하지 않는 것으로 도시하였지만, 이에 제한되는 것은 아니다.
- [0053] 제1 핀형 액티브 패턴(110)은 제1 방향(X1)을 따라서 길게 연장될 수 있다. 제1 핀형 액티브 패턴(110)은 제1 부분(110a) 및 제2 부분(110b)을 포함한다. 제1 핀형 액티브 패턴의 제2 부분(110b)은 제1 핀형 액티브 패턴의 제1 부분(110a)을 중심으로 제1 방향(X1)으로 양측에 배치된다.
- [0054] 본 발명의 제1 실시예에 따른 반도체 장치에서, 제1 핀형 액티브 패턴의 제1 부분(110a)의 상면 및 제1 핀형 액티브 패턴의 제2 부분(110b)의 상면은 필드 절연막(105)의 상면보다 위로 돌출되어 있다. 또한, 제1 핀형 액티브 패턴의 제1 부분(110a)의 상면 및 제1 핀형 액티브 패턴의 제2 부분(110b)의 상면은 동일 평면 상에 놓여 있다.
- [0055] 층간 절연막(150)은 필드 절연막(105) 상에 형성된다. 층간 절연막(150)은 제1 핀형 액티브 패턴(110)과, 제1 소오스/드레인(130) 등을 덮는다. 층간 절연막(150)은 제1 핀형 액티브 패턴(110)과 교차하고, 제2 방향(Y1)으로 연장되는 제1 트렌치(151)를 포함한다.
- [0056] 층간 절연막(150)은 예를 들어, 저유전율 물질, 산화막, 질화막 및 산질화막 중 적어도 하나를 포함할 수 있다. 저유전율 물질은 예를 들어, FOX(Flowable Oxide), TOSZ(Tonen SilaZen), USG(Undoped Silica Glass), BSG(Borosilica Glass), PSG(PhosphoSilica Glass), BPSG(BoroPhosphoSilica Glass), PETEOS(Plasma Enhanced Tetra Ethyl Ortho Silicate), FSG(Fluoride Silicate Glass), HDP(High Density Plasma) oxide, PEOX(Plasma Enhanced Oxide), FCVD(Flowable CVD) 또는 이들의 조합으로 이뤄질 수 있으나, 이에 제한되는 것은 아니다.
- [0057] 제1 게이트 전극(120)은 제1 핀형 액티브 패턴(110) 및 필드 절연막(105) 상에 형성된다. 예를 들어, 제1 게이트 전극(120)은 제1 핀형 액티브 패턴의 제1 부분(110a) 상에 형성된다.
- [0058] 좀 더 구체적으로, 제1 게이트 전극(120)은 제1 상부 패턴(112)의 측벽 및 상면 상에 형성된다. 필드 절연막(105)의 상면보다 위로 돌출된 제1 상부 패턴(112)은 제1 게이트 전극(120)에 의해 감싸여 있다.
- [0059] 제1 게이트 전극(120)은 층간 절연막(150)에 포함된 제1 트렌치(151) 내에 형성된다. 제1 게이트 전극(120)은 제2 방향(Y1)으로 연장되어, 제1 핀형 액티브 패턴(110)과 교차하도록 형성된다.
- [0060] 제1 게이트 전극(120)은 금속층을 포함할 수 있다. 제1 게이트 전극(120)은 예를 들어, 일함수를 조절하는 부분과 제1 트렌치(151)를 채우는 역할을 하는 부분을 포함할 수 있다. 제1 게이트 전극(120)은 예를 들어, W, Al, TiN, TaN, TiC, 및 TaC 중 적어도 하나를 포함할 수 있다. 또는 제1 게이트 전극(120)은 Si, SiGe 등으로 이루어질 수도 있다. 본 발명의 제1 실시예에 따른 반도체 장치에서, 제1 게이트 전극(120)은 리플레이스먼트(replacement) 공정을 통해서 형성될 수 있다.
- [0061] 제1 게이트 절연막(125)은 제1 핀형 액티브 패턴(110)과 제1 게이트 전극(120) 사이에 형성될 수 있다. 또한, 제1 게이트 절연막(125)은 층간 절연막(150)과 제1 게이트 전극(120) 사이에 형성될 수 있다.
- [0062] 제1 게이트 절연막(125)은 제1 핀형 액티브 패턴의 제1 부분(110a)의 상면과 측벽을 따라서 형성될 수 있다. 제1 게이트 절연막(125)은 필드 절연막(105)의 상면보다 위로 돌출된 제1 상부 패턴(112)의 측벽 및 상면을 따라 형성될 수 있다.
- [0063] 제1 게이트 절연막(125)은 제1 게이트 전극(120)과 필드 절연막(105) 사이에 배치될 수 있다. 다시 말하면, 제1 게이트 절연막(125)은 제1 트렌치(151)의 측벽 및 바닥면을 따라서 형성될 수 있다.
- [0064] 제1 게이트 절연막(125)은 실리콘 산화막 및/또는 실리콘 산화막보다 높은 유전 상수를 갖는 고유전체 물질을 포함할 수 있다. 예를 들어, 제1 게이트 절연막(125)은 하프늄 산화물(hafnium oxide), 하프늄 실리콘 산화물(hafnium silicon oxide), 란타늄 산화물(lanthanum oxide), 란타늄 알루미늄 산화물(lanthanum aluminum

oxide), 지르코늄 산화물(zirconium oxide), 지르코늄 실리콘 산화물(zirconium silicon oxide), 탄탈륨 산화물(tantalum oxide), 티타늄 산화물(titanium oxide), 바륨 스트론튬 티타늄 산화물(barium strontium titanium oxide), 바륨 티타늄 산화물(barium titanium oxide), 스트론튬 티타늄 산화물(strontium titanium oxide), 이트륨 산화물(yttrium oxide), 알루미늄 산화물(Aluminum oxide), 납 스칸듐 탄탈륨 산화물(lead scandium tantalum oxide), 또는 납 아연 니오브산염(lead zinc niobate) 중에서 하나 이상을 포함할 수 있으나, 이에 제한되는 것은 아니다.

- [0065] 제1 게이트 스페이서(140)는 제2 방향(Y1)으로 연장된 제1 게이트 전극(120)의 측벽 상에 형성될 수 있다. 제1 게이트 스페이서(140)는 예를 들어, 실리콘 질화물(SiN), 실리콘 산질화물(SiON), 실리콘 산화물(SiO₂), 실리콘 산탄질화물(SiOCN) 및 이들의 조합 중 적어도 하나를 포함할 수 있다. 제1 게이트 스페이서(140)는 단일막으로 도시되었지만, 이에 제한되는 것은 아니며, 다중막의 구조를 가질 수 있음은 물론이다.
- [0066] 제1 소오스/드레인(130)은 제1 게이트 전극(120)의 양측에 형성된다. 예를 들어, 제1 소오스/드레인(130)은 제1 핀형 액티브 패턴의 제2 부분(110b)에 형성된다. 제1 소오스/드레인(130)은 제1 핀형 액티브 패턴(110) 내에, 즉, 제1 핀형 액티브 패턴의 제2 부분(110b) 내에 형성될 수 있다.
- [0067] 제1 소오스/드레인(130)은 제1 핀형 액티브 패턴의 제2 부분(110b) 중 제1 상부 패턴(112) 내에 형성되는 것으로 도시하였지만, 설명의 편의를 위한 것을 뿐, 이에 제한되는 것은 아니다.
- [0068] 본 발명의 실시예들에 따른 반도체 장치(1)가 NMOS 트랜지스터인 경우, 제1 소오스/드레인(130)은 n형 불순물을 포함할 수 있다. n형 불순물은 예를 들어, 인(P), 비소(As), 안티몬(Sb) 등일 수 있지만, 이에 제한되는 것은 아니다.
- [0069] 본 발명의 실시예들에 따른 반도체 장치(1)가 PMOS 트랜지스터인 경우, 제1 소오스/드레인(130)은 p형 불순물을 포함할 수 있다. p형 불순물은 예를 들어, 붕소인(P), 비소(As), 안티몬(Sb) 등일 수 있지만, 이에 제한되는 것은 아니다.
- [0070] 도 5 및 도 6은 본 발명의 제2 실시예에 따른 반도체 장치를 설명하기 위한 도면들이다. 설명의 편의성을 위해, 도 1 내지 도 4를 이용하여 설명한 것과 다른 점을 위주로 설명한다.
- [0071] 도 5 및 도 6을 참고하면, 본 발명의 제2 실시예에 따른 반도체 장치(2)는 제1 에피층(135)을 더 포함한다.
- [0072] 제1 소오스/드레인(130)은 제1 에피층(135)을 포함한다. 즉, 제1 소오스/드레인(130)은 제1 에피층(135)과, 제1 핀형 액티브 패턴의 제2 부분(110b) 내에 형성되는 불순물 영역을 포함할 수 있다.
- [0073] 제1 에피층(135)은 제1 핀형 액티브 패턴의 제2 부분(110b) 상에 형성된다. 좀 더 구체적으로, 본 발명의 제2 실시예에 따른 반도체 장치에서, 제1 에피층(135)은 필드 절연막(105)의 상면보다 위로 돌출된 제1 핀형 액티브 패턴의 제2 부분(110b)의 상면(110b-1) 및 측벽(110b-2) 상에 전체적으로 형성된다. 제1 에피층(135)은 필드 절연막(105)의 상면보다 위로 돌출된 제1 핀형 액티브 패턴의 제2 부분(110b)의 둘레에 전체적으로 형성된다. 제1 에피층(135)은 필드 절연막(105)과 접할 수 있다.
- [0074] 제1 에피층(135)은 제1 핀형 액티브 패턴의 제2 부분(110b) 중 제1 상부 패턴(112)의 측벽 및 상면 상에 형성된다. 제1 에피층(135)은 제1 상부 패턴(112)의 둘레를 따라서 형성된다.
- [0075] 도 6에서, 제1 에피층(135)의 외주면은 다양한 형상일 수 있다. 예를 들어, 제1 에피층(135)의 외주면은 다이아몬드 형상, 원 형상 및 직사각형 형상 중 적어도 하나일 수 있다. 도 6에서는 예시적으로 팔각형 형상을 도시하였다.
- [0076] 본 발명의 실시예들에 따른 반도체 장치(2)가 NMOS 트랜지스터인 경우, 제1 에피층(135)은 제1 상부 패턴(112)과 같이 실리콘 카바이드를 포함할 수 있다.
- [0077] 제1 상부 패턴(112)과 제1 에피층(135)이 모두 실리콘 카바이드를 포함한다. 하지만, 제1 에피층(135)에 포함된 탄소의 비율과 제1 상부 패턴(112)에 포함된 탄소의 비율은 같거나, 제1 에피층(135)에 포함된 탄소의 비율은 제1 상부 패턴(112)에 포함된 탄소의 비율보다 클 수 있다.
- [0078] 제1 에피층(135)에 포함된 탄소의 비율이 제1 상부 패턴(112)에 포함된 탄소의 비율보다 클 경우, 제1 에피층(135)의 격자 상수는 제1 상부 패턴(112)의 격자 상수보다 작게 된다. 따라서, 제1 에피층(135)은 제1 핀형 액티브 패턴(110)의 채널 영역에 인장 스트레스를 가하여 캐리어의 이동도를 향상시킬 수 있다.

- [0079] 본 발명의 실시예들에 따른 반도체 장치(2)가 PMOS 트랜지스터인 경우, 제1 에피층(135)은 제1 상부 패턴(112)과 같이 실리콘 게르마늄을 포함할 수 있다.
- [0080] 제1 상부 패턴(112)과 제1 에피층(135)이 모두 실리콘 게르마늄을 포함한다. 하지만, 제1 에피층(135)에 포함된 게르마늄의 비율과 제1 상부 패턴(112)에 포함된 게르마늄의 비율은 같거나, 제1 에피층(135)에 포함된 게르마늄의 비율은 제1 상부 패턴(112)에 포함된 게르마늄의 비율보다 클 수 있다.
- [0081] 제1 에피층(135)에 포함된 게르마늄의 비율이 제1 상부 패턴(112)에 포함된 게르마늄의 비율보다 클 경우, 제1 에피층(135)의 격자 상수는 제1 상부 패턴(112)의 격자 상수보다 크게 된다. 따라서, 제1 에피층(135)은 제1 편형 액티브 패턴(110)의 채널 영역에 압축 스트레스를 가하여 캐리어의 이동도를 향상시킬 수 있다.
- [0082] 도 7 및 도 8을 참조하여, 본 발명의 제3 및 제4 실시예에 따른 반도체 장치에 대해 설명한다. 설명의 편의성을 위해, 도 5 및 도 6을 이용하여 설명한 것과 다른 점을 위주로 설명한다.
- [0083] 도 7은 본 발명의 제3 실시예에 따른 반도체 장치를 설명하기 위한 도면이다. 도 8은 본 발명의 제4 실시예에 따른 반도체 장치를 설명하기 위한 도면이다.
- [0084] 도 7을 참고하면, 본 발명의 제3 실시예에 따른 반도체 장치(3)에서, 제1 에피층(135)은 필드 절연막(105)과 접촉하지 않는다.
- [0085] 제1 에피층(135)은 필드 절연막(105)의 상면보다 위로 돌출된 제1 편형 액티브 패턴의 제2 부분(110b)의 측벽(110b-2)의 일부 및 상면(110b-1) 상에 형성된다. 즉, 제1 에피층(135)은 필드 절연막(105)의 상면보다 위로 돌출된 제1 편형 액티브 패턴의 제2 부분(110b)의 둘레 일부를 따라서 형성된다.
- [0086] 도 8을 참고하면, 본 발명의 제4 실시예에 따른 반도체 장치(4)는 제1 핀 스페이서(145)를 더 포함한다.
- [0087] 제1 핀 스페이서(145)는 필드 절연막(105)의 상면보다 위로 돌출된 제1 편형 액티브 패턴의 제2 부분(110b)의 측벽(110b-2) 일부에 형성될 수 있다. 따라서, 제1 편형 액티브 패턴의 제2 부분(110b)의 일부는 제1 핀 스페이서(145)보다 위로 돌출되어 있다. 즉, 제1 편형 액티브 패턴의 제2 부분(110b)의 측벽(110b-2) 일부는 제1 핀 스페이서(145)에 의해 덮이지 않는다.
- [0088] 도 1을 고려하면, 제1 핀 스페이서(145)는 돌출된 제1 편형 액티브 패턴의 제2 부분(110b)의 측벽(110b-2)에 형성되므로, 제1 핀 스페이서(145)는 제1 방향(X1)으로 연장된다.
- [0089] 또한, 제1 핀 스페이서(145)는 제1 게이트 전극(120)의 측벽에 형성된 제1 게이트 스페이서(140)와 물리적으로 서로 연결된다. 제1 핀 스페이서(145) 및 제1 게이트 스페이서(140)가 서로 연결되는 것은 제1 핀 스페이서(145) 및 제1 게이트 스페이서(140)가 동일 레벨에서 형성되기 때문이다. 여기서, "동일 레벨"이라 함은 동일한 제조 공정에 의해 형성되는 것을 의미하는 것이다.
- [0090] 제1 핀 스페이서(145)는 예를 들어, 실리콘 질화물(SiN), 실리콘 산질화물(SiON), 실리콘 산화물(SiO₂), 실리콘 산탄질화물(SiOCN) 및 이들의 조합 중 적어도 하나를 포함할 수 있다. 제1 핀 스페이서(145)는 단일막으로 도시되었지만, 이에 제한되는 것은 아니며, 다중막의 구조를 가질 수 있음은 물론이다.
- [0091] 제1 에피층(135)은 제1 핀 스페이서(145)보다 위로 돌출된 제1 편형 액티브 패턴의 제2 부분(110b)의 상면(110b-1) 및 측벽(110b-2)에 상에 형성된다. 즉, 제1 에피층(135)은 제1 핀 스페이서(145)보다 위로 돌출된 제1 편형 액티브 패턴의 제2 부분(110b)의 둘레를 따라서 형성된다.
- [0092] 제1 에피층(135)은 제1 핀 스페이서(145)와 접할 수 있다.
- [0093] 도 9 및 도 10은 본 발명의 제5 실시예에 따른 반도체 장치를 설명하기 위한 도면들이다. 설명의 편의성을 위해, 도 1 내지 도 4를 이용하여 설명한 것과 다른 점을 위주로 설명한다.
- [0094] 도 9 및 도 10을 참고하면, 본 발명의 제5 실시예에 따른 반도체 장치(2)에서, 제1 편형 액티브 패턴의 제2 부분(110b)의 상면은 제1 편형 액티브 패턴의 제1 부분(110a)의 상면보다 리세스되어 있다. 또한, 반도체 장치(5)는 제1 에피층(135)을 더 포함한다.
- [0095] 좀 더 구체적으로, 제1 편형 액티브 패턴의 제1 부분(110a)의 상면 및 제1 편형 액티브 패턴의 제2 부분(110b)의 상면은 필드 절연막(105)의 상면보다 위로 돌출되어 있다. 하지만, 제1 편형 액티브 패턴의 제1 부분(110a)의 상면 및 제1 편형 액티브 패턴의 제2 부분(110b)의 상면은 동일 평면 상에 놓여 있지 않는다.

- [0096] 본 발명의 제5 실시예에 따른 반도체 장치에서, 기관(100)의 상면으로부터 제1 핀형 액티브 패턴의 제1 부분(110a)의 상면까지의 높이는 기관(100)의 상면으로부터 제1 핀형 액티브 패턴의 제2 부분(110b)의 상면까지의 높이보다 높다.
- [0097] 또한, 제1 핀형 액티브 패턴의 제2 부분(110b)의 측벽(110b-2)의 일부는 필드 절연막(105)과 접하지만, 제1 핀형 액티브 패턴의 제2 부분(110b)의 측벽(110b-2)의 나머지는 필드 절연막(105)과 접하지 않는다.
- [0098] 제1 에피층(135)은 리세스된 제1 핀형 액티브 패턴의 제2 부분(110b) 상에 형성된다. 좀 더 구체적으로, 본 발명의 제5 실시예에 따른 반도체 장치에서, 제1 에피층(135)은 필드 절연막(105)의 상면보다 위로 돌출된 제1 핀형 액티브 패턴의 제2 부분(110b)의 상면(110b-1) 상에 형성되지만, 제1 핀형 액티브 패턴의 제2 부분(110b)의 측벽(110b-2) 상에 형성되지 않는다.
- [0099] 제1 에피층(135)이 예를 들어, 실리콘 카바이드를 포함할 경우, 제1 에피층(135)에 포함된 탄소의 비율은 제1 상부 패턴(112)에 포함된 탄소의 비율보다 클 수 있지만, 이에 제한되는 것은 아니다.
- [0100] 제1 에피층(135)이 예를 들어, 실리콘 게르마늄을 포함할 경우, 제1 에피층(135)에 포함된 게르마늄의 비율은 제1 상부 패턴(112)에 포함된 게르마늄의 비율보다 클 수 있지만, 이에 제한되는 것은 아니다.
- [0101] 제1 소오스/드레인(130)은 제1 에피층(135)과, 리세스된 제1 핀형 액티브 패턴의 제2 부분(110b) 내에 형성된 불순물 영역을 포함할 수 있다.
- [0102] 도 11 및 도 12를 참조하여, 본 발명의 제6 및 제7 실시예에 따른 반도체 장치에 대해 설명한다. 설명의 편의성을 위해, 도 9 및 도 10을 이용하여 설명한 것과 다른 점을 위주로 설명한다.
- [0103] 도 11은 본 발명의 제6 실시예에 따른 반도체 장치를 설명하기 위한 도면이다. 도 12는 본 발명의 제7 실시예에 따른 반도체 장치를 설명하기 위한 도면이다.
- [0104] 도 11을 참고하면, 본 발명의 제6 실시예에 따른 반도체 장치(6)에서, 제1 에피층(135)은 필드 절연막(105)과 접촉할 수 있다.
- [0105] 제1 에피층(135)은 필드 절연막(105)의 상면보다 위로 돌출된 제1 핀형 액티브 패턴의 제2 부분(110b)의 측벽(110b-2) 및 상면(110b-1) 상에 형성된다. 제1 에피층(135)은 필드 절연막(105)의 상면보다 위로 돌출된 제1 핀형 액티브 패턴의 제2 부분(110b)의 둘레를 따라서 형성된다.
- [0106] 도 12를 참고하면, 본 발명의 제7 실시예에 따른 반도체 장치(7)는 제1 핀 스페이서(145)를 더 포함한다.
- [0107] 제1 핀 스페이서(145)는 필드 절연막(105)의 상면보다 위로 돌출된 제1 핀형 액티브 패턴의 제2 부분(110b)의 측벽(110b-2)에 형성될 수 있다. 따라서, 제1 핀 스페이서(145)는 제1 에피층(135)과 접할 수 있다.
- [0108] 제1 핀형 액티브 패턴의 제2 부분(110b)은 제1 핀 스페이서(145)보다 위로 돌출되지 않는 것으로 도시하였지만, 이에 제한되는 것은 아니다.
- [0109] 도 13 및 도 14는 본 발명의 제8 실시예에 따른 반도체 장치를 설명하기 위한 도면들이다. 설명의 편의상 도 9 및 도 10을 이용하여 설명한 것과 다른 점을 위주로 설명한다.
- [0110] 도 13 및 도 14를 참고하면, 본 발명의 제8 실시예에 따른 반도체 장치(8)에서, 제1 핀형 액티브 패턴의 제2 부분(110b)의 측벽(110b-2)은 전체적으로 필드 절연막(105)과 접할 수 있다.
- [0111] 제1 핀형 액티브 패턴의 제2 부분(110b)의 상면(110b-1)은 필드 절연막(105)의 상면보다 위로 돌출되지 않을 수 있다. 즉, 도시된 것과 같이 필드 절연막(105)의 상면이 평평할 경우, 제1 핀형 액티브 패턴의 제2 부분(110b)의 상면(110b-2)은 필드 절연막(105)의 상면과 동일 평면 상에 있을 수 있다.
- [0112] 제1 핀형 액티브 패턴의 제2 부분(110b)의 측벽(110b-2)은 필드 절연막(105)에 의해 전체적으로 덮여 있으므로, 제1 에피층(135)은 제1 핀형 액티브 패턴의 제2 부분(110b)의 상면(110b-1) 상에 형성되지만, 제1 핀형 액티브 패턴의 제2 부분(110b)의 측벽(110b-2) 상에 형성되지 않는다.
- [0113] 도 15는 본 발명의 제9 실시예에 따른 반도체 장치를 설명하기 위한 도면이다. 설명의 편의상 도 1 내지 도 4를 이용하여 설명한 것과 다른 점을 위주로 설명한다.
- [0114] 도 15를 참고하면, 본 발명의 제9 실시예에 따른 반도체 장치(9)에서, 제1 게이트 절연막(125)은 제1 트렌치(151)의 바닥면을 따라서 형성되지만, 제1 트렌치(151)의 측벽을 따라서 형성되지 않는다.

- [0115] 제1 게이트 절연막(125)은 제1 게이트 스페이서(140)의 측벽을 따라서 형성되지 않는다. 제1 게이트 절연막(125)은 제1 게이트 전극(120)의 상면과 동일 평면 상에 위치하는 부분을 포함하지 않는다.
- [0116] 따라서, 제1 게이트 절연막(125)은 제1 게이트 전극(120)과 제1 핀형 액티브 패턴(110) 사이에 개재되지만, 제1 게이트 전극(120)과 제1 게이트 스페이서(140) 사이에 개재되지 않는다.
- [0117] 제1 게이트 절연막(125)은 리플레이스먼트 공정을 통해서 형성되지 않는다. 또한, 제1 게이트 전극(120)도 리플레이스먼트 공정을 통해서 형성되지 않을 수 있지만, 이에 제한되는 것은 아니다.
- [0118] 도 16a 내지 도 18을 참조하여, 본 발명의 제10 실시예에 따른 반도체 장치에 대해 설명한다.
- [0119] 도 16a 및 도 16b는 본 발명의 제10 실시예에 따른 반도체 장치를 설명하기 위한 사시도 및 평면도이다. 도 17은 도 16a에서 핀형 액티브 패턴과 필드 절연막을 설명하기 위한 부분 사시도이다. 도 18은 도 16a의 D - D를 따라서 절단한 단면도이다.
- [0120] 도 18에 도시되는 단면도는 제2 내지 제4 실시예에 따른 반도체 장치(2-4)에 관련된 단면도를 나타내지만, 이에 제한되는 것은 아니다. 즉, 도 18에 도시되는 단면도는 제1 내지 제9 실시예에 따른 반도체 장치(1-9) 중 어느 하나에 해당하는 단면도일 수 있음은 물론이다.
- [0121] 도 16a 내지 도 18을 참고하면, 본 발명의 제10 실시예에 따른 반도체 장치(10)는 필드 절연막(105)과, 제1 핀형 액티브 패턴(110)과, 제2 핀형 액티브 패턴(210)과, 제1 게이트 전극(120)과, 제2 게이트 전극(220)과, 제1 더미 게이트 전극(160) 등을 포함할 수 있다.
- [0122] 제1 핀형 액티브 패턴(110) 및 제2 핀형 액티브 패턴(210)은 각각 기판(100) 상에 형성된다. 제1 핀형 액티브 패턴(110) 및 제2 핀형 액티브 패턴(210)은 기판(100)으로부터 돌출되어 형성된다.
- [0123] 제1 핀형 액티브 패턴(110) 및 제2 핀형 액티브 패턴(210)은 각각 제1 방향(X1)으로 길게 연장되어 형성된다. 제1 핀형 액티브 패턴(110)과 제2 핀형 액티브 패턴(210)은 길이 방향으로 나란하게 형성된다. 제1 핀형 액티브 패턴(110) 및 제2 핀형 액티브 패턴(210)은 인접하여 형성된다.
- [0124] 제1 핀형 액티브 패턴(110) 및 제2 핀형 액티브 패턴(210)은 각각 제1 방향(X1)으로 길게 형성되기 때문에, 제1 핀형 액티브 패턴(110) 및 제2 핀형 액티브 패턴(210)은 각각 제1 방향(X1)을 따라서 형성된 장변과, 제2 방향(Y1)을 따라서 형성된 단변을 포함할 수 있다.
- [0125] 즉, 제1 핀형 액티브 패턴(110)과 제2 핀형 액티브 패턴(210)이 길이 방향으로 나란하다는 것은 제1 핀형 액티브 패턴(110)의 단변과 제2 핀형 액티브 패턴(210)의 단변이 마주하는 것을 의미한다.
- [0126] 제1 핀형 액티브 패턴(110)은 기판(100) 상에 순차적으로 적층된 제1 하부 패턴(111)과 제1 상부 패턴(112)을 포함한다. 제2 핀형 액티브 패턴(210)은 기판(100) 상에 순차적으로 적층된 제2 하부 패턴(211)과 제2 상부 패턴(212)을 포함한다.
- [0127] 또한, 제1 핀형 액티브 패턴(110)의 상면은 제1 상부 패턴(112) 즉, 제1 상부 패턴(112)의 상면이고, 제2 핀형 액티브 패턴(210)의 상면은 제2 상부 패턴(212) 즉, 제2 상부 패턴(212)의 상면일 수 있다.
- [0128] 제1 핀형 액티브 패턴(110)과 같이, 제2 상부 패턴(212)은 제2 하부 패턴(211)과 직접 연결된다. 또한, 제2 하부 패턴(211)은 기판(100)과 직접 연결되어 형성된다.
- [0129] 제2 하부 패턴(211)은 제1 하부 패턴(111)과 같이 실리콘을 포함하는 실리콘 패턴이다. 제2 상부 패턴(212)은 예를 들어, 실리콘 카바이드를 포함하는 실리콘 카바이드 패턴이거나, 실리콘 게르마늄을 포함하는 실리콘 게르마늄 패턴일 수 있다.
- [0130] 제1 상부 패턴(112)과 제2 상부 패턴(212)은 동일한 물질을 포함할 수 있다. 즉, 제1 상부 패턴(112) 및 제2 상부 패턴(212)이 실리콘 카바이드 패턴이거나, 또는 실리콘 게르마늄 패턴일 수 있지만, 이에 제한되는 것은 아니다.
- [0131] 필드 절연막(105)은 기판(100)에 형성된다. 필드 절연막(105)은 제1 핀형 액티브 패턴(110)의 및 제2 핀형 액티브 패턴(210)의 둘레에 형성된다. 이를 통해, 제1 핀형 액티브 패턴(110) 및 제2 핀형 액티브 패턴(210)은 필드 절연막(105)에 의해 정의된다.
- [0132] 필드 절연막(105)은 제1 영역(106)과 제2 영역(107)을 포함한다. 필드 절연막의 제1 영역(106)은 제1 핀형 액티브

브 패턴(110)의 장변과, 제2 핀형 액티브 패턴(210)의 장변에 접한다. 필드 절연막의 제1 영역(106)은 제1 핀형 액티브 패턴(110)의 장변 및 제2 핀형 액티브 패턴(210)의 장변을 따라서 제1 방향(X1)으로 길게 연장될 수 있다.

- [0133] 필드 절연막의 제2 영역(107)은 제1 핀형 액티브 패턴(110)의 단변 및 제2 핀형 액티브 패턴(210)의 단변에 접한다. 필드 절연막의 제2 영역(107)은 제1 핀형 액티브 패턴(110)의 단변 및 제2 핀형 액티브 패턴(210)의 단변 사이에 형성되어, 제2 방향(Y1)으로 연장될 수 있다.
- [0134] 본 발명의 제10 실시예에 따른 반도체 장치에서, 필드 절연막의 제1 영역(106)의 상면과 필드 절연막의 제2 영역(107)의 상면은 동일 평면에 위치할 수 있다. 즉, 필드 절연막의 제1 영역(106)의 높이(H1)은 필드 절연막의 제2 영역(107)의 높이(H2)와 동일할 수 있다.
- [0135] 제1 게이트 전극(120)은 제1 핀형 액티브 패턴(110) 및 필드 절연막의 제1 영역(106) 상에 형성된다. 제1 게이트 전극(120)은 제1 핀형 액티브 패턴(110)과 교차하도록 형성된다.
- [0136] 제2 게이트 전극(220)은 제2 핀형 액티브 패턴(210) 및 필드 절연막의 제1 영역(106) 상에 형성된다. 제2 게이트 전극(220)은 제2 핀형 액티브 패턴(210)과 교차하도록 형성된다.
- [0137] 제1 게이트 전극(120) 및 제2 게이트 전극(220)은 각각 제2 방향(Y1)으로 길게 연장될 수 있다. 또한, 제1 핀형 액티브 패턴(110)과 교차하는 제1 게이트 전극(120) 및 제2 핀형 액티브 패턴(210)과 교차하는 제2 게이트 전극(220)은 각각 하나인 것으로 도시하였지만, 설명의 편의성을 위한 것일 뿐, 이에 제한되는 것은 아니다.
- [0138] 제1 더미 게이트 전극(160)의 적어도 일부는 필드 절연막의 제2 영역(107) 상에 형성된다. 제1 더미 게이트 전극(160)은 제1 게이트 전극(120) 및 제2 게이트 전극(220)과 나란하게 형성된다. 제1 더미 게이트 전극(160)은 제1 게이트 전극(120)과 제2 게이트 전극(220) 사이에 형성된다. 제1 더미 게이트 전극(160)은 제2 방향(Y1)으로 길게 연장되어 형성될 수 있다.
- [0139] 본 발명의 제10 실시예에 따른 반도체 장치에서, 제1 더미 게이트 전극(160)은 전체적으로 필드 절연막의 제2 영역(107) 상에 형성된다. 즉, 제1 더미 게이트 전극(160)은 전체적으로 필드 절연막의 제2 영역(107)과 오버랩된다.
- [0140] 제1 더미 게이트 전극(160)은 제1 핀형 액티브 패턴(110)의 단변과 제2 핀형 액티브 패턴(210)의 단변 사이에 형성된다. 다시 말하면, 제1 더미 게이트 전극(160)은 제1 핀형 액티브 패턴(110)의 종단과 제2 핀형 액티브 패턴(210)의 종단 사이에 형성된다. 제1 더미 게이트 전극(160)은 제1 핀형 액티브 패턴(110)의 종단과 제2 핀형 액티브 패턴(210)의 종단 사이를 가로질러, 필드 절연막의 제2 영역(107) 상에 형성될 수 있다.
- [0141] 또한, 제1 더미 게이트 전극(160)은 제1 핀형 액티브 패턴(110)과 제2 핀형 액티브 패턴(210) 사이에 1개가 형성될 수 있다. 즉, 제1 더미 게이트 전극(160)은 제1 핀형 액티브 패턴(110)과 제2 핀형 액티브 패턴(210) 사이에 2개 이상 형성되지 않고, 제1 더미 게이트 전극(160)이 1개가 형성됨에 따라, 레이아웃 크기를 줄일 수 있다.
- [0142] 제1 게이트 전극(120)과 같이, 제2 게이트 전극(220)은 예를 들어, W, Al, TiN, TaN, TiC, 및 TaC 중 적어도 하나를 포함할 수 있다. 제2 게이트 전극(220)은 층간 절연막(150)에 포함된 제2 트렌치(152) 내에 형성될 수 있다.
- [0143] 제1 더미 게이트 전극(160)은 제1 게이트 전극(120) 및 제2 게이트 전극(220)의 구조와 유사할 수 있다. 제1 더미 게이트 전극(160)은 예를 들어, W, Al, TiN, TaN, TiC, 및 TaC 중 적어도 하나를 포함할 수 있다.
- [0144] 제1 더미 게이트 전극(160)은 층간 절연막에 포함된 제3 트렌치(153) 내에 형성될 수 있다. 제3 트렌치(153)는 필드 절연막의 제2 영역(107)과 오버랩되도록 제2 방향(Y1)으로 길게 연장될 수 있다.
- [0145] 제1 더미 게이트 전극(160)은 제1 게이트 전극(120) 및 제2 게이트 전극(220)과 같이 예를 들어, 리플레이스먼트 공정(replacement process)(또는 게이트 라스트 공정(gate last process))을 통해서 형성될 수 있으나, 이에 한정되는 것은 아니다.
- [0146] 제2 게이트 절연막(225)은 제2 핀형 액티브 패턴(210)의 상면과 측벽을 따라서 형성될 수 있다. 제2 게이트 절연막(225)은 제2 트렌치(152)의 측벽 및 바닥면을 따라서 형성될 수 있다.
- [0147] 제1 더미 게이트 절연막(165)은 제3 트렌치(153)의 측벽 및 바닥면을 따라서 형성될 수 있다. 다시 말하면, 제1

더미 게이트 절연막(165)은 제1 더미 게이트 스페이서(170)의 측벽 및 필드 절연막의 제2 영역(107)의 상면을 따라서 형성될 수 있다.

- [0148] 제2 게이트 절연막(225) 및 제1 더미 게이트 절연막(165)은 실리콘 산화막 및/또는 실리콘 산화막보다 높은 유전 상수를 갖는 고유전체 물질을 포함할 수 있다.
- [0149] 제1 더미 게이트 스페이서(170)가 전체적으로 필드 절연막의 제2 영역(107) 상에 형성되어, 제1 핀형 액티브 패턴(110) 및 제2 핀형 액티브 패턴(210)과 접하지 않는 것으로 도시하였지만, 이에 제한되는 것은 아니다.
- [0150] 제2 소오스/드레인(230)은 제2 게이트 전극(220)의 양측에 형성된다. 제2 소오스/드레인(230)은 제2 에피층(235)을 포함할 수 있다. 제2 에피층(235)에 대한 설명은 전술한 제1 에피층(135)에 대한 설명과 중복될 수 있으므로, 생략한다.
- [0151] 도 19 내지 도 21을 참조하여, 본 발명의 제11 및 제12 실시예에 따른 반도체 장치에 대해 설명한다. 설명의 편의상, 도 16 내지 도 18을 이용하여 설명한 것과 다른 점을 위주로 설명한다.
- [0152] 도 19 및 도 20은 본 발명의 제11 실시예에 따른 반도체 장치를 설명하기 위한 도면들이다. 도 21은 본 발명의 제12 실시예에 따른 반도체 장치를 설명하기 위한 도면이다.
- [0153] 도 19 및 도 20을 참고하면, 본 발명의 제11 실시예에 따른 반도체 장치(11)에서, 필드 절연막의 제2 영역(107)의 상면은 필드 절연막의 제1 영역(106)의 상면보다 높다. 하지만, 필드 절연막의 제2 영역(107)의 상면은 제1 핀형 액티브 패턴(110)의 상면 및 제2 핀형 액티브 패턴(210)의 상면보다 낮다.
- [0154] 즉, 필드 절연막의 제1 영역(106)의 상면과 필드 절연막의 제2 영역(107)의 상면은 동일 평면에 위치하지 않는다.
- [0155] 좀 더 구체적으로, 필드 절연막의 제2 영역(107)의 높이(H2)는 필드 절연막의 제1 영역(106)의 높이(H1)보다 높다. 하지만, 필드 절연막의 제2 영역(107)의 높이(H2)는 제1 핀형 액티브 패턴(110)의 높이 및 제2 핀형 액티브 패턴(210)의 높이보다 낮다.
- [0156] 제1 핀형 액티브 패턴(110)의 일부 및 제2 핀형 액티브 패턴(210)의 일부는 각각 제1 더미 게이트 스페이서(170)와 오버랩되는 것으로 도시하였지만, 이에 제한되는 것은 아니다.
- [0157] 도 21을 참고하면, 본 발명의 제12 실시예에 따른 반도체 장치(12)에서, 필드 절연막의 제2 영역(107)의 상면은 필드 절연막의 제1 영역(106)의 상면보다 높다.
- [0158] 또한, 필드 절연막의 제2 영역(107)의 상면은 제1 핀형 액티브 패턴(110)의 상면 및 제2 핀형 액티브 패턴(210)의 상면보다 같거나 높을 수 있다.
- [0159] 필드 절연막의 제2 영역(107)의 상면은 제1 핀형 액티브 패턴(110)의 상면과 동일 평면에 위치하고, 필드 절연막의 제2 영역(107)의 상면은 제2 핀형 액티브 패턴(210)의 상면과 동일 평면에 위치하는 것으로 도시하였지만, 이에 제한되는 것은 아니다.
- [0160] 도 22 및 도 23은 본 발명의 제13 실시예에 따른 반도체 장치를 설명하기 위한 도면들이다. 설명의 편의상, 도 16 내지 도 18을 이용하여 설명한 것과 다른 점을 중심으로 설명한다.
- [0161] 도 22 내지 도 23을 참고하면, 본 발명의 제13 실시예에 따른 반도체 장치(13)는 제2 더미 게이트 전극(260)은 더 포함한다.
- [0162] 제2 더미 게이트 전극(260)은 제1 게이트 전극(120) 및 제2 게이트 전극(220)과 나란하게 형성된다. 제2 더미 게이트 전극(260)은 제1 게이트 전극(120)과 제2 게이트 전극(220) 사이에 형성된다. 제2 더미 게이트 전극(260)은 제2 방향(Y1)으로 길게 연장되어 형성될 수 있다.
- [0163] 제2 더미 게이트 전극(260)은 제1 더미 게이트 전극(160)과 유사한 구조를 가질 수 있으므로, 이에 대한 설명은 생략한다.
- [0164] 본 발명의 제13 실시예에 따른 반도체 장치에서, 제1 더미 게이트 전극(160)의 일부 및 제2 더미 게이트 전극(260)의 일부는 필드 절연막의 제2 영역(107) 상에 형성된다. 즉, 제1 더미 게이트 전극(160)의 일부만이 필드 절연막의 제2 영역(107)과 오버랩되고, 제2 더미 게이트 전극(260)의 일부만이 필드 절연막의 제2 영역(107)과 오버랩될 수 있다.

- [0165] 다시 말하면, 제1 더미 게이트 전극(160)의 일부는 필드 절연막의 제2 영역(107) 상에 형성되고, 제1 더미 게이트 전극(160)의 나머지는 필드 절연막의 제1 영역(106) 및 제1 핀형 액티브 패턴(110) 상에 형성된다. 또한, 제2 더미 게이트 전극(260)의 일부는 필드 절연막의 제2 영역(107) 상에 형성되고, 제2 더미 게이트 전극(260)의 나머지는 필드 절연막의 제1 영역(106) 및 제2 핀형 액티브 패턴(210) 상에 형성된다.
- [0166] 도 23에서, 필드 절연막의 제1 영역(106)의 높이(H1)과 필드 절연막의 제2 영역(107)의 높이(H2)는 동일한 것으로 도시하였지만, 이에 제한되는 것은 아니다.
- [0167] 즉, 도 20에서 도시한 것과 같이, 필드 절연막의 제2 영역(107)의 상면은 필드 절연막의 제1 영역(106)의 상면보다 높다. 하지만, 필드 절연막의 제2 영역(107)의 상면은 제1 핀형 액티브 패턴(110)의 상면 및 제2 핀형 액티브 패턴(210)의 상면보다 낮다.
- [0168] 또는, 필드 절연막의 제2 영역(107)의 상면은 필드 절연막의 제1 영역(106)의 상면보다 높다. 또한, 필드 절연막의 제2 영역(107)의 상면은 제1 핀형 액티브 패턴(110)의 상면 및 제2 핀형 액티브 패턴(210)의 상면보다 같거나 높을 수 있다.
- [0169] 도 24 내지 도 36을 참조하여, 본 발명의 제14 내지 제22 실시예에 따른 반도체 장치들에 대해 설명한다.
- [0170] 도 24는 본 발명의 제14 실시예에 따른 반도체 장치를 설명하기 위한 사시도이다. 도 25는 도 24의 A - A 및 E - E를 따라 절단한 단면도이다. 도 26 및 도 27은 본 발명의 제15 실시예에 따른 반도체 장치를 설명하기 위한 도면들이다. 도 28은 본 발명의 제16 실시예에 따른 반도체 장치를 설명하기 위한 도면이다. 도 29는 본 발명의 제17 실시예에 따른 반도체 장치를 설명하기 위한 도면이다. 도 30 및 도 31은 본 발명의 제18 실시예에 따른 반도체 장치를 설명하기 위한 도면들이다. 도 32는 본 발명의 제19 실시예에 따른 반도체 장치를 설명하기 위한 도면이다. 도 33은 본 발명의 제20 실시예에 따른 반도체 장치를 설명하기 위한 도면이다. 도 34 및 도 35는 본 발명의 제21 실시예에 따른 반도체 장치를 설명하기 위한 도면들이다. 도 36은 본 발명의 제22 실시예에 따른 반도체 장치를 설명하기 위한 도면이다.
- [0171] 참고적으로, 도 26, 도 30, 도 34 및 도 36은 도 24의 A - A 및 E - E를 따라서 절단했을 때, 각 실시예의 단면도들이다. 도 27 내지 도 29, 도 31 내지 도 33, 및 도 35은 도 24의 C - C 및 F - F를 따라서 절단했을 때, 각 실시예의 단면도들이다.
- [0172] 또한, 본 발명의 제14 내지 제22 실시예에 따른 반도체 장치(14 - 22)에서, 제1 영역(I)에 형성되는 제1 트랜지스터(101)에 대한 설명은 도 1 내지 도 15를 통해 설명한 것과 실질적으로 동일할 수 있으므로, 간략히 설명하거나 생략한다.
- [0173] 도 24 및 도 25를 참고하면, 본 발명의 제14 실시예에 따른 반도체 장치(14)는 기판(100), 제1 핀형 액티브 패턴(110), 제3 핀형 액티브 패턴(310), 제1 게이트 전극(120), 제3 게이트 전극(320), 제1 소오스/드레인(130) 및 제3 소오스/드레인(330) 등을 포함할 수 있다.
- [0174] 기판(100)은 제1 영역(I) 및 제2 영역(II)을 포함할 수 있다. 제1 영역(I)과 제2 영역(II)은 서로 이격된 영역일 수도 있고, 서로 연결된 영역일 수도 있다. 또한, 제1 영역(I) 및 제2 영역(II)은 서로 다른 형의 트랜지스터 영역을 포함할 수 있다. 예를 들어, 제1 영역(I)은 NMOS 트랜지스터가 형성되는 영역이고, 제2 영역(II)은 PMOS 트랜지스터가 형성되는 영역일 수 있다.
- [0175] 제1 트랜지스터(101)은 제1 핀형 액티브 패턴(110), 제1 게이트 전극(120), 제1 소오스/드레인(130) 등을 포함한다.
- [0176] 본 발명의 제14 내지 제22 실시예들에 따른 반도체 장치에서, 제1 핀형 액티브 패턴(110)의 제1 상부 패턴(112)은 실리콘 카바이드를 포함하는 실리콘 카바이드 패턴일 수 있다. 또한, 제1 소오스/드레인(130)은 n형 불순물을 포함할 수 있다.
- [0177] 제1 트랜지스터(101)에 대한 나머지 설명은 도 1 내지 도 4를 통해 설명한 것과 중복되므로, 생략한다.
- [0178] 제2 트랜지스터(301)은 제3 핀형 액티브 패턴(310), 제3 게이트 전극(320), 제3 소오스/드레인(330) 등을 포함한다.
- [0179] 제3 핀형 액티브 패턴(310)은 기판(100)으로부터 돌출되어 있을 수 있다. 필드 절연막(105)은 제3 핀형 액티브 패턴(310)의 측벽 일부를 덮고 있기 때문에, 제3 핀형 액티브 패턴(310)의 상면은 필드 절연막(105)의 상면보다

위로 돌출된다. 제3 핀형 액티브 패턴(310)은 필드 절연막(105)에 의해 정의된다.

- [0180] 제3 핀형 액티브 패턴(310)은 기판(100) 상에 순차적으로 적층된 제3 하부 패턴(311)과 제3 상부 패턴(312)을 포함한다. 제3 상부 패턴(312)은 제3 하부 패턴(311) 상에 형성된다. 제3 상부 패턴(312)과 제3 하부 패턴(311)은 직접 연결되어 있다.
- [0181] 제3 핀형 액티브 패턴(310)의 상면은 제3 상부 패턴(312) 즉, 제3 상부 패턴(312)의 상면일 수 있다. 제3 상부 패턴(312)의 적어도 일부는 필드 절연막(105) 위로 돌출되어 있다. 제3 상부 패턴(312)은 예를 들어, 트랜지스터의 채널 영역으로 사용될 수 있다.
- [0182] 제3 하부 패턴(311)은 실리콘을 포함하는 실리콘 패턴이다. 제3 상부 패턴(312)은 실리콘 게르마늄을 포함하는 실리콘 게르마늄 패턴이다.
- [0183] 제3 하부 패턴(311)은 기판(100)과 직접 연결되어 형성된다. 기판(100)은 실리콘 기판일 수 있고, 제3 하부 패턴(311)은 실리콘 패턴이므로, 기판(100)과 제3 하부 패턴(311)은 통합 구조(integral structure)일 수 있다.
- [0184] 도 24에서, 제3 상부 패턴(312)과 제3 하부 패턴(311)이 접하는 접촉면은 필드 절연막(105)의 상면과 동일 평면에 있는 것으로 도시하였다, 즉, 제3 하부 패턴(311)의 측벽은 전체적으로 필드 절연막(105)과 접하고, 제3 상부 패턴(312)의 측벽은 전체적으로 필드 절연막(105)과 접하지 않는 것으로 도시하였지만, 이에 제한되는 것은 아니다.
- [0185] 제3 핀형 액티브 패턴(310)은 제3 방향(X2)을 따라서 길게 연장될 수 있다. 제3 핀형 액티브 패턴(310)은 제1 부분(310a) 및 제2 부분(310b)을 포함한다. 제3 핀형 액티브 패턴의 제2 부분(310b)은 제3 핀형 액티브 패턴의 제1 부분(310a)을 중심으로 제3 방향(X2)으로 양측에 배치된다.
- [0186] 본 발명의 제14 실시예에 따른 반도체 장치에서, 제3 핀형 액티브 패턴의 제1 부분(310a)의 상면 및 제3 핀형 액티브 패턴의 제2 부분(310b)의 상면은 필드 절연막(105)의 상면보다 위로 돌출되어 있다. 또한, 제3 핀형 액티브 패턴의 제3 부분(310a)의 상면 및 제3 핀형 액티브 패턴의 제3 부분(310b)의 상면은 동일 평면 상에 놓여 있다.
- [0187] 제3 게이트 전극(320)은 제3 핀형 액티브 패턴(310) 및 필드 절연막(105) 상에 형성된다. 예를 들어, 제3 게이트 전극(320)은 제3 핀형 액티브 패턴의 제1 부분(310a) 상에 형성된다. 좀 더 구체적으로, 제3 게이트 전극(320)은 제3 상부 패턴(312)의 측벽 및 상면 상에 형성된다.
- [0188] 제3 게이트 전극(320)은 제4 방향(Y2)으로 연장되어, 제3 핀형 액티브 패턴(310)과 교차하도록 형성된다.
- [0189] 제3 게이트 전극(320)은 금속층을 포함할 수 있다. 제3 게이트 전극(320)은 예를 들어, 일함수를 조절하는 부분과 제4 트렌치(156)을 채우는 역할을 하는 부분을 포함할 수 있다. 제3 게이트 전극(320)은 예를 들어, W, Al, TiN, TaN, TiC, 및 TaC 중 적어도 하나를 포함할 수 있다. 또는, 제3 게이트 전극(320)은 Si, SiGe 등으로 이루어질 수도 있다.
- [0190] 제3 게이트 절연막(325)은 제1 핀형 액티브 패턴(310)과 제3 게이트 전극(320) 사이에 형성될 수 있다. 제3 게이트 절연막(325)은 제3 핀형 액티브 패턴의 제1 부분(310a)의 상면과 측벽을 따라서 형성될 수 있다. 제3 게이트 절연막(325)은 필드 절연막(105)의 상면보다 위로 돌출된 제3 상부 패턴(312)의 측벽 및 상면을 따라 형성될 수 있다. 제3 게이트 절연막(325)은 제4 트렌치(156)의 측벽 및 바닥면을 따라서 형성될 수 있다.
- [0191] 제3 게이트 절연막(325)은 실리콘 산화막 및/또는 실리콘 산화막보다 높은 유전 상수를 갖는 고유전체 물질을 포함할 수 있다.
- [0192] 제3 소오스/드레인(230)은 제3 게이트 전극(320)의 양측에 형성된다. 예를 들어, 제3 소오스/드레인(330)은 제3 핀형 액티브 패턴의 제2 부분(310b)에 형성된다. 제3 소오스/드레인(330)은 제3 핀형 액티브 패턴(310) 내에, 즉, 제3 핀형 액티브 패턴의 제2 부분(310b) 내에 형성될 수 있다.
- [0193] 제3 소오스/드레인(330)은 p형 불순물을 포함할 수 있다.
- [0194] 도 26 및 도 27을 참조하여, 본 발명의 제15 실시예에 따른 반도체 장치에 대해 설명한다. 설명의 편의성을 위해, 도 24 및 도 25를 이용하여 설명한 것과 다른 점을 위주로 설명한다.
- [0195] 도 26 및 도 27을 참고하면, 본 발명의 제15 실시예에 따른 반도체 장치(15)는 제1 에피층(135)과 제3 에피층(335)을 더 포함한다.

- [0196] 본 발명의 제15 내지 제21 실시예들에 따른 반도체 장치에서, 제1 에피층(135)은 실리콘 카바이드를 포함할 수 있다. 제1 상부 패턴(112)과 제1 에피층(135)이 모두 실리콘 카바이드를 포함하지만, 제1 에피층(135)에 포함된 탄소의 비율과 제1 상부 패턴(112)에 포함된 탄소의 비율은 같거나, 제1 에피층(135)에 포함된 탄소의 비율은 제1 상부 패턴(112)에 포함된 탄소의 비율보다 클 수 있다.
- [0197] 제1 트랜지스터(101)에 대한 나머지 설명은 도 5 및 도 6을 통해 설명한 것과 중복되므로, 생략한다.
- [0198] 제3 소오스/드레인(330)은 제3 에피층(335)과, 제3 핀형 액티브 패턴의 제2 부분(310b) 내에 형성되는 불순물 영역을 포함할 수 있다.
- [0199] 제3 에피층(335)은 필드 절연막(105)의 상면보다 위로 돌출된 제3 핀형 액티브 패턴의 제2 부분(310b)의 상면(310b-1) 및 측벽(310b-2) 상에 전체적으로 형성된다. 제3 에피층(335)은 필드 절연막(105)과 접할 수 있다.
- [0200] 제3 에피층(135)은 제3 핀형 액티브 패턴의 제2 부분(310b) 중 제3 상부 패턴(312)의 측벽 및 상면 상에 형성된다.
- [0201] 도 27에서, 제3 에피층(335)의 외주면은 다양한 형상일 수 있다. 예를 들어, 제3 에피층(335)의 외주면은 다이아몬드 형상, 원 형상 및 직사각형 형상 중 적어도 하나일 수 있다. 도 27에서는 예시적으로 팔각형 형상을 도시하였다.
- [0202] 제3 에피층(335)은 예를 들어, 제3 상부 패턴(312)과 같은 실리콘 게르마늄을 포함할 수 있다.
- [0203] 즉, 제3 상부 패턴(312)과 제3 에피층(335)이 모두 실리콘 게르마늄을 포함한다. 하지만, 제3 에피층(335)에 포함된 게르마늄의 비율과 제3 상부 패턴(312)에 포함된 게르마늄의 비율은 같거나, 제3 에피층(335)에 포함된 게르마늄의 비율은 제3 상부 패턴(112)에 포함된 게르마늄의 비율보다 클 수 있다.
- [0204] 도 28 및 도 29를 참조하여, 본 발명의 제16 및 제17 실시예에 따른 반도체 장치에 대해 설명한다. 설명의 편의성을 위해, 도 26 및 도 27을 이용하여 설명한 것과 다른 점을 위주로 설명한다.
- [0205] 도 28을 참고하면, 본 발명의 제16 실시예에 따른 반도체 장치(16)에서, 제1 에피층(135)은 필드 절연막(105)과 접촉하지 않고, 제3 에피층(335)은 필드 절연막(105)과 접촉하지 않는다.
- [0206] 제3 에피층(335)은 필드 절연막(105)의 상면보다 위로 돌출된 제3 핀형 액티브 패턴의 제2 부분(310b)의 측벽(310b-2)의 일부 및 상면(310b-1) 상에 형성된다. 즉, 제3 에피층(335)은 필드 절연막(105)의 상면보다 위로 돌출된 제3 핀형 액티브 패턴의 제2 부분(310b)의 둘레 일부를 따라서 형성된다.
- [0207] 도 29를 참고하면, 본 발명의 제17 실시예에 따른 반도체 장치(17)는 제1 핀 스페이서(145) 및 제2 핀 스페이서(345)를 더 포함한다.
- [0208] 제2 핀 스페이서(345)는 필드 절연막(105)의 상면보다 위로 돌출된 제3 핀형 액티브 패턴의 제2 부분(310b)의 측벽(310b-2) 일부에 형성될 수 있다. 따라서, 제3 핀형 액티브 패턴의 제2 부분(310b)의 일부는 제2 핀 스페이서(345)보다 위로 돌출되어 있다. 즉, 제3 핀형 액티브 패턴의 제2 부분(310b)의 측벽(310b-2) 일부는 제2 핀 스페이서(345)에 의해 덮이지 않는다.
- [0209] 제3 에피층(335)은 제2 핀 스페이서(345)보다 위로 돌출된 제3 핀형 액티브 패턴의 제2 부분(310b)의 상면(310b-1) 및 측벽(310b-2)에 상에 형성된다. 즉, 제3 에피층(335)은 제2 핀 스페이서(345)보다 위로 돌출된 제3 핀형 액티브 패턴의 제2 부분(310b)의 둘레를 따라서 형성된다.
- [0210] 제3 에피층(335)은 제2 핀 스페이서(345)와 접할 수 있다.
- [0211] 도 30 및 도 31을 참조하여, 본 발명의 제18 실시예에 따른 반도체 장치를 설명한다. 설명의 편의성을 위해, 도 26 및 도 27을 이용하여 설명한 것과 다른 점을 위주로 설명한다.
- [0212] 도 30 및 도 31을 참고하면, 본 발명의 제18 실시예에 따른 반도체 장치(18)에서, 제1 핀형 액티브 패턴의 제2 부분(110b)의 상면은 제1 핀형 액티브 패턴의 제1 부분(110a)의 상면보다 리세스되어 있다. 또한, 제3 핀형 액티브 패턴의 제2 부분(310b)의 상면은 제3 핀형 액티브 패턴의 제1 부분(310a)의 상면보다 리세스되어 있다.
- [0213] 제3 핀형 액티브 패턴의 제1 부분(310a)의 상면 및 제3 핀형 액티브 패턴의 제2 부분(310b)의 상면은 필드 절연막(105)의 상면보다 위로 돌출되어 있다. 하지만, 제3 핀형 액티브 패턴의 제1 부분(310a)의 상면 및 제3 핀형 액티브 패턴의 제2 부분(310b)의 상면은 동일 평면 상에 놓여 있지 않는다.

- [0214] 기관(100)의 상면으로부터 제3 핀형 액티브 패턴의 제1 부분(310a)의 상면까지의 높이는 기관(100)의 상면으로부터 제3 핀형 액티브 패턴의 제2 부분(310b)의 상면까지의 높이보다 높다.
- [0215] 또한, 제3 핀형 액티브 패턴의 제2 부분(310b)의 측벽(310b-2)의 일부는 필드 절연막(105)과 접하지만, 제3 핀형 액티브 패턴의 제2 부분(310b)의 측벽(310b-2)의 나머지는 필드 절연막(105)과 접하지 않는다.
- [0216] 제3 에피층(335)은 리세스된 제3 핀형 액티브 패턴의 제2 부분(310b) 상에 형성된다. 좀 더 구체적으로, 제1 에피층(335)은 필드 절연막(105)의 상면보다 위로 돌출된 제3 핀형 액티브 패턴의 제2 부분(310b)의 상면(310b-1) 상에 형성되지만, 제3 핀형 액티브 패턴의 제2 부분(310b)의 측벽(310b-2) 상에 형성되지 않는다.
- [0217] 도 32 및 도 33을 참조하여, 본 발명의 제19 및 제20 실시예에 따른 반도체 장치에 대해 설명한다. 설명의 편의성을 위해, 도 30 및 도 31을 이용하여 설명한 것과 다른 점을 위주로 설명한다.
- [0218] 도 32를 참고하면, 본 발명의 제19 실시예에 따른 반도체 장치(19)에서, 제1 에피층(135) 및 제3 에피층(335)은 필드 절연막(105)과 접촉할 수 있다.
- [0219] 제3 에피층(335)은 필드 절연막(105)의 상면보다 위로 돌출된 제3 핀형 액티브 패턴의 제2 부분(310b)의 측벽(310b-2) 및 상면(310b-1) 상에 형성된다. 제3 에피층(335)은 필드 절연막(105)의 상면보다 위로 돌출된 제3 핀형 액티브 패턴의 제2 부분(310b)의 둘레를 따라서 형성된다.
- [0220] 도 33을 참고하면, 본 발명의 제20 실시예에 따른 반도체 장치(20)는 제1 핀 스페이서(145) 및 제2 핀 스페이서(345)를 더 포함한다.
- [0221] 제2 핀 스페이서(345)는 필드 절연막(105)의 상면보다 위로 돌출된 제3 핀형 액티브 패턴의 제2 부분(310b)의 측벽(310b-2)에 형성될 수 있다. 따라서, 제2 핀 스페이서(345)는 제3 에피층(335)과 접할 수 있다.
- [0222] 제3 핀형 액티브 패턴의 제2 부분(310b)은 제2 핀 스페이서(345)보다 위로 돌출되지 않는 것으로 도시하였지만, 이에 제한되는 것은 아니다.
- [0223] 도 34 및 도 35를 참조하여, 본 발명의 제21 실시예에 따른 반도체 장치에 대해 설명한다. 설명의 편의상 도 26 및 도 27을 이용하여 설명한 것과 다른 점을 위주로 설명한다.
- [0224] 도 34 및 도 35를 참고하면, 본 발명의 제21 실시예에 따른 반도체 장치(8)에서, 제1 핀형 액티브 패턴의 제2 부분(110b)의 측벽(110b-2)과 제3 핀형 액티브 패턴의 제2 부분(310b)의 측벽(310b-2)은 전체적으로 필드 절연막(105)과 접할 수 있다.
- [0225] 제3 핀형 액티브 패턴의 제2 부분(310b)의 상면(310b-1)은 필드 절연막(105)의 상면보다 위로 돌출되지 않을 수 있다. 즉, 도시된 것과 같이 필드 절연막(105)의 상면이 평평할 경우, 제3 핀형 액티브 패턴의 제2 부분(310b)의 상면(310b-2)은 필드 절연막(105)의 상면과 동일 평면 상에 있을 수 있다.
- [0226] 제3 핀형 액티브 패턴의 제2 부분(310b)의 측벽(310b-2)은 필드 절연막(105)에 의해 전체적으로 덮여 있으므로, 제3 에피층(335)은 제3 핀형 액티브 패턴의 제2 부분(310b)의 상면(310b-1) 상에 형성되지만, 제3 핀형 액티브 패턴의 제3 부분(310b)의 측벽(310b-2) 상에 형성되지 않는다.
- [0227] 도 36을 참조하여, 본 발명의 제22 실시예에 따른 반도체 장치에 대해 설명한다. 설명의 편의상, 도 24 및 도 25를 이용하여 설명한 것과 다른 점을 위주로 설명한다.
- [0228] 도 36을 참고하면, 본 발명의 제22 실시예에 따른 반도체 장치(22)에서, 제1 게이트 절연막(125)은 제1 트렌치(151)의 바닥면을 따라서 형성되지만, 제1 트렌치(151)의 측벽을 따라서 형성되지 않는다. 또한, 제3 게이트 절연막(325)은 제4 트렌치(156)의 바닥면을 따라서 형성되지만, 제4 트렌치(156)의 측벽을 따라서 형성되지 않는다.
- [0229] 제3 게이트 절연막(325)은 제3 게이트 스페이서(340)의 측벽을 따라서 형성되지 않는다. 제3 게이트 절연막(325)은 제3 게이트 전극(320)의 상면과 동일 평면 상에 위치하는 부분을 포함하지 않는다.
- [0230] 따라서, 제3 게이트 절연막(325)은 제3 게이트 전극(320)과 제3 핀형 액티브 패턴(310) 사이에 개재되지만, 제3 게이트 전극(320)과 제3 게이트 스페이서(340) 사이에 개재되지 않는다.
- [0231] 도 24 내지 도 36을 통해 설명한 반도체 장치(14 - 22)에서, 제1 트랜지스터(101)와 제2 트랜지스터(301)가 동일한 구조를 갖는 것으로 설명하였지만, 설명의 편의를 위한 것일 뿐, 이에 제한되는 것은 아니다.

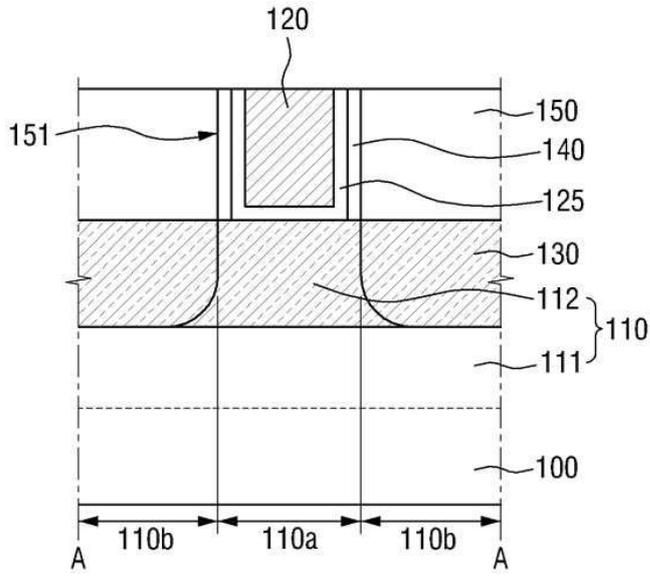
- [0232] 즉, 도 24 및 도 25에서 도시된 제1 트랜지스터(301)는 도 1 내지 도 4를 통해 설명한 구조를 가질 수 있을 뿐만 아니라, 도 5 내지 도 15를 통해 설명한 구조를 가질 수 있다.
- [0233] 도 37 내지 도 45를 참조하여, 본 발명의 일 실시예에 따른 반도체 장치 제조 방법에 대해 설명한다. 도 37 내지 도 45의 과정을 통해 제조되는 반도체 장치는 도 13 및 도 14를 통해 설명한 반도체 장치(8)일 수 있다.
- [0234] 도 37 내지 도 45는 본 발명의 일 실시예에 따른 반도체 장치 제조 방법을 설명하기 위한 중간단계 도면들이다.
- [0235] 도 37을 참고하면, 기판(100) 상에 화합물 반도체막(112p)을 형성한다. 화합물 반도체막(112p)은 기판(100)과 직접 접촉하여 형성된다. 화합물 반도체막(112p)은 예를 들어, 에피택셜 성장 방법(epitaxial growth process)을 이용하여 형성할 수 있다.
- [0236] 화합물 반도체막(112p)은 기판(100)과 서로 다른 격자 상수를 갖는 물질을 포함한다. 기판(100)이 실리콘 기판일 경우, 화합물 반도체막(112p)은 실리콘보다 격자 상수가 큰 물질 또는 실리콘보다 격자 상수가 작은 물질을 포함한다.
- [0237] 화합물 반도체막(112p)이 NMOS의 채널 영역으로 사용될 경우, 화합물 반도체막(112p)은 예를 들어, 실리콘 카바이드막일 수 있다.
- [0238] 이와 달리, 화합물 반도체막(112p)이 PMOS의 채널 영역으로 사용될 경우, 화합물 반도체막(112p)은 예를 들어, 실리콘 게르마늄막일 수 있다.
- [0239] 기판(100) 상에 형성된 화합물 반도체막(112p)은 완전히 긴장된(fully strained) 상태일 수 있다. 즉, 화합물 반도체막(112p)의 격자 상수는 기판(100)의 격자 상수와 동일한 상태를 가지고 있을 수 있다. 화합물 반도체막(112p)이 완전히 긴장된 상태이기 위해, 기판(100) 상에 형성되는 화합물 반도체막(112p)의 두께는 임계 두께(critical thickness) 이하일 수 있다.
- [0240] 이어서, 화합물 반도체막(112p) 상에 제1 마스크 패턴(2103)을 형성한다. 제1 마스크 패턴(2103)은 제1 방향(X1)을 따라 길게 연장될 수 있다.
- [0241] 제1 마스크 패턴(2103)은 예를 들어, 실리콘 산화막, 실리콘 질화막, 실리콘 산화 질화막 중 적어도 하나를 포함하는 물질로 형성될 수 있다.
- [0242] 도 38을 참고하면, 화합물 반도체막(112p)과 기판(100)의 일부를 패터닝하여, 기판(100) 상에 제1 핀형 액티브 패턴(110)을 형성한다.
- [0243] 화합물 반도체막(112p) 상에 형성된 제1 마스크 패턴(2103)을 마스크로 이용하여, 화합물 반도체막(112p) 및 기판(100)의 일부를 식각한다. 이를 통해, 기판(100) 상에 제1 방향(X1)을 따라 길게 연장되는 제1 핀형 액티브 패턴(110)이 형성된다.
- [0244] 화합물 반도체막(112p)을 패터닝함으로써, 제1 상부 패턴(112)이 형성되고, 기판(100)의 일부를 패터닝함으로써, 제1 하부 패턴(111)이 형성된다. 즉, 기판(100) 상에 돌출되어 형성된 제1 핀형 액티브 패턴(110)은 기판(100) 상에 순차적으로 적층된 제1 하부 패턴(111) 및 제1 상부 패턴(112)을 포함한다.
- [0245] 도 39를 참고하면, 기판(100) 상에 필드 절연막(105)을 형성한다. 필드 절연막(105)은 예를 들어, 실리콘 산화막, 실리콘 질화막, 실리콘 산화 질화막 중 적어도 하나를 포함하는 물질로 형성될 수 있다.
- [0246] 예를 들어, 기판(100) 상에 제1 핀형 액티브 패턴(110) 및 제1 마스크 패턴(2103)을 덮는 필드 절연막(105)을 형성한다. 평탄화 공정을 통해, 제1 핀형 액티브 패턴(110)의 상면 및 필드 절연막(105)의 상면이 동일 평면 상에 놓일 수 있다.
- [0247] 평탄화 공정을 진행하면, 제1 마스크 패턴(2103)은 제거될 수 있지만, 이에 제한되는 것은 아니다. 즉, 제1 마스크 패턴(2103)은 필드 절연막(105)의 형성 이전에 제거되거나, 이후에 진행되는 필드 절연막(105) 리세스 공정 이후에 제거될 수 있다.
- [0248] 이어서, 필드 절연막(105)의 일부를 리세스한다. 이를 통해, 제1 핀형 액티브 패턴(110)은 필드 절연막(105)의 상면보다 위로 돌출된다. 즉, 필드 절연막(105)은 제1 핀형 액티브 패턴(110)의 측면 일부에 접하도록 형성된다. 이를 통해, 제1 핀형 액티브 패턴(110)은 필드 절연막(105)에 의해 정의될 수 있다.
- [0249] 필드 절연막(105)의 일부가 제거됨으로써, 제1 상부 패턴(112)의 적어도 일부는 필드 절연막(105)보다 위로 돌

출되게 된다.

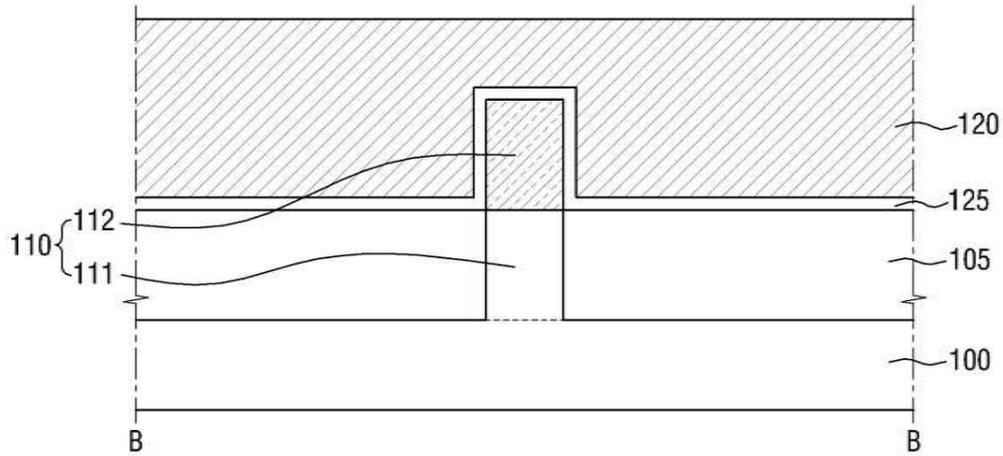
- [0250] 또한, 제1 핀형 액티브 패턴(110)에 문턱 전압 조절용 도핑이 수행될 수 있다. 제1 핀형 액티브 패턴(110)을 이용하여 NMOS 핀형 트랜지스터를 제조하는 경우, 불순물은 붕소(B)일 수 있다. 제1 핀형 액티브 패턴(110)을 이용하여 PMOS 핀형 트랜지스터를 제조하는 경우, 불순물은 인(P) 또는 비소(As)일 수 있다. 즉, 트랜지스터의 채널 영역으로 사용되는 제1 상부 패턴(112)에 문턱 전압 조절용 도핑이 수행될 수 있다.
- [0251] 도 40을 참고하면, 제2 마스크 패턴(2104)을 이용하여 식각 공정을 진행하여, 제1 핀형 액티브 패턴(110)과 교차하여 제2 방향(Y1)으로 연장되는 더미 게이트 패턴(126)을 형성한다.
- [0252] 더미 게이트 패턴(126)은 기판(100) 상에 형성된 필드 절연막(105) 및 제1 핀형 액티브 패턴(110) 상에 형성된다. 더미 게이트 패턴(126)은 더미 게이트 절연막(127)과 더미 게이트 전극(128)을 포함한다. 예를 들어, 더미 게이트 절연막(127)은 실리콘 산화막일 수 있고, 더미 게이트 전극(128)은 폴리 실리콘일 수 있다.
- [0253] 본 발명의 일 실시예에 따른 반도체 장치 제조 방법에서, 리플래시먼트 게이트 전극을 형성하기 위해 더미 게이트 패턴(126)을 형성하는 것으로 설명하나, 이에 제한되는 것은 아니다.
- [0254] 즉, 더미 게이트 패턴이 아닌, 트랜지스터의 게이트 절연막 및 게이트 전극으로 사용될 물질을 이용하여 제1 핀형 액티브 패턴(110) 상에 게이트 패턴을 형성할 수 있음은 물론이다. 이 때, 게이트 패턴은 실리콘 산화막보다 높은 유전 상수를 갖는 고유전체 게이트 절연막 및/또는 금속 게이트 전극을 포함할 수 있다.
- [0255] 도 41을 참고하면, 더미 게이트 패턴(126)의 측벽에 제1 게이트 스페이서(140)를 형성한다. 다시 말하면, 제1 게이트 스페이서(140)는 더미 게이트 전극(128)의 측면에 형성된다.
- [0256] 구체적으로, 더미 게이트 패턴(126)과 제1 핀형 액티브 패턴(110) 상에 스페이서막을 형성한 후 에치백 공정을 진행하여, 제1 게이트 스페이서(140)를 형성할 수 있다. 제1 게이트 스페이서(140)는 제2 마스크 패턴(2104)의 상면, 더미 게이트 패턴(126)과 오버랩되지 않는 핀형 액티브 패턴(110)의 상면을 노출할 수 있다.
- [0257] 이어서, 더미 게이트 패턴(126)의 양측에 노출된 제1 핀형 액티브 패턴(110)의 일부를 제거하여, 제1 핀형 액티브 패턴(110) 내에 리세스를 형성한다. 즉, 더미 게이트 전극(128)과 오버랩되지 않는 제1 핀형 액티브 패턴(110)의 일부를 제거하여, 더미 게이트 전극(128)의 양측에 리세스를 형성한다.
- [0258] 도 42를 참고하면, 더미 게이트 패턴(126)의 양측에, 제1 에피층(135)을 포함하는 제1 소오스/드레인(130)을 형성한다.
- [0259] 제1 에피층(135)은 더미 게이트 패턴(126)의 양측에 형성된 리세스를 채운다. 즉, 제1 에피층(135)은 제1 핀형 액티브 패턴(110) 상에 형성된다.
- [0260] 제1 에피층(135)을 형성하는 것은, 에피택셜 성장 방법에 의해서 형성할 수 있다. 또한, 필요에 따라서, 에피 공정시 불순물을 인시츄 도핑할 수도 있다.
- [0261] 제1 에피층(135)은 예시적으로 팔각형 형상으로 도시하였지만, 이에 제한되는 것은 아니다. 즉, 제1 에피층(135)을 형성하는 에피택셜 공정의 공정 조건을 조절함으로써, 제1 에피층(135)의 형상은 예를 들어, 다이아몬드 형상, 직사각형 형상, 오각형 형상 등 다양한 형상이 될 수 있다.
- [0262] 채널 영역으로 사용되는 제1 상부 패턴(112)이 실리콘 카바이드 패턴일 경우, 제1 에피층(135)은 실리콘 카바이드를 포함할 수 있다.
- [0263] 이와 달리, 채널 영역으로 사용되는 제1 상부 패턴(112)이 실리콘 게르마늄 패턴일 경우, 제1 에피층(135)은 실리콘 게르마늄을 포함할 수 있다.
- [0264] 도 43을 참고하면, 제1 소오스/드레인(130) 및 더미 게이트 패턴(126)을 덮는 층간 절연막(150)을 기판(100) 상에 형성한다. 층간 절연막(150)은 산화막, 질화막 및 산질화막 중 적어도 하나를 포함할 수 있다.
- [0265] 이어서, 더미 게이트 패턴(126)의 상면이 노출될 때까지, 층간 절연막(150)을 평탄화한다. 이에 따라, 제2 마스크 패턴(2104)이 제거되고, 더미 게이트 전극(128)의 상면이 노출될 수 있다.
- [0266] 도 44를 참고하면, 더미 게이트 패턴(126) 즉, 더미 게이트 절연막(127) 및 더미 게이트 전극(128)을 제거한다.
- [0267] 더미 게이트 절연막(127) 및 더미 게이트 전극(128)을 제거함에 따라, 필드 절연막(105) 및 제1 핀형 액티브 패턴(110)의 일부를 노출하는 트렌치가 형성된다. 트렌치에 의해, 제1 상부 패턴(112)은 노출된다.

- [0268] 도 45를 참고하면, 트렌치 내에 제1 게이트 절연막(125) 및 제1 게이트 전극(120)을 형성한다.
- [0269] 제1 게이트 절연막(125)은 트렌치의 측벽 및 바닥면을 따라 실질적으로 컨포말하게 형성될 수 있다. 제1 게이트 전극(120)은 제1 게이트 절연막(125)이 형성된 트렌치를 채울 수 있다.
- [0270] 도 37 내지 도 40, 도 43 내지 도 47을 참조하여, 본 발명의 다른 실시예에 따른 반도체 장치 제조 방법에 대해 설명한다. 도 37 내지 도 40, 도 43 내지 도 47의 과정을 통해 제조되는 반도체 장치는 도 5 및 도 6을 통해 설명한 반도체 장치(2)일 수 있다.
- [0271] 도 46 및 도 47은 본 발명의 다른 실시예에 따른 반도체 장치 제조 방법을 설명하기 위한 중간단계 도면들이다.
- [0272] 도 46을 참고하면, 더미 게이트 패턴(126)의 측벽에 제1 게이트 스페이서(140)를 형성한다. 하지만, 제1 게이트 스페이서(140)를 형성하는 공정 중, 더미 게이트 패턴(126)과 오버랩되지 않는 제1 핀형 액티브 패턴(110)은 식각되지 않는다.
- [0273] 좀 더 구체적으로, 제1 게이트 스페이서(140)가 만들어지는 과정 중, 제1 핀형 액티브 패턴(110)의 측벽에도 핀 스페이서가 형성될 수 있다. 하지만, 제1 게이트 스페이서(140)를 형성하는 에치백 공정 조건을 조절함으로써, 제1 핀형 액티브 패턴(110)의 측벽에 있는 핀 스페이서만을 제거하고, 제1 핀형 액티브 패턴(110)은 식각되지 않을 수 있다.
- [0274] 즉, 제1 상부 패턴(112)에 대해 식각 선택비를 갖는 식각 물질을 이용함으로써, 제1 게이트 스페이서(140) 및 핀 스페이서를 이루는 물질만이 식각되고, 제1 상부 패턴(112)은 식각되지 않도록 할 수 있다.
- [0275] 이를 통해, 더미 게이트 패턴(126) 및 제1 게이트 스페이서(140)와 오버랩되지 않는 제1 핀형 액티브 패턴(110)은 여전히 필드 절연막(105)보다 위로 돌출되어 있다.
- [0276] 도 47을 참고하면, 더미 게이트 패턴(126)의 양측에, 제1 에피층(135)을 형성한다.
- [0277] 제1 에피층(135)은 필드 절연막(105)보다 돌출된 제1 핀형 액티브 패턴(110)의 측벽 및 상면 상에 형성된다. 예를 들어, 제1 에피층(135)은 필드 절연막(105)보다 위로 돌출된 제1 상부 패턴(112)의 측벽 및 상면 상에 형성된다. 제1 에피층(135)은 필드 절연막(105)보다 위로 돌출된 제1 상부 패턴(112)의 둘레에 형성된다.
- [0278] 이를 통해, 제1 에피층(135)과 제1 핀형 액티브 패턴(110) 내에 형성된 불순물 영역을 포함하는 제1 소오스/드레인(130)이 형성된다.
- [0279] 도 48은 본 발명의 몇몇 실시예에 따른 반도체 장치를 포함하는 전자 시스템의 블록도이다.
- [0280] 도 48을 참조하면, 본 발명의 실시예에 따른 전자 시스템(1100)은 컨트롤러(1110), 입출력 장치(1120, I/O), 기억 장치(1130, memory device), 인터페이스(1140) 및 버스(1150, bus)를 포함할 수 있다. 컨트롤러(1110), 입출력 장치(1120), 기억 장치(1130) 및/또는 인터페이스(1140)는 버스(1150)를 통하여 서로 결합될 수 있다. 버스(1150)는 데이터들이 이동되는 통로(path)에 해당한다.
- [0281] 컨트롤러(1110)는 마이크로프로세서, 디지털 신호 프로세서, 마이크로 컨트롤러, 및 이들과 유사한 기능을 수행할 수 있는 논리 소자들 중에서 적어도 하나를 포함할 수 있다. 입출력 장치(1120)는 키패드(keypad), 키보드 및 디스플레이 장치 등을 포함할 수 있다. 기억 장치(1130)는 데이터 및/또는 명령어 등을 저장할 수 있다. 인터페이스(1140)는 통신 네트워크로 데이터를 전송하거나 통신 네트워크로부터 데이터를 수신하는 기능을 수행할 수 있다. 인터페이스(1140)는 유선 또는 무선 형태일 수 있다. 예컨대, 인터페이스(1140)는 안테나 또는 유무선 트랜시버 등을 포함할 수 있다. 도시하지 않았지만, 전자 시스템(1100)은 컨트롤러(1110)의 동작을 향상시키기 위한 동작 메모리로서, 고속의 디램 및/또는 에스램 등을 더 포함할 수도 있다. 본 발명의 몇몇 실시예들에 따른 반도체 장치는 기억 장치(1130) 내에 제공되거나, 컨트롤러(1110), 입출력 장치(1120, I/O) 등의 일부로 제공될 수 있다.
- [0282] 전자 시스템(1100)은 개인 휴대용 정보 단말기(PDA, personal digital assistant) 포터블 컴퓨터(portable computer), 웹 태블릿(web tablet), 무선 전화기(wireless phone), 모바일 폰(mobile phone), 디지털 음악 플레이어(digital music player), 메모리 카드(memory card), 또는 정보를 무선환경에서 송신 및/또는 수신할 수 있는 모든 전자 제품에 적용될 수 있다.
- [0283] 도 49 및 도 50은 본 발명의 몇몇 실시예들에 따른 반도체 장치를 적용할 수 있는 예시적인 반도체 시스템이다. 도 49는 태블릿 PC이고, 도 50은 노트북을 도시한 것이다. 본 발명의 몇몇 실시예들에 따른 반도체 장치 중 적

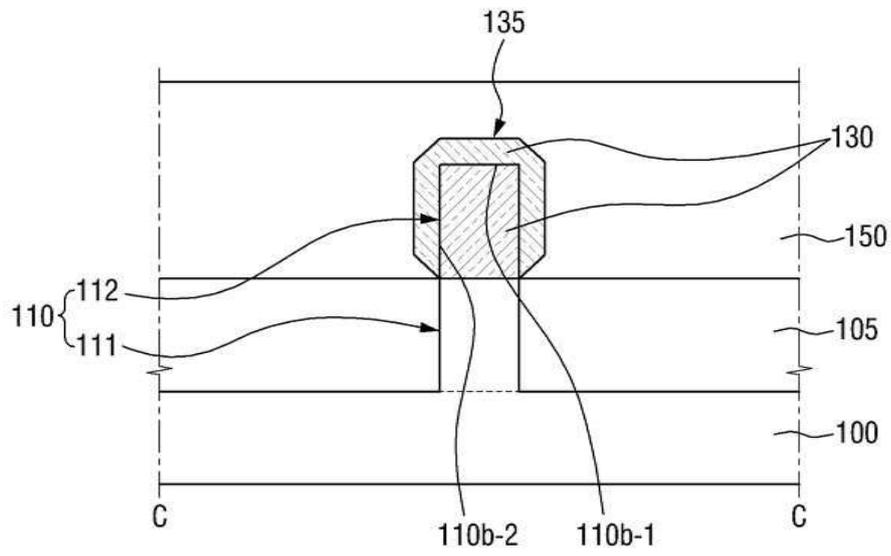
도면2



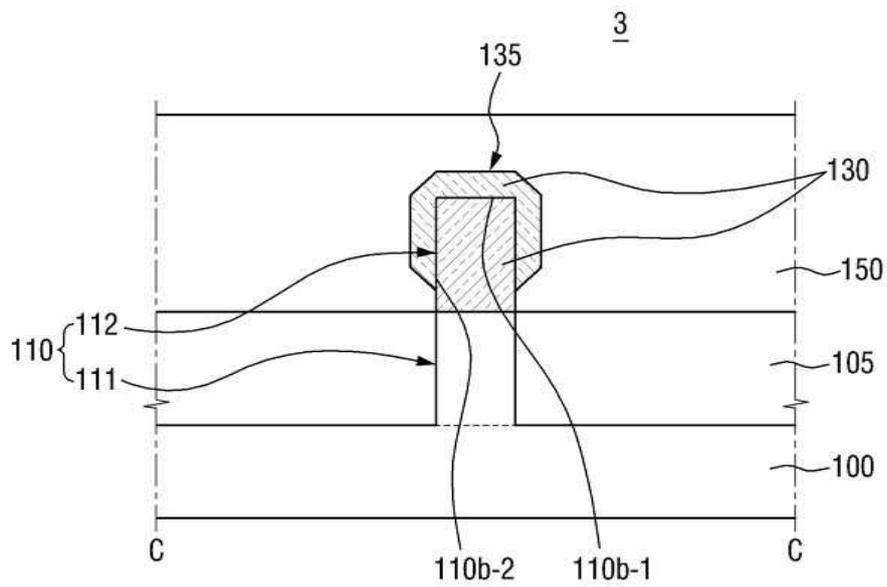
도면3



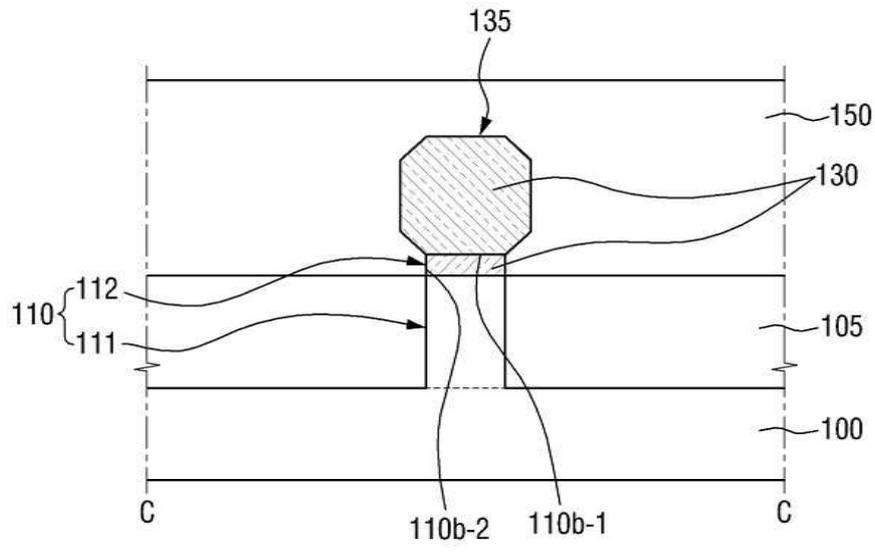
도면6



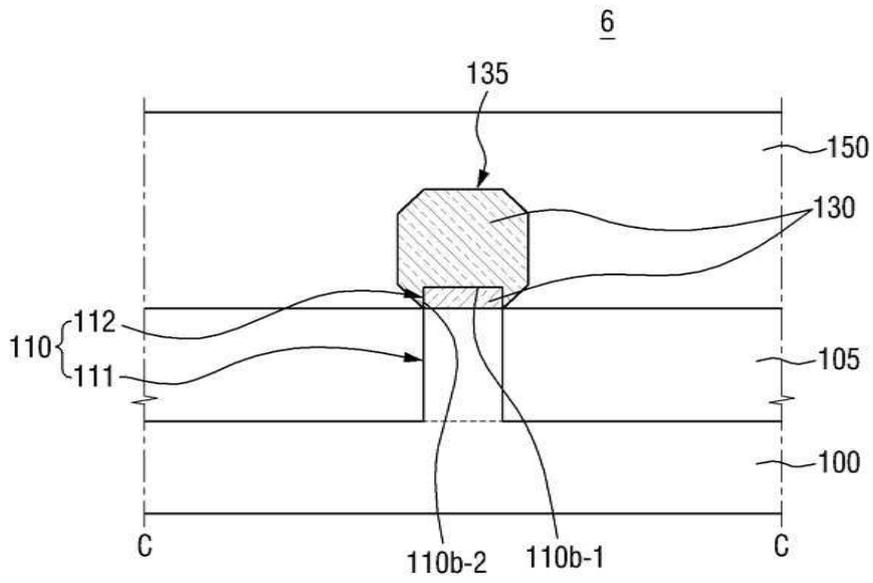
도면7



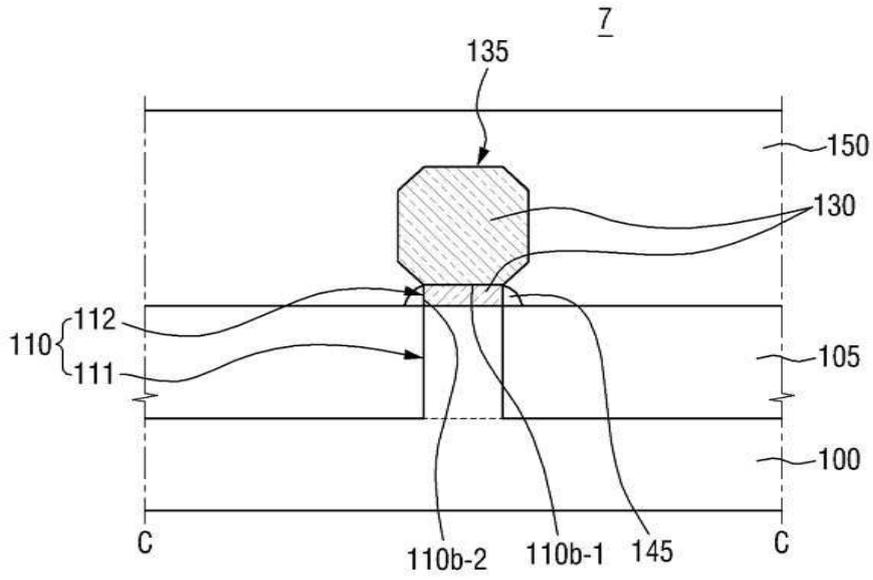
도면10



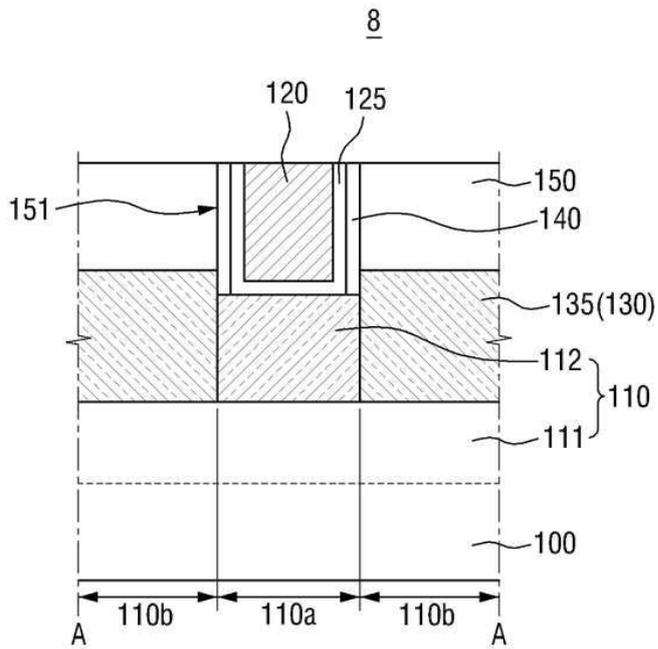
도면11



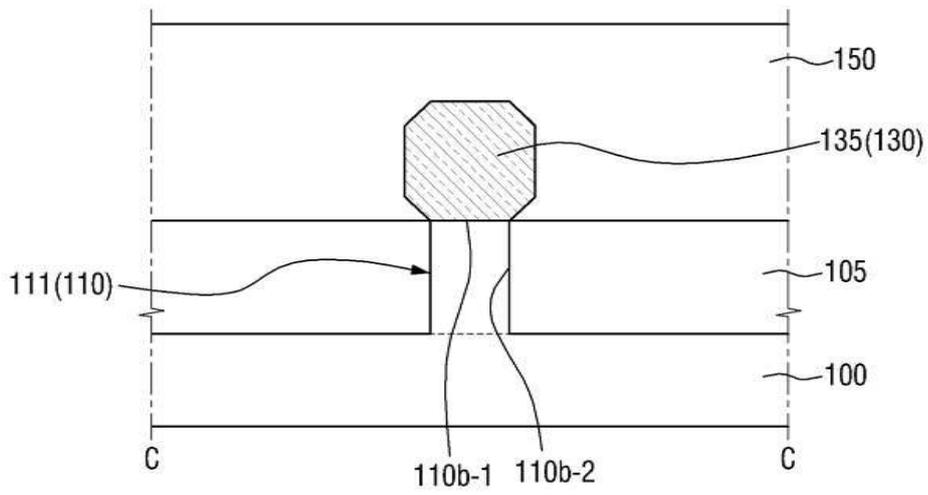
도면12



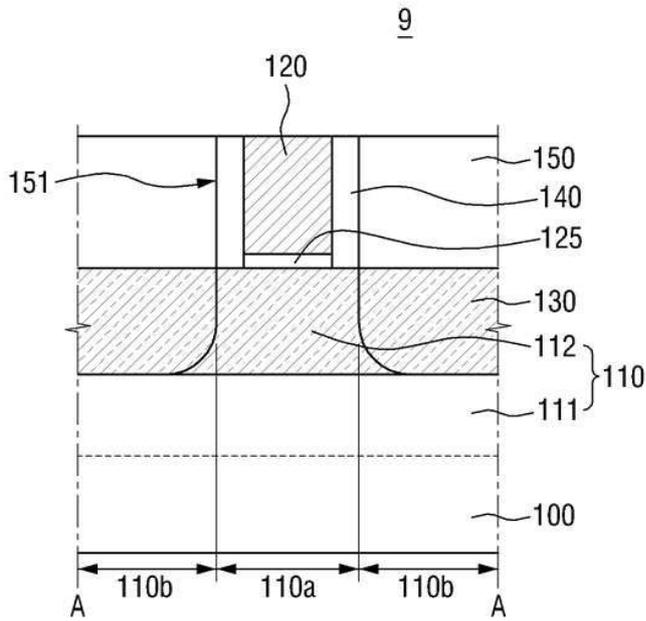
도면13



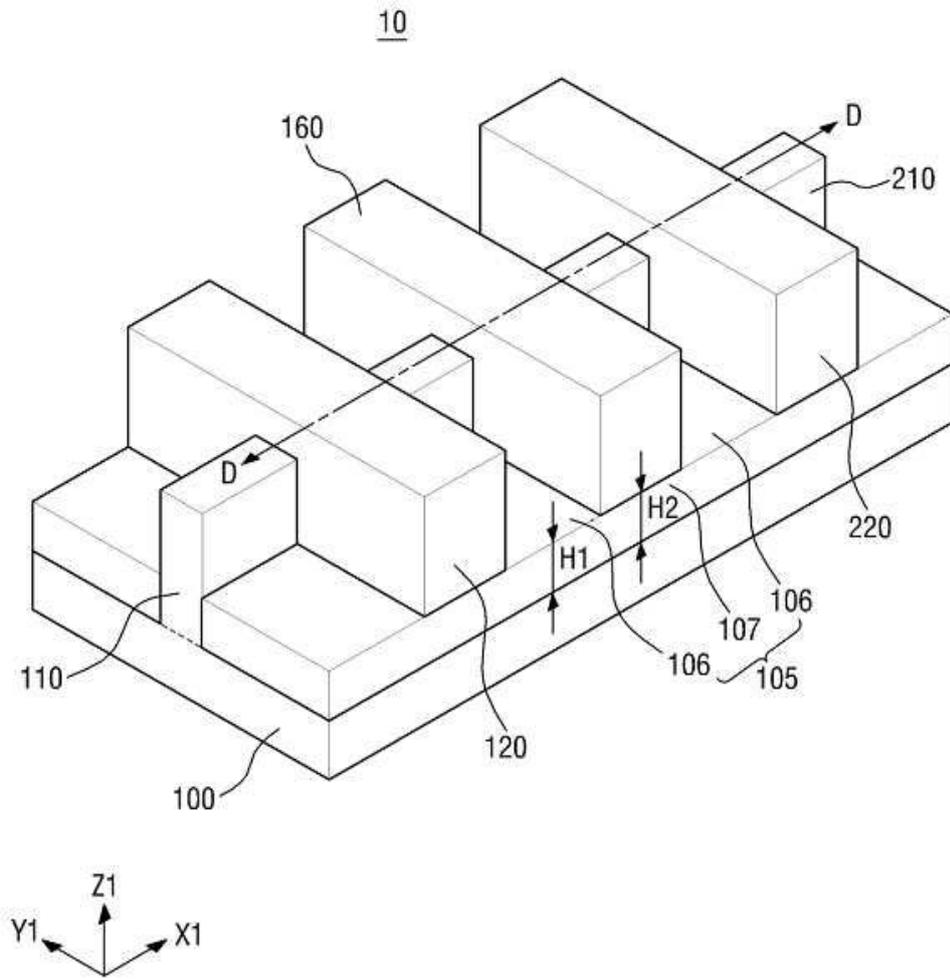
도면14



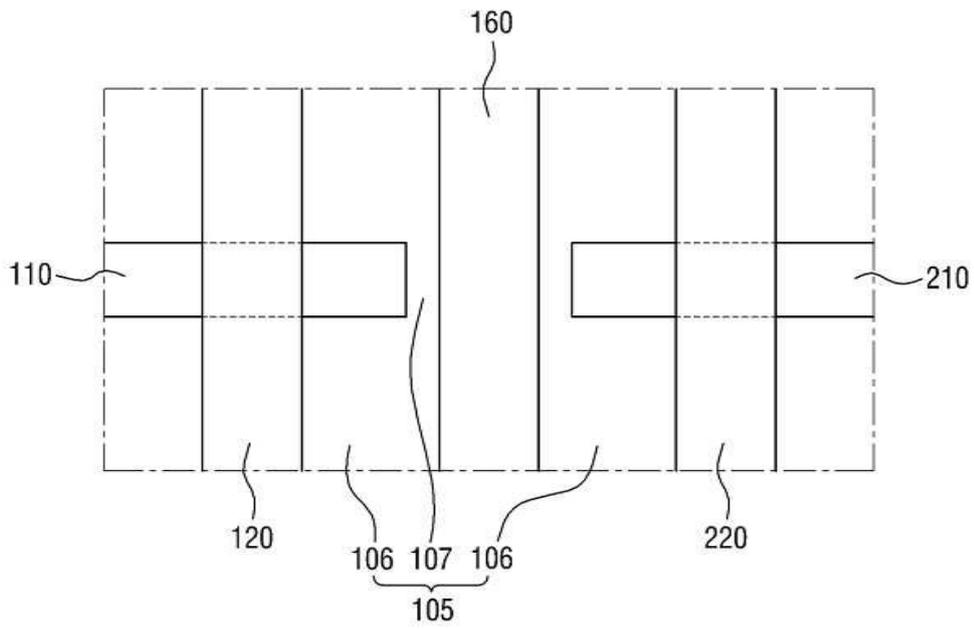
도면15



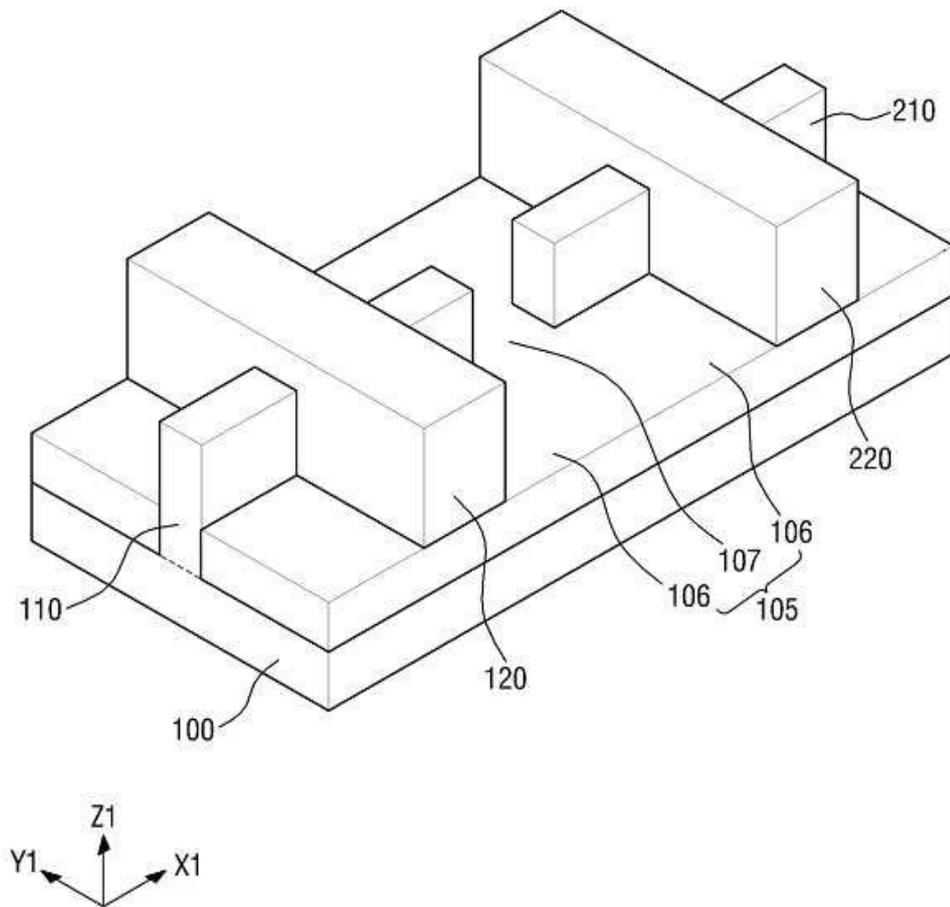
도면16a



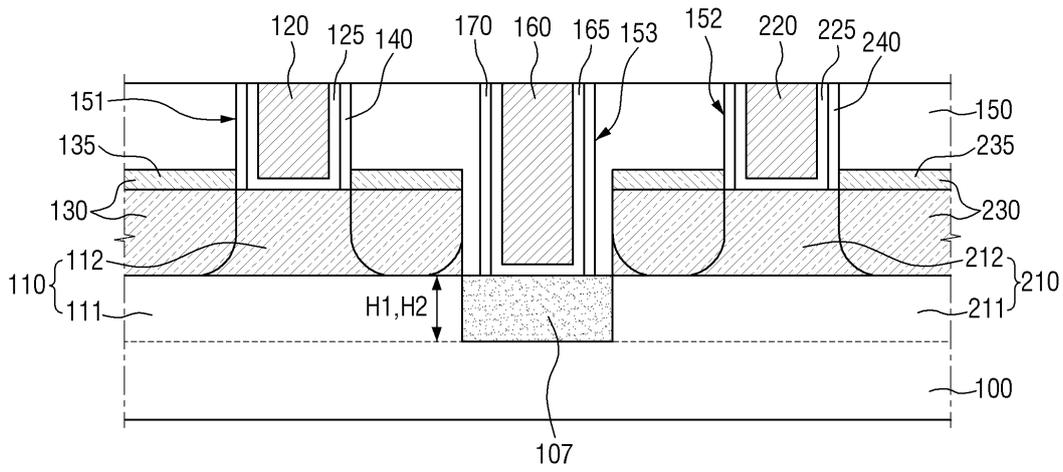
도면16b



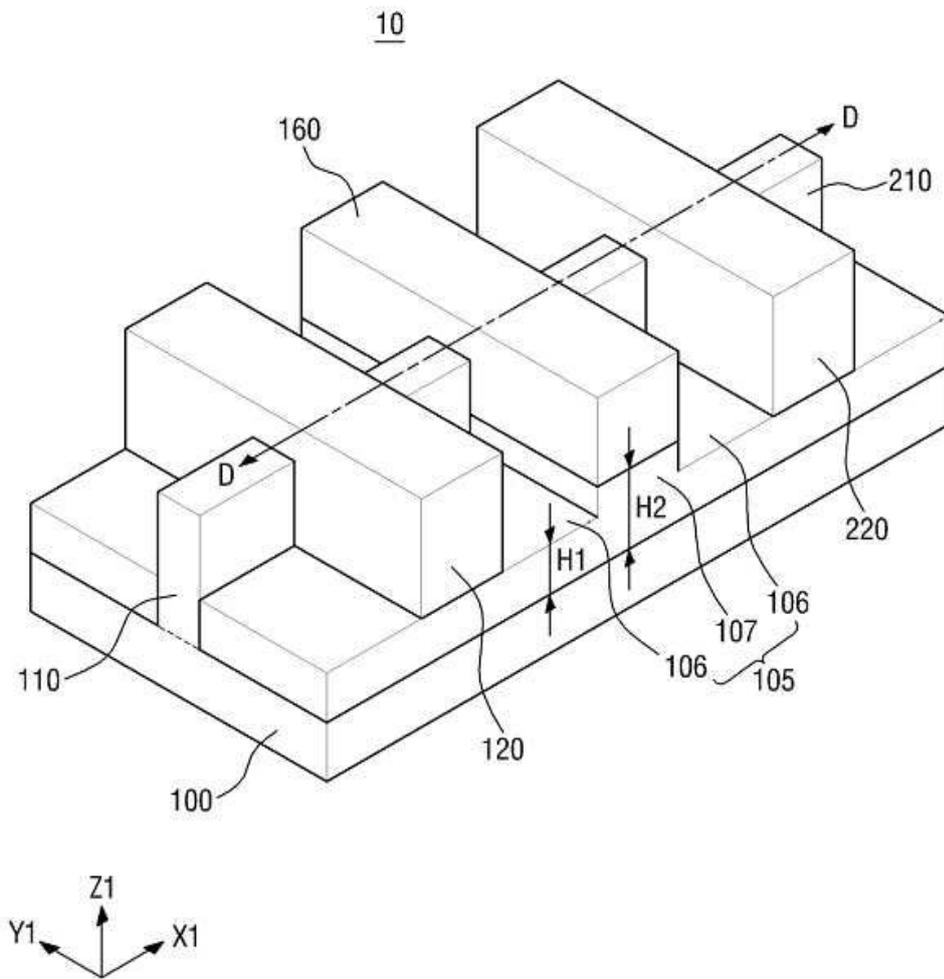
도면17



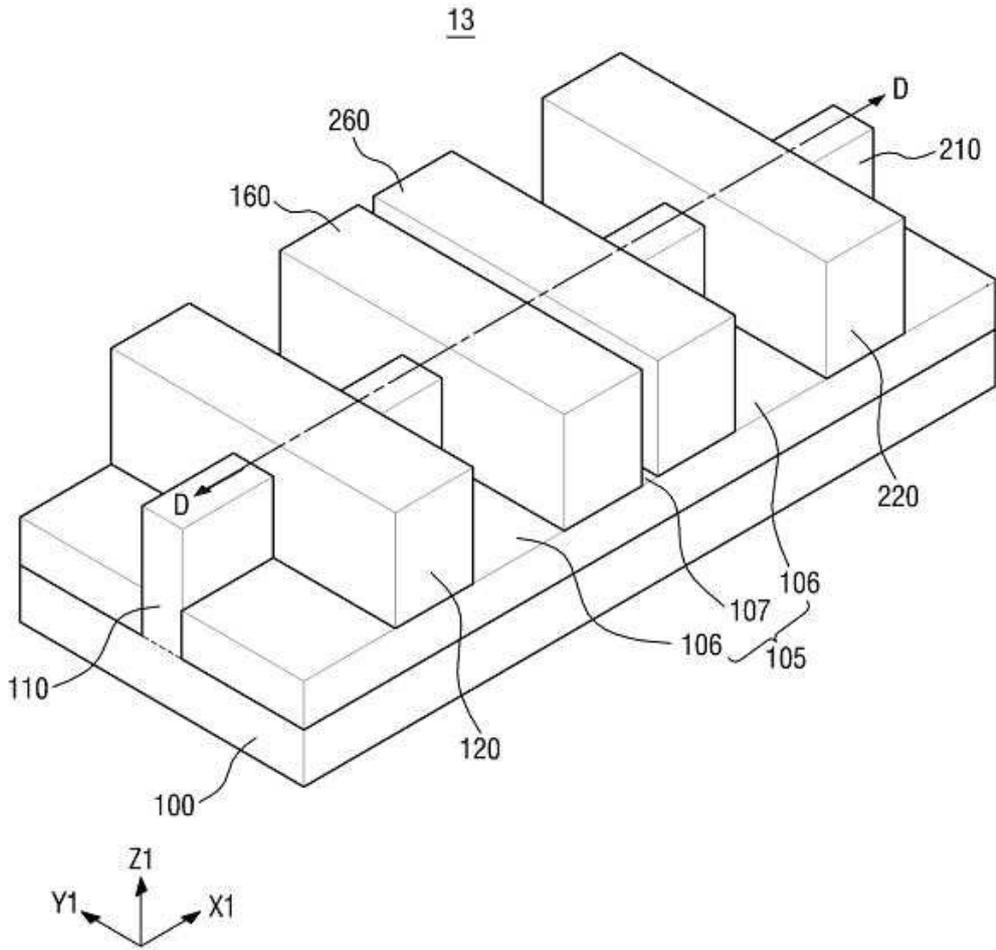
도면18



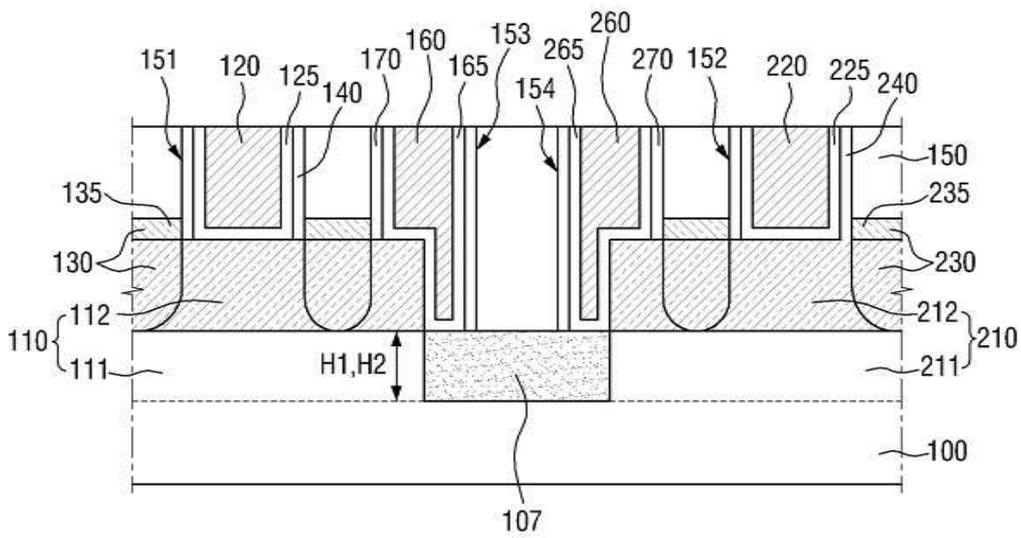
도면19



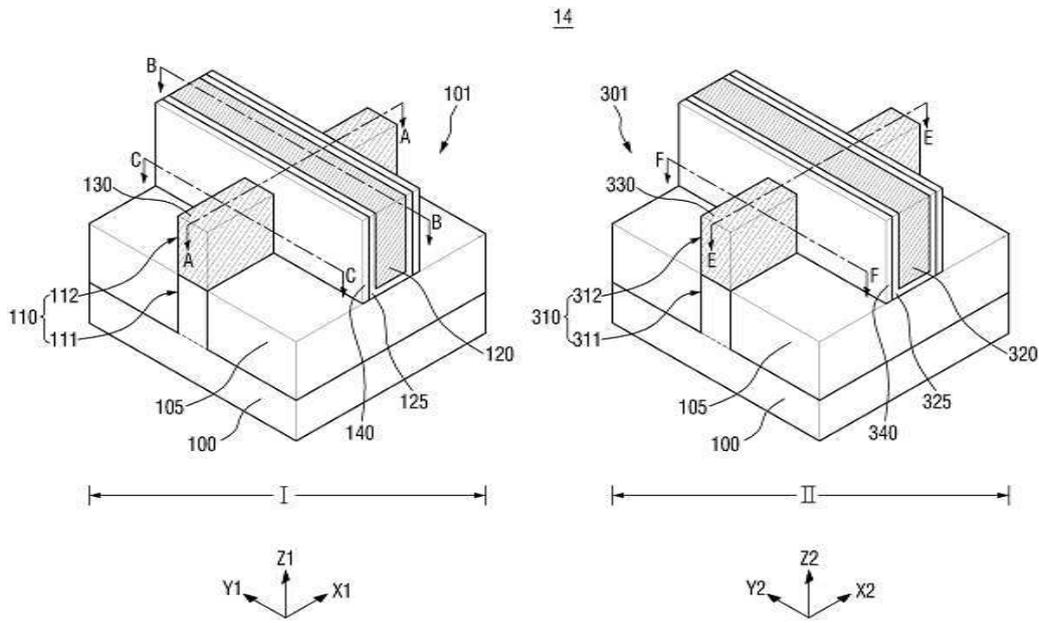
도면22



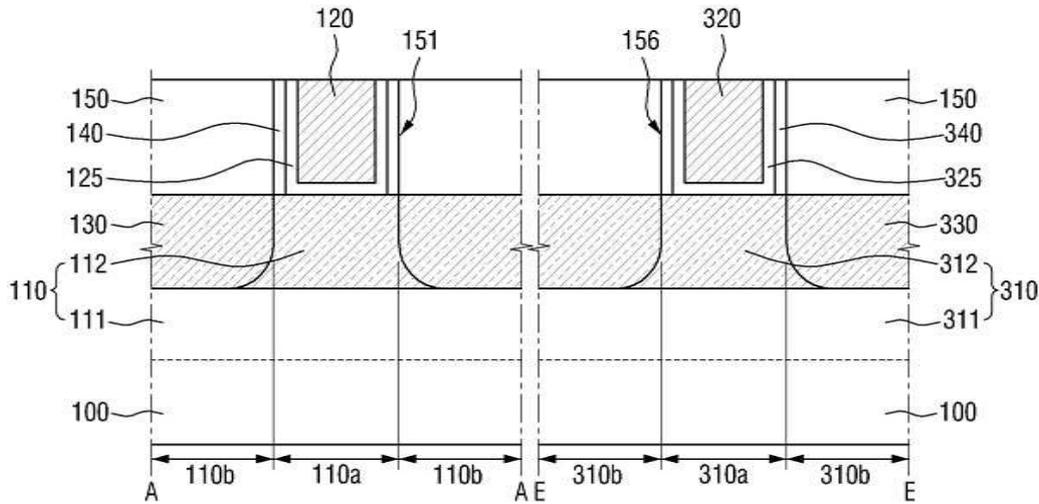
도면23



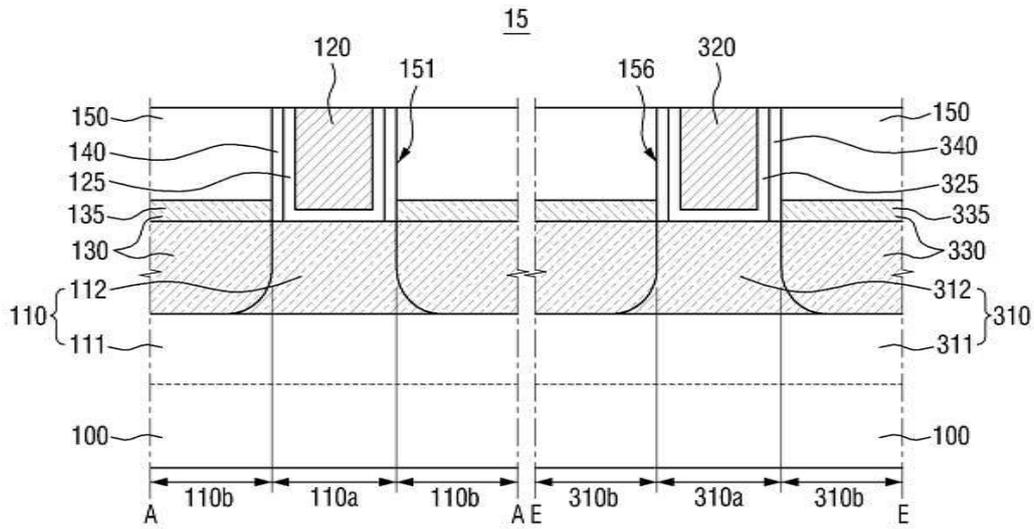
도면24



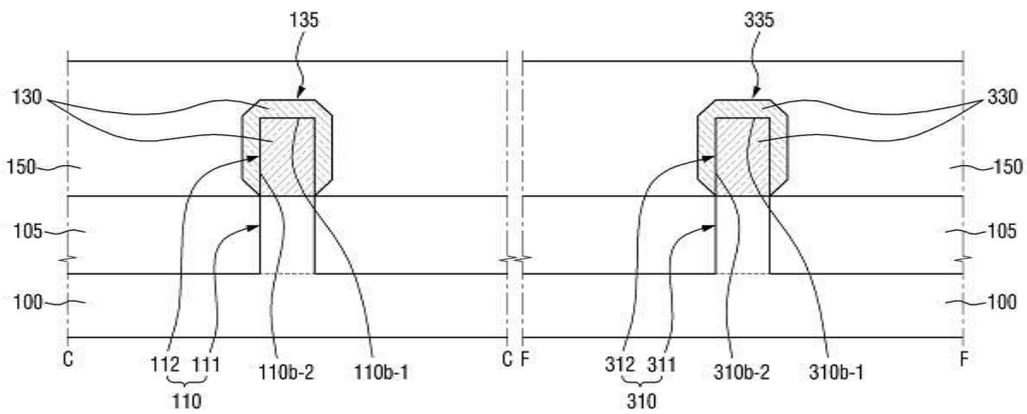
도면25



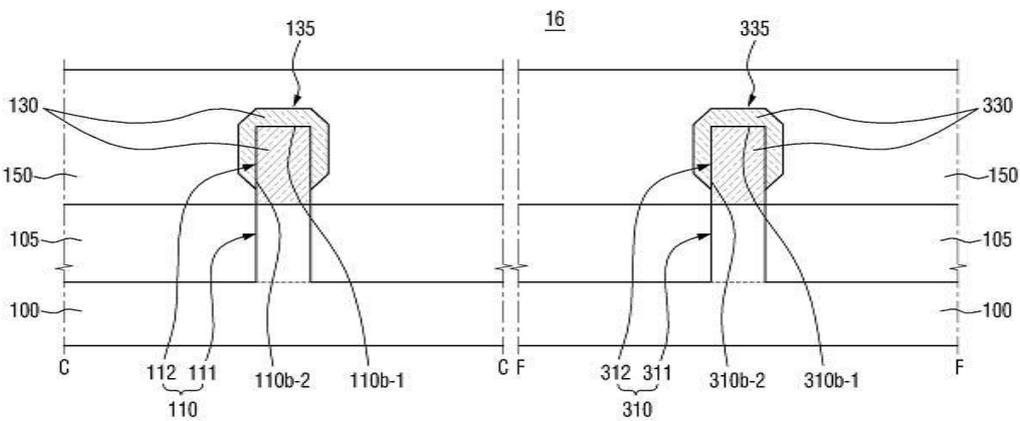
도면26



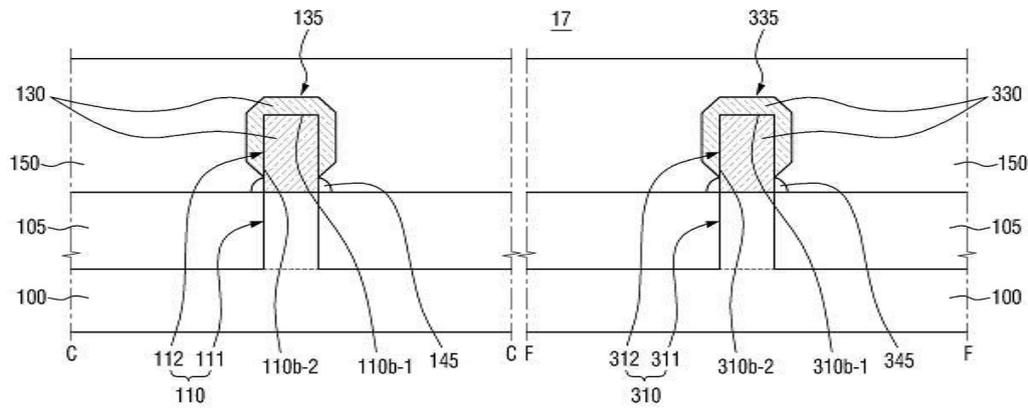
도면27



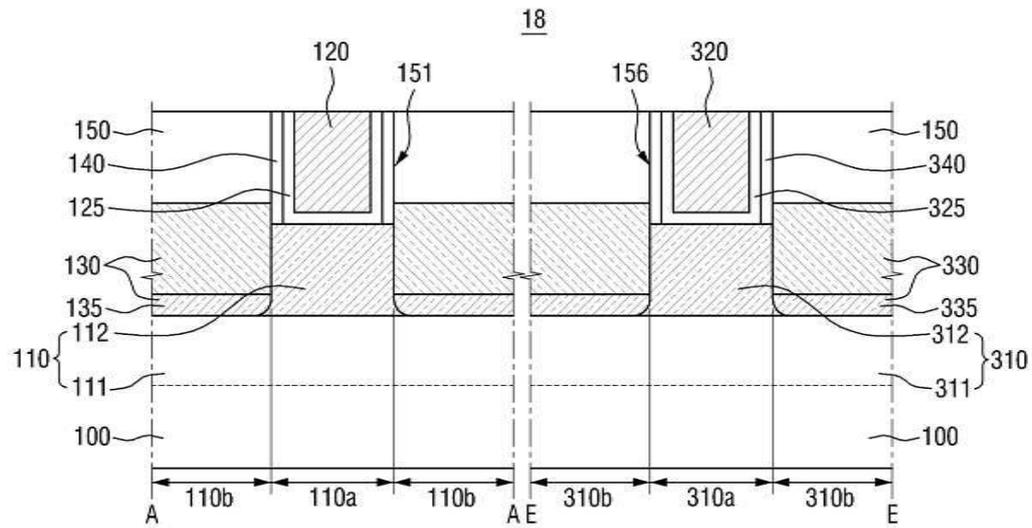
도면28



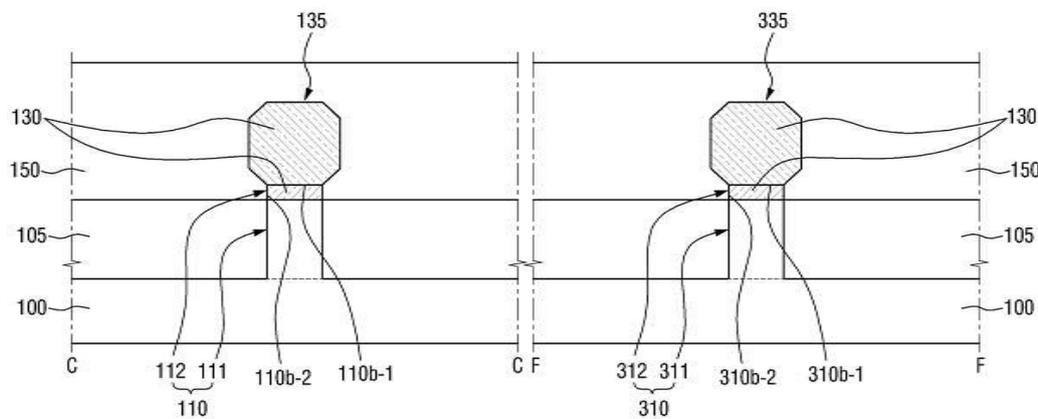
도면29



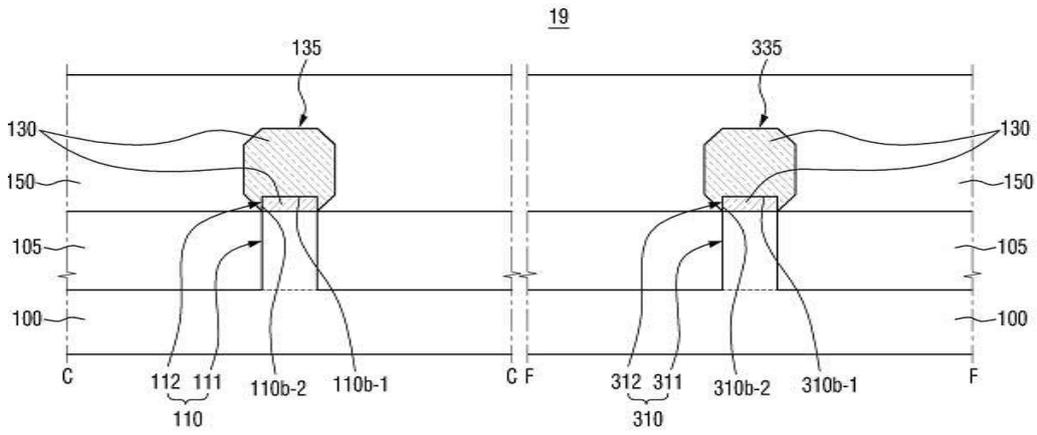
도면30



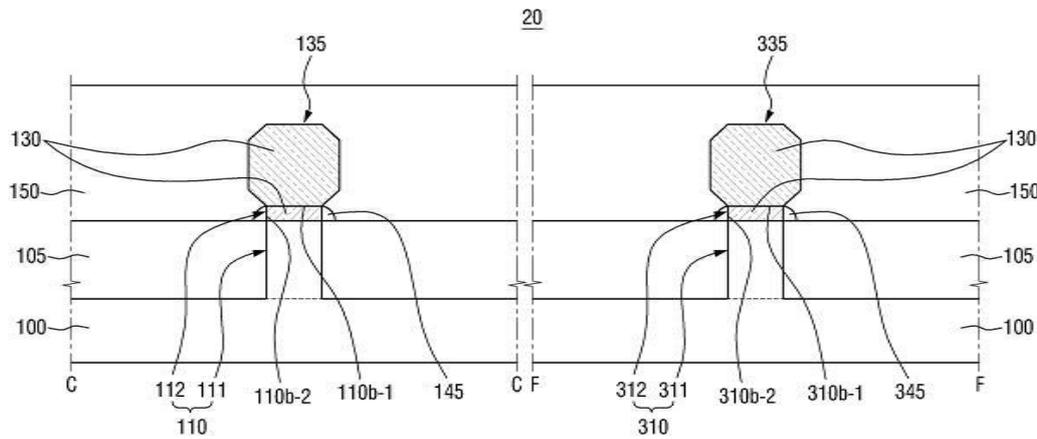
도면31



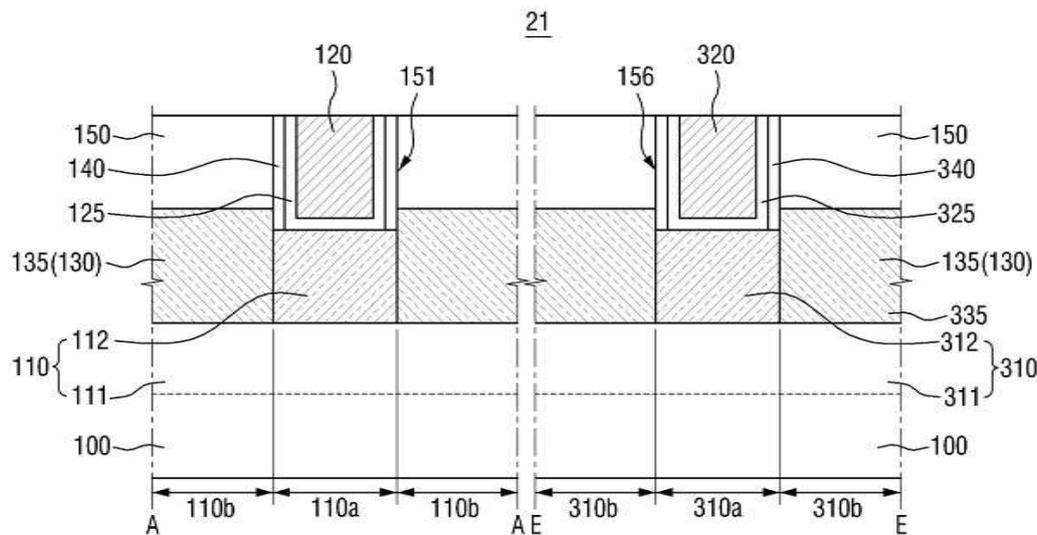
도면32



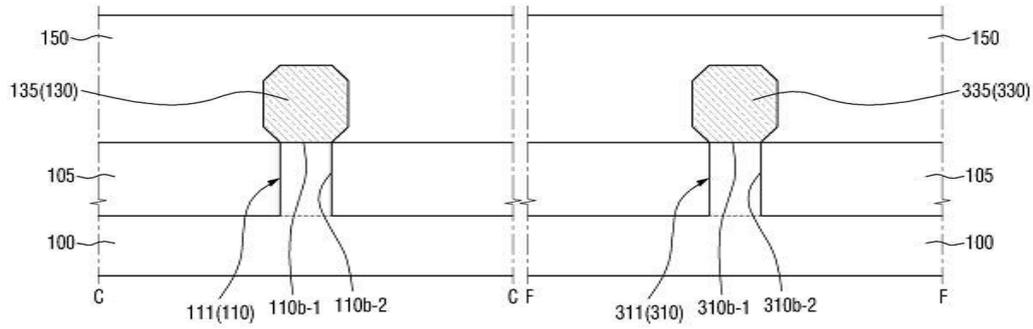
도면33



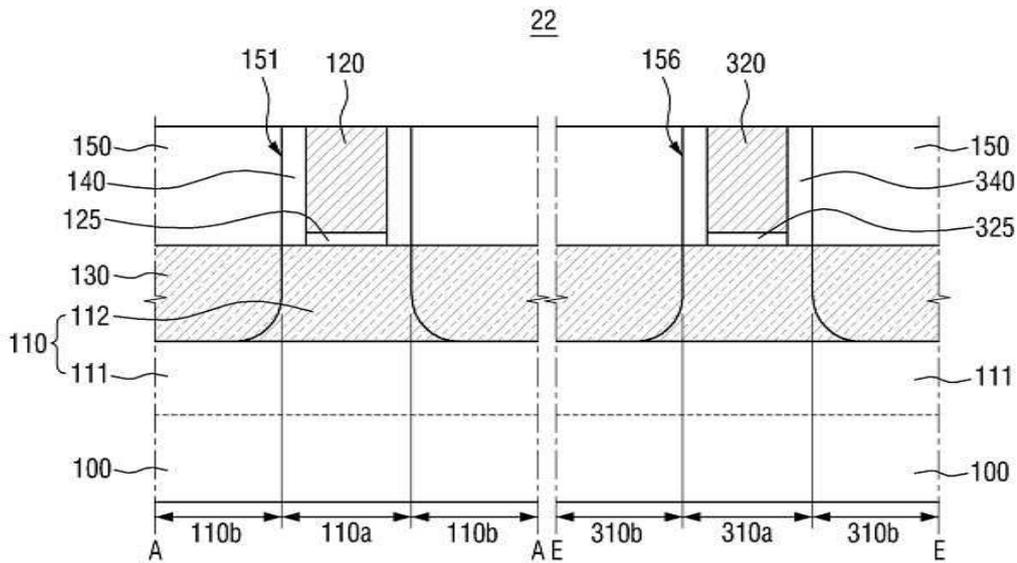
도면34



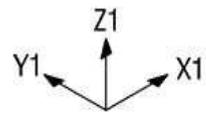
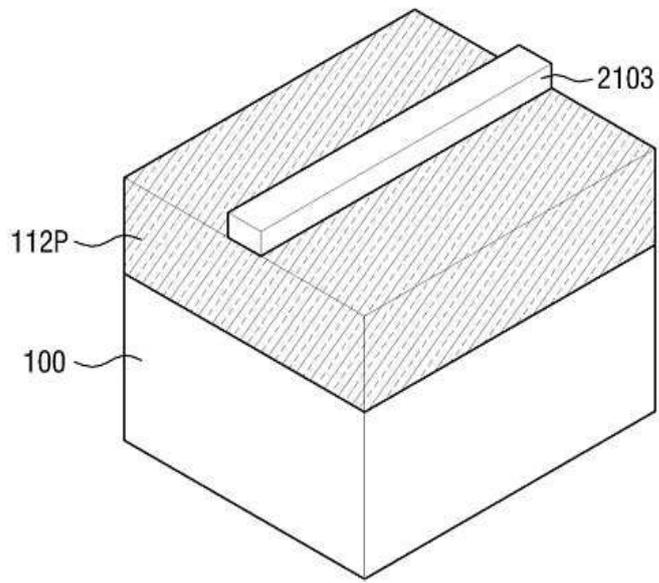
도면35



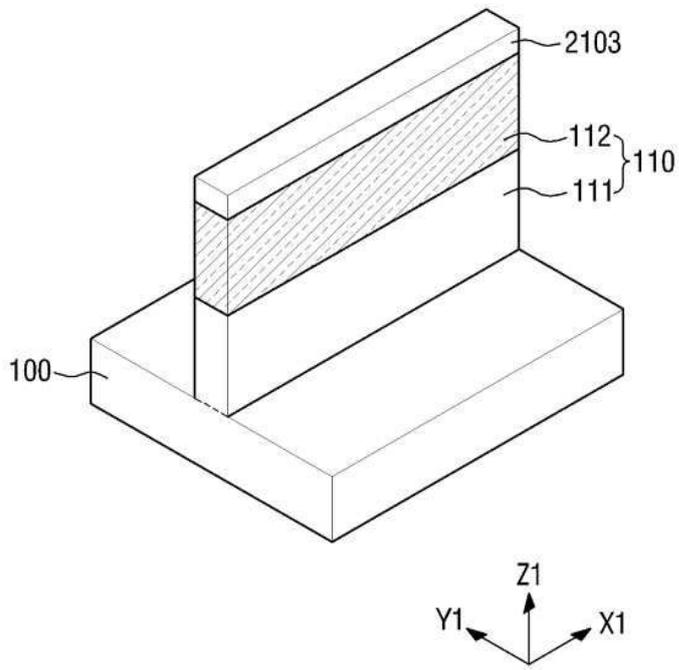
도면36



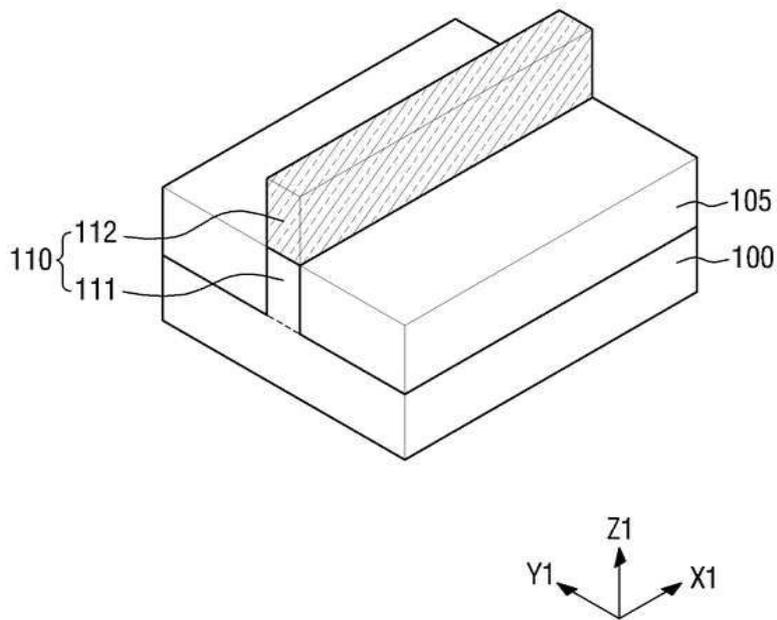
도면37



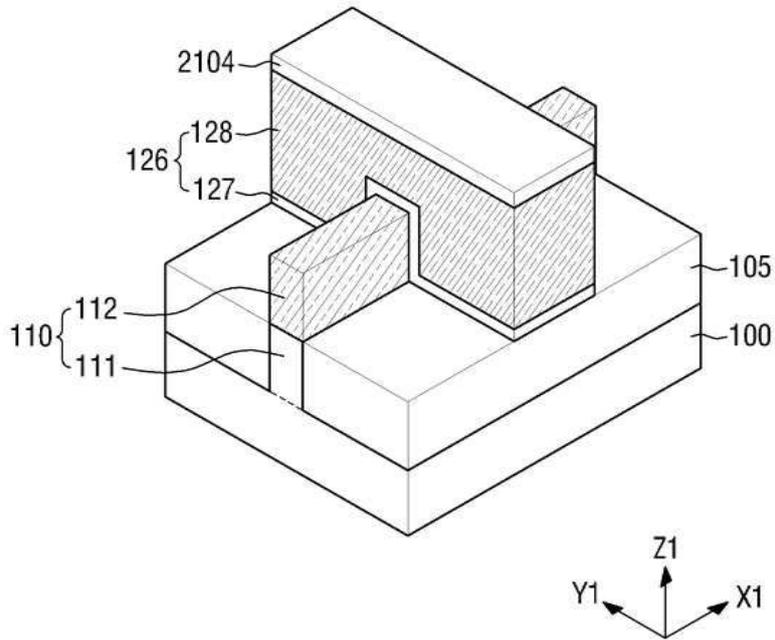
도면38



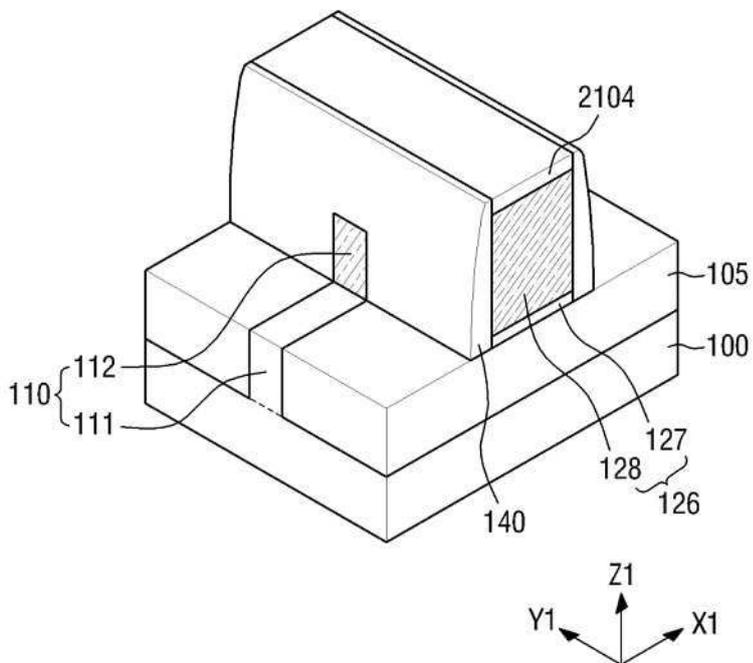
도면39



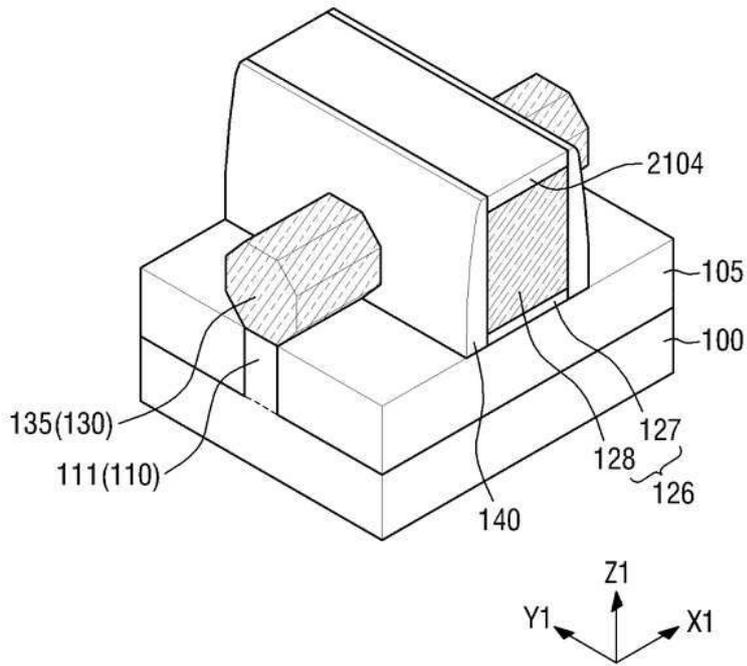
도면40



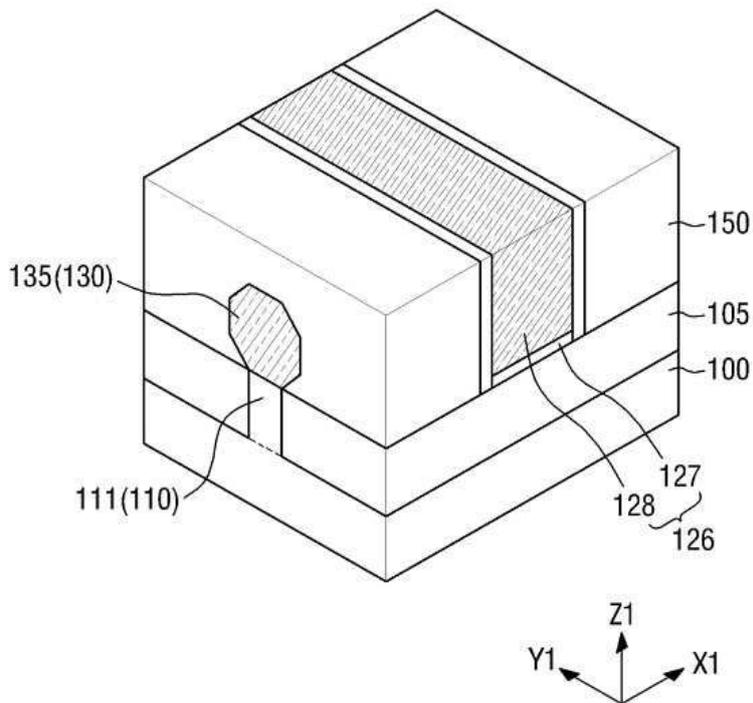
도면41



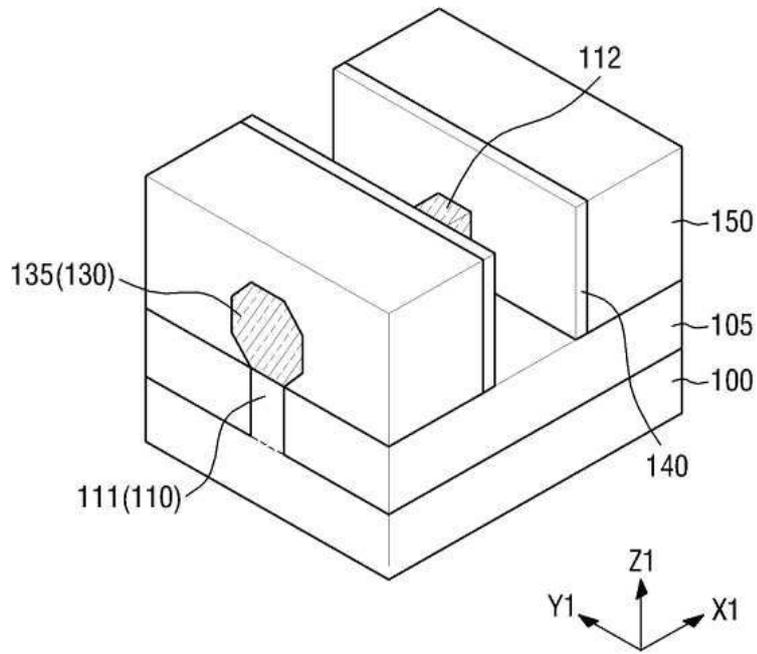
도면42



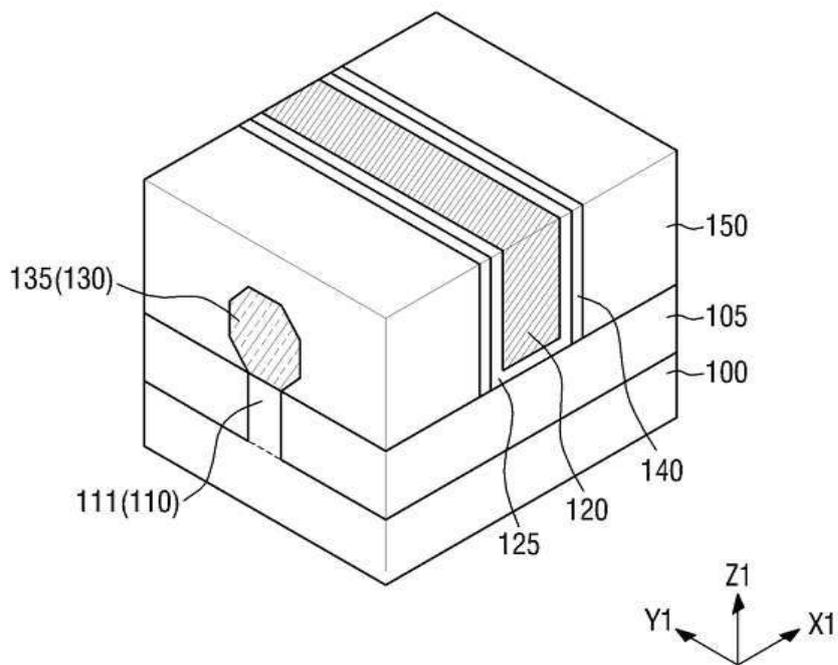
도면43



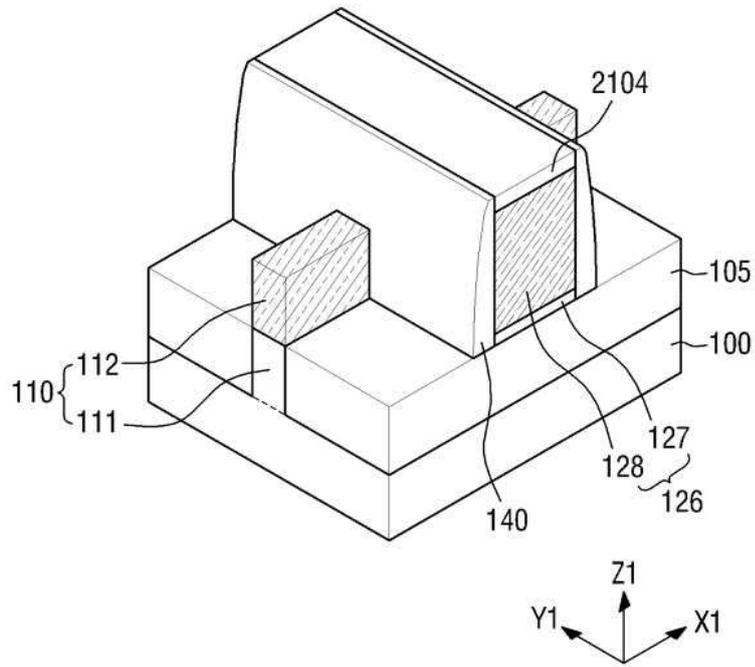
도면44



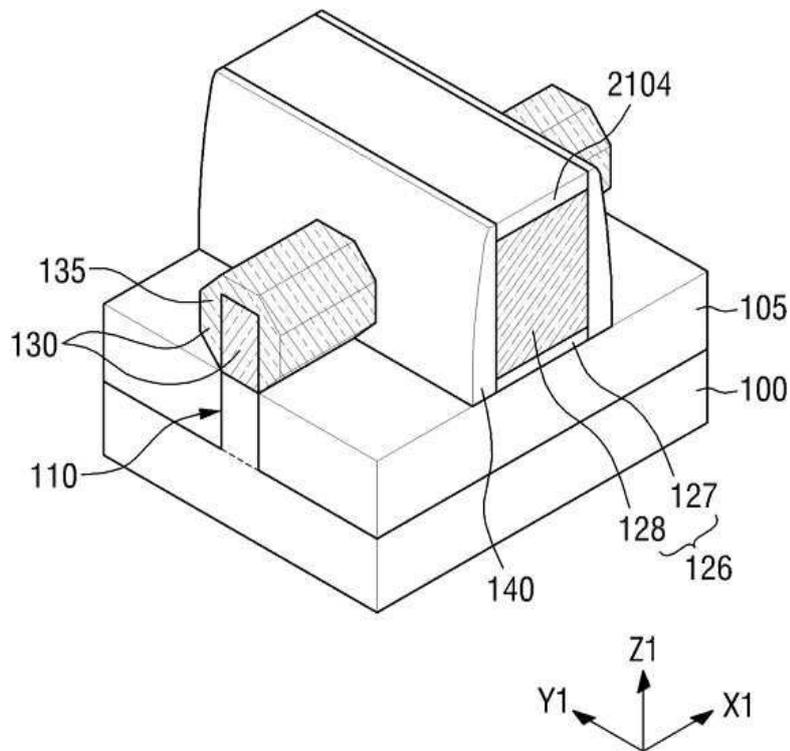
도면45



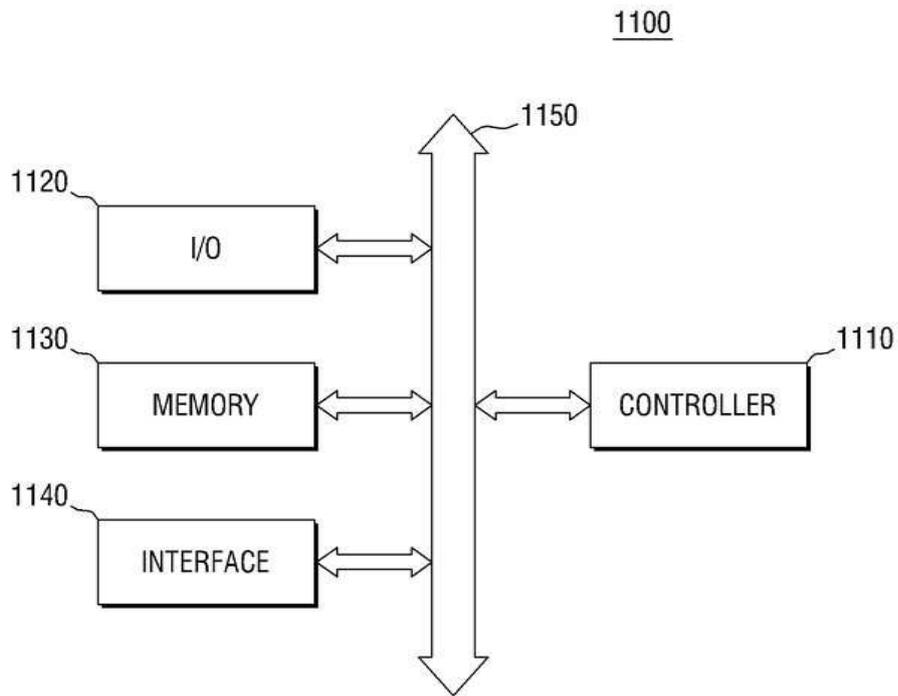
도면46



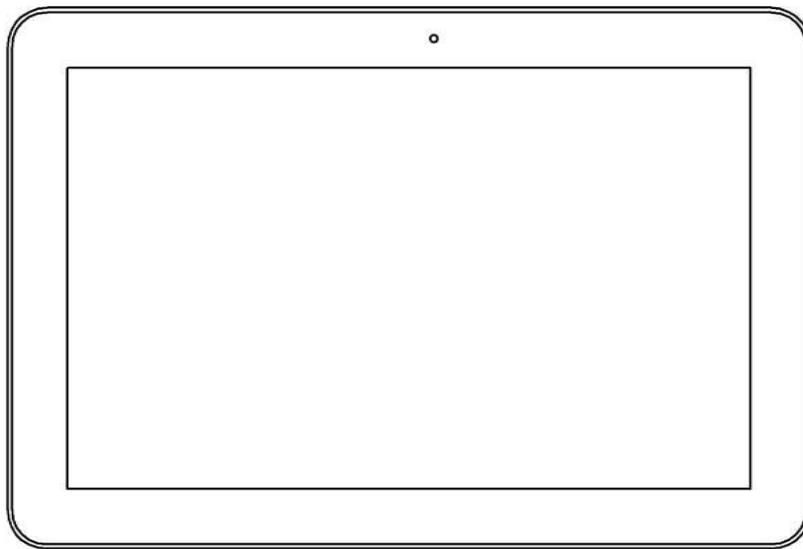
도면47



도면48



도면49



도면50

