



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2019년12월11일  
(11) 등록번호 10-2054671  
(24) 등록일자 2019년12월05일

(51) 국제특허분류(Int. Cl.)  
G02F 1/136 (2006.01) G02F 1/1343 (2006.01)  
G09F 9/35 (2006.01)  
(21) 출원번호 10-2013-0115404  
(22) 출원일자 2013년09월27일  
심사청구일자 2018년08월10일  
(65) 공개번호 10-2015-0035165  
(43) 공개일자 2015년04월06일  
(56) 선행기술조사문헌  
KR1020100021152 A  
KR1020120078099 A  
KR1020120124332 A

(73) 특허권자  
엘지디스플레이 주식회사  
서울특별시 영등포구 여의대로 128(여의도동)  
(72) 발명자  
박중현  
부산 동래구 명서로112번길 81-12, (명장동)  
홍현석  
경기 고양시 일산서구 대산로 106, 109동 502호  
(주엽동, 강선마을1단지아파트)  
(74) 대리인  
특허법인천문

전체 청구항 수 : 총 9 항

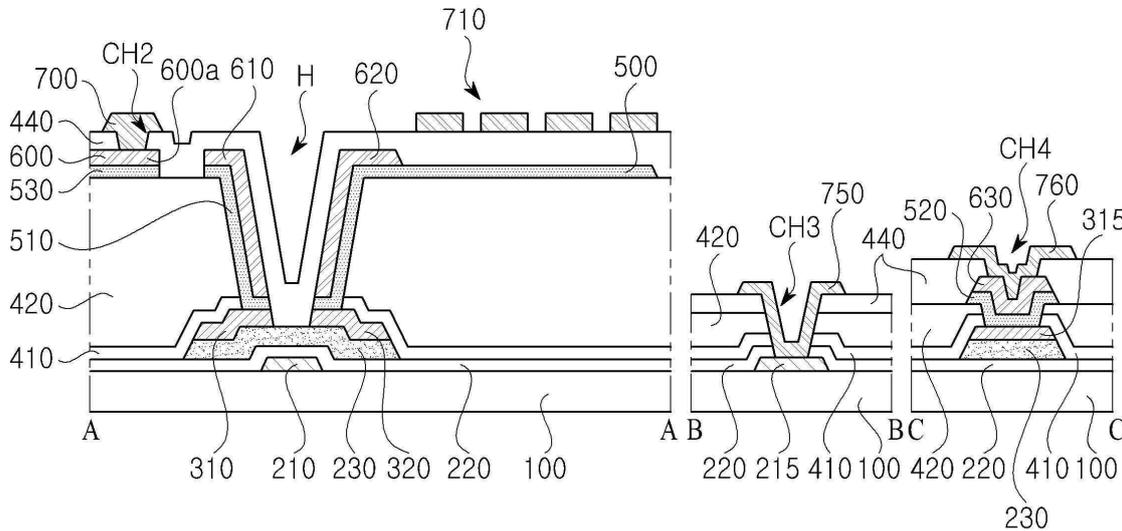
심사관 : 신창우

(54) 발명의 명칭 디스플레이 장치 및 그 제조방법

(57) 요약

사용자의 터치를 센싱하기 위한 센싱 전극을 디스플레이 패널 내부에 내장함으로써, 종래와 같이 디스플레이 패널 상면에 별도의 터치 스크린을 구성할 필요가 없어, 두께가 감소하고 제조 단가도 감소하는 본 발명의 일 측면에 따른 디스플레이 장치는 게이트 라인 및 데이터 라인의 교차 배열에 의해 정의되는 화소 영역에 형성되고, 게

(뒷면에 계속)  
대표도 - 도10



이트 전극, 반도체층, 소스 전극, 및 드레인 전극을 포함하는 박막 트랜지스터; 상기 데이터 라인의 일단과 연결되는 데이터 패드; 상기 박막 트랜지스터 및 상기 데이터 패드 상에 순차적으로 형성되고, 상기 소스 전극, 드레인 전극, 및 상기 데이터 패드의 일부를 노출시키는 홀이 구비된 제1 및 제2 보호막; 상기 제2 보호막 상에 형성되고, 상기 홀을 통해 노출된 상기 드레인 전극에 연결되는 화소전극; 상기 홀을 통해 노출된 상기 데이터 패드에 연결되도록 상기 제2 보호막 상에 순차적으로 형성된 제1 및 제2 연결전극; 상기 제2 보호막 상에 형성된 센싱라인; 상기 센싱라인과 연결되는 공통전극; 및 상기 공통전극과 동일한 물질로 형성되고, 상기 제1 연결전극 및 제2 연결전극을 통해 상기 데이터 패드와 연결되는 데이터 패드 전극을 포함하는 것을 특징으로 한다.

---

**명세서**

**청구범위**

**청구항 1**

게이트 라인 및 데이터 라인의 교차 배열에 의해 정의되는 화소 영역에 형성되고, 게이트 전극, 반도체층, 소스 전극, 및 드레인 전극을 포함하는 박막 트랜지스터;

상기 데이터 라인의 일단과 연결되는 데이터 패드;

상기 박막 트랜지스터 및 상기 데이터 패드 상에 순차적으로 형성되고, 상기 소스 전극, 드레인 전극, 및 상기 데이터 패드의 일부를 노출시키는 홀이 구비된 제1 및 제2 보호막;

상기 제2 보호막 상에 형성되고, 상기 홀을 통해 노출된 상기 드레인 전극에 연결되는 화소전극;

상기 제2 보호막 상에 상기 화소전극과 동일한 물질로 형성된 보조전극;

상기 홀을 통해 노출된 상기 데이터 패드에 연결되도록 상기 제2 보호막 상에 순차적으로 형성된 제1 및 제2 연결전극;

상기 보조전극 상에 형성된 센싱라인;

상기 센싱라인 및 상기 제2 연결전극 상에 상기 센싱라인 및 상기 제2 연결전극의 적어도 일부가 노출되도록 형성된 제3 보호막;

상기 제3 보호막 상에 형성되고, 상기 제3 보호막을 통해 노출되는 상기 센싱라인과 연결되는 공통전극; 및

상기 제3 보호막 상에 상기 공통전극과 동일한 물질로 형성되고, 상기 제1 연결전극 및 상기 제3 보호막을 통해 노출되는 상기 제2 연결전극을 통해 상기 데이터 패드와 연결되는 데이터 패드 전극을 포함하는 것을 특징으로 하는 디스플레이 장치.

**청구항 2**

제1항에 있어서,

상기 제2 보호막은, 상기 데이터 패드 상에 형성된 영역이 상기 박막 트랜지스터 상에 형성된 영역 보다 얇은 두께를 갖도록 형성되어 있는 것을 특징으로 하는 디스플레이 장치.

**청구항 3**

제1항에 있어서,

상기 화소전극은 상기 홀을 통해 노출된 상기 드레인 전극 중 상기 게이트 전극과 중첩되는 영역에 연결되는 것을 특징으로 하는 디스플레이 장치.

**청구항 4**

제1항에 있어서,

상기 제1 연결전극은 상기 화소전극과 동일한 물질로 형성되고,

상기 제2 연결전극은 상기 센싱라인과 동일한 물질로 형성된 것을 특징으로 하는 디스플레이 장치.

**청구항 5**

삭제

**청구항 6**

게이트 전극과 게이트 절연막이 형성되어 있는 기판의 전체면에 반도체층 형성을 위한 제1 물질층과, 소스/드레인 전극 형성을 위한 소스 드레인 전극층을 순차적으로 형성하는 단계;

상기 제1 물질층 및 소스 드레인 전극층을 동시에 패터닝하여 박막 트랜지스터 영역에 반도체층과 소스 드레인 전극층으로 구성된 제1 패턴을 형성하고, 데이터 패드 영역에 반도체층과 데이터 패드로 구성된 제2 패턴을 형성하는 단계;

상기 제1 패턴 및 제2 패턴을 포함하는 기판의 전체면에 상기 소스 드레인 전극층의 적어도 일부 및 상기 데이터 패드의 적어도 일부를 노출시키기 위한 홀이 구비된 제1 보호막 및 제2 보호막을 순차적으로 형성하는 단계;

상기 제2 보호막 상에 제2 물질층 및 제3 물질층을 순차적으로 형성하는 단계;

하프톤 마스크를 이용한 패터닝 공정을 통해 상기 제2 물질층 및 상기 제3 물질층을 패터닝하여 센싱라인 패턴, 화소전극 패턴, 및 상기 데이터 패드와 연결되는 연결전극 패턴을 각각 형성하는 단계;

상기 센싱라인 패턴, 화소전극 패턴, 및 연결전극 패턴 상에 상기 센싱라인 패턴 중 적어도 일부를 노출시키는 제1 콘택홀과 상기 연결전극 패턴 중 적어도 일부를 노출시키는 제2 콘택홀이 구비된 제3 보호막을 형성하는 단계; 및

상기 제3 보호막 상에 상기 제1 콘택홀을 통해 상기 센싱라인 패턴과 연결되는 공통전극 및 상기 제2 콘택홀을 통해 상기 연결전극 패턴과 연결되는 데이터 패드 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 디스플레이 장치의 제조방법.

### 청구항 7

제6항에 있어서,

상기 제1 보호막 및 제2 보호막을 순차적으로 형성하는 단계에서,

하프톤 마스크를 이용한 패터닝 공정을 통해, 상기 데이터 패드 영역에 형성된 제2 보호막이 상기 박막 트랜지스터 영역에 형성된 제2 보호막 보다 얇은 두께를 갖도록 제2 보호막을 패터닝하는 것을 특징으로 하는 디스플레이 장치의 제조 방법.

### 청구항 8

제6항에 있어서,

상기 연결전극 패턴을 각각 형성하는 단계에서,

상기 홀을 통해 노출된 상기 소스 드레인 전극층을 식각하여 소스 전극 및 드레인 전극을 형성하는 것을 특징으로 하는 디스플레이 장치의 제조 방법.

### 청구항 9

제8항에 있어서,

상기 화소전극 패턴은 상기 홀을 통해 노출되는 상기 드레인 전극 중 상기 게이트 전극과 중첩되는 영역에 연결되는 것을 특징으로 하는 디스플레이 장치의 제조 방법.

### 청구항 10

제6항에 있어서,

상기 연결전극 패턴은 상기 제2 물질층의 패터닝을 통해 형성되어 상기 데이터 패드에 연결되는 제1 연결전극 및 상기 제3 물질층의 패터닝을 통해 형성되어 상기 제1 연결전극과 상기 데이터 패드 전극에 연결되는 제2 연결전극으로 구성되고,

상기 센싱라인 패턴은 상기 제3 물질층의 패터닝을 통해 형성된 센싱라인을 포함하고, 상기 화소전극 패턴은 상기 제2 물질층의 패터닝을 통해 형성된 화소전극을 포함하는 것을 특징으로 하는 디스플레이 장치의 제조 방법.

## 발명의 설명

## 기술 분야

본 발명은 디스플레이 장치에 관한 것으로서, 보다 구체적으로는 사용자의 터치를 센싱하기 위한 센싱 전극을

구비한 디스플레이 장치에 관한 것이다.

**배경 기술**

- [0002] 현재까지 액정 표시 장치(Liquid Crystal Display Device), 플라즈마 디스플레이 패널(Plasma Display Panel), 및 유기 발광 표시 장치(Organic Light Emitting Display Device) 등과 같은 다양한 디스플레이 장치가 개발된 바 있다.
- [0003] 이와 같은 디스플레이 장치는 그 입력 수단으로서 마우스나 키보드가 일반적이지만, 네비게이션(navigation), 휴대용 단말기 및 가전 제품 등의 경우에는 손가락이나 펜을 이용하여 직접 정보를 입력할 수 있는 터치 스크린이 많이 적용되고 있다.
- [0004] 이하에서는, 액정 표시 장치를 예로 들어 터치 스크린이 적용된 종래의 디스플레이 장치에 대해서 상세히 설명하기로 한다.
- [0005] 도 1은 종래의 액정표시장치의 개략적인 단면도이다.
- [0006] 도 1에서 알 수 있듯이, 종래의 액정표시장치는, 액정 패널(10) 및 터치 스크린(20)을 포함하여 이루어진다.
- [0007] 상기 액정 패널(10)은 화상을 디스플레이하는 것으로서, 하부 기판(12), 상부 기판(14) 및 양 기판(12, 14) 사이에 형성된 액정층(16)을 포함하여 이루어진다.
- [0008] 상기 터치 스크린(20)은 상기 액정 패널(10)의 상면에 형성되어 사용자의 터치를 센싱하는 것으로서, 터치 기판(22), 상기 터치 기판(22)의 하면에 형성된 제1 센싱 전극(24), 및 상기 터치 기판(22)의 상면에 형성된 제2 센싱 전극(26)을 포함하여 이루어진다.
- [0009] 상기 제1 센싱 전극(24)은 상기 터치 기판(22)의 하면에서 가로 방향으로 배열되고, 상기 제2 센싱 전극(26)은 상기 터치 기판(22)의 상면에서 세로 방향으로 배열되어 있다. 따라서, 사용자가 소정 위치를 터치하게 되면, 터치된 위치에서 상기 제1 센싱 전극(24)과 제2 센싱 전극(26) 사이의 커패시턴스(capacitance)가 변화되고, 결국, 커패시턴스가 변화된 위치를 센싱함으로써 사용자의 터치 위치를 센싱할 수 있게 된다.
- [0010] 그러나, 이와 같은 종래의 액정표시장치는 상기 액정 패널(10)의 상면에 별도의 터치 스크린(20)이 형성된 구조이기 때문에, 상기 터치 스크린(20)으로 인해서 전체 두께가 증가되고, 제조 단가도 증가되는 단점이 있다.

**발명의 내용**

**해결하려는 과제**

- [0011] 본 발명은 전술한 종래의 문제점을 해결하기 위해 고안된 것으로서, 사용자의 터치를 센싱하기 위한 센싱 전극을 디스플레이 패널 내부에 내장함으로써, 종래와 같이 디스플레이 패널 상면에 별도의 터치 스크린을 구성할 필요가 없어, 두께가 감소하고 제조 단가도 감소하는 디스플레이 장치 및 그 제조방법을 제공하는 것을 목적으로 한다.

**과제의 해결 수단**

- [0012] 상술한 목적을 달성하기 위한 본 발명의 일 측면에 따른 디스플레이 장치는 게이트 라인 및 데이터 라인의 교차 배열에 의해 정의되는 화소 영역에 형성되고, 게이트 전극, 반도체층, 소스 전극, 및 드레인 전극을 포함하는 박막 트랜지스터; 상기 데이터 라인의 일단과 연결되는 데이터 패드; 상기 박막 트랜지스터 및 상기 데이터 패드 상에 순차적으로 형성되고, 상기 소스 전극, 드레인 전극, 및 상기 데이터 패드의 일부를 노출시키는 홀이 구비된 제1 및 제2 보호막; 상기 제2 보호막 상에 형성되고, 상기 홀을 통해 노출된 상기 드레인 전극에 연결되는 화소전극; 상기 홀을 통해 노출된 상기 데이터 패드에 연결되도록 상기 제2 보호막 상에 순차적으로 형성된 제1 및 제2 연결전극; 상기 제2 보호막 상에 형성된 센싱라인; 상기 센싱라인과 연결되는 공통전극; 및 상기 공통전극과 동일한 물질로 형성되고, 상기 제1 연결전극 및 제2 연결전극을 통해 상기 데이터 패드와 연결되는 데이터 패드 전극을 포함하는 것을 특징으로 한다.
- [0013] 상술한 목적을 달성하기 위한 본 발명의 다른 측면에 따른 디스플레이 장치의 제조 방법은, 게이트 전극과 게이트 절연막이 형성되어 있는 기판의 전체면에 반도체층 형성을 위한 제1 물질층과, 소스/드레인 전극 형성을 위한 소스 드레인 전극층을 순차적으로 형성하는 단계; 상기 제1 물질층 및 소스 드레인 전극층을 동시에 패터닝하여 박막 트랜지스터 영역에 반도체층과 소스 드레인 전극층으로 구성된 제1 패턴을 형성하고, 데이터 패드 영

역에 반도체층과 데이터 패드로 구성된 제2 패턴을 형성하는 단계; 상기 제1 패턴 및 제2 패턴을 포함하는 기판의 전체면에 상기 소스 드레인 전극층의 적어도 일부 및 상기 데이터 패드의 적어도 일부를 노출시키기 위한 홀이 구비된 제1 보호막 및 제2 보호막을 순차적으로 형성하는 단계; 상기 제2 보호막 상에 제2 물질층 및 제3 물질층을 순차적으로 형성하는 단계; 하프톤 마스크를 이용한 패터닝 공정을 통해 상기 제2 물질층 및 상기 제3 물질층을 패터닝하여 센싱라인 패턴, 화소전극 패턴, 및 상기 데이터 패드와 연결되는 연결전극 패턴을 각각 형성하는 단계; 상기 센싱라인 패턴, 화소전극 패턴, 및 연결전극 패턴 상에 제3 보호막을 형성하는 단계; 및 상기 제3 보호막 상에 상기 센싱라인과 연결되는 공통전극 및 상기 연결전극 패턴과 연결되는 데이터 패드 전극을 형성하는 단계를 포함하는 것을 특징으로 한다.

**발명의 효과**

- [0014] 이상과 같은 본 발명에 따르면 다음과 같은 효과가 있다.
- [0015] 본 발명은 공통 전극을 사용자의 터치를 센싱하기 위한 센싱 전극으로 활용함으로써, 종래와 같이, 디스플레이 패널 상면에 별도의 터치 스크린을 구성할 필요가 없어, 두께가 감소하고, 제조 공정도 단순화되며, 제조 단가도 감소되는 효과가 있다.

**도면의 간단한 설명**

- [0016] 도 1은 종래의 액정표시장치의 개략적인 단면도이다.
- 도 2는 본 발명의 일 실시예에 따른 디스플레이 장치용 기판의 개략적인 평면도이다.
- 도 3은 본 발명의 다른 실시예에 따른 액정표시장치용 하부 기판의 개략적인 평면도이다.
- 도 4는 본 발명의 제1 실시예에 따른 디스플레이 장치의 단면도이다.
- 도 5a 내지 도 5i는 본 발명의 제1 실시예에 따른 디스플레이 장치용 기판의 개략적인 제조 공정 단면도이다.
- 도 6a 내지 도 6c는 본 발명의 제1 실시예에 따른 디스플레이 장치에서 언더컷 발생 현상을 보여주는 단면도이다.
- 도 7은 본 발명의 제2 실시예에 따른 디스플레이 장치의 단면도이다.
- 도 8a 내지 도 8j는 본 발명의 제2 실시예에 따른 디스플레이 장치용 기판의 개략적인 제조 공정 단면도이다.
- 도 9는 본 발명의 제2 실시예에 따른 디스플레이 장치에서 유기 절연물의 잔존 현상을 보여주는 단면도이다.
- 도 10은 본 발명의 제3 실시예에 따른 디스플레이 장치의 단면도이다.
- 도 11a 내지 도 11g는 본 발명의 제3 실시예에 따른 디스플레이 장치용 기판의 개략적인 제조 공정 단면도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0017] 본 명세서에서 기술되는 "상에"라는 용어는 어떤 구성이 다른 구성의 바로 상면에 형성되는 경우뿐만 아니라 이들 구성들 사이에 제3의 구성이 개재되는 경우까지 포함하는 것을 의미한다.
- [0018] 본 명세서에서 기술되는 "제1" 및 "제2" 등의 수식어는 해당하는 구성들의 순서를 의미하는 것이 아니라 해당하는 구성들을 서로 구분하기 위한 것이다.
- [0019] 이하, 도면을 참조로 본 발명의 실시예에 대해서 상세히 설명하기로 한다.
- [0020] 도 2는 본 발명의 일 실시예에 따른 디스플레이 장치용 기판의 개략적인 평면도이다. 참고로, 도 2에서 화살표로 인출하여 도시한 확대도는 센싱 라인(600)과 공통 전극(700)이 전기적으로 연결되는 화소 영역을 보여주는 위한 것이다.
- [0021] 도 2에서 알 수 있듯이, 본 발명의 일 실시예에 따른 디스플레이 장치는, 기판(100), 게이트 라인(200), 데이터 라인(300), 박막 트랜지스터(T), 화소 전극(500), 센싱 라인(600), 공통 전극(700), 구동 직접 회로(1), 게이트 내장 회로(2), 및 터치 드라이버(3)를 포함하여 이루어진다.
- [0022] 상기 기판(100)은 유리 또는 투명한 플라스틱으로 이루어질 수 있다.
- [0023] 상기 게이트 라인(200)은 상기 기판(100) 상에서 제1 방향, 예로서 가로 방향으로 배열되어 있다. 상기 게이트

라인(200)의 일단은 게이트 내장 회로(2)에 연결되어 있고, 게이트 내장 회로(2)는 게이트 패드(215)를 통해 구동 직접 회로(1)에 연결되어 있어, 상기 구동 직접 회로(1)로부터 인가되는 게이트 신호는 상기 게이트 패드(215) 및 게이트 내장 회로(2)를 거쳐 상기 게이트 라인(200)으로 전달된다.

- [0024] 상기 데이터 라인(300)은 상기 기관(100) 상에서 상기 제1 방향과 상이한 제2 방향, 예로서 세로 방향으로 배열되어 있다. 이와 같이, 상기 게이트 라인(200)과 데이터 라인(300)이 서로 교차 배열되어 복수 개의 화소 영역을 정의한다. 상기 데이터 라인(300)의 일단은 데이터 패드(315)를 통해 구동 직접 회로(1)에 연결되어 있다. 따라서, 상기 구동 직접 회로(1)로부터 인가되는 데이터 신호는 상기 데이터 패드(315)를 거쳐 상기 데이터 라인(300)으로 전달된다. 상기 데이터 라인(300)은 곧은 직선 형태로 배열된 모습을 도시하였지만, 반드시 그에 한정되는 것은 아니고, 지그재그 형태와 같이 굽은 직선 형태로 배열될 수도 있다.
- [0025] 상기 박막 트랜지스터(T)는 스위칭 소자로서 상기 복수 개의 화소 영역 각각에 형성되어 있다. 구체적으로 도시하지는 않았지만, 상기 박막 트랜지스터는 상기 게이트 라인(200)과 연결되는 게이트 전극, 전자가 이동하는 채널로 기능하는 반도체층, 상기 데이터 라인(300)과 연결되는 소스 전극, 및 상기 소스 전극과 마주하도록 형성되는 드레인 전극을 포함하여 이루어진다. 이와 같은 박막 트랜지스터(T)는 탑 게이트(Top gate) 구조 또는 바텀 게이트(Bottom gate) 구조 등과 같이 당업계에 공지된 다양한 형태로 변형형성될 수 있다.
- [0026] 상기 화소 전극(500)은 상기 복수 개의 화소 영역 각각에 패턴 형성되어 있다. 이와 같은 화소 전극(500)은 상기 박막 트랜지스터(T)의 드레인 전극과 연결되어 있다.
- [0027] 상기 센싱 라인(600)은 상기 공통 전극(700)과 연결되어 있어, 상기 공통 전극(700)에 의해서 센싱되는 사용자의 터치 신호를 상기 터치 드라이버(3)로 전달하는 역할을 한다. 이와 같은 사용자의 터치 신호 전달을 위해서, 복수 개의 센싱 라인(600)이 복수 개의 공통 전극(700)과 쌍을 이루면서 서로 연결되어 있다. 즉, 복수 개의 센싱 라인(600) 각각은 복수 개의 공통 전극(700)과 일 대 일로 연결되어 있다.
- [0028] 상기 센싱 라인(600)으로 인해서 광투과율이 감소하는 것을 방지하기 위해서, 상기 센싱 라인(600)은 상기 데이터 라인(300)과 오버랩되도록 형성된다.
- [0029] 일 실시예에 있어서, 상기 센싱 라인(600)은 상기 박막 트랜지스터(T) 영역으로 돌출된 콘택부(600a)를 포함함으로써, 상기 콘택부(600a)를 통해서 상기 공통 전극(700)과 연결될 수 있다. 상기 박막 트랜지스터(T) 영역은 화상이 표시되지 않는 영역으로서 상기 데이터 라인(300) 보다는 그 폭이 넓다. 따라서, 상기 데이터 라인(300)과 오버랩되는 센싱 라인(600)에서부터 상기 박막 트랜지스터(T) 영역으로 돌출되는 콘택부(600a)를 형성하고 이와 같은 콘택부(600a)를 상기 공통 전극(700)과 연결할 경우, 광투과율은 감소하지 않으면서 상기 센싱 라인(600)과 상기 공통 전극(700) 사이의 보다 신뢰성 있는 연결이 가능하다. 즉, 상기 센싱 라인(600)과 상기 공통 전극(700)은 소정의 콘택홀을 통해서 서로 연결되므로, 양자 사이의 신뢰성 있는 연결을 위해서는 상기 센싱 라인(600)의 폭이 소정 범위 이상인 것이 바람직하며, 따라서, 상기 데이터 라인(300)의 폭보다 큰 폭을 갖도록 상기 콘택부(600a)를 형성함으로써, 상기 센싱 라인(600)과 상기 공통 전극(700) 사이를 보다 신뢰성 있게 연결할 수 있다.
- [0030] 다른 실시예에 있어서, 상기 센싱 라인(600)은 콘택부(600a)를 포함하지 않고 센싱 라인(600) 중 적어도 일부가 상기 공통 전극(700)과 전기적으로 연결될 수 있다.
- [0031] 이하의 실시예들에서는 설명의 편의를 위해, 센싱 라인(600)이 콘택부(600a)를 포함하고, 콘택부(600a)를 통해 공통 전극(700)과 전기적으로 연결되는 것으로 가정하여 설명하기로 한다.
- [0032] 상기 공통 전극(700)은 사용자의 터치 위치를 감지하는 센싱 전극의 역할을 한다. 또한, 액정 표시 장치의 경우 상기 공통 전극(700)은 상기 화소 전극(500)과 함께 전계를 형성시켜 액정을 구동시키는 역할을 한다. 즉, 상기 공통 전극(700)은 상기 화소 전극(500)과 함께 프린지 필드(fringe field)를 형성할 수 있으며, 이를 위해서 상기 공통 전극(700)에는 복수 개의 슬릿(710)이 형성된다. 따라서, 상기 슬릿(710)을 통해서 상기 화소 전극(500)과 상기 공통 전극(700) 사이에 프린지 필드(fringe field)가 형성되고, 이와 같은 프린지 필드에 의해서 액정의 배향방향이 조절될 수 있다. 즉, 프린지 필드 스위칭 모드(fringe field switching mode) 액정표시장치가 구현될 수 있다.
- [0033] 또한, 상기 공통 전극(700)이 사용자의 터치 위치를 감지하는 센싱 전극으로 기능할 수 있도록, 복수 개의 공통 전극(700)이 상기 기관(100) 상에서 서로 소정 거리를 두고 이격되어 있다. 상기 복수 개의 공통 전극(700) 각각은 하나 이상의 화소 영역에 대응하는 크기, 특히, 사용자의 터치 면적을 고려하여 복수 개의 화소 영역에 대

응하는 크기로 형성된다.

- [0034] 상기 구동 직접 회로(1)는 타이밍 컨트롤러(미도시)로부터 게이트 제어 신호를 전달받은 후, 상기 게이트 패드(215) 및 게이트 내장 회로(2)를 통해 상기 게이트 라인(200)으로 게이트 신호를 인가한다.
- [0035] 또한, 상기 구동 직접 회로(1)는 타이밍 컨트롤러(미도시)로부터 데이터 제어신호를 전달받은 후, 상기 데이터 패드(315)를 통해 상기 데이터 라인(300)으로 데이터 신호를 인가한다.
- [0036] 게이트 내장 회로(2)는 구동 직접 회로(1)로부터 전달되는 게이트 신호를 게이트 라인(200)에 인가하는 것으로서, 이러한 게이트 내장 회로(2)는 각 화소의 트랜지스터 제조 공정과 함께 형성되는 CIP(Gate In Panel) 방식에 의해 기판(100)의 좌측 및/또는 우측 비표시 영역에 형성될 수 있다. 다른 실시예에 있어서, 상기 게이트 내장 회로(2)는 TCP(Tape Carrier Package) 또는 COF(Chip On Film)의 구조로 이루어질 수도 있고, 기판(100) 상에 실장되는 COG(Chip On Glass) 구조로 이루어질 수도 있다.
- [0037] 상기 터치 드라이버(3)는 상기 센싱 라인(600)과 연결되어 있어 상기 센싱 라인(600)으로부터 사용자의 터치 신호를 전달받는다. 상기 터치 드라이버(3)는 사용자의 터치에 의해 변경되는 커패시턴스의 변화를 센싱하여 사용자의 터치 여부 및 터치 위치를 검출한다.
- [0038] 도 3은 본 발명의 다른 실시예에 따른 액정표시장치용 하부 기판의 개략적인 평면도로서, 이는 센싱 라인(600)의 구성이 변경된 것을 제외하고, 전술한 도 2에 따른 디스플레이 장치와 동일하다. 따라서, 동일한 구성에 대해서 동일한 도면부호를 부여하였고, 이하 동일한 구성에 대한 반복 설명은 생략하기로 한다.
- [0039] 도 3에서 알 수 있듯이, 본 발명의 다른 실시예에 따르면, 복수 개의 센싱 라인(600) 각각이 복수 개의 공통 전극(700)과 일 대 일로 연결되어 있으며, 특히, 복수 개의 센싱 라인(600)들이 화상이 표시되는 디스플레이 영역에서 서로 동일한 길이로 배열되어 있다.
- [0040] 전술한 도 2의 디스플레이 장치에 따르면, 센싱 라인(600)의 일단은 구동 직접 회로(1)를 통해 상기 터치 드라이버(3)와 연결되고 센싱 라인(600)의 타단은 콘택부(600a)와 연결되어 있다. 즉, 도 2에 따르면, 센싱 라인(600)이 공통 전극(700)과 연결되는 콘택부(600a)까지만 연장되어 있고, 그에 따라, 첫 번째 행에 배열되는 공통 전극(700)과 연결되는 센싱 라인(600)의 길이가 두 번째 행에 배열되는 공통 전극(700)과 연결되는 센싱 라인(600)의 길이보다 길게 형성된다.
- [0041] 그에 반하여, 도 3의 디스플레이 장치에 따르면, 센싱 라인(600)의 일단은 상기 구동 직접 회로(1)를 통해 터치 드라이버(3)와 연결되고 센싱 라인(600)의 타단은 첫 번째 행에 배열되는 공통 전극(700)의 상단까지 연장되어 있다. 따라서, 도 3에 따르면, 첫 번째 행에 배열되는 공통 전극(700)과 연결되는 센싱 라인(600)의 길이와 두 번째 행에 배열되는 공통 전극(700)과 연결되는 센싱 라인(600)의 길이가 디스플레이 영역 내에서 서로 동일하게 형성된다.
- [0042] 도 3과 같이 복수 개의 센싱 라인(600)을 디스플레이 영역에서 서로 동일한 길이로 형성하는 경우는 도 2와 같이 복수 개의 센싱 라인(600)을 디스플레이 영역에서 서로 상이한 길이로 형성하는 경우에 비하여 센싱 라인(600)의 패턴 일관성이 증가되어 시인성(visibility)이 향상될 수 있다.
- [0043] 이하에서는 단면구조를 통해서 본 발명의 실시예들에 따른 디스플레이 장치에 대해서 보다 상세히 설명하기로 한다.

[0044] **제1 실시예**

- [0045] 도 4는 본 발명의 제1 실시예에 따른 디스플레이 장치의 단면도로서, 이는 도 2의 A-A라인 및 B-B라인, 및 C-C라인의 단면을 도시한 것이다. 도 2의 A-A라인은 박막 트랜지스터 영역을 보여주는 것이고, 도 2의 B-B라인은 게이트 패드 영역을 보여주는 것이고, 도 2의 C-C라인은 데이터 패드 영역을 보여주는 것이다.
- [0046] 도 4에서 알 수 있듯이, 기판(100) 상에는 게이트 전극(210) 및 게이트 패드(215)가 패턴 형성되어 있다. 상기 게이트 전극(210)은 박막 트랜지스터 영역에 형성되어 있고, 상기 게이트 패드(215)는 게이트 패드 영역에 형성되어 있다. 상기 게이트 전극(210)은 전술한 게이트 라인(200)에서 돌출되어 형성될 수 있고, 상기 게이트 패드(215)는 게이트 내장 회로(2)를 통해 전술한 게이트 라인(200)의 일단에 연결되어 있다.
- [0047] 상기 게이트 전극(210) 및 게이트 패드(215) 상에는 게이트 절연막(220)이 형성되어 있다. 상기 게이트 절연막

(220)은 제3 콘택홀(CH3) 영역을 제외하고 기판 전체면 상에 형성되어 있다.

- [0048] 상기 게이트 절연막(220) 상에는 반도체층(230) 및 데이터 패드(315)가 패턴 형성되어 있다. 상기 반도체층(230)은 박막 트랜지스터 영역에 형성되어 있으며, 실리계콘 반도체물질 또는 산화물 반도체물질로 이루어질 수 있다. 상기 데이터 패드(315)는 데이터 패드 영역에 형성되어 있으며, 전술한 데이터 라인(300)의 일단에 연결되어 있다.
- [0049] 상기 반도체층(230) 상에는 소스 전극(310) 및 드레인 전극(320)이 패턴 형성되어 있다. 상기 소스 전극(310) 및 드레인 전극(320)은 박막 트랜지스터 영역에 형성되어 있다. 상기 소스 전극(310)은 데이터 라인(300)과 연결되어 있고, 상기 드레인 전극(320)은 상기 소스 전극(310)과 마주하면서 상기 소스 전극(310)과 이격되어 있다.
- [0050] 상기 데이터 라인(300), 소스 전극(310), 및 드레인 전극(320) 상에는 제1 보호막(410)이 형성되어 있다. 상기 제1 보호막(410)은 박막 트랜지스터 영역에서 제1 콘택홀(CH1) 영역을 제외한 영역에 형성되고, 게이트 패드(215)가 형성되어 있는 게이트 패드 영역 및 데이터 패드(315)가 형성되어 있는 데이터 패드 영역에는 형성되어 있지 않다. 상기 제1 보호막(410)은 실리콘 질화물 또는 실리콘 산화물과 같은 무기절연물로 이루어질 수 있다.
- [0051] 상기 제1 보호막(410) 상에는 제2 보호막(420)이 형성되어 있다. 상기 제2 보호막(420)은 박막 트랜지스터 영역에는 형성되지만, 게이트 패드 영역 및 데이터 패드 영역에는 형성되지 않을 수 있다. 상기 제2 보호막(420)은 PAC(photo active compound)를 포함하는 아크릴계 수지와 같은 유기절연물로 이루어질 수 있다. 상기 제2 보호막(420)은 상기 제1 보호막(410)보다 두꺼운 두께로 형성되어 기판을 평탄화시키는 역할을 수행할 수 있다.
- [0052] 상기 제2 보호막(420) 상에는 화소 전극(500)이 패턴 형성되어 있다. 상기 화소 전극(500)은 박막 트랜지스터 영역에 형성되어 있다. 상기 화소 전극(500)은 제1 콘택홀(CH1)을 통해서 상기 드레인 전극(320)과 연결된다. 상기 제1 콘택홀(CH1)은 상기 제1 보호막(410) 및 제2 보호막(420)에 각각 형성된 홀의 조합으로 이루어진다.
- [0053] 상기 화소 전극(500) 상에는 제3 보호막(430)이 형성되어 있다. 상기 제3 보호막(430)은 제3 콘택홀(CH3) 및 제4 콘택홀(CH4) 영역을 제외하고 기판 전체면 상에 형성되어 있다. 상기 제3 보호막(430)은 실리콘 질화물 또는 실리콘 산화물과 같은 무기절연물로 이루어질 수 있다.
- [0054] 상기 제3 보호막(430) 상에는 콘택부(600a)를 구비한 센싱 라인(600)이 패턴 형성되어 있다. 상기 센싱 라인(600)은 박막 트랜지스터 영역에 형성된다.
- [0055] 상기 센싱 라인(600) 상에는 제4 보호막(440)이 형성되어 있다. 상기 제4 보호막(440)은 제2 콘택홀(CH2), 제3 콘택홀(CH3) 및 제4 콘택홀(CH4) 영역을 제외하고 기판 전체면 상에 형성되어 있다. 상기 제4 보호막(440)은 실리콘 질화물 또는 실리콘 산화물과 같은 무기절연물로 이루어질 수 있다.
- [0056] 상기 제4 보호막(440) 상에는 공통 전극(700), 게이트 패드 전극(750), 및 데이터 패드 전극(760)이 패턴 형성되어 있다. 상기 공통 전극(700)은 박막 트랜지스터 영역에 형성되고, 상기 게이트 패드 전극(750)은 게이트 패드 영역에 형성되고, 상기 데이터 패드 전극(760)은 데이터 패드 영역에 형성된다.
- [0057] 상기 공통 전극(700), 게이트 패드 전극(750), 및 데이터 패드 전극(760)은 동일한 공정에 의해서 동일한 물질을 이용하여 동일한 층에 형성된다.
- [0058] 상기 공통 전극(700)은 그 내부에 복수 개의 슬릿(710)이 구비되도록 패턴 형성되어 있다. 이와 같은 공통 전극(700)은 상기 제4 보호막(440)에 구비된 제2 콘택홀(CH2)을 통해서 상기 센싱 라인(600)의 콘택부(600a)와 연결되어 있다.
- [0059] 상기 게이트 패드 전극(750)은 상기 게이트 절연막(220), 제3 보호막(430), 및 제4 보호막(440)에 각각 형성된 홀들의 조합으로 이루어진 제3 콘택홀(CH3)을 통해서 상기 게이트 패드(215)와 연결된다.
- [0060] 상기 데이터 패드 전극(760)은 상기 제3 보호막(430) 및 제4 보호막(440)에 각각 형성된 홀들의 조합으로 이루어진 제4 콘택홀(CH4)을 통해서 상기 데이터 패드(315)와 연결된다.
- [0061] 도 5a 내지 도 5j는 본 발명의 제1 실시예에 따른 디스플레이 장치용 기관의 개략적인 제조 공정 단면도로서, 이는 도 4에 도시한 디스플레이 장치용 기관을 제조하는 공정에 관한 것이다.
- [0062] 우선, 도 5a에서 알 수 있듯이, 기관(100) 상에 게이트 전극(210) 및 게이트 패드(215)를 패턴 형성한다. 상기 게이트 전극(210)은 박막 트랜지스터 영역에 형성하고, 상기 게이트 패드(215)는 게이트 패드 영역에 형성한다.

- [0063] 상기 게이트 전극(210) 및 게이트 패드(215)는 상기 기판(100) 상에 스퍼터링(Sputtering) 법에 의해 박막층을 증착한 후, 포토 레지스트 도포, 노광, 현상, 식각 및 스트립과 같은 일련의 마스크 공정을 통해 패턴 형성할 수 있다. 이하에서 설명하는 구성들의 패턴 형성 공정도 이와 같은 박막층의 증착 및 일련의 마스크 공정을 통해 수행할 수 있다.
- [0064] 다음, 도 5b에서 알 수 있듯이, 상기 게이트 전극(210) 및 게이트 패드(215) 상에 게이트 절연막(220)을 형성하고, 상기 게이트 절연막(220) 상에 반도체층(230)을 패턴 형성한다. 상기 게이트 절연막(220)은 PECVD법(Plasma Enhanced Chemical Vapor Deposition)에 의해 기판 전체면 상에 형성하고, 상기 반도체층(230)은 박막 트랜지스터 영역에 형성한다.
- [0065] 다음, 도 5c에서 알 수 있듯이, 상기 반도체층(230) 상에 데이터 라인(300)과 연결되는 소스 전극(310) 및 드레인 전극(320)을 패턴 형성함과 더불어 상기 게이트 절연막(220) 상에 데이터 패드(315)를 패턴 형성한다.
- [0066] 상기 소스 전극(310) 및 드레인 전극(320)은 박막 트랜지스터 영역에 형성하고, 상기 데이터 패드(315)는 데이터 패드 영역에 형성한다.
- [0067] 다음, 도 5d에서 알 수 있듯이, 상기 데이터 라인(300), 데이터 패드(315), 소스 전극(310) 및 드레인 전극(320) 상에 제1 보호막(410)을 형성하고, 상기 제1 보호막(410) 상에 제2 보호막(420)을 패턴 형성한다.
- [0068] 상기 제1 보호막(410)은 PECVD법에 의해 기판 전체면 상에 형성한다.
- [0069] 상기 제2 보호막(420)은 박막 트랜지스터 영역에 형성한다. 구체적으로, 상기 제2 보호막(420)은 기판의 전체면 상에 PAC(photo active compound)를 포함하는 유기절연물을 도포한 후, 노광 및 현상 공정에 의해서 패턴 형성한다. 상기 제2 보호막(420)은 제1 콘택홀(CH1)을 구성하는 홀을 구비하도록 패턴 형성한다.
- [0070] 다음, 도 5e에서 알 수 있듯이, 드레인 전극(320)을 외부로 노출시키기 위하여 상기 제1 콘택홀(CH1) 영역에 대응하는 제1 보호막(410) 영역, 즉, 상기 제2 보호막(420)에 구비된 홀에 의해 노출된 제1 보호막(410) 영역, 게이트 패드 영역, 및 데이터 패드 영역에 형성된 제1 보호막(410)을 식각하여 제1 콘택홀(CH1)을 완성한다. 이러한 제1 콘택홀(CH1)에 의해서 드레인 전극(320)이 외부로 노출되게 된다.
- [0071] 다음, 도 5f에서 알 수 있듯이, 상기 제2 보호막(420) 상에 화소 전극(500)을 패턴 형성한다. 상기 화소 전극(500)은 박막 트랜지스터 영역에서 상기 제1 콘택홀(CH1)을 통해서 상기 드레인 전극(320)과 연결되도록 패턴 형성한다.
- [0072] 다음, 도 5g에서 알 수 있듯이, 상기 화소 전극(500) 상에 제3 보호막(430)을 형성하고, 상기 제3 보호막(430) 상에 콘택부(600a)를 구비한 센싱 라인(600)을 패턴 형성한다.
- [0073] 상기 제3 보호막(430)은 PECVD법에 의해 기판 전체면 상에 형성하고, 상기 센싱 라인(600)은 박막 트랜지스터 영역에 패턴 형성한다.
- [0074] 다음, 도 5h에서 알 수 있듯이, 상기 센싱 라인(600) 상에 제4 보호막(440)을 형성한 후, 제2 콘택홀(CH2), 제3 콘택홀(CH3), 및 제4 콘택홀(CH4)을 형성한다.
- [0075] 상기 제4 보호막(440)은 PECVD법에 의해 기판 전체면 상에 형성한다.
- [0076] 상기 제2 콘택홀(CH2)은 상기 제4 보호막(440)의 소정영역을 식각하여 형성하며, 상기 제2 콘택홀(CH2)에 의해서 상기 센싱 라인(600)의 콘택부(600a)가 외부로 노출된다.
- [0077] 상기 제3 콘택홀(CH3)은 상기 게이트 절연막(220), 제3 보호막(430), 및 제4 보호막(440)의 소정영역을 식각하여 형성하며, 상기 제3 콘택홀(CH3)에 의해서 상기 게이트 패드(215)가 외부로 노출된다.
- [0078] 상기 제4 콘택홀(CH4)은 상기 제3 보호막(430) 및 제4 보호막(440)의 소정영역을 식각하여 형성하며, 상기 제4 콘택홀(CH4)에 의해서 상기 데이터 패드(315)가 외부로 노출된다.
- [0079] 다음, 도 5i에서 알 수 있듯이, 상기 제4 보호막(440) 상에 공통 전극(700), 게이트 패드 전극(750), 및 데이터 패드 전극(760)을 패턴 형성한다.
- [0080] 상기 공통 전극(700)은 박막 트랜지스터 영역에서 그 내부에 복수 개의 슬릿(710)이 구비되도록 패턴 형성하며, 특히, 상기 제2 콘택홀(CH2)을 통해서 상기 센싱 라인(600)의 콘택부(600a)와 연결되도록 패턴 형성한다.
- [0081] 상기 게이트 패드 전극(750)은 게이트 패드 영역에서 상기 제3 콘택홀(CH3)을 통해서 상기 게이트 패드(215)와

연결되도록 패턴 형성한다.

[0082] 상기 데이터 패드 전극(760)은 데이터 패드 영역에서 상기 제4 콘택홀(CH4)을 통해서 상기 데이터 패드(315)와 연결되도록 패턴 형성한다.

[0083] 이상 설명한 도 5a 내지 도 5i의 방법에 따르면, 전술한 도 5e 공정에서 드레인 전극(320)을 외부로 노출시키기 위해 제1 보호막(410)을 식각하는 과정에서 도 6a에 도시된 바와 같이 데이터 패드(315)의 노출로 인해 데이터 패드(315)의 몰폴로지(Morphology) 저하가 발생할 수 있다. 이로 인해 도 6b에 도시된 바와 같이, 전술한 도 5h 공정에서 상기 제3 보호막(430) 및 제4 보호막(440)의 소정영역을 식각하여 제4 콘택홀(CH4)을 형성할 때 가스 리플로우(Gas Reflow) 현상으로 인해 언더컷(Under Cut)이 발생하게 되고, 이러한 언더컷으로 인해 도 6c에 도시된 바와 같이, 전술한 도 5i공정에서 데이터 패드 전극(760)을 형성할 때 데이터 패드 전극(760)이 개방(Open)될 수 있는 문제점이 발생할 수 있다.

[0084] 이하에서는 상술한 바와 같은 언더컷의 발생을 방지할 수 있는 디스플레이 장치 및 그 제조방법에 대해 설명하기로 한다.

[0085] **제2 실시예**

[0086] 도 7은 본 발명의 제2 실시예에 따른 디스플레이 장치의 단면도로서, 이는 도 2의 A-A라인, B-B라인, 및 C-C라인의 단면을 도시한 것이다. 도 2의 A-A라인은 박막 트랜지스터 영역을 보여주는 것이고, 도 2의 B-B라인은 게이트 패드 영역을 보여주는 것이고, 도 2의 C-C라인은 데이터 패드 영역을 보여주는 것이다.

[0087] 도 7에서 알 수 있듯이, 기판(100) 상에는 게이트 전극(210) 및 게이트 패드(215)가 패턴 형성되어 있다. 상기 게이트 전극(210)은 박막 트랜지스터 영역에 형성되어 있고, 상기 게이트 패드(215)는 게이트 패드 영역에 형성되어 있다. 상기 게이트 전극(210)은 전술한 게이트 라인(200)에서 돌출되어 형성될 수 있고, 상기 게이트 패드(215)는 게이트 내장 회로(2)를 통해 전술한 게이트 라인(200)의 일단에 연결되어 있다.

[0088] 상기 게이트 전극(210) 및 게이트 패드(215) 상에는 게이트 절연막(220)이 형성되어 있다. 상기 게이트 절연막(220)은 제3 콘택홀(CH3) 영역을 제외하고 기판 전체면 상에 형성되어 있다.

[0089] 상기 게이트 절연막(220) 상에는 반도체층(230) 및 데이터 패드(315)가 패턴 형성되어 있다. 상기 반도체층(230)은 박막 트랜지스터 영역에 형성되어 있으며, 실리계콘 반도체물질 또는 산화물 반도체물질로 이루어질 수 있다. 상기 데이터 패드(315)는 데이터 패드 영역에 형성되어 있으며, 전술한 데이터 라인(300)의 일단에 연결되어 있다.

[0090] 상기 반도체층(230) 상에는 소스 전극(310) 및 드레인 전극(320)이 패턴 형성되어 있다. 상기 소스 전극(310) 및 드레인 전극(320)은 박막 트랜지스터 영역에 형성되어 있다. 상기 소스 전극(310)은 데이터 라인(300)과 연결되어 있고, 상기 드레인 전극(320)은 상기 소스 전극(310)과 마주하면서 상기 소스 전극(310)과 이격되어 있다.

[0091] 상기 데이터 라인(300), 데이터 패드(315), 소스 전극(310) 및 드레인 전극(320) 상에는 제1 보호막(410)이 형성되어 있다. 즉, 제1 실시예에서는 상기 제1 보호막(410)이 박막 트랜지스터 영역에서 제1 콘택홀(CH1)을 제외한 영역에 형성되고, 게이트 패드 영역 및 데이터 패드 영역에는 형성되어 있지 않았지만, 제2 실시예에서는 상기 제1 보호막(410)이 제1 콘택홀(CH1), 제3 콘택홀(CH3), 및 제4 콘택홀(CH4) 영역을 제외하고 기판 전체면 상에 형성되어 있다. 상기 제1 보호막(410)은 실리콘 질화물 또는 실리콘 산화물과 같은 무기절연물로 이루어질 수 있다.

[0092] 상기 제1 보호막(410) 상에는 제2 보호막(420)이 형성되어 있다. 상기 제2 보호막(420)은 박막 트랜지스터 영역에는 형성되지만, 게이트 패드 영역 및 데이터 패드 영역에는 형성되지 않을 수 있다. 상기 제2 보호막(420)은 PAC(photo active compound)를 포함하는 아크릴계 수지와 같은 유기절연물로 이루어질 수 있다. 상기 제2 보호막(420)은 상기 제1 보호막(410)보다 두꺼운 두께로 형성되어 기판을 평탄화시키는 역할을 수행할 수 있다.

[0093] 상기 제2 보호막(420) 상에는 화소 전극(500)이 패턴 형성되어 있다. 상기 화소 전극(500)은 박막 트랜지스터 영역에 형성되어 있다. 상기 화소 전극(500)은 제1 콘택홀(CH1)을 통해서 상기 드레인 전극(320)과 연결된다. 상기 제1 콘택홀(CH1)은 상기 제1 보호막(410) 및 제2 보호막(420)에 각각 형성된 홀의 조합으로 이루어진다.

[0094] 상기 화소 전극(500) 상에는 제3 보호막(430)이 형성되어 있다. 상기 제3 보호막(430)은 제3 콘택홀(CH3) 및 제

4 콘택홀(CH4) 영역을 제외하고 기판 전체면 상에 형성되어 있다. 상기 제3 보호막(430)은 실리콘 질화물 또는 실리콘 산화물과 같은 무기절연물로 이루어질 수 있다.

- [0095] 상기 제3 보호막(430) 상에는 콘택부(600a)를 구비한 센싱 라인(600)이 패턴 형성되어 있다. 상기 센싱 라인(600)은 박막 트랜지스터 영역에 형성된다.
- [0096] 상기 센싱 라인(600) 상에는 제4 보호막(440)이 형성되어 있다. 상기 제4 보호막(440)은 제2 콘택홀(CH2), 제3 콘택홀(CH3) 및 제4 콘택홀(CH4) 영역을 제외하고 기판 전체면 상에 형성되어 있다. 상기 제4 보호막(440)은 실리콘 질화물 또는 실리콘 산화물과 같은 무기절연물로 이루어질 수 있다.
- [0097] 상기 제4 보호막(440) 상에는 공통 전극(700), 게이트 패드 전극(750), 및 데이터 패드 전극(760)이 패턴 형성되어 있다. 상기 공통 전극(700)은 박막 트랜지스터 영역에 형성되고, 상기 게이트 패드 전극(750)은 게이트 패드 영역에 형성되고, 상기 데이터 패드 전극(760)은 데이터 패드 영역에 형성된다.
- [0098] 상기 공통 전극(700), 게이트 패드 전극(750), 및 데이터 패드 전극(760)은 동일한 공정에 의해서 동일한 물질을 이용하여 동일한 층에 형성된다.
- [0099] 상기 공통 전극(700)은 그 내부에 복수 개의 슬릿(710)이 구비되도록 패턴 형성되어 있다. 이와 같은 공통 전극(700)은 상기 제4 보호막(440)에 구비된 제2 콘택홀(CH2)을 통해서 상기 센싱 라인(600)의 콘택부(600a)와 연결되어 있다.
- [0100] 상기 게이트 패드 전극(750)은 상기 게이트 절연막(220), 제1 보호막(410), 제3 보호막(430), 및 제4 보호막(440)에 각각 형성된 홀들의 조합으로 이루어진 제3 콘택홀(CH3)을 통해서 상기 게이트 패드(215)와 연결된다.
- [0101] 상기 데이터 패드 전극(760)은 상기 제1 보호막(410), 제3 보호막(430), 및 제4 보호막(440)에 각각 형성된 홀들의 조합으로 이루어진 제4 콘택홀(CH4)을 통해서 상기 데이터 패드(315)와 연결된다.
- [0102] 도 8a 내지 도 8j는 본 발명의 제2 실시예에 따른 디스플레이 장치용 기판의 개략적인 제조 공정 단면도로서, 이는 도 7에 도시한 디스플레이 장치용 기판을 제조하는 공정에 관한 것이다.
- [0103] 우선, 도 8a에서 알 수 있듯이, 기판(100) 상에 게이트 전극(210) 및 게이트 패드(215)를 패턴 형성한다. 상기 게이트 전극(210)은 박막 트랜지스터 영역에 형성하고, 상기 게이트 패드(215)는 게이트 패드 영역에 형성한다.
- [0104] 상기 게이트 전극(210) 및 게이트 패드(215)는 상기 기판(100) 상에 스퍼터링(Sputtering) 법에 의해 박막층을 증착한 후, 포토 레지스트 도포, 노광, 현상, 식각 및 스트립과 같은 일련의 마스크 공정을 통해 패턴 형성할 수 있다. 이하에서 설명하는 구성들의 패턴 형성 공정도 이와 같은 박막층의 증착 및 일련의 마스크 공정을 통해 수행할 수 있다.
- [0105] 다음, 도 8b에서 알 수 있듯이, 상기 게이트 전극(210) 및 게이트 패드(215) 상에 게이트 절연막(220)을 형성하고, 상기 게이트 절연막(220) 상에 반도체층(230)을 패턴 형성한다. 상기 게이트 절연막(220)은 PECVD법(Plasma Enhanced Chemical Vapor Deposition)에 의해 기판 전체면 상에 형성하고, 상기 반도체층(230)은 박막 트랜지스터 영역에 형성한다.
- [0106] 다음, 도 8c에서 알 수 있듯이, 상기 반도체층(230) 상에 데이터 라인(300)과 연결되는 소스 전극(310) 및 드레인 전극(320)을 패턴 형성함과 더불어 상기 게이트 절연막(220) 상에 데이터 패드(315)를 패턴 형성한다.
- [0107] 상기 소스 전극(310) 및 드레인 전극(320)은 박막 트랜지스터 영역에 형성하고, 상기 데이터 패드(315)는 데이터 패드 영역에 형성한다.
- [0108] 다음, 도 8d에서 알 수 있듯이, 상기 데이터 라인(300), 데이터 패드(315), 소스 전극(310) 및 드레인 전극(320) 상에 제1 보호막(410)을 형성하고, 상기 제1 보호막(410) 상에 제2 보호막(420)을 패턴 형성한다.
- [0109] 상기 제1 보호막(410)은 PECVD법에 의해 기판 전체면 상에 형성한다.
- [0110] 상기 제2 보호막(420)은 박막 트랜지스터 영역에 형성한다. 구체적으로, 상기 제2 보호막(420)은 기판의 전체면 상에 PAC(photo active compound)를 포함하는 유기절연물을 도포한 후, 노광 및 현상 공정에 의해서 패턴 형성한다. 상기 제2 보호막(420)은 제1 콘택홀(CH1)을 구성하는 홀을 구비하도록 패턴 형성한다.
- [0111] 다음, 도 8e에서 알 수 있듯이, 게이트 패드 영역 및 데이터 패드 영역 내의 제1 보호막(410) 상에 식각방지층(800)을 패턴 형성한다. 상기 식각방지층(800)은 후술하는 공정(도 8f 공정)에서 제1 콘택홀(CH1)을 형성하기 위해서 제1 보호막(410)을 식각할 때, 데이터 패드 영역이 식각되는 것을 방지하기 위한 것이다. 이와 같은 식

각방지층(800)은 기판의 전체면 상에 PAC(photo active compound)를 포함하는 유기절연물을 도포한 후, 노광 및 현상 공정에 의해서 패턴 형성한다.

- [0112] 다음, 도 8f에서 알 수 있듯이, 상기 제1 콘택홀(CH1) 영역에 대응하는 제1 보호막(410) 영역, 즉, 상기 제2 보호막(420)에 구비된 홀에 의해 노출된 제1 보호막(410) 영역을 식각하여 제1 콘택홀(CH1)을 완성하고, 상기 식각방지층(800)을 제거한다.
- [0113] 상기 제1 콘택홀(CH1)에 의해서 드레인 전극(320)이 외부로 노출된다.
- [0114] 다음, 도 8g에서 알 수 있듯이, 상기 제2 보호막(420) 상에 화소 전극(500)을 패턴 형성한다. 상기 화소 전극(500)은 박막 트랜지스터 영역에서 상기 제1 콘택홀(CH1)을 통해서 상기 드레인 전극(320)과 연결되도록 패턴 형성한다.
- [0115] 다음, 도 8h에서 알 수 있듯이, 상기 화소 전극(500) 상에 제3 보호막(430)을 형성하고, 상기 제3 보호막(430) 상에 콘택부(600a)를 구비한 센싱 라인(600)을 패턴 형성한다.
- [0116] 상기 제3 보호막(430)은 PECVD법에 의해 기판 전체면 상에 형성하고, 상기 센싱 라인(600)은 박막 트랜지스터 영역에 패턴 형성한다.
- [0117] 다음, 도 8i에서 알 수 있듯이, 상기 센싱 라인(600) 상에 제4 보호막(440)을 형성한 후, 제2 콘택홀(CH2), 제3 콘택홀(CH3) 및 제4 콘택홀(CH4)을 형성한다.
- [0118] 상기 제4 보호막(440)은 PECVD법에 의해 기판 전체면 상에 형성한다.
- [0119] 상기 제2 콘택홀(CH2)은 상기 제4 보호막(440)의 소정영역을 식각하여 형성하며, 상기 제2 콘택홀(CH2)에 의해서 상기 센싱 라인(600)의 콘택부(600a)가 외부로 노출된다.
- [0120] 상기 제3 콘택홀(CH3)은 상기 게이트 절연막(220), 제1 보호막(410), 제3 보호막(430), 및 제4 보호막(440)의 소정영역을 식각하여 형성하며, 상기 제3 콘택홀(CH3)에 의해서 상기 게이트 패드(215)가 외부로 노출된다.
- [0121] 상기 제4 콘택홀(CH4)은 상기 제1 보호막(410), 제3 보호막(430), 및 제4 보호막(440)의 소정영역을 식각하여 형성하며, 상기 제4 콘택홀(CH4)에 의해서 상기 데이터 패드(315)가 외부로 노출된다.
- [0122] 다음, 도 8j에서 알 수 있듯이, 상기 제4 보호막(440) 상에 공통 전극(700), 게이트 패드 전극(750), 및 데이터 패드 전극(760)을 패턴 형성한다.
- [0123] 상기 공통 전극(700)은 박막 트랜지스터 영역에서 그 내부에 복수 개의 슬릿(710)이 구비되도록 패턴 형성하며, 특히, 상기 제2 콘택홀(CH2)을 통해서 상기 센싱 라인(600)의 콘택부(600a)와 연결되도록 패턴 형성한다.
- [0124] 상기 게이트 패드 전극(750)은 게이트 패드 영역에서 상기 제3 콘택홀(CH3)을 통해서 상기 게이트 패드(215)와 연결되도록 패턴 형성한다.
- [0125] 상기 데이터 패드 전극(760)은 데이터 패드 영역에서 상기 제4 콘택홀(CH4)을 통해서 상기 데이터 패드(315)와 연결되도록 패턴 형성한다.
- [0126] 이상 설명한 도 8a 내지 도 8j의 방법에 따르면, 전술한 도 8e 공정에서 게이트 패드 영역이 식각되는 것을 방지하기 위해 식각방지층(800)을 패턴 형성하기 때문에 마스크 개수가 증가할 뿐만 아니라, 식각방지층(800)을 패턴 형성하는 과정에서 식각방지층(800)을 구성하는 유기절연물이 제1 콘택홀(CH1) 영역에 잔존할 가능성이 있다. 즉, 식각방지층(800)은 기판의 전체면 상에 유기절연물을 도포한 후, 노광 및 현상 공정에 의해서 게이트 패드 영역 및 데이터 패드 영역에만 유기절연물이 잔존하도록 패턴 형성하는데, 이때, 도 9에 도시된 바와 같이, 제1 콘택홀(CH1) 영역 내에 제거되지 않고 잔존하는 유기절연물(900)이 존재할 가능성이 있다. 이와 같이 제1 콘택홀(CH1) 영역 내의 유기절연물이 잔존하게 되면 도 8f 공정에서 제1 콘택홀(CH1) 영역에 대응하는 제1 보호막(410) 영역이 식각되지 않아 제1 콘택홀(CH1)이 형성되지 않는 문제가 발생할 수 있다.
- [0127] 이하에서는 상술한 바와 같은 마스크 개수 증가 문제 및 제1 콘택홀(CH1) 영역 내에 유기절연물이 잔존하는 문제를 해결할 수 있는 디스플레이 장치 및 그 제조방법에 대해 설명하기로 한다.

[0128] **제3 실시예**

[0129] 도 10은 본 발명의 제3 실시예에 따른 디스플레이 장치의 단면도로서, 이는 도 2의 A-A라인, B-B라인, 및 C-C라

인의 단면을 도시한 것이다. 도 2의 A-A라인은 박막 트랜지스터 영역을 보여주는 것이고, 도 2의 B-B라인은 게이트 패드 영역을 보여주는 것이고, 도 2의 C-C라인은 데이터 패드 영역을 보여주는 것이다.

- [0130] 도 10에서 알 수 있듯이, 기판(100) 상에는 게이트 전극(210) 및 게이트 패드(215)가 패턴 형성되어 있다. 상기 게이트 전극(210)은 박막 트랜지스터 영역에 형성되어 있고, 상기 게이트 패드(215)는 게이트 패드 영역에 형성되어 있다. 상기 게이트 전극(210)은 전술한 게이트 라인(200)에서 돌출되어 형성될 수 있고, 상기 게이트 패드(215)는 게이트 내장 회로(2)를 통해 전술한 게이트 라인(200)의 일단에 연결되어 있다.
- [0131] 상기 게이트 전극(210) 및 게이트 패드(215) 상에는 게이트 절연막(220)이 형성되어 있다. 상기 게이트 절연막(220)은 제3 콘택홀(CH3) 영역을 제외하고 기판 전체면 상에 형성되어 있다.
- [0132] 상기 게이트 절연막(220) 상에는 반도체층(230)이 패턴 형성되어 있다. 상기 반도체층(230)은 박막 트랜지스터 영역 및 데이터 패드 영역에 형성되어 있으며, 실리콘계 반도체물질 또는 산화물 반도체물질로 이루어질 수 있다.
- [0133] 상기 반도체층(230) 상에는 소스 전극(310), 드레인 전극(320), 및 데이터 패드(315)가 패턴 형성되어 있다. 상기 소스 전극(310) 및 드레인 전극(320)은 박막 트랜지스터 영역에서 반도체층(230) 상에 형성되어 있고, 상기 데이터 패드(315)는 데이터 패드 영역에서 반도체층(230) 상에 형성되어 있다. 이때, 데이터 패드(315)는 전술한 데이터 라인(300)의 일단에 연결되어 있다. 상기 소스 전극(310)은 데이터 라인(300)과 연결되어 있고, 상기 드레인 전극(320)은 상기 소스 전극(310)과 마주하면서 상기 소스 전극(310)과 이격되어 있다.
- [0134] 제3 실시예에 따른 디스플레이 장치의 경우, 제1 실시예 및 제2 실시예에 따른 디스플레이 장치와는 달리, 반도체층(230) 형성을 위한 물질층(미도시)과 소스 전극(310)/드레인 전극(320) 형성을 위한 소스드레인 전극층(미도시)을 순차적으로 적층한 후 단일 마스크를 이용하여 하나의 공정에서 소스 드레인 전극층 및 물질층을 동시에 패터닝하기 때문에 박막 트랜지스터 영역 뿐만 아니라 데이터 패드 영역에도 반도체층(230)이 데이터 패드(315) 하부에 형성된다.
- [0135] 또한, 제3 실시예에 따른 디스플레이 장치의 경우, 상술한 바와 같이 소스 드레인 전극층을 반도체층(230) 형성을 위한 물질층 상에 적층한 후 단일 마스크를 이용하여 소스 드레인 전극층 및 물질층을 동시에 패터닝하기 때문에 반도체층(230)의 꼬리영역(Tail)을 최소화시킬 수 있게 된다.
- [0136] 상기 데이터 라인(300), 데이터 패드(315), 소스 전극(310), 및 드레인 전극(320) 상에는 제1 보호막(410)이 형성되어 있다. 즉, 상기 제1 보호막(410)이 개구영역(H), 제3 콘택홀(CH3), 및 제4 콘택홀(CH4) 영역을 제외하고 기판 전체면 상에 형성되어 있다. 상기 제1 보호막(410)은 실리콘 질화물 또는 실리콘 산화물과 같은 무기절연물로 이루어질 수 있다.
- [0137] 상기 제1 보호막(410) 상에는 제2 보호막(420)이 형성되어 있다. 상기 제2 보호막(420)은 개구 영역(H), 제3 콘택홀(CH3), 및 제4 콘택홀(CH4) 영역을 제외한 기판 전체면 상에 형성되어 있다. 일 실시예에 있어서, 게이트 패드 영역 및 데이터 패드 영역에 형성된 제2 보호막(420)은, 박막 트랜지스터 영역에 형성된 제2 보호막(420)과 다른 두께를 갖도록 형성될 수 있다. 이러한 실시예에 따르는 경우, 하프톤 마스크(Half Tone Mask)를 이용하여 단일 공정으로 제2 보호막(420)을 형성함으로써 박막 트랜지스터 영역에 형성되는 제2 보호막(420)과 게이트 패드 영역 및 데이터 패드 영역에 형성되는 제2 보호막(420)이 서로 다른 두께를 갖게 된다.
- [0138] 상기 제2 보호막(420)은 PAC(photo active compound)를 포함하는 아크릴계 수지와 같은 유기절연물로 이루어질 수 있다. 상기 제2 보호막(420)은 상기 제1 보호막(410)보다 두꺼운 두께로 형성되어 기판을 평탄화시키는 역할을 수행할 수 있다.
- [0139] 상기 제2 보호막(420) 상에는 화소 전극(500), 제1 보호전극(510) 및 제1 연결전극(520)이 패턴 형성되어 있다. 상기 화소 전극(500)은 박막 트랜지스터 영역에 형성되어 있다. 특히, 제3 실시예에 따른 디스플레이 장치의 경우, 개구영역(H)를 통해 노출되어 있는 패터닝된 소스 드레인 전극층 상에 화소 전극(500) 형성을 위한 물질층(미도시)을 형성한 후, 박막 트랜지스터의 채널 형성시 화소 전극(500) 형성을 위한 물질층 및 소스 드레인 전극층의 일부를 제거하게 된다. 따라서, 제3 실시예의 경우 제1 및 제2 실시예에서와 같이 제1 콘택홀(CH1)을 통해 화소 전극(500)과 드레인 전극(320)이 연결되는 것이 아니라, 박막 트랜지스터의 채널 형성 과정 이전부터 이미 화소 전극(500) 형성을 위한 물질층과 소스 드레인 전극층이 직접 접촉되어 있는 상태에서 채널을 형성하게 되므로, 결과적으로 화소 전극(500)과 드레인 전극(320)이 직접 연결되는 구조를 가지게 된다. 이러한 구조에 따라 제3 실시예에 따른 디스플레이 장치의 경우, 제1 및 제2 실시예에 따른 디스플레이 장치에 비해 투

과율이 향상된다.

- [0140] 제1 보호 전극(510)은 제2 보호막(420) 중 소스 전극(310)과 중첩되는 영역 상에 패턴 형성되어, 박막 트랜지스터의 채널 형성을 위한 식각 과정에서 소스 전극(310)이 손상되는 것을 방지한다.
- [0141] 제1 연결 전극(520)은 데이터 패드 영역에서 제4 콘택홀(CH4) 영역에서 외부로 노출되는 데이터 패드(315)를 커버하도록 제2 보호막(420) 상에 패턴 형성된다.
- [0142] 한편, 제2 콘택홀(CH2)에 대응되는 영역에는 후술하는 센싱 라인(600)의 형성을 위해 화소 전극(500) 형성 과정에서 보조전극(530)이 잔존하게 된다.
- [0143] 상술한 화소 전극(500), 제1 보호 전극(510), 제1 연결 전극(520), 및 보조전극(530)은 동일한 공정에 의해서 동일한 물질을 이용하여 동일한 층에 형성된다.
- [0144] 상기 콘택부(600a)를 구비한 센싱 라인(600)은 보조 전극(530) 상에 패턴 형성되어 있다. 센싱 라인(600)의 패턴 형성 과정에서 함께 형성되는 제2 보호 전극(610)은 제1 보호 전극(510) 상에 패턴 형성되고, 제3 보호 전극(620)은 화소 전극(500) 중 드레인 전극(320)과 중첩되는 영역 상에 패턴 형성되어 있으며, 제2 연결 전극(630)은 제1 연결 전극(520) 상에 패턴 형성되어 있다.
- [0145] 제2 보호 전극(610)은 제1 보호 전극(510)과 함께 채널 형성 과정에서 소스 전극(310)이 식각되는 것을 방지하는 역할을 하고, 제3 보호 전극(620)은 채널 형성 과정에서 화소 전극(500) 및 드레인 전극(320)이 식각되는 것을 방지하는 역할을 한다.
- [0146] 제2 연결 전극(630)은 제1 연결 전극(520)과 함께 데이터 패드 전극(760)을 데이터 패드(315)와 연결시키는 역할을 한다.
- [0147] 상기 센싱 라인(600), 제2 보호 전극(610), 제3 보호 전극(620), 및 제2 연결 전극(630)은 동일한 공정에 의해서 동일한 물질을 이용하여 동일한 층에 형성된다.
- [0148] 상기 센싱 라인(600), 제2 보호 전극(610), 제3 보호 전극(620), 및 제2 연결 전극(630) 상에는 제4 보호막(440)이 형성되어 있다. 즉, 상기 제4 보호막(440)은 제2 콘택홀(CH2), 제3 콘택홀(CH3), 및 제4 콘택홀(CH4) 영역을 제외하고 기판 전체면 상에 형성되어 있다. 상기 제4 보호막(440)은 실리콘 질화물 또는 실리콘 산화물과 같은 무기절연물로 이루어질 수 있다.
- [0149] 상기 제4 보호막(440) 상에는 공통 전극(700), 게이트 패드 전극(750), 및 데이터 패드 전극(760)이 패턴 형성되어 있다. 상기 공통 전극(700)은 박막 트랜지스터 영역에 형성되고, 상기 게이트 패드 전극(750)은 게이트 패드 영역에 형성되고, 상기 데이터 패드 전극(760)은 데이터 패드 영역에 형성된다. 이때, 공통 전극(700)은 제2 콘택홀(CH2)을 통해 센싱 라인(600)과 연결되고, 게이트 패드 전극(750)은 제3 콘택홀(CH3)을 통해 게이트 패드(215)와 연결되며, 데이터 패드 전극(760)은 제4 콘택홀(CH4)을 통해 노출되는 제2 연결전극(630) 및 제1 연결전극(520)을 매개하여 데이터 패드(315)와 연결된다.
- [0150] 상기 공통 전극(700), 게이트 패드 전극(750), 및 데이터 패드 전극(760)은 동일한 공정에 의해서 동일한 물질을 이용하여 동일한 층에 형성된다.
- [0151] 상기 공통 전극(700)은 그 내부에 복수 개의 슬릿(710)이 구비되도록 패턴 형성되어 있다. 이와 같은 공통 전극(700)은 상기 제4 보호막(440)에 구비된 제2 콘택홀(CH2)을 통해서 상기 센싱 라인(600)의 콘택부(600a)와 연결되어 있다.
- [0152] 상기 게이트 패드 전극(750)은 상기 게이트 절연막(220), 제1 보호막(410), 제3 보호막(430), 및 제4 보호막(440)에 각각 형성된 홀들의 조합으로 이루어진 제3 콘택홀(CH3)을 통해서 상기 게이트 패드(215)와 연결된다.
- [0153] 상기 데이터 패드 전극(760)은 제4 콘택홀(CH4)을 통해 노출되는 제2 연결전극(630) 및 제1 연결전극(520)을 매개하여 데이터 패드(315)와 연결된다.
- [0154] 도 11a 내지 도 11j는 본 발명의 제3 실시예에 따른 디스플레이 장치용 기판의 개략적인 제조 공정 단면도로서, 이는 도 10에 도시한 디스플레이 장치용 기판을 제조하는 공정에 관한 것이다.
- [0155] 우선, 도 11a에서 알 수 있듯이, 기판(100) 상에 게이트 전극(210) 및 게이트 패드(215)를 패턴 형성한다. 상기 게이트 전극(210)은 박막 트랜지스터 영역에 형성하고, 상기 게이트 패드(215)는 게이트 패드 영역에 형성한다.
- [0156] 상기 게이트 전극(210) 및 게이트 패드(215)는 상기 기판(100) 상에 스퍼터링(Sputtering) 법에 의해 박막층을

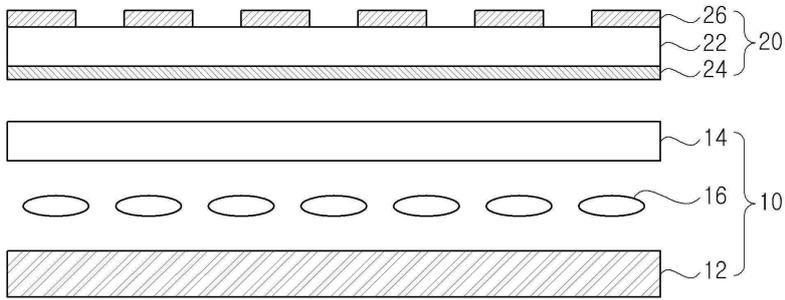
증착한 후, 포토 레지스트 도포, 노광, 현상, 식각 및 스트립과 같은 일련의 마스크 공정을 통해 패턴 형성할 수 있다. 이하에서 설명하는 구성들의 패턴 형성 공정도 이와 같은 박막층의 증착 및 일련의 마스크 공정을 통해 수행할 수 있다.

- [0157] 다음, 도 11b에서 알 수 있듯이, 상기 게이트 전극(210) 및 게이트 패드(215) 상에 게이트 절연막(220)을 형성하고, 상기 게이트 절연막(220) 상에 반도체층(230)을 형성하기 위한 물질층 및 소스 드레인 전극을 형성하기 위한 소스 드레인 전극층을 형성한 후, 반도체층(230)을 형성하기 위한 물질층과 소스 드레인 전극층을 단일 마스크를 이용하여 하나의 공정에서 패터닝함으로써 반도체층(230)과 반도체층(230) 상에 형성된 소스 드레인 전극층 패턴(330)을 형성한다. 이에 따라, 박막 트랜지스터 영역뿐만 아니라 데이터 패드 영역에도 반도체층(230)이 형성되게 되며, 데이터 패드 영역에 형성된 반도체층(230) 상에 데이터 패드(315)가 형성된다.
- [0158] 상기 게이트 절연막(220)은 PECVD법(Plasma Enhanced Chemical Vapor Deposition)에 의해 기판 전체면 상에 형성한다.
- [0159] 다음, 도 11c에서 알 수 있듯이, 소스 드레인 전극층 패턴(330)과 데이터 패드(315) 상에 제1 보호막(410)을 형성하고, 상기 제1 보호막(410) 상에 제2 보호막(420)을 패턴 형성한다.
- [0160] 상기 제1 보호막(410)은 PECVD법에 의해 기판 전체면 상에 형성한다.
- [0161] 일 실시예에 있어서, 제2 보호막(420)을 형성함에 있어서 게이트 패드 영역 및 데이터 패드 영역에 형성되는 제2 보호막(420)이 박막 트랜지스터 영역에 형성되는 제2 보호막(420)과 다른 두께를 갖도록 형성할 수 있다. 구체적으로, 제2 보호막(420)을 패턴 형성함에 있어서 하프톤 마스크를 이용함으로써 단일 공정을 통해 게이트 패드 영역 및 데이터 패드 영역에 형성되는 제2 보호막(420)이 박막 트랜지스터 영역에 형성되는 제2 보호막(420)보다 얇은 두께를 갖도록 형성할 수 있다.
- [0162] 이러한 실시예에서, 게이트 패드 영역 및 데이터 패드 영역에 형성되는 제2 보호막(420)이 박막 트랜지스터 영역에 형성되는 제2 보호막(420)보다 얇은 두께를 갖도록 형성하는 것은, 게이트 패드 영역 및 데이터 패드 영역에 형성되는 제2 보호막(420)의 두께가 박막 트랜지스터 영역에 형성된 제2 보호막(420)처럼 두꺼운 경우 집적 회로를 게이트 패드 영역 및 데이터 패드 영역에 실장할 때 압흔의 식별이 어렵기 때문이다.
- [0163] 상기 제2 보호막(420)은 기판의 전체면 상에 PAC(photo active compound)를 포함하는 유기절연물을 도포한 후, 노광 및 현상 공정에 의해서 패턴 형성한다. 상기 제2 보호막(420)은 박막 트랜지스터 영역에서 제1 보호막(410) 중 일부영역을 노출시키기 위한 개구영역(H)과, 게이트 패드 영역 및 데이터 패드 영역에서 제1 보호막(410) 중 일부영역을 노출시키기 위한 홀을 구비하도록 패턴 형성한다.
- [0164] 다음, 도 11d에서 알 수 있듯이, 개구 영역(H)을 통해 노출되는 제1 보호막(410) 영역, 게이트 패드 영역에 구비된 홀을 통해 노출되는 제1 보호막(410) 영역, 및 데이터 패드 영역에 구비된 홀을 통해 노출되는 제1 보호막(410) 영역을 식각하여 제거한 후, 기판(100)의 전체면 상에 화소 전극(500) 형성을 위한 물질층(500a) 및 센싱 라인(600) 형성을 위한 물질층(600a)을 도포한다. 이에 따라, 화소 전극(500) 형성을 위한 물질층(500)이 소스 드레인 전극층 패턴(330) 상에 직접 형성됨으로 인해, 후술하는 공정에서와 같이 화소 전극(500)과 드레인 전극(320)이 별도의 콘택홀 없이도 직접 콘택하게 된다.
- [0165] 다음, 도 11e에서 알 수 있듯이, 하프톤 마스크를 이용하여 화소 전극(500) 형성을 위한 물질층(500a) 및 센싱 라인(600) 형성을 위한 물질층(600a) 중 적어도 하나를 단일 공정을 통해 선택적으로 패터닝한 후, 개구 영역(H)을 통해 노출되는 소스 드레인 전극층 패턴(330)의 적어도 일부를 식각함으로써 채널 영역을 형성한다. 이러한 소스 드레인 전극층 패턴(300)의 식각으로 인해 반도체층(230) 상에 소스 전극(310) 및 드레인 전극(320)이 형성되게 되고, 박막 트랜지스터가 완성된다.
- [0166] 한편, 화소 전극(500) 형성을 위한 물질층(500a) 및 센싱 라인(600) 형성을 위한 물질층(600a) 중 적어도 하나를 기판 상에서 부분적으로 패터닝함으로써 인해, 박막 트랜지스터 영역에서 제2 보호막(420) 상에는 보조전극(530)과 센싱 라인(600)이 적층되어 있는 패턴, 제1 보호 전극(510)과 제2 보호 전극(610)이 적층되어 있는 패턴, 화소 전극(500)과 제3 보호 전극(620)이 적층되어 있는 패턴, 및 화소 전극(500)이 형성되고, 데이터 패드 영역에서 제1 연결 전극(520)과 제2 연결 전극(630)이 적층되어 있는 패턴이 형성된다. 이때, 제1 연결 전극(520)과 제2 연결 전극(630)이 적층되어 있는 패턴은 데이터 패드 영역에 구비된 홀을 통해 데이터 패드(315)와 연결된다.
- [0167] 다음, 도 11f에서 알 수 있듯이, 기판(100)의 전체면에 제4 보호막(440)을 형성한 후, 제2 콘택홀(CH2), 제3 콘

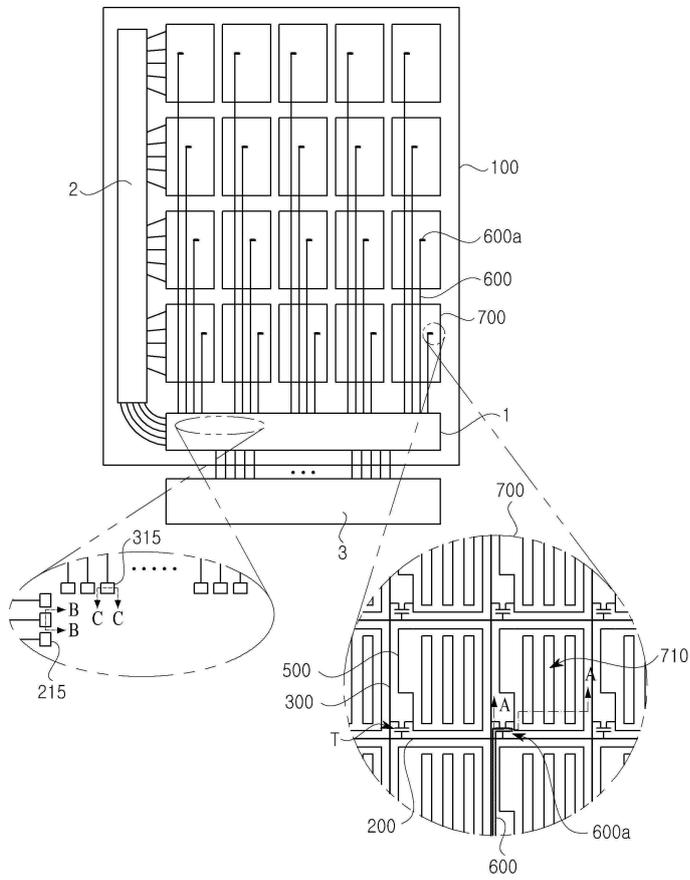


도면

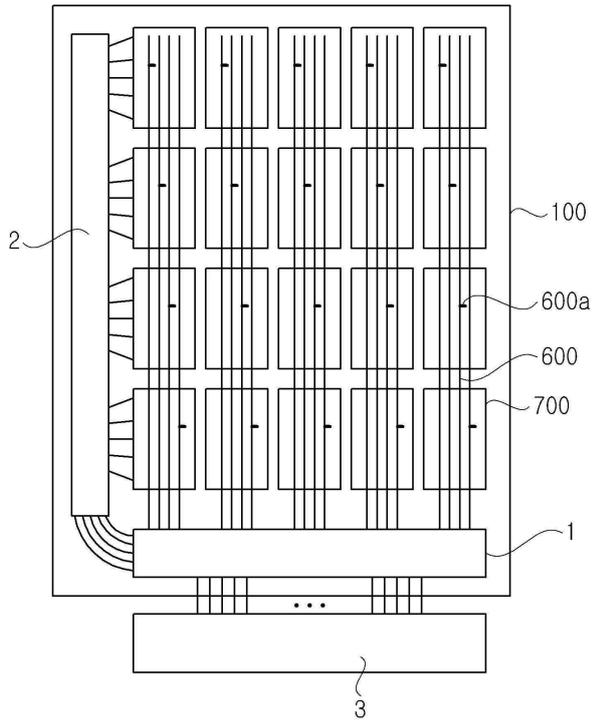
도면1



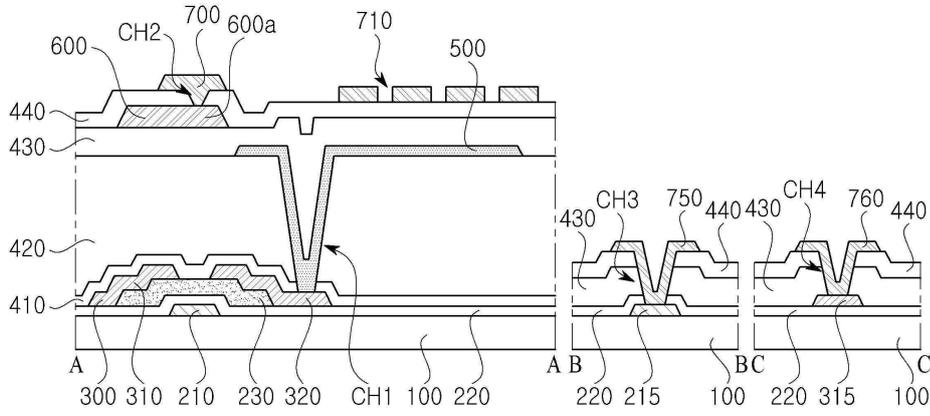
도면2



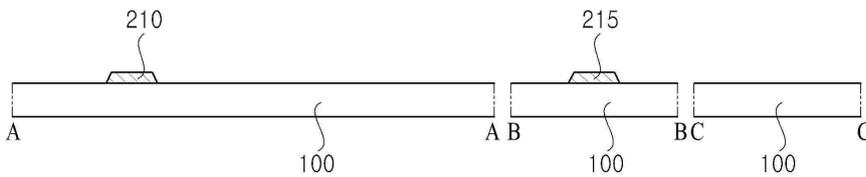
도면3



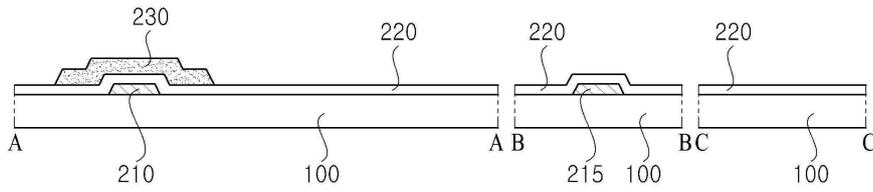
도면4



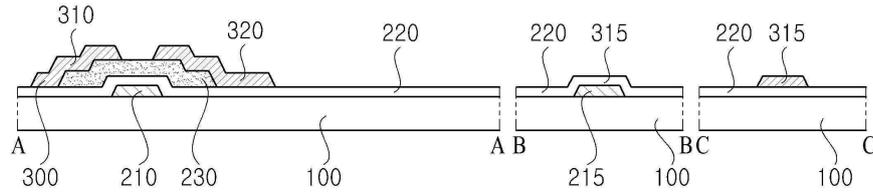
도면5a



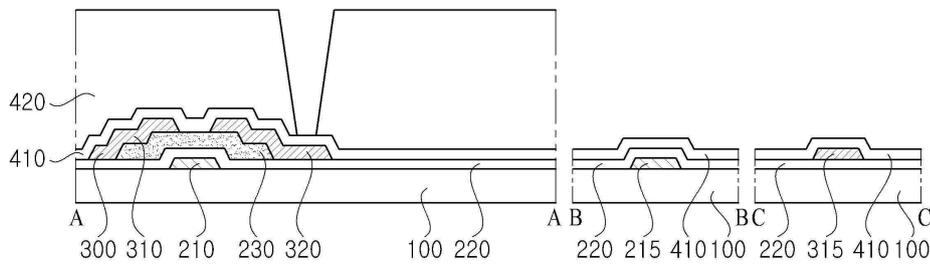
도면5b



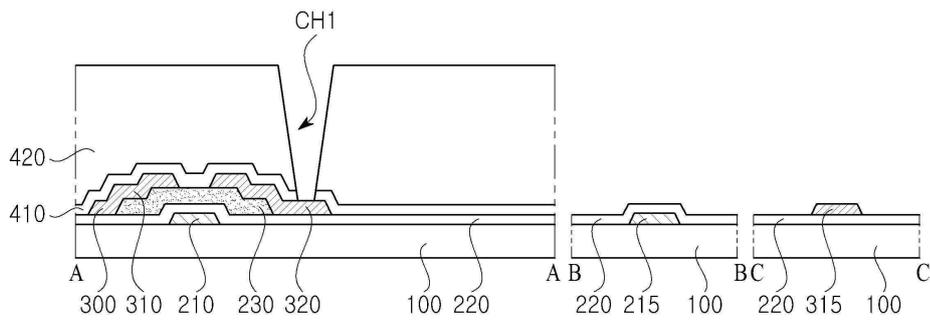
도면5c



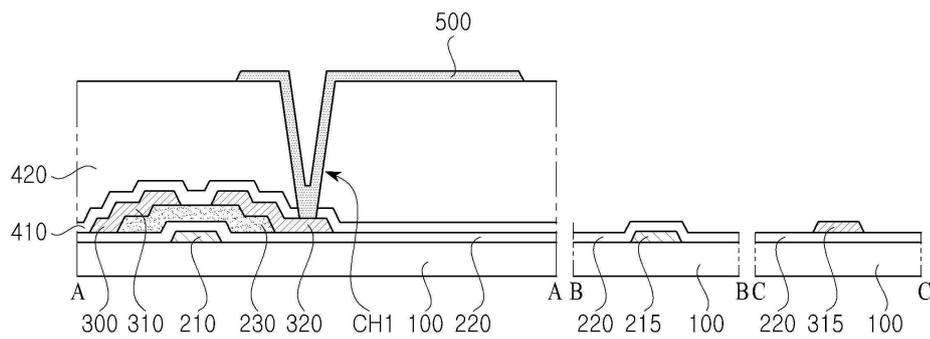
도면5d



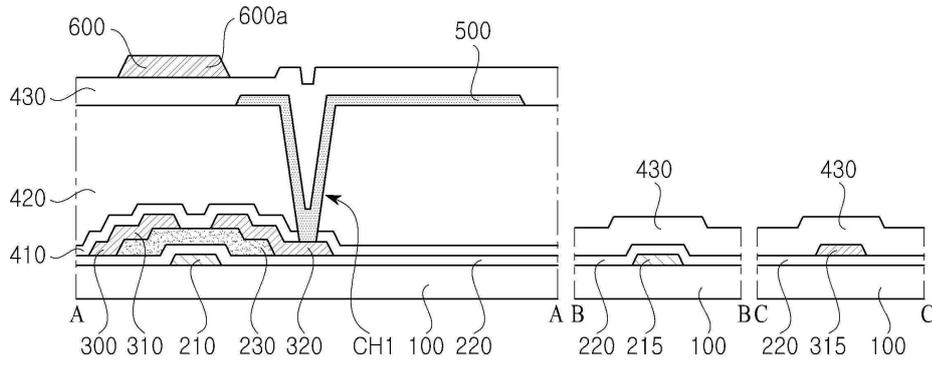
도면5e



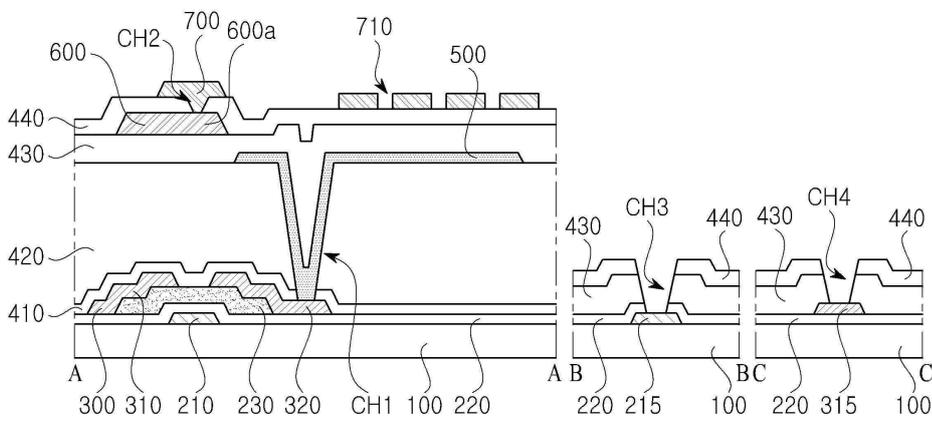
도면5f



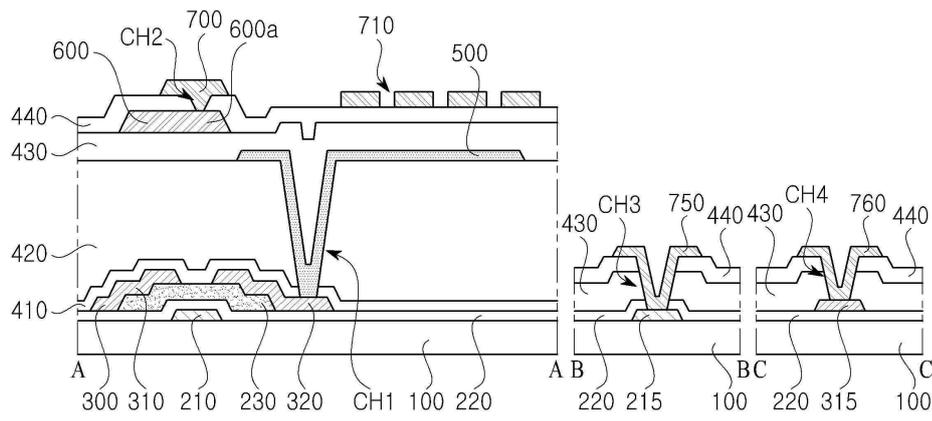
도면5g



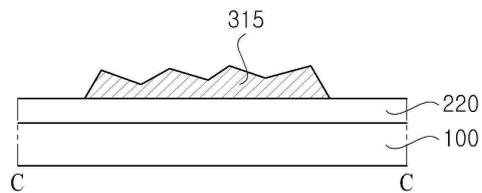
도면5h



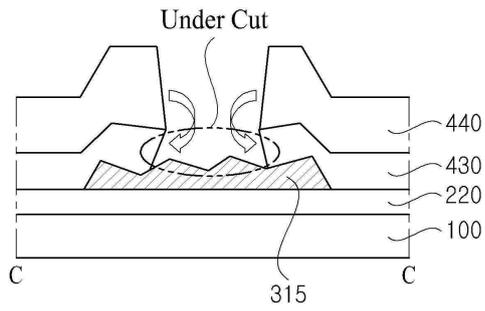
도면5i



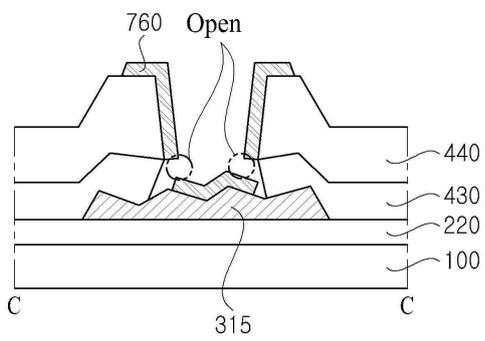
도면6a



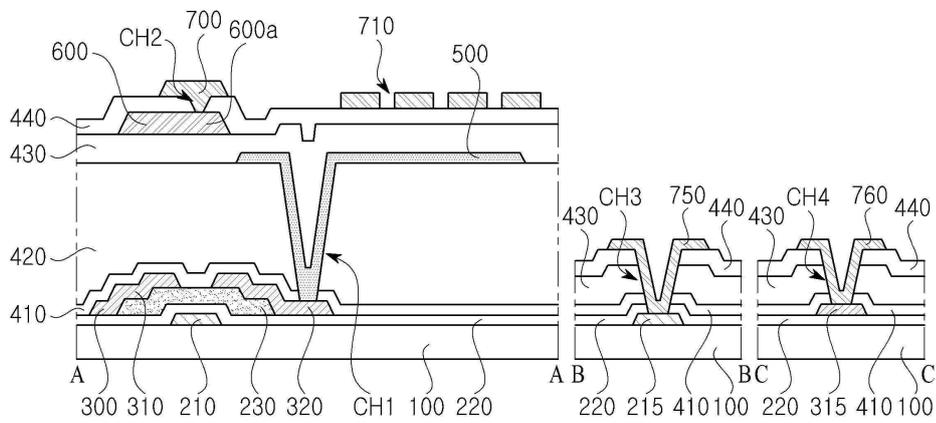
도면6b



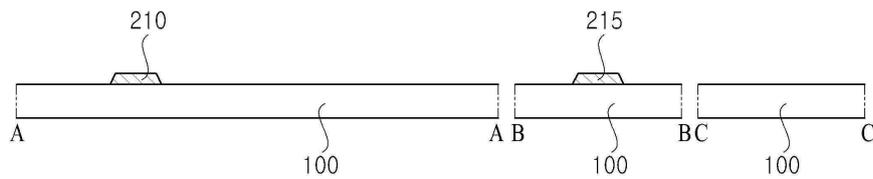
도면6c



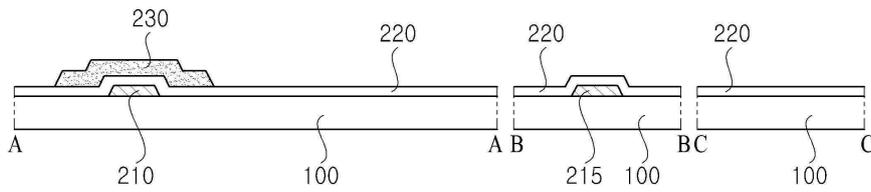
도면7



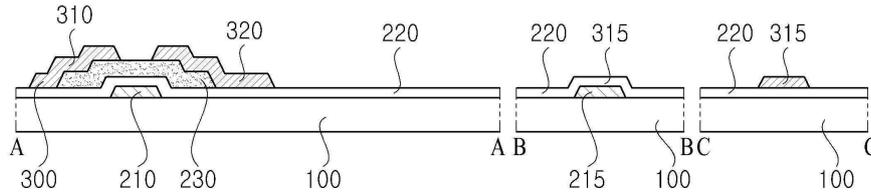
도면8a



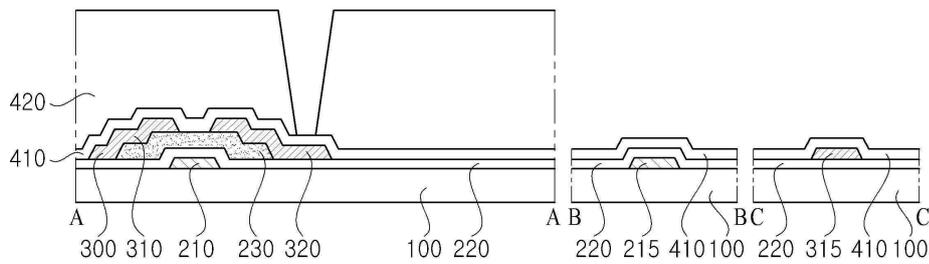
도면8b



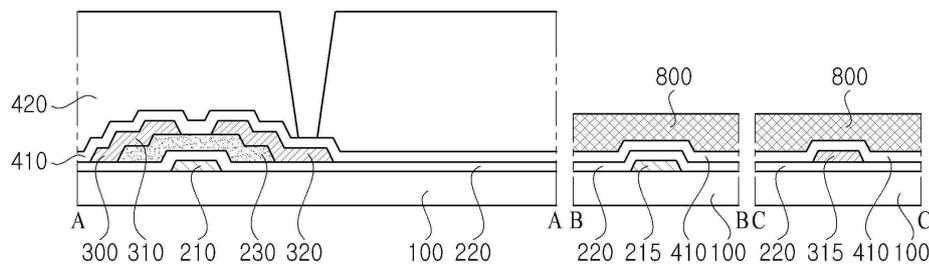
도면8c



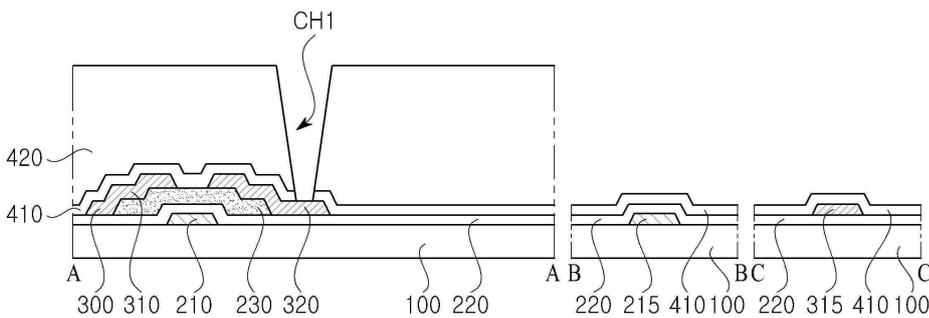
도면8d



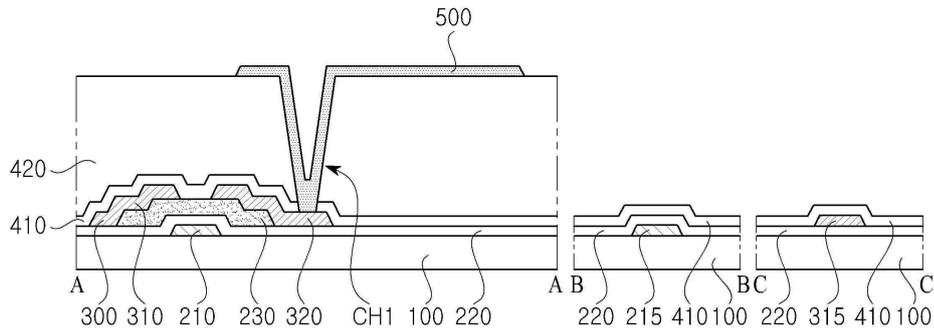
도면8e



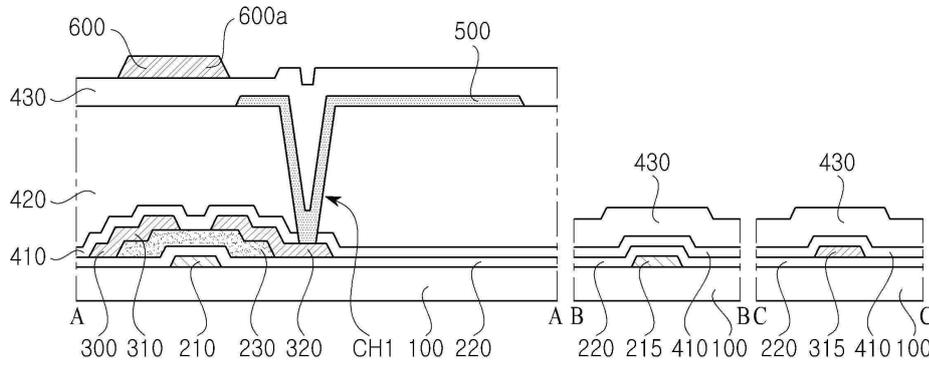
도면8f



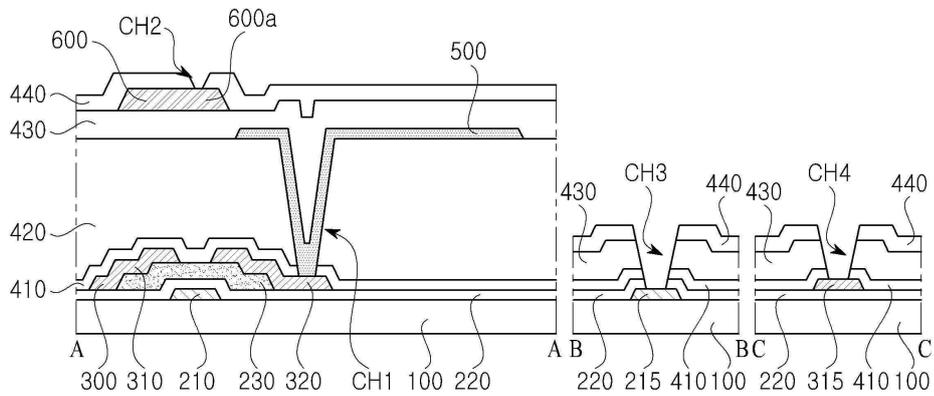
도면8g



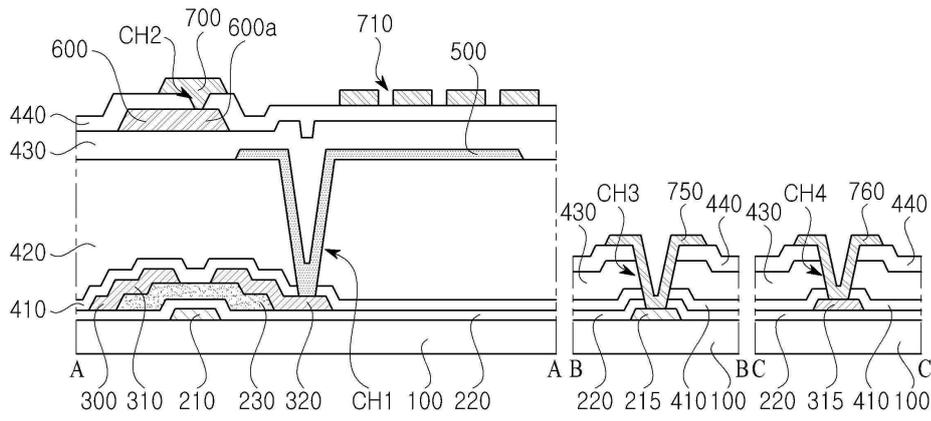
도면8h



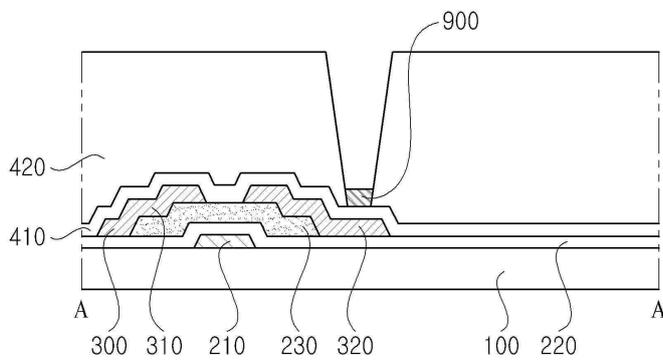
도면8i



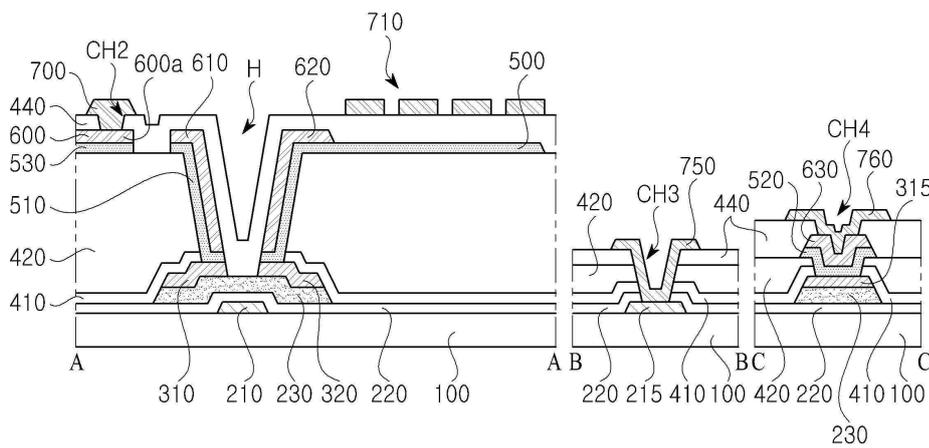
도면8j



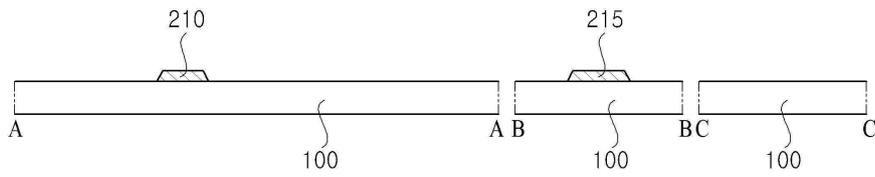
도면9



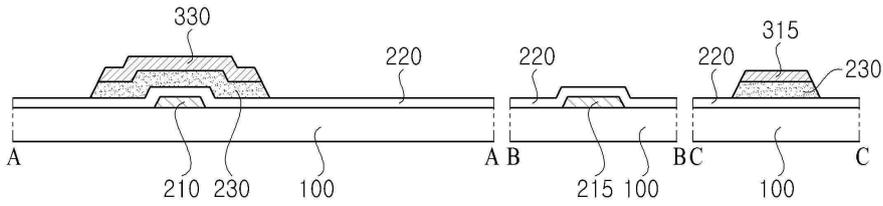
도면10



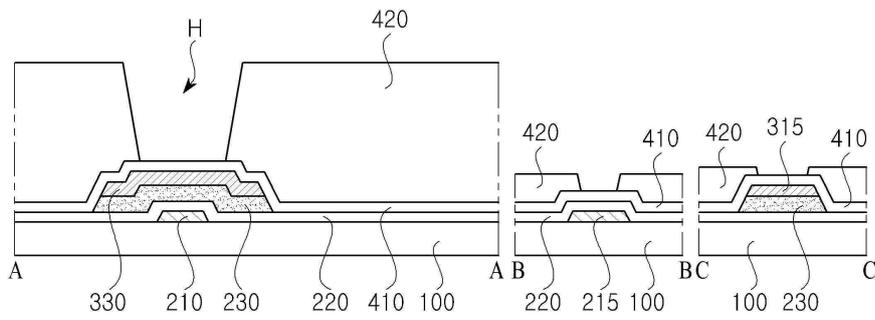
도면11a



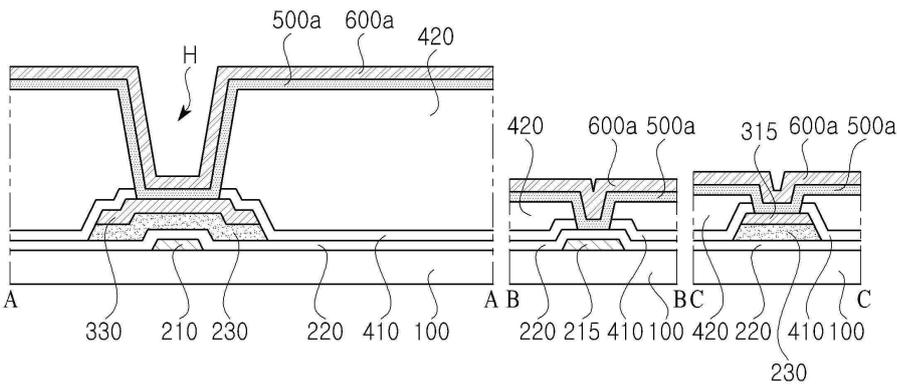
도면11b



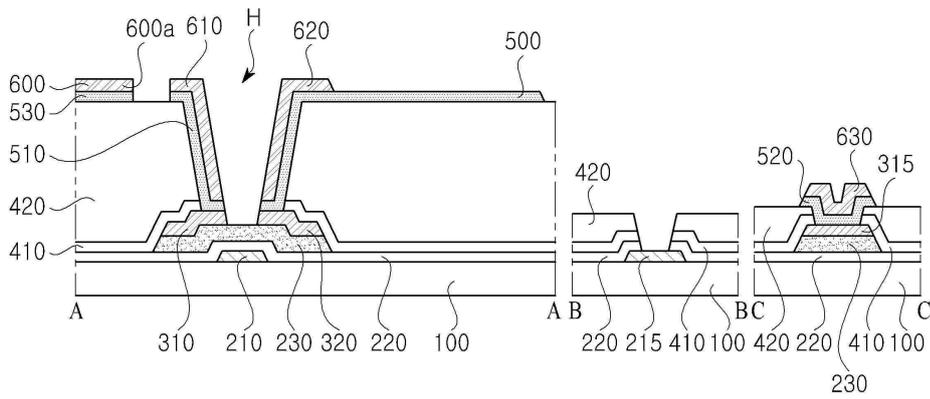
도면11c



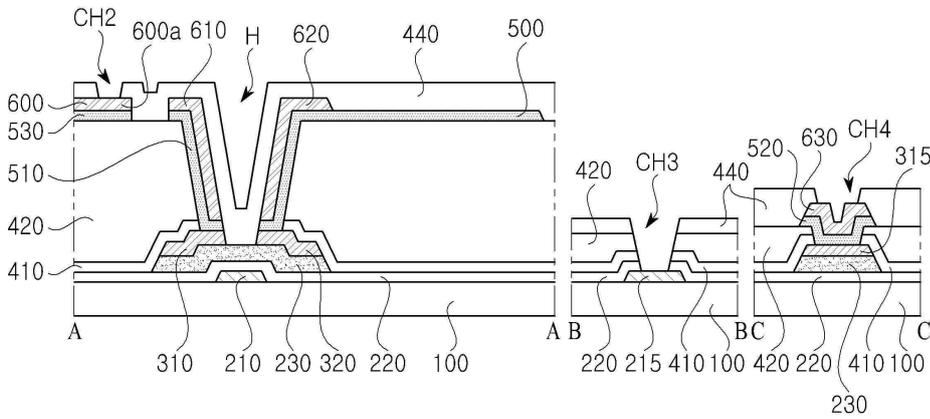
도면11d



도면11e



도면11f



도면11g

