

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4013401号

(P4013401)

(45) 発行日 平成19年11月28日(2007.11.28)

(24) 登録日 平成19年9月21日(2007.9.21)

(51) Int. Cl.

F I

G09F 9/30 (2006.01)

G09F 9/30 348Z

G02F 1/1343 (2006.01)

G02F 1/1343

G02F 1/1368 (2006.01)

G02F 1/1368

請求項の数 4 (全 27 頁)

(21) 出願番号	特願平11-112526	(73) 特許権者	000002369
(22) 出願日	平成11年4月20日(1999.4.20)		セイコーエプソン株式会社
(65) 公開番号	特開2000-305484(P2000-305484A)		東京都新宿区西新宿2丁目4番1号
(43) 公開日	平成12年11月2日(2000.11.2)	(74) 代理人	100095728
審査請求日	平成15年7月4日(2003.7.4)		弁理士 上柳 雅誉
		(74) 代理人	100107261
			弁理士 須澤 修
		(72) 発明者	福原 圭司
			長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		審査官	河原 英雄

最終頁に続く

(54) 【発明の名称】 電気光学装置及びその製造方法並びに電子機器

(57) 【特許請求の範囲】

【請求項1】

一対の基板間に電気光学物質が挟持されてなり、該一対の基板の一方の基板には、マトリクス状に配置された複数の画素電極と、該複数の画素電極を夫々駆動する複数の薄膜トランジスタと、該複数の薄膜トランジスタに夫々接続されており相交差する複数のデータ線及び複数の走査線と、

少なくとも前記データ線に画像信号を供給するための周辺回路と、

ポリシリコン膜からなる中継配線部の上に導電性の高融点金属又はその金属シリサイドからなる膜が、前記中継配線部の長手方向に沿って並んだ複数の島状領域として設けられ、前記周辺回路に対して画像信号を供給するための周辺配線と、

前記周辺配線の上に層間絶縁膜を介して設けられた、金属膜からなる主配線部と、を備え、

前記画像信号の供給側及び前記周辺回路側の各々の前記主配線部と、前記中継配線部とを電氣的に接続するコンタクトホールが前記島状領域内の前記層間絶縁膜に設けられていること、

を特徴とする電気光学装置。

【請求項2】

前記導電性の高融点金属又はその金属シリサイドとして、W(タングステン)、Ti(チタン)、Cr(クロム)、Ta(タンタル)、Mo(モリブデン)及びPb(鉛)のう

10

20

ちの少なくとも一つを含む金属単体もしくは合金又はこれらの金属シリサイドを用いたことを特徴とする請求項 1 に記載の電気光学装置。

【請求項 3】

一对の基板間に電気光学物質が挟持されてなり、該一对の基板の一方の基板には、マトリクス状に配置された複数の画素電極と、該複数の画素電極を夫々駆動する複数の薄膜トランジスタと、該複数の薄膜トランジスタに夫々接続されており相交差する複数のデータ線及び複数の走査線とを備えた電気光学装置の製造方法において、

ポリシリコン膜からなる中継配線部の上に、導電性の高融点金属又はその金属シリサイドからなる膜を、前記中継配線部の長手方向に沿って並んだ複数の島状領域として設ける工程と、

10

前記高融点金属又はその金属シリサイドからなる膜の上に層間絶縁膜を形成する工程と、

前記島状領域内において、前記層間絶縁膜に前記中継配線部とその上側に配置される金属膜からなる主配線部とを電気的に接続するコンタクトホールを開孔する工程と、を有することを特徴とする電気光学装置の製造方法。

【請求項 4】

請求項 1 から 2 に記載の電気光学装置を備えたことを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

20

本発明は、薄膜トランジスタ（以下適宜、TFTと称する）駆動によるアクティブマトリクス駆動方式の液晶装置等の電気光学装置及びその製造方法等の技術分野に属し、特に、ポリシリコン薄膜からなる配線を備える液晶装置等の電気光学装置及びその製造方法等の技術分野に属する。

【0002】

【従来の技術】

従来、液晶装置においては、液晶を挟持する一对の基板の一方であるTFTアレイ基板上に、液晶に対向する画像表示領域内に多数のデータ線、走査線及び容量線が相交差して配線される。更に、周辺回路内蔵型の液晶装置においては、TFTアレイ基板上に、データ線駆動回路、走査線駆動回路、サンプリング回路などの周辺回路が形成される。これらの周辺回路は、製造効率等の観点より、各画素部に設けられ各画素電極に印加される画像信号のスイッチング制御を行うためのTFT（以下適宜、画素TFTと称する）と同一の構造を用いた製造プロセスにより形成されるのが一般的である。また、画像表示領域外にあり液晶を封入するためのシール材に対向するシール領域や更にその外側に位置する周辺領域には、周辺回路の入出力配線が配線されている。より具体的には、周辺回路の入出力配線として、データ線、走査線及び容量線からの引き出し配線等がシール領域下に設けられており、外部入力端子に接続された画像信号線、制御信号線、電源配線、クロック信号線などが周辺領域に設けられている。

30

【0003】

特に周辺回路としてサンプリング回路を備えた液晶装置では、外部入力端子を介して画像信号が画像信号線に供給されると、データ線駆動回路から所定タイミングで出力されるサンプリング回路駆動信号によりサンプリング回路の各サンプリングスイッチが画像信号をデータ線毎にサンプリングするように構成されている。

40

【0004】

ここで、データ線、走査線及び容量線は、配線の電気抵抗や時定数の大きさに応じて画質劣化が引き起こされるのを防ぐために、低抵抗であることが望ましい。このため、データ線は、通常、アルミニウム等の金属薄膜から形成される。これに対し、走査線等を金属薄膜や金属シリサイド薄膜から形成する技術は、走査線形成後の高温プロセスにおいて、走査線における膜剥れが起きてしまう等の理由から実用化されておらず、ポリシリコン薄膜から、走査線及び容量線は通常形成される。このポリシリコン薄膜からなる配線の抵抗は

50

、例えば、金属薄膜からなる配線の抵抗と比較して、200倍程度もあり、時定数も同程度に大きい。従って、ポリシリコン薄膜からなる走査線及び容量線の電気抵抗の低抵抗化が特に望まれる。

【0005】

同様に、画像信号線は、液晶印加電圧を規定する画像信号そのものを供給する信号線であるが故に、その電気抵抗や時定数が低いことが、画質劣化を防ぐ上で極めて重要となる。このため、TFTアクティブマトリクス型液晶装置における薄膜のうち最も低抵抗であり、通常はデータ線を形成するのに用いられるアルミニウム等の金属薄膜から画像信号線は形成される。

【0006】

周辺回路内蔵型の液晶装置では、画像信号線が一本であれば、基板端部に設けられた外部入力端子からサンプリング回路の各サンプリングスイッチに至るまで、基板上の同一層レベルにある（即ち、同一工程により形成される）金属薄膜により配線することが可能である。しかし、例えば液晶装置における高周波駆動に対応すべく相展開された画像信号に対し相展開数に応じて画像信号線が複数本必要となる場合や、RGBのカラー画像信号に対し色別に画像信号線が複数本必要となる場合などには、各サンプリングスイッチに至る間に、少なくとも一本の画像信号線が他の画像信号線とどこかで交差せねば配線できないことになる。即ち、同一層レベルにある金属薄膜のみを用いて複数の画像信号線の全てを配線することは不可能となる。このため、当該金属薄膜に対し層間絶縁膜を介して別層レベルにあるポリシリコン膜を中継配線として用いて対処している。より具体的には、交差する箇所では、一方の配線を、金属薄膜からなる第1配線部（主配線）として構成する。そして、他方の配線を、層間絶縁膜を介して第1配線部の下又は上を立体的に交差させるように、交差する箇所の前後に開孔されたコンタクトホールを介して金属薄膜からなる配線部分に電氣的接続されたポリシリコン薄膜からなる第2配線部（中継配線）として構成する。このように交差する箇所だけをポリシリコン薄膜からなる中継配線とし、それ以外の箇所を該中継配線により中継される金属薄膜からなる主配線とすれば、ポリシリコン薄膜からなる中継配線の長さは、非常に短くて済むため、当該ポリシリコン薄膜からなる中継配線の存在による画像信号線全体の抵抗や時定数の上昇が実用上問題となることは殆ど無い。

【0007】

【発明が解決しようとする課題】

上述したように、ポリシリコン薄膜からなる走査線及び容量線の電気抵抗は、金属薄膜からなる配線の抵抗と比較して高いので、電気抵抗の低抵抗化が特に望まれている。

【0008】

また、近時の画質向上という一般的要請の下、所謂XGA方式、SXGA方式、EWS方式など液晶装置の駆動周波数は益々高くなってきており、これに伴って、相展開数も、例えば24相展開など、かなり多数に昇ってきている。しかしながら、このように多数に相展開すると、並列配置される画像信号線の数も当然に多くなり、これに応じて前述のポリシリコン薄膜を用いた中継配線の長さは長くなる。ここで、配線抵抗は長さに比例して大きくなるため、中継配線の配線抵抗は高くなり、これに起因して画像信号線の抵抗や時定数は大きくなってしまい、画質の劣化を引き起こすようになる。例えば、画像信号線の抵抗や時定数が大きくなると、カップリング容量の増大により画像信号の電位揺れが引き起こされたり、次のライン（列）に前のライン（列）用の画像信号が書込まれてゴーストやクロストークが生じたりする問題点がある。

【0009】

また仮に、シール領域や周辺領域における中継配線を、画素部では用いられない金属薄膜等から別途形成するのでは、プレーナ技術を用いた製造プロセスにおける製造効率が低下してコスト上昇を招いてしまい、周辺回路内蔵型の液晶装置の基本的利点が失われかねない。

【0010】

本発明は上述した問題点に鑑みなされたものであり、ポリシリコン薄膜からなる配線を有する電気光学装置において、ポリシリコン薄膜からなる配線の電気抵抗を低抵抗化でき、高品質の画像表示が可能な電気光学装置及びその製造方法等を提供することを課題とする。

【0011】

【課題を解決するための手段】

本発明の第1の電気光学装置は上記課題を解決するために、一对の基板間に電気光学物質が挟持されてなり、該一对の基板の一方の基板には、マトリクス状に配置された複数の画素電極と、該複数の画素電極を夫々駆動する複数の薄膜トランジスタと、該複数の薄膜トランジスタに夫々接続されており相交差する複数のデータ線及び複数の走査線とを備えており、シリコン薄膜からなる配線上に、導電性の高融点金属又はその金属シリサイドからなる膜を複数の島状に設けている。

10

また、本発明の電気光学装置は上記課題を解決するために、一对の基板間に電気光学物質が挟持されてなり、該一对の基板の一方の基板には、マトリクス状に配置された複数の画素電極と、該複数の画素電極を夫々駆動する複数の薄膜トランジスタと、該複数の薄膜トランジスタに夫々接続されており相交差する複数のデータ線及び複数の走査線と、少なくとも前記データ線に画像信号を供給するための周辺回路と、ポリシリコン膜からなる中継配線部と、前記中継配線部の上に導電性の高融点金属又はその金属シリサイドからなる膜が複数の島状領域として設けられ、前記周辺回路に対して所定種類の信号を供給するための周辺配線と、前記周辺配線の上に層間絶縁膜を介して設けられた、前記データ線を構成する第1導電膜からなる主配線部と、を備え、

20

前記主配線部と前記中継配線部とを電氣的に接続するコンタクトホールが前記島状領域内の前記層間絶縁膜に設けられていることを特徴とする。

また、本発明の電気光学装置の製造方法は上記課題を解決するために、一对の基板間に電気光学物質が挟持されてなり、該一对の基板の一方の基板には、マトリクス状に配置された複数の画素電極と、該複数の画素電極を夫々駆動する複数の薄膜トランジスタと、該複数の薄膜トランジスタに夫々接続されており相交差する複数のデータ線及び複数の走査線とを備えた電気光学装置の製造方法において、ポリシリコン膜からなる配線上に、導電性の高融点金属又はその金属シリサイドからなる膜を複数の島状領域として設ける工程と、前記高融点金属又はその金属シリサイドからなる膜の上に層間絶縁膜を形成する工程と、前記島状領域内において、前記層間絶縁膜にコンタクトホールを開孔する工程と、を有することを特徴とする。

30

【0012】

本発明の第1の電気光学装置によれば、シリコン薄膜からなる配線上に、導電性の高融点金属又はその金属シリサイドからなる膜を島状に設けることで、シリコン薄膜からなる配線と下地膜とのストレス、応力を緩和させると同時に配線の低抵抗化を図れる。尚、島状でなく、配線上の全面に連続的に高融点金属等の膜を付けると、高融点金属等の密着性が悪い。

【0013】

本発明の第1の電気光学装置の一の態様では、前記画素電極に接続された蓄積容量と、該蓄積容量の容量線を更に備えており、前記走査線及び容量線はポリシリコン薄膜からなり、該ポリシリコン薄膜からなる走査線及び容量線のうちの少なくともいずれか一方の配線上に、導電性の高融点金属又はその金属シリサイドからなる膜を島状に設けている。

40

【0014】

この態様によれば、ポリシリコン薄膜からなる走査線や容量線の低抵抗化が図れる。尚、走査線及び容量線の両方に高融点金属等の膜を島状に設けることが好ましい。また、ポリシリコン薄膜からなるデータ線を有する電気光学装置の場合には、データ線上に高融点金属等からなる膜を島状に設けることが可能であることは言うまでもない。

【0015】

本発明の第2の電気光学装置は上記課題を解決するために、一对の基板間に電気光学物質

50

が挟持されてなり、該一对の基板の一方の基板には、マトリクス状に配置された複数の画素電極と、該複数の画素電極を夫々駆動する複数の薄膜トランジスタと、該複数の薄膜トランジスタに夫々接続されており相交差する複数のデータ線及び複数の走査線と、少なくとも前記データ線に画像信号を供給するための周辺回路と、前記周辺回路に対して前記画像信号を含む所定種類の信号を入出力するための周辺配線とを備えており、前記周辺配線は、前記データ線を構成する第1導電膜からなる主配線部と、前記走査線を構成する第2導電膜からなる中継配線部とを有し、前記第2導電膜からなる中継配線部の上に、導電性の高融点金属又はその金属シリサイドからなる膜を島状に設けている。

【0016】

本発明の第2の電気光学装置によれば、一方の基板には、サンプリング回路、データ線駆動回路等の周辺回路が備えられており、当該電気光学装置は、周辺回路内蔵型とされている。また、周辺配線は、データ線を構成する第1導電膜（例えば、アルミニウムなどのデータ線を構成する金属薄膜）からなる主配線部と、走査線を構成する第2導電膜（ポリシリコン薄膜）からなる中継配線部とを有する。ここで、第2導電膜（ポリシリコン薄膜）からなる中継配線部の上に、導電性の高融点金属又はその金属シリサイドからなる膜を島状に設けると、第2導電膜（ポリシリコン薄膜）からなる中継配線の低抵抗化を図ることが出来、周辺配線における低抵抗化を図ることが出来る。

10

【0017】

この結果、低抵抗の周辺配線により、周辺回路における画像信号等の各種の信号の入出力が行われるため、電気光学装置の駆動周波数を高めたり、更に相展開数やパラレル入力される画像信号数を増加させたりしても、前述した従来例の如き画像信号線等の周辺配線における容量カップリングによる電位揺れ、ゴースト、クロストークなどは低減され、高品位の画像表示が行える。

20

【0018】

尚、電気光学装置を構成する複数の薄膜層のうち、データ線を構成する第1導電膜（金属薄膜）や、走査線を構成する第2導電膜（ポリシリコン薄膜）以外に、他の金属薄膜や他のポリシリコン薄膜が存在する場合には、これらの他の薄膜を第1導電膜や第2導電膜として利用できることは言うまでもない。

【0019】

本発明の第1及び第2の電気光学装置の一の態様では、前記導電性の高融点金属又はその金属シリサイドとして、W（タングステン）、Ti（チタン）、Cr（クロム）、Ta（タンタル）、Mo（モリブデン）及びPb（鉛）などのうちの少なくとも一つを含む金属単体もしくは合金又はこれらの金属シリサイドなどを用いる。

30

【0020】

これらの高融点金属やその金属シリサイドは、ポリシリコン薄膜からなる配線と下地膜とのストレス、応力を緩和させ、配線の低抵抗化を図るために、特に適する。

【0021】

本発明の第1の電気光学装置の製造方法は上記課題を解決するために、一对の基板間に電気光学物質が挟持されてなり、該一对の基板の一方の基板には、マトリクス状に配置された複数の画素電極と、該複数の画素電極を夫々駆動する複数の薄膜トランジスタと、該複数の薄膜トランジスタに夫々接続されており相交差する複数のデータ線及び複数の走査線と、前記画素電極に接続された蓄積容量と、該蓄積容量の容量線とを備えた電気光学装置の製造方法において、ポリシリコン薄膜からなる配線上に、導電性の高融点金属又はその金属シリサイドからなる膜を島状に設ける工程を有する。

40

【0022】

本発明の第1の電気光学装置の製造方法によれば、ポリシリコン薄膜からなる配線（例えば、走査線、容量線や、周辺の中継配線など）上に、導電性の高融点金属又はその金属シリサイドからなる膜を島状に設けることができる。この場合、同一層上にある走査線、容量線及び周辺の中継配線をポリシリコン薄膜から同時に形成した後、これらの配線上に導電性の高融点金属又はその金属シリサイドからなる膜を島状に同時に設けることができる

50

。或いは、ポリシリコン薄膜と導電性の高融点金属又はその金属シリサイドからなる膜とを積層して形成した後、この積層膜を同時にパターニングすれば、工程数の増加を回避できる。

【0023】

本発明の電子機器は、上記本発明の電気光学装置を備える。したがって、製造効率が高く高品位の画像表示が可能な電気光学装置を備えた各種の電子機器を実現できる。

【0024】

本発明の半導体装置は、少なくともポリシリコン薄膜からなる配線を備えており、該ポリシリコン薄膜からなる配線上に、導電性の高融点金属又はその金属シリサイドからなる膜を島状に設けている。

10

【0025】

本発明の半導体装置によれば、ポリシリコン薄膜からなる配線上に、導電性の高融点金属又はその金属シリサイドからなる膜を島状に設けることで、ポリシリコン薄膜からなる配線と下地膜とのストレス、応力を緩和させると同時に配線の低抵抗化を図れる。

【0026】

本発明のこのような作用及び他の利得は次に説明する実施の形態から明らかにする。

【0027】

【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて説明する。尚、本発明の実施の形態では電気光学装置として液晶装置を例として説明する。

20

【0028】

(液晶装置の構成及び動作)

本発明による液晶装置の実施の形態の構成及び動作について、図1から図10を参照して説明する。

【0029】

先ず、液晶装置の回路構成について図1のブロック図を参照して説明する。

【0030】

図1は、液晶装置のTFTアレイ基板上において画像表示領域を構成するマトリクス状に形成された複数の画素における各種素子、配線等の等価回路及び画像表示領域の周辺に位置する周辺回路を示している。

30

【0031】

図1において、本実施の形態による液晶装置の画像表示領域を構成するマトリクス状に形成された複数の画素は、画素電極9aを制御するためのTFT30がマトリクス状に複数形成されており、画像信号が供給されるデータ線6aが当該TFT30のソースに電気的に接続されている。データ線6aに書き込む画像信号S1、S2、...、Snは、この順に線順次に供給しても構わないが、本実施の形態では特に、画像信号S1、S2、...、Snは、N(但し、Nは2以上の自然数)相展開され、N本の画像信号線115から相隣接するN本のデータ線6a同士に対してグループ毎に供給するように構成されている。

【0032】

また、TFT30のゲートに走査線3aが電気的に接続されており、所定のタイミングで、走査線3aにパルス的に走査信号G1、G2、...、Gmを、この順に線順次で印加するように構成されている。画素電極9aは、TFT30のドレインに電気的に接続されており、スイッチング素子であるTFT30を一定期間だけそのスイッチを閉じることにより、データ線6aから供給される画像信号S1、S2、...、Snを所定のタイミングで書き込む。画素電極9aを介して電気光学物質としての液晶に書き込まれた所定レベルの画像信号S1、S2、...、Snは、対向基板(後述する)に形成された対向電極(後述する)との間で一定期間保持される。液晶は、印加される電圧レベルにより分子集合の配向や秩序が変化することにより、光を変調し、階調表示を可能にする。ノーマリーホワイトモードであれば、印加された電圧に応じて入射光がこの液晶部分を通過不可能とされ、ノーマリーブラックモードであれば、印加された電圧に応じて入射光がこの液晶部分を通過可能

40

50

とされ、全体として液晶装置からは画像信号に応じたコントラストを持つ光が出射する。ここで、保持された画像信号がリークするのを防ぐために、画素電極 9 a と対向電極との間に形成される液晶容量と並列に蓄積容量 7 0 を付加する。例えば、画素電極 9 a の電圧は、ソース電圧が印加された時間よりも 3 桁も長い時間だけ蓄積容量 7 0 により保持される。これにより、保持特性は更に改善され、コントラスト比の高い液晶装置が実現できる。尚、蓄積容量 7 0 を形成する方法としては、容量を形成するための配線である容量線 3 b を設けても良いし、前段の走査線 3 a との間で容量を形成しても良いことは言うまでもない。

【 0 0 3 3 】

ここで特に本実施の形態では、後に詳述するように走査線 3 a 及び容量線 3 b 上に島状に形成した W (タングステン)、Ti (チタン)、Cr (クロム)、Ta (タンタル)、Mo (モリブデン) 及び Pb (鉛) のうちの少なくとも一つを含む金属単体もしくは合金又はこれらの金属シリサイド (以下、適宜高融点金属等という) により、これらの配線の低抵抗化図られているため、液晶装置の画質の向上が図られる。

10

【 0 0 3 4 】

図 1 において、液晶装置は、上述のようにデータ線 6 a、走査線 3 a 等が形成された TFT アレイ基板上における画像表示領域の周囲に、周辺回路の例として、データ線 6 a を駆動するデータ線駆動回路 1 0 1、走査線 3 a を駆動する走査線駆動回路 1 0 4 及び画像信号をサンプリングするサンプリング回路 1 0 3 を備えている。更に、画像表示領域の周囲には、周辺配線の一例として、外部入力端子から上述の如き N 相展開された画像信号 S 1、S 2、...、S n を供給するための N 本の画像信号線 1 1 5 が配線されている。

20

【 0 0 3 5 】

画像信号線 1 1 5 には、図示しない制御回路から外部入力端子を介して N 相展開された画像信号 S 1、S 2、...、S n が供給される。この相展開数 (N) としては、例えば、当該サンプリング回路 1 0 3 におけるサンプリング能力が相対的に高ければ、3 相展開、6 相展開等で足りるし、サンプリング能力が相対的に低ければ、1 2 相展開、2 4 相展開等が好ましい。

【 0 0 3 6 】

ここで特に本実施の形態では、後に詳述するように相展開数 (N) 即ち画像信号線 1 1 5 の本数 (N) に応じて長くなる (各画像信号線 1 1 5 から、画像表示領域により近い側にある他の画像信号線 1 1 5 の下方を交差する配線部) の低抵抗化が島状に形成した高融点金属等により図られているため、画像信号に対する配線抵抗や配線時定数の上昇を効果的に抑えつつ、相展開数 (N) (画像信号線 1 1 5 の本数) を増やすことが出来、よって画質を劣化させることなく液晶装置の駆動周波数を高められる。尚、この相展開数 (N) としては、カラー画像信号が 3 つの色 (赤、青、黄) に係る信号からなることとの関係から、3 の倍数であると、NTSC 表示や PAL 表示等のビデオ表示をする際に制御や回路を簡易化する上で好ましい。

30

【 0 0 3 7 】

上述の如き相展開を行わなくても、RGB のカラー画像信号の場合などのように複数の画像信号線を設ける場合には、以下に説明する本実施の形態における低抵抗化された中継配線等に係る構造は有効である。また、相展開回路の代わりにシリアル-パラレル変換回路を用いることもできる。

40

【 0 0 3 8 】

更に本実施の形態では、後に詳述するようにデータ線駆動回路 1 0 1 からサンプリング回路 1 0 3 に至るサンプリング回路駆動信号線 1 1 4 の低抵抗化も図ることが可能である。

【 0 0 3 9 】

データ線駆動回路 1 0 1 は、走査線駆動回路 1 0 4 がパルスの的に走査線 3 a に順番にゲート電圧を送るのに合わせて、サンプリング回路駆動信号線 1 1 4 を介してサンプリング回路駆動信号をサンプリング回路 1 0 3 を構成する各サンプリングスイッチ 1 0 3 a の制御端子に供給する。サンプリング回路 1 0 3 は、このサンプリング回路駆動信号に応じて、

50

画像信号線 115 上の画像信号をサンプリングして、データ線 6 a に供給する。

【0040】

尚、サンプリング回路 103 を構成する各サンプリングスイッチ 103 a は、製造効率等の観点から好ましくは、画素部における T F T 30 と同一製造プロセスにより製造可能な n チャンネル型、p チャンネル型、相補型等の T F T から構成される。

【0041】

次に、液晶装置の画像表示領域内における画素部の構成について図 2 及び図 3 を参照して説明する。図 2 は、データ線、走査線、画素電極、遮光膜等が形成された T F T アレイ基板の相隣接する複数の画素群の平面図であり、図 3 は、図 2 の A - A' 断面図である。尚、図 3 においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめてある。

10

【0042】

図 2 において、液晶装置の T F T アレイ基板には、マトリクス状に複数の透明な画素電極 9 a (点線部 9 a' により輪郭が示されている) が設けられており、画素電極 9 a の縦横の境界に各々沿ってデータ線 6 a、走査線 3 a 及び容量線 3 b が設けられている。データ線 6 a は、コンタクトホール 5 を介してポリシリコン膜等の半導体層 1 a のうち後述のソース領域に電氣的接続されており、画素電極 9 a は、コンタクトホール 8 を介して半導体層 1 a のうち後述のドレイン領域に電氣的接続されている。また、半導体層 1 a のうち後述のチャンネル領域に対向するように走査線 3 a が配置されている。そして、図中右上がりの斜線で示した領域に画素部における第 1 遮光膜 11 a が設けられている。即ち第 1 遮光膜 11 a は、画素部において、半導体層 1 a のチャンネル領域を含む T F T を T F T アレイ基板の側から見て各々覆う位置に設けられている。尚、第 1 遮光膜 11 a は、半導体層 1 a のチャンネル領域を覆えば、画素 T F T における光リークの防止機能は発揮されるが、第 1 遮光膜 11 a を定電位にするための配線機能を持たせるためや画素部の開口領域 (即ち、光が透過する領域) を規定するため等の理由から、第 1 遮光膜 11 a は、走査線 3 a に沿って縞状に設けられている。

20

【0043】

本実施の形態では特に、図 4 に示すように、走査線 3 a 及び容量線 3 b 上に島状に形成した高融点金属等 80 により、これらの配線の低抵抗化図られている。

【0044】

図 3 に示すように、液晶装置は、透明な一方の基板の一例を構成する T F T アレイ基板 10 と、これに対向配置される透明な他方の基板の一例を構成する対向基板 20 とを備えている。T F T アレイ基板 10 は、例えば石英基板からなり、対向基板 20 は、例えばガラス基板や石英基板からなる。T F T アレイ基板 10 には、画素電極 9 a が設けられており、その上側には、ラビング処理等の所定の配向処理が施された配向膜 16 が設けられている。画素電極 9 a は例えば、I T O 膜 (インジウム・ティン・オキサイド膜) などの透明導電性薄膜からなる。また配向膜 16 は例えば、ポリイミド薄膜などの有機薄膜からなる。

30

【0045】

他方、対向基板 20 には、その全面に渡って対向電極 (共通電極) 21 が設けられており、その下側には、ラビング処理等の所定の配向処理が施された配向膜 22 が設けられている。対向電極 21 は例えば、I T O 膜などの透明導電性薄膜からなる。また配向膜 22 は、ポリイミド薄膜などの有機薄膜からなる。

40

【0046】

T F T アレイ基板 10 には、図 3 に示すように、各画素電極 9 a に隣接する位置に、各画素電極 9 a をスイッチング制御する画素スイッチング用 T F T 30 が設けられている。

【0047】

対向基板 20 には、更に図 3 に示すように、各画素の開口領域以外の領域に第 2 遮光膜 23 が設けられている。このため、対向基板 20 の側から入射光が画素スイッチング用 T F T 30 の半導体層 1 a のチャンネル領域 1 a' や L D D (Lightly Doped Drain) 領域 1 b 及

50

び1cに侵入することはない。更に、第2遮光膜23は、コントラストの向上、色材の混色防止などの機能を有する。

【0048】

このように構成され、画素電極9aと対向電極21とが対面するように配置されたTFTアレイ基板10と対向基板20との間には、後述のシール材52(図6及び図7並びに図15及び図16参照)により囲まれた空間に液晶が封入され、液晶層50が形成される。液晶層50は、画素電極9aからの電界が印加されていない状態で配向膜16及び22(図3参照)により所定の配向状態を採る。液晶層50は、例えば一種又は数種類のネマティック液晶を混合した液晶からなる。シール材52は、二つの基板10及び20をそれらの周辺で貼り合わせるための、例えば光硬化性樹脂や熱硬化性樹脂からなる接着剤であり、両基板間の距離を所定値とするためのグラスファイバー或いはガラスビーズ等のスペーサが混入されている。

10

【0049】

図3に示すように、画素スイッチング用TFT30に各々対向する位置においてTFTアレイ基板10と各画素スイッチング用TFT30の間には、第1遮光膜11aが各々設けられている。第1遮光膜11aは、好ましくは不透明な高融点金属であるTi、Cr、W、Ta、Mo及びPbのうちの少なくとも一つを含む、金属単体、合金、金属シリサイド等から構成される。このような材料から構成すれば、TFTアレイ基板10上の第1遮光膜11aの形成工程の後に行われる画素スイッチング用TFT30の形成工程における高温処理により、第1遮光膜11aが破壊されたり溶融しないようにできる。第1遮光膜11aが形成されているので、TFTアレイ基板10の側からの戻り光等が画素スイッチング用TFT30のチャンネル領域1a'やLDD領域1b、1cに入射する事態を未然に防ぐことができ、光電流の発生により画素スイッチング用TFT30の特性が劣化することはない。

20

【0050】

更に、第1遮光膜11aと複数の画素スイッチング用TFT30の間には、第1層間絶縁膜12が設けられている。第1層間絶縁膜12は、画素スイッチング用TFT30を構成する半導体層1aを第1遮光膜11aから電氣的絶縁するために設けられるものである。更に、第1層間絶縁膜12は、TFTアレイ基板10の全面に形成されることにより、画素スイッチング用TFT30のための下地膜としての機能をも有する。即ち、TFTアレイ基板10の表面の研磨時における荒れや、洗浄後に残る汚れ等で画素スイッチング用TFT30の特性の劣化を防止する機能を有する。第1層間絶縁膜12は、例えば、NSG(ノンシリケートガラス)、PSG(リンシリケートガラス)、BSG(ボロンシリケートガラス)、BPSG(ボロンリンシリケートガラス)などの高絶縁性ガラス又は、酸化シリコン膜、窒化シリコン膜等からなる。第1層間絶縁膜12により、第1遮光膜11aが画素スイッチング用TFT30等を汚染する事態を未然に防ぐこともできる。

30

【0051】

本実施の形態では、ゲート電極3aと半導体層1aとの間に設けるゲート絶縁膜2を、ゲート電極3aに対向する位置から延設して誘電体膜として用い、半導体層1aを延設して第1蓄積容量電極1fとし、更にこれらに対向する容量線3bの一部を第2蓄積容量電極とすることにより、蓄積容量70が構成されている。より詳細には、半導体層1aの高濃度ドレイン領域1eが、データ線6a及び走査線3aの下に延設されて、同じくデータ線6a及び走査線3aに沿って延びる容量線3b部分に絶縁膜2を介して対向配置されて、第1蓄積容量電極1fとされている。特に蓄積容量70の誘電体としての絶縁膜2は、高温酸化によりポリシリコン膜上に形成されるTFT30のゲート絶縁膜2に他ならないので、薄く且つ高耐圧の絶縁膜とすることができ、蓄積容量70は比較的小面積で大容量の蓄積容量として構成できる。

40

【0052】

本実施の形態では特に、図5に示すように、走査線3a及び容量線3bを構成する配線上に島状に形成した高融点金属等80により、これらの配線の低抵抗化図られているため、

50

液晶装置の画質の向上が図られる。

【0053】

図3において、画素スイッチング用TFT30は、LDD(Lightly Doped Drain)構造を有しており、走査線3a(ゲート電極)、走査線3aからの電界によりチャンネルが形成される半導体層1aのチャンネル領域1a'、走査線3aと半導体層1aとを絶縁するゲート絶縁膜2、データ線6a(ソース電極)、半導体層1aの低濃度ソース領域(ソース側LDD領域)1b及び低濃度ドレイン領域(ドレイン側LDD領域)1c、半導体層1aの高濃度ソース領域1d並びに高濃度ドレイン領域1eを備えている。高濃度ドレイン領域1eには、複数の画素電極9aのうちの対応する一つが接続されている。ソース領域1b及び1d並びにドレイン領域1c及び1eは後述のように、半導体層1aに対し、n型又はp型のチャンネルを形成するかに応じて所定濃度のn型用又はp型用のドーパントをドーピングすることにより形成されている。n型チャンネルのTFTは、動作速度が速いという利点があり、画素のスイッチング素子である画素スイッチング用TFT30として用いられることが多い。本実施の形態ではデータ線6aは、Al等の金属膜や金属シリサイド等の合金膜などの遮光性の薄膜から構成されている。また、走査線3a、ゲート絶縁膜2及び第1層間絶縁膜12の上には第2層間絶縁膜4が形成されており、この第2層間絶縁膜4及びゲート絶縁膜2には高濃度ソース領域1dへ通じるコンタクトホール5及び高濃度ドレイン領域1eへ通じるコンタクトホール8が各々形成されている。この高濃度ソース領域1dへのコンタクトホール5を介して、データ線6aは高濃度ソース領域1dに電気的接続されている。更に、データ線6a及び第2層間絶縁膜4の上には、高濃度ドレイン領域1eへのコンタクトホール8が形成された第3層間絶縁膜7が形成されている。この高濃度ドレイン領域1eへのコンタクトホール8を介して、画素電極9aは高濃度ドレイン領域1eに電気的接続されている。前述の画素電極9aは、このように構成された第3層間絶縁膜7の上面に設けられている。

【0054】

画素スイッチング用TFT30は、好ましくは上述のようにLDD構造を持つが、低濃度ソース領域1b及び低濃度ドレイン領域1cに不純物イオンの打ち込みを行わないオフセット構造を持ってよいし、ゲート電極3aをマスクとして高濃度で不純物イオンを打ち込み、自己整合的に高濃度ソース及びドレイン領域を形成するセルフアライン型のTFTであってもよい。

【0055】

また本実施の形態では、画素スイッチング用TFT30のゲート電極(走査線3a)をソース-ドレイン領域1d及び1e間に1個のみ配置したシングルゲート構造としたが、これらの間に2個以上のゲート電極を配置してもよい。この際、各々のゲート電極には同一の信号が印加されるようにする。このようにデュアルゲート(ダブルゲート)或いはトリプルゲート以上でTFTを構成すれば、チャンネルとソース-ドレイン領域接合部のリーク電流を防止でき、オフ時の電流を低減することができる。これらのゲート電極の少なくとも1個をLDD構造或いはオフセット構造にすれば、更にオフ電流を低減でき、安定したスイッチング素子を得ることができる。

【0056】

ここで、一般には、半導体層1aのチャンネル領域1a'、低濃度ソース領域1b及び低濃度ドレイン領域1c等のポリシリコン層は、光が入射するとポリシリコンが有する光電変換効果により光電流が発生してしまい画素スイッチング用TFT30のトランジスタ特性が劣化するが、本実施の形態では、走査線3aを上側から重なるようにデータ線6aがAl等の遮光性の金属薄膜から形成されているので、少なくとも半導体層1aのチャンネル領域1a'及びLDD領域1b、1cへの入射光の入射を効果的に防ぐことが出来る。また、前述のように、画素スイッチング用TFT30の下側には、第1遮光膜11aが設けられているので、少なくとも半導体層1aのチャンネル領域1a'及びLDD領域1b、1cへの戻り光の入射を効果的に防ぐことが出来る。

【0057】

尚、本実施の形態では特に、遮光膜 11a は定電位源に電氣的接続されており、第 1 遮光膜 11a は、定電位とされる。従って、第 1 遮光膜 11a に対向配置される画素スイッチング用 TFT 30 に対し第 1 遮光膜 11a の電位変動が悪影響を及ぼすことはない。この場合、定電位源としては、当該液晶装置を駆動するための周辺回路（例えば、走査線駆動回路、データ線駆動回路、サンプリング回路等）に供給される負電源、正電源等の定電位源、接地電源、対向電極 21 に供給される定電位源等が挙げられるが、本実施の形態では、第 1 遮光膜 11a は走査線駆動回路の負電源に接続されるものとする。このように周辺回路等の電源を利用すれば、専用の電位配線や外部入力端子を設ける必要なく、第 1 遮光膜 11a を定電位にできる。第 1 層間絶縁膜 12 が十分に厚い場合は、第 1 遮光膜を各画素単位毎に島状に形成し、電氣的にフローティングになるように構成してもよい。

10

【0058】

次に、液晶装置の周辺回路における入出力配線或いは周辺配線について、図 6 から図 9 を参照して説明する。

【0059】

図 6 は、周辺配線が設けられた TFT アレイ基板の部分平面図であり、図 7 は、図 6 の中継配線及び引き出し配線部を拡大して示す拡大平面図であり、図 8 は、図 6 及び図 7 の B - B' 断面図であり、図 9 は、図 6 及び図 7 の D - D' 断面図である。

【0060】

図 6 において、TFT 基板アレイ基板 10 の周辺部に設けられた実装端子 102 からは、走査線駆動回路 104 に走査線駆動信号線 105a が配線されており、データ線駆動回路 101 と液晶を封入するシール材 52 が配置されたシール領域との間の領域に、走査線に沿った方向に複数の画像信号線 115 が配線されている。

20

【0061】

そして、図 6 及び図 7 に示すように、サンプリング回路 103 は、シール領域よりも内側において、画像表示領域と該画像表示領域外とを仕切るとして対向基板 20 上に設けられた周辺見切りとしての第 3 遮光膜 53（図中、右上がりの斜線領域）下に配置されている。また、データ線 6a の延長線上におけるシール領域下には、データ線駆動回路 101 からのサンプリング回路駆動信号線 114 の引き出し配線 301a 及び画像信号線 115 からの引き出し配線 301b を含む引き出し配線 301 が設けられている。他方、走査線 3a の延長線上におけるシール領域下には、走査線駆動回路 104 からの走査線の引き出し配線 402 が設けられている。引き出し配線 402 は、その端部に対向電極（共通電極）電位配線 112 を含んでいる。この対向電極電位配線 112 は、上下導通端子 106a 及び上下導通材 106 を介して対向基板 20 に形成された対向電極 21（図 3 参照）に接続されている。また、データ線駆動回路 101 に所定検査用の信号を入力するための検査端子 111 を、データ線駆動回路 101 に隣接して設けても良い。

30

【0062】

図 8 の B - B' 断面図に示すように、周辺配線の一例たる画像信号線 115 は、データ線 6a を形成するのと同じ工程で形成される A1 等の金属膜（第 1 導電膜）単独から一重配線として形成されている。他方、周辺配線の他の例たる画像信号線 115 から引き出し配線 301b に至る中継配線 116 は、走査線 3a を形成するポリシリコン膜と同一膜から形成されておりコンタクトホール 305 を介して対応する画像信号線 115 に電氣的接続された第 2 導電膜 116a からなる。そして、このポリシリコン膜からなる中継配線 116 上には、高融点金属等 80 が島状に形成されており、この高融点金属等 80 により中継配線 116 の低抵抗化が図られる。同様に、引き出し配線 301b についても、引き出し配線 301b を更に低抵抗化するため、コンタクトホールを介してポリシリコン膜からなる配線と接続（二重配線）すると共に、このポリシリコン膜からなる配線上に高融点金属等 80 を島状に形成してもよい。

40

【0063】

このように中継配線 116 の低抵抗化を図ることで、液晶装置を前述のように XGA、SXGA、EWS 等の駆動周波数の高い機種として構成して、相展開数（N）や画像信号線

50

115の本数(N)を増加させても、中継配線116を含む画像信号線115の時定数が小さくなり、電位揺れ、クロストーク、ゴースト等の発生を低減できる。

【0064】

一方、図6及び図7において、画像信号線115は第2層間絶縁膜4上に形成されたA1膜から構成されているため、これと交差するデータ線駆動回路101から引き出し配線301(301a)に至るサンプリング回路駆動信号線114についても、図8に示した中継配線116の場合と同様に、A1膜から構成することはできない。このため、画像信号線115の下層を通る図9の如き立体的な中継配線がサンプリング回路駆動信号線用に必要となる。また、中継配線はできる限り時定数を下げる工夫が必要である。

【0065】

図9において、中継配線116dは、走査線3aと同一のポリシリコン膜から構成されており、画像信号線115と交差するように第2層間絶縁膜4の下を通されている。そして、図9で画像信号線115の両側において第2層間絶縁膜4に開孔されたコンタクトホールを介してデータ線駆動回路101側のサンプリング回路駆動信号線114とシール領域側の引き出し配線301a(図7参照)とを夫々電気的接続するように構成されている。そして、図8と同様に、ポリシリコン膜からなる中継配線116d上に高融点金属等80を島状に形成することで、中継配線116dの低抵抗化を図ることができる。

【0066】

また、図6及び図7に示したサンプリング回路駆動信号線114は、図8に示した引き出し配線301bと同様に、サンプリング回路駆動信号線114を更に低抵抗化するため、コンタクトホールを介してポリシリコン膜からなる配線と接続(二重配線)すると共に、このポリシリコン膜からなる配線上に高融点金属等80を島状に形成してもよい。このように構成すれば、サンプリング回路駆動信号線114の抵抗や時定数の増加を抑えることができ、高周波数駆動に適用できる。

【0067】

本実施の形態では、図8のB-B'断面図に示す構造の代わりに、図10のB-B'断面図に示す構造としてもよい。図10において、周辺配線の一例たる画像信号線115は、データ線6aを形成するのと同工程で形成されるA1等の金属膜(第1導電膜)単独から一重配線として形成されている。他方、周辺配線の他の例たる画像信号線115から引き出し配線301bに至る中継配線116は、走査線3aを形成するポリシリコン膜と同一膜から形成されておりコンタクトホール305を介して対応する画像信号線115に電気的接続された第2導電膜116a、及び第1遮光膜11aと同一膜から形成されておりコンタクトホール305を介して中継配線116aに電気的接続された第3導電膜116bにより、TFTE基板の厚み方向に二重に配線された二重配線構造を有する。また、引き出し配線301bを更に低抵抗化するため、第2導電膜116a'及び第3導電膜116b'を設け、コンタクトホールを介して引き出し配線301bに電気的に接続しても良い。更に、図8と同様に中継配線116a上には高融点金属等80が島状に形成してある。

【0068】

図10に示す態様では、ポリシリコン膜等からなる第2導電膜116a及びその上に島状に形成された高融点金属等80に加え、導電性の第1遮光膜と同一膜から形成される第3導電膜116bが中継配線を構成し、この二重配線構造を有する中継配線116によって、中継配線の抵抗がより低減される。より具体的には、第1遮光膜は、W、Ti、Cr、Ta、Mo及びPbなどを含む導電性の高融点金属膜から形成されているので、中継配線116における配線に沿った方向の抵抗を、第1遮光膜のシート抵抗により支配できる。即ち、ポリシリコン膜は、例えば膜厚が3000オングストロームの場合、25 / 程度のシート抵抗値を持つため、対角1.3インチや0.9インチ程度の小型の液晶装置の場合には、100~200K程度の抵抗を有し、例えば、十数μ秒程度の配線時定数を有するが、第1遮光膜の低シート抵抗により、この配線時定数を数μ秒程度にまで小さくすることが可能となる。従って、画像信号線115の下を交差して配線された中継配線1

10

20

30

40

50

1 6 と画像信号線 1 1 5 との容量カップリングにより、両配線における電位揺れ、クロストーク、ゴースト等の発生を低減できる。そして、特に当該液晶装置を前述のように X G A、S X G A、E W S 等の駆動周波数の高い機種として構成して、相展開数 (N) や画像信号線 1 1 5 の本数 (N) を増加させても、中継配線 1 1 6 を含む画像信号線 1 1 5 の時定数が十分に小さいため、やはり電位揺れ、クロストーク、ゴースト等の発生を低減できる。

【 0 0 6 9 】

これに加えて図 1 0 から分かるように、異物等により第 2 導電膜 1 1 6 a 及び第 3 導電膜 1 1 6 b の一方が途中で断線しても、他方で導通がとれるという冗長構造が実現されている。しかも、第 2 導電膜 1 1 6 a 及び第 3 導電膜 1 1 6 b が、第 1 層間絶縁膜 1 2 を突き破って相互にショートしてしまった場合にも、欠陥品とならないで済む。従って、図 1 0 に示す実施の形態によれば、不良品率が低く、信頼性の高い高品位の画像表示が可能な液晶装置を実現できる。しかも、当該中継配線 1 1 6 を構築するにあたっては、画素 T F T の遮光用の第 1 遮光膜を利用するので、本発明を実施するにあたり、後述の製造プロセスにおける製造効率を殆ど害することがない。

10

【 0 0 7 0 】

更に図 1 0 に示すように、シール領域下におけるデータ線 6 a の引き出し配線部 3 0 1 b は、第 2 導電膜 1 1 6 a ' 及び第 3 導電膜 1 1 6 b ' が冗長配線として設けられており、三重配線構造を有する。従って、極めて低抵抗の配線とされており、しかも図 7 に示したようにコンタクトホール 3 0 5 によりシール領域下において複数箇所でも相互に電氣的接続されており冗長度が増している。これらの結果、引き出し配線 3 0 1 b の信頼性は非常に高い。尚、第 3 導電膜 1 1 6 b のから延設された配線を引き出し配線 3 0 1 b の冗長配線とする二重配線構造を採用しても、同傾向の効果が得られる。また、サンプリング回路駆動信号線 1 1 4 の引き出し配線 3 0 1 a も同様に、二重或いは三重の配線構造を有するように構成してもよい。

20

【 0 0 7 1 】

本実施の形態においては、図 6 に示した走査線の引き出し配線 4 0 2 は各々、走査線に沿った方向に延びており、相隣接する配線同士は間隔をおいて配列されている。そして、引き出し配線 4 0 2 は、走査線 3 a と同じポリシリコン膜から構成されており、各引き出し配線 4 0 2 の上には、データ線 6 a と同じ A 1 膜から構成されたダミー配線が設けられている。尚、走査線 3 a の引き出し配線 4 0 2 についての抵抗は通常問題とならないが、上述したデータ線 6 a の引き出し配線 3 0 1 の場合と同様に、走査線 3 a の引き出し配線 4 0 2 を、二重或いは三重以上の配線構造を有するように構成してもよい。

30

【 0 0 7 2 】

従って、シール領域には、液晶層 5 0 の周囲に渡って T F T アレイ基板 1 0 の厚み方向に第 1 遮光膜、ポリシリコン膜及び A 1 膜並びに第 1 層間絶縁膜 1 2、第 2 層間絶縁膜 4 及び第 3 層間絶縁膜 7 を含む積層体が万遍なく形成されていることになり、画像表示領域の上下の辺におけるシール領域における第 3 層間絶縁膜 7 の表面の高さと、画像表示領域の左右の辺における第 3 層間絶縁膜 7 の表面の高さは一致するので、シール領域全体における各種薄膜を含めた両基板間のギャップのバラツキを抑えることが可能となる。従って、例えば、シール材中に所定外径をもつギャップ材を混入して液晶セルのギャップを制御する場合に、ギャップ制御をより正確且つ良好に行うことが可能となる。特にこのように構成すると、シール領域下においてギャップ材による応力を受けて引き出し配線 3 0 1 又は 4 0 2 が断線しても、或いは、T F T アレイ基板 1 0 に垂直な方向に A 1 膜が導電層が第 2 層間絶縁膜 4 を破ってポリシリコン膜にショートしても配線不良とならないで済むので有利である。

40

【 0 0 7 3 】

尚、このようなギャップ制御の目的を重視するのであれば (即ち、引き出し配線の 3 0 1 の抵抗が駆動周波数等との関係で十分に低い場合には)、図 1 0 に示したように引き出し配線 3 0 1 b に対し第 2 導電膜 1 1 6 a ' 及び第 3 導電膜 1 1 6 b ' を電氣的接続するのを

50

止めて、これらの第2導電膜116a'及び第3導電膜116b'を専ら膜厚均等化用のダミー配線として構成してもよい。

【0074】

本実施の形態では図7に示すように、シール領域において、引き出し配線301は、ストライプ状の平面パターンを備えており、夫々幅Lを有して相隣接する配線間に配線間隔Sに対応する光透過用の隙間が設けられている。従って、後述の液晶装置の製造プロセスにおいて、光硬化性樹脂からなるシール材52を用いた場合に、TFTアレイ基板10を介して光を入射すれば、この積層構造における光透過用の隙間を通してシール材52に光を十分に照射することが出来る。従って、光硬化性樹脂からなるシール材52を、両方の基板の側からの光により良好に光硬化させることが出来る。特に、このように光硬化できれば、熱硬化の場合と比べて余分な熱を液晶装置に与えなくて済むので、液晶装置の各構成要素の熱劣化を防いだり、熱歪みによる装置欠陥の発生を防いだり出来るので有利である。また、光照射の時間が少なくて済むため、配向膜16及び22(図3参照)にダメージを与えることがない。従って、液晶のティルト角が高いまま維持されるので、液晶の配向不良(ディスクリネーション)による画質劣化を防ぐことが出来る。

10

【0075】

また、図6及び図7において、周辺見切りとしての第3遮光膜53下には画像表示領域を構成する画素と同一構成を持つダミー画素が形成されている。液晶の配向不良領域等を隠すように設けられた第3遮光膜53下に表示用の画素を構成する必要は無いが、画像表示領域の縁付近の画素の特性安定化のために、このように画像表示領域の縁よりも外に所定幅だけダミー画素が設けられる。

20

【0076】

尚、第1遮光膜11aは、図2及び図6に示したように、第3遮光膜53内の画像表示領域において、走査線3aと重なるように引き回されており、画像表示領域の外側では、省スペース化等のために第3遮光膜53の下部を遮光膜配線として通過した後、コンタクトホールを介して走査線駆動回路の負電源(定電位線)に接続されている。

【0077】

以上説明したように本実施の形態では、画像信号線やサンプリング回路駆動信号線用のポリシリコン膜からなる中継配線上に、高融点金属等80を島状に形成した構成としたが、この構造の中継配線の適用箇所は、これらの画像信号線やサンプリング回路駆動信号線に限られない。例えば、データ線駆動回路、走査線駆動回路、サンプリング回路等の周辺回路内において、A1膜からなる配線同士が交差する箇所に層間絶縁膜を介して形成されるポリシリコン膜からなる中継配線などの、周辺回路内の任意の中継配線、高融点金属等80を島状に形成した構成とすることが、上述の実施の形態の場合と同様に可能である。特に、データ線駆動回路や走査線駆動回路用の中継配線の低抵抗化は、それらの回路を構成するシフトレジスタの遅延を防ぐことによる駆動の高速化を図ることができ、サンプリング回路やプリチャージ回路用の中継配線の低抵抗化は、サンプリング回路駆動信号やプリチャージ回路駆動信号のなまりを抑えることができ、画像信号の良好な書込みが可能となり、最終的には画質向上を図れる。

30

【0078】

また、各種引き出し配線を二重配線化するためのポリシリコン膜からなる配線上に、高融点金属等80を島状に形成した構成としたが、この構造の配線の適用箇所は、上述の実施の形態の場合に限られない。

40

【0079】

(液晶装置の製造プロセス)

次に、以上のような構成を持つ液晶装置の実施の形態の製造プロセスについて、図11から図14を参照して説明する。図11及び図12は、各工程におけるTFTアレイ基板側の各層を、図6と同様に図4のB-B'断面に対応させて示す工程図であり、図13及び図14は、各工程におけるTFTアレイ基板側の各層を、図3と同様に図2のA-A'断面に対応させて示す工程図である。尚、B-B'断面における製造プロセスとC-C'断面

50

における製造プロセスとは基本的に同時に並行して行われるものであるので、以下の説明も両プロセスについて並列に行う。

【0080】

図11及び図13の工程(1)に示すように、石英基板、ハードガラス等のTF Tアレイ基板10を用意する。ここで、好ましくは N_2 (窒素)等の不活性ガス雰囲気且つ約900~1300の高温でアニール処理し、後に実施される高温プロセスにおけるTF Tアレイ基板10に生じる歪みが少なくなるように前処理しておく。即ち、製造プロセスにおける最高温で高温処理される温度に合わせて、事前にTF Tアレイ基板10を同じ温度かそれ以上の温度で熱処理しておく。

【0081】

このように処理されたTF Tアレイ基板10の全面に、Ti、Cr、W、Ta、Mo及びPb等の金属や金属シリサイド等の金属合金膜を、スパッタにより、1000~5000オングストローム程度の層厚、好ましくは約2000オングストロームの層厚の遮光膜11を形成する。

【0082】

続いて、図11及び図13の工程(2)に示すように、該形成された遮光膜11上にフォトリソグラフィにより画素TF T遮光用の第1遮光膜11aのパターン(図2参照)に対応するレジストマスクを形成し、該レジストマスクを介して遮光膜11に対しエッチングを行うことにより、第1遮光膜11aを形成する。

【0083】

次に図11及び図13の工程(3)に示すように、第1遮光膜11aの上に、例えば、常圧又は減圧CVD法等によりTEOS(テトラ・エチル・オルソ・シリケート)ガス、TEB(テトラ・エチル・ボートレート)ガス、TMOP(テトラ・メチル・オキシ・フォスレート)ガス等を用いて、NSG、PSG、BSG、BPSGなどのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる第1層間絶縁膜12を形成する。この第1層間絶縁膜12の層厚は、例えば、約5000~20000オングストロームとする。

【0084】

次に図11及び図13の工程(4)に示すように、第1層間絶縁膜12の上に、約450~550、好ましくは約500の比較的低温環境中で、流量約400~600cc/minのモノシランガス、ジシランガス等を用いた減圧CVD(例えば、圧力約20~40PaのCVD)により、アモルファスシリコン膜を形成する。その後、窒素雰囲気中で、約600~700にて約1~10時間、好ましくは、4~6時間のアニール処理を施すことにより、ポリシリコン膜1を約500~2000オングストロームの厚さ、好ましくは約1000オングストロームの厚さとなるまで固相成長させる。

【0085】

この際、図3に示した画素スイッチング用TF T30として、nチャネル型の画素スイッチング用TF T30を作成する場合には、当該チャネル領域にSb(アンチモン)、As(砒素)、P(リン)などのV族元素のドーパントを僅かにイオン注入等によりドーブしても良い。また、画素スイッチング用TF T30をpチャネル型とする場合には、B(ボロン)、Ga(ガリウム)、In(インジウム)などのIII族元素のドーパントを僅かにイオン注入等によりドーブしても良い。尚、アモルファスシリコン膜を経ないで、減圧CVD法等によりポリシリコン膜1を直接形成しても良い。或いは、減圧CVD法等により堆積したポリシリコン膜にシリコンイオンを打ち込んで一旦非晶質化(アモルファス化)し、その後アニール処理等により再結晶化させてポリシリコン膜1を形成しても良い。

【0086】

次に図11及び図13の工程(5)に示すように、フォトリソグラフィ工程、エッチング工程等により、図2に示した如き所定パターンの半導体層1aを形成する。即ち、特に走査線3aに沿って容量線3bが形成される領域には、画素スイッチング用TF T30を構成する半導体層1aから延設された第1蓄積容量電極1fを形成する。

【0087】

10

20

30

40

50

次に図13の工程(6)に示すように、画素スイッチング用TF T 30を構成する半導体層1aと共に第1蓄積容量電極1fを約900~1300の温度、好ましくは約1000の温度により熱酸化することにより、約300オングストロームの比較的薄い厚さの熱酸化シリコン膜を形成し、更に減圧CVD法等により高温酸化シリコン膜(HTO膜)や窒化シリコン膜を約500オングストロームの比較的薄い厚さに堆積し、多層構造を持つ画素スイッチング用TF T 30のゲート絶縁膜2と共に容量形成用の絶縁膜2を形成する。この結果、半導体層1aの厚さは、約300~1500オングストロームの厚さ、好ましくは約350~500オングストロームの厚さとなり、ゲート絶縁膜2の厚さは、約200~1500オングストロームの厚さ、好ましくは約300~1000オングストロームの厚さとなる。このように高温熱酸化時間を短くすることにより、特に8インチ程度の大型基板を使用する場合に熱によるそりを防止することができる。但し、ポリシリコン層1を熱酸化することのみにより、単一層構造を持つ容量形成用のゲート絶縁膜2を形成してもよい。

10

【0088】

尚、工程(6)において特に限定されないが、第1蓄積容量電極1fとなる半導体層部分に、例えば、Pイオンをドーズ量約 $3 \times 10^{12} / \text{cm}^2$ でドーピングして、低抵抗化させてもよい。

【0089】

次に図11及び図13の工程(7)に示すように、減圧CVD法等によりポリシリコン層3を堆積した後、リン(P)を熱拡散し、ポリシリコン膜3を導電化する。又は、Pイオンをポリシリコン膜3の成膜と同時に導入したドーピングシリコン膜を用いてもよい。

20

【0090】

次に、図13の工程(8)に示すように、レジストマスクを用いたフォトリソグラフィ工程、エッチング工程等により、図2に示した如き所定パターンの走査線3aと共に容量線3bを形成する。

【0091】

同時に図11の工程(8)に示すように、図6及び図7に示した如き所定パターンの中継配線116aを構成する第2導電膜116a及び116a'を形成する。

【0092】

次に図11及び図13の工程(9)に示すように、図3に示した画素スイッチング用TF T 30をLDD構造を持つnチャネル型のTF Tとする場合、半導体層1aに、先ず低濃度ソース領域1b及び低濃度ドレイン領域1cを形成するために、走査線3aを拡散マスクとして、PなどのV族元素のドーパント17を低濃度で(例えば、Pイオンを $1 \sim 3 \times 10^{13} / \text{cm}^2$ のドーズ量にて)ドーピングする。これにより走査線3a下の半導体層1aはチャネル領域1a'となる。このドーパント17のドーピングにより、容量線3b及び走査線3a並びにポリシリコン膜3c(即ち、中継配線116a)も低抵抗化される。

30

【0093】

続いて、図11及び図13の工程(10)に示すように、画素スイッチング用TF T 30を構成する高濃度ソース領域1d及び高濃度ドレイン領域1eを形成するために、走査線3aよりも幅の広いマスクでレジスト層18を走査線3a上に形成した後、同じくPなどのV族元素のドーパント17'高濃度で(例えば、Pイオンを $1 \sim 3 \times 10^{15} / \text{cm}^2$ のドーズ量にて)ドーピングする。また、画素スイッチング用TF T 30をpチャネル型とする場合、半導体層1aに、低濃度ソース領域1b及び低濃度ドレイン領域1c並びに高濃度ソース領域1d及び高濃度ドレイン領域1eを形成するために、BなどのIII族元素のドーパントを用いてドーピングする。尚、例えば、低濃度のドーピングを行わずに、オフセット構造のTF Tとしてもよく、走査線3aをマスクとして、Pイオン、Bイオン等を用いたイオン注入技術によりセルフアライン型のTF Tとしてもよい。このドーパント17'のドーピングにより、容量線3b及び走査線3a並びに中継配線116aを構成する第2導電膜116a及び116a'も更に低抵抗化される。

40

【0094】

50

これらの工程と並行して、nチャネル型TFT及びpチャネル型TFTから構成される相補型構造を持つデータ線駆動回路101及び走査線駆動回路104等の周辺回路をTFTアレイ基板10上の周辺部に形成する。このように、本実施の形態において画素スイッチング用TFT30はポリシリコンTFTであるので、画素スイッチング用TFT30の形成時にほぼ同一工程で、データ線駆動回路101及び走査線駆動回路104等の周辺回路を形成することができ、製造上有利である。

【0095】

次に図12及び図14の工程(11)に示すように、画素スイッチング用TFT30における走査線3a及び容量線3b並びに第2導電膜116a及び116a'を覆うように、例えば、スパッタ法を用いて、Ti、Cr、W、Ta、Mo及びPb等の金属や金属シリサイド等からなる高融点金属膜(図示せず)を、1000~5000オングストローム程度の層厚、好ましくは約2000オングストロームの層厚で形成し、その後この高融点金属膜を、レジストマスクを介してエッチングして、走査線3a及び容量線3b並びに第2導電膜116a及び116a'上に島状の高融点金属等80を形成する。

10

【0096】

次に図12及び図14の工程(12)に示すように、画素スイッチング用TFT30における走査線3a及び容量線3b並びに第2導電膜116a及び116a'を覆うように、例えば、常圧又は減圧CVD法やTEOSガス等を用いて、NSG、PSG、BSG、BPSGなどのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる第2層間絶縁膜4を形成する。第2層間絶縁膜4の層厚は、約5000~15000オングストロームが好ましい。

20

【0097】

次に図12及び図14の工程(14)の段階で、高濃度ソース領域1d及び高濃度ドレイン領域1eを活性化するために約1000Åのアニール処理を20分程度行った後、データ線31に対するコンタクトホール5を、反応性エッチング、反応性イオンビームエッチング等のドライエッチングにより或いはウエットエッチングにより形成する。また、中継配線116aと引き出し配線301bを電氣的接続するためのコンタクトホール305b、走査線3aや容量線3bを図示しない配線と接続するためのコンタクトホール等も、コンタクトホール5と同一の工程により第2層間絶縁膜4に開孔する。この際、反応性エッチング、反応性イオンビームエッチングのような異方性エッチングにより、コンタクトホール5及び305b等を開孔した方が、開孔形状をマスク形状とほぼ同じにできるという利点がある。但し、ドライエッチングとウエットエッチングとを組み合わせると開孔すれば、これらのコンタクトホールをテーパ状にできるので、配線接続時の断線を防止できるという利点を得られる。

30

【0098】

次に図12及び図14の工程(14)に示すように、第2層間絶縁膜4の上に、スパッタ処理等により、遮光性のAl等の低抵抗金属や金属シリサイド等を金属膜6として、約1000~5000オングストロームの厚さ、好ましくは約3000オングストロームに堆積し、更に工程(15)に示すように、フォトリソグラフィ工程、エッチング工程等により、データ線6a並びに画像信号線115及び引き出し配線301bを形成する。

40

【0099】

次に図12及び図14の工程(16)に示すように、データ線6a並びに画像信号線115等の上を覆うように、例えば、常圧又は減圧CVD法やTEOSガス等を用いて、NSG、PSG、BSG、BPSGなどのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる第3層間絶縁膜7を形成する。第3層間絶縁膜7の層厚は、約5000~15000オングストロームが好ましい。

【0100】

次に図14の工程(17)の段階において、画素スイッチング用TFT30において、画素電極9aと高濃度ドレイン領域1eとを電氣的接続するためのコンタクトホール8を、反応性エッチング、反応性イオンビームエッチング等のドライエッチングにより形成する

50

。

【0101】

次に図12及び図14の工程(18)に示すように、第3層間絶縁膜7の上に、スパッタ処理等により、ITO膜等の透明導電性薄膜9を、約500~2000の厚さに堆積し、更に図12及び図14の工程(19)に示すように、フォトリソグラフィ工程、エッチング工程等により、画素電極9aを形成する。尚、当該液晶装置を反射型の液晶装置に用いる場合には、Al等の反射率の高い不透明な材料から画素電極9aを形成してもよい。

【0102】

続いて、画素電極9aの上にポリイミド系の配向膜の塗布液を塗布した後、所定のプレティルト角を持つように且つ所定方向でラビング処理を施すこと等により、配向膜16が形成される。

10

【0103】

他方、図3に示した対向基板20については、ガラス基板等が先ず用意され、第2遮光膜23及び第3遮光膜53(図6及び図7参照)が、例えば金属クロムをスパッタした後、フォトリソグラフィ工程、エッチング工程を経て形成される。尚、第2遮光膜23及び第3遮光膜53は、Cr、Ni、Alなどの金属材料の他、カーボンやTiをフォトレジストに分散した樹脂ブラックなどの材料から形成してもよい。

【0104】

その後、対向基板20の全面にスパッタ処理等により、ITO等の透明導電性薄膜を、約500~2000オングストロームの厚さに堆積することにより、対向電極21を形成する。更に、対向電極21の全面にポリイミド系の配向膜の塗布液を塗布した後、所定のプレティルト角を持つように且つ所定方向でラビング処理を施すこと等により、配向膜22が形成される。

20

【0105】

最後に、上述のように各層が形成されたTFTアレイ基板10と対向基板20とは、配向膜16及び22が対面するようにシール材により貼り合わされ、真空吸引等により、両基板間の空間に、例えば複数種類のネマティック液晶を混合してなる液晶が吸引されて、所定層厚の液晶層50が形成される。

【0106】

(液晶装置の全体構成)

以上のように構成された液晶装置の各の実施の形態の全体構成を図15及び図16を参照して説明する。尚、図15は、TFTアレイ基板10をその上に形成された各構成要素と共に対向基板20の側から見た平面図であり、図16は、対向基板20を含めて示す図16のH-H'断面図である。

30

【0107】

図15において、TFTアレイ基板10の上には、シール材52がその縁に沿って設けられており、その内側に並行して、例えば第2遮光膜23と同じ或いは異なる材料から成る周辺見切りとしての第3遮光膜53が設けられている。シール材52の外側の領域には、データ線駆動回路101及び実装端子102がTFTアレイ基板10の一辺に沿って設けられており、走査線駆動回路104が、この一辺に隣接する2辺に沿って設けられている。走査線3aに供給される走査信号遅延が問題にならないのならば、走査線駆動回路104は片側だけでも良いことは言うまでもない。また、データ線駆動回路101を画像表示領域の辺に沿って両側に配列してもよい。例えば奇数列のデータ線は画像表示領域の一方の辺に沿って配設されたデータ線駆動回路から画像信号を供給し、偶数列のデータ線は前記画像表示領域の反対側の辺に沿って配設されたデータ線駆動回路から画像信号を供給するようにしてもよい。この様にデータ線6aを櫛歯状に駆動するようにすれば、データ線駆動回路101の占有面積を拡張することができるため、複雑な回路を構成することが可能となる。更にTFTアレイ基板10の残る一辺には、画像表示領域の両側に設けられた走査線駆動回路104間をつなぐための複数の配線105が設けられている。また、対向基板20のコーナー部の少なくとも1箇所においては、TFTアレイ基板10と対向基板

40

50

20との間で電氣的導通をとるための上下導通材106が設けられている。そして、図16に示すように、図15に示したシール材52とほぼ同じ輪郭を持つ対向基板20が当該シール材52によりTFTアレイ基板10に固着されている。

【0108】

以上図1から図16を参照して説明した実施の形態における液晶装置のTFTアレイ基板10上には更に、画像信号のデータ線6aへの書込み負荷軽減のために各データ線6aについて画像信号に先行するタイミングで所定電位のプリチャージ信号を書き込むプリチャージ回路を形成してもよいし、製造途中や出荷時の当該液晶装置の品質、欠陥等を検査するための検査回路等を形成してもよい。また、データ線駆動回路101、走査線駆動回路104等の周辺回路の一部を、TFTアレイ基板10の上に設ける代わりに、例えばTAB(テープオートメテッドボンディング基板)上に実装された駆動用LSIに、TFTアレイ基板10の周辺部に設けられた異方性導電フィルムを介して電氣的及び機械的に接続するようにしてもよい。また、対向基板20の投射光が入射する側及びTFTアレイ基板10の出射光が出射する側には各々、例えば、TN(ツイステッドネマティック)モード、STN(スーパーTN)モード、D-STN(ダブル-STN)モード等の動作モードや、ノーマリーホワイトモード/ノーマリーブラックモードの別に応じて、偏光フィルム、位相差フィルム、偏光板などが所定の方向で配置される。

10

【0109】

以上説明した実施の形態における液晶装置は、カラー液晶プロジェクタに適用されるため、3枚の液晶装置がRGB用のライトバルブとして各々用いられ、各パネルには各々RGB色分解用のダイクロイックミラーを介して分解された各色の光が投射光として各々入射されることになる。従って、実施の形態では、対向基板20に、カラーフィルタは設けられていない。しかしながら、第2遮光膜23の形成されていない画素電極9aに対向する所定領域にRGBのカラーフィルタをその保護膜と共に、対向基板20上に形成してもよい。このようにすれば、液晶プロジェクタ以外の直視型や反射型のカラー液晶テレビなどのカラー液晶装置に実施の形態における液晶装置を適用できる。更に、対向基板20上に1画素1個対応するようにマイクロレンズを形成してもよい。このようにすれば、入射光の集光効率を向上することで、明るい液晶装置が実現できる。更にまた、対向基板20上に、何層もの屈折率の相違する干渉層を堆積することで、光の干渉を利用して、RGB色を作り出すダイクロイックフィルタを形成してもよい。このダイクロイックフィルタ付き対向基板によれば、より明るいカラー液晶装置が実現できる。

20

30

【0110】

以上説明した実施の形態における液晶装置では、従来と同様に入射光を対向基板20の側から入射することとしたが、第1遮光膜11aを設けているので、TFTアレイ基板10の側から入射光を入射し、対向基板20の側から出射するようにしても良い。即ち、このように液晶装置を液晶プロジェクタに取り付けても、半導体層1aのチャンネル領域1a'及びLDD領域1b、1cに光が入射することを防ぐことが出来、高画質の画像を表示することが可能である。ここで、従来は、TFTアレイ基板10の裏面側での反射を防止するために、反射防止用のAR被膜された偏光板を別途配置したり、ARフィルムを貼り付ける必要があった。しかし、実施の形態では、TFTアレイ基板10の表面と半導体層1aの少なくともチャンネル領域1a'及びLDD領域1b、1cとの間に第1遮光膜11aが形成されているため、このようなAR被膜された偏光板やARフィルムを用いたり、TFTアレイ基板10そのものをAR処理した基板を使用する必要がなくなる。従って、実施の形態によれば、材料コストを削減でき、また偏光板貼り付け時に、ごみ、傷等により、歩留まりを落とすことがなく大変有利である。また、耐光性が優れているため、明るい光源を使用したり、偏光ビームスプリッタにより偏光変換して、光利用効率を向上させても、光によるクロストーク等の画質劣化を生じない。

40

【0111】

また、各画素に設けられるスイッチング素子としては、正スタガ型又はプレーナー型のポリシリコンTFTであるとして説明したが、逆スタガ型のTFTやアモルファスシリコン

50

TFT等の他の形式のTFTに対しても、実施の形態は有効である。

【0112】

(電子機器)

次に、以上詳細に説明した電気光学装置を備えた電子機器の実施の形態について図17から図19を参照して説明する。

【0113】

先ず図17に、このように電気光学装置の一例として液晶装置100を備えた電子機器の概略構成を示す。

【0114】

図17において、電子機器は、表示情報出力源1000、表示情報処理回路1002、駆動回路1004、液晶装置100、クロック発生回路1008並びに電源回路1010を備えて構成されている。表示情報出力源1000は、ROM(Read Only Memory)、RAM(Random Access Memory)、光ディスク装置などのメモリ、画像信号を同調して出力する同調回路等を含み、クロック発生回路1008からのクロック信号に基づいて、所定フォーマットの画像信号などの表示情報を表示情報処理回路1002に出力する。表示情報処理回路1002は、増幅・極性反転回路、シリアル-パラレル変換回路、ローテーション回路、ガンマ補正回路、クランプ回路等の周知の各種処理回路を含んで構成されており、クロック信号に基づいて入力された表示情報からデジタル信号を順次生成し、クロック信号CLKと共に駆動回路1004に出力する。駆動回路1004は、液晶装置100を駆動する。電源回路1010は、上述の各回路に所定電源を供給する。尚、液晶装置100を構成するTFTアレイ基板の上に、駆動回路1004を搭載してもよく、これに加えて表示情報処理回路1002を搭載し6もよい。

10

20

【0115】

次に図18から図19に、このように構成された電子機器の具体例を各々示す。

【0116】

図18は電子機器の一例たる液晶プロジェクタ1100を示す。この液晶プロジェクタ1100には、上述した駆動回路1004がTFTアレイ基板上に搭載された液晶装置100を含む液晶表示モジュールを3個用意し、各々RGB用のライトバルブ100R、100G及び100Bとして用いられている。液晶プロジェクタ1100では、メタルハライドランプ等の白色光源のランプユニット1102から投射光が発せられると、3枚のミラー1106及び2枚のダイクロイックミラー1108によって、RGBの3原色に対応する光成分R、G、Bに分けられ、各色に対応するライトバルブ100R、100G及び100Bに各々導かれる。この際特にB光は、長い光路による光損失を防ぐために、入射レンズ1122、リレーレンズ1123及び出射レンズ1124からなるリレーレンズ系1121を介して導かれる。そして、ライトバルブ100R、100G及び100Bにより各々変調された3原色に対応する光成分は、ダイクロイックプリズム1112により再度合成された後、投射レンズ1114を介してスクリーン1120にカラー画像として投射される。

30

【0117】

図19は電子機器の他の例たるマルチメディア対応のラップトップ型のパーソナルコンピュータ(PC)1200を示す。上述した液晶装置100がトップカバーケース内に設けられており、更にCPU、メモリ、モデム等を収容すると共にキーボード1202が組み込まれた本体1204を備えている。

40

【0118】

以上図18から図19を参照して説明した電子機器の他にも、液晶テレビ、ビューファインダ型又はモニタ直視型のビデオテープレコーダ、カーナビゲーション装置、電子手帳、電卓、ワードプロセッサ、エンジニアリング・ワークステーション(EWS)、携帯電話、テレビ電話、POS端末、タッチパネルを備えた装置等などが図17に示した電子機器の例として挙げられる。

【0119】

50

以上説明したように、本実施の形態によれば、製造効率が高く高品位の画像表示が可能な液晶装置を備えた各種の電子機器を実現できる。

【図面の簡単な説明】

【図 1】液晶装置の実施の形態における画像形成領域を構成するマトリクス状の複数の画素に設けられた各種素子、配線等の等価回路並びに周辺回路を含む液晶装置のブロック図である。

【図 2】液晶装置の実施の形態におけるデータ線、走査線、画素電極、遮光膜等が形成された TFT アレイ基板の相隣接する複数の画素群の平面図である。

【図 3】図 2 の A - A' 断面図である。

【図 4】走査線及び容量線上に島状に形成された高融点金属等を説明するための部分平面図である。 10

【図 5】走査線又は容量線上に島状に形成された高融点金属等を説明するための部分側面図である。

【図 6】周辺配線が設けられた TFT アレイ基板の部分平面図である。

【図 7】図 6 の中継配線及び引き出し配線部を拡大して示す拡大平面図である。

【図 8】図 6 及び図 7 の B - B' 断面図である。

【図 9】図 7 の D - D' 断面におけるサンプリング回路駆動信号線用の中継配線の態様を示す断面図である。

【図 10】図 6 及び図 7 の B - B' 断面における変形態様を示す断面図である。

【図 11】液晶装置の実施の形態の製造プロセスを、図 8 に対応する部分について順を追って示す工程図（その 1）である。 20

【図 12】液晶装置の実施の形態の製造プロセスを、図 8 に対応する部分について順を追って示す工程図（その 2）である。

【図 13】液晶装置の実施の形態の製造プロセスを、図 3 に対応する部分について順を追って示す工程図（その 1）である。

【図 14】液晶装置の実施の形態の製造プロセスを、図 3 に対応する部分について順を追って示す工程図（その 2）である。

【図 15】液晶装置の実施の形態における TFT アレイ基板をその上に形成された各構成要素と共に対向基板の側から見た平面図である。

【図 16】図 15 の H - H' 断面図である。 30

【図 17】本発明による電子機器の実施の形態の概略構成を示すブロック図である。

【図 18】電子機器の一例として液晶プロジェクタを示す断面図である。

【図 19】電子機器の他の例としてパーソナルコンピュータを示す正面図である。

【符号の説明】

1 a ... 半導体層

1 a' ... チャネル領域

1 b ... 低濃度ソース領域（ソース側 LDD 領域）

1 c ... 低濃度ドレイン領域（ドレイン側 LDD 領域）

1 d ... 高濃度ソース領域

1 e ... 高濃度ドレイン領域 40

1 f ... 第 1 蓄積容量電極

2 ... ゲート絶縁膜

3 a ... 走査線

3 b ... 容量線（第 2 蓄積容量電極）

4 ... 第 2 層間絶縁膜

5 ... コンタクトホール

6 a ... データ線（ソース電極）

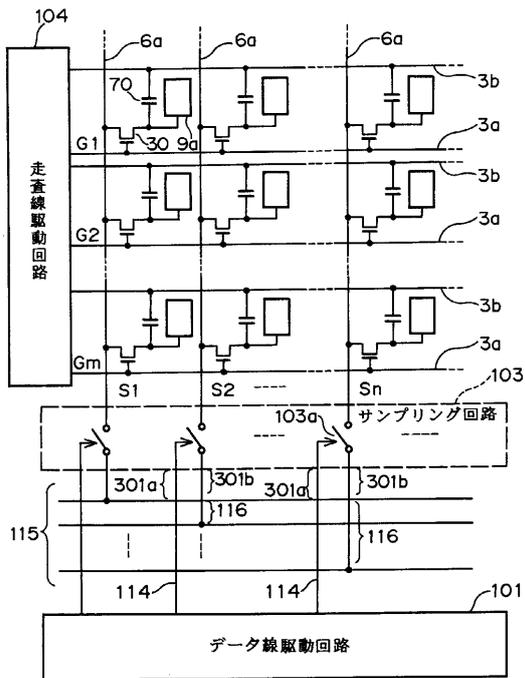
7 ... 第 3 層間絶縁膜

8 ... コンタクトホール

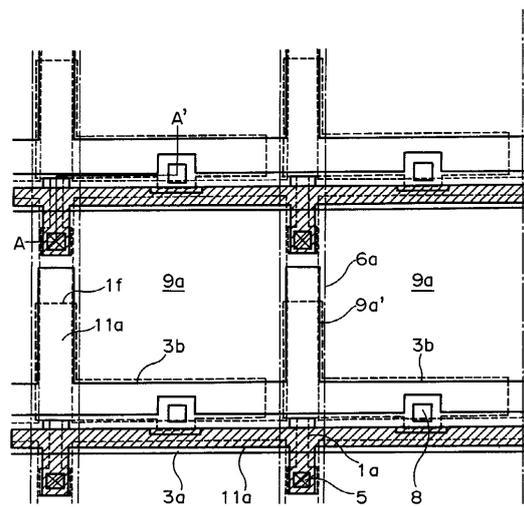
9 a ... 画素電極 50

- 1 0 ... T F T アレイ基板
- 1 1 a ... 第 1 遮光膜
- 1 2 ... 第 1 層間絶縁膜
- 2 0 ... 対向基板
- 2 1 ... 対向電極
- 2 3 ... 第 2 遮光膜
- 3 0 ... T F T
- 5 0 ... 液晶層
- 5 2 ... シール材
- 5 3 ... 第 3 遮光膜
- 7 0 ... 蓄積容量
- 8 0 ... 高融点金属等
- 1 0 1 ... データ線駆動回路
- 1 0 3 ... サンプリング回路
- 1 0 4 ... 走査線駆動回路
- 1 1 4 ... サンプリング回路駆動信号線
- 1 1 5 ... 画像信号線
- 1 1 6 ... 中継配線
- 3 0 1、3 0 1 a、3 0 1 b ... 引き出し配線

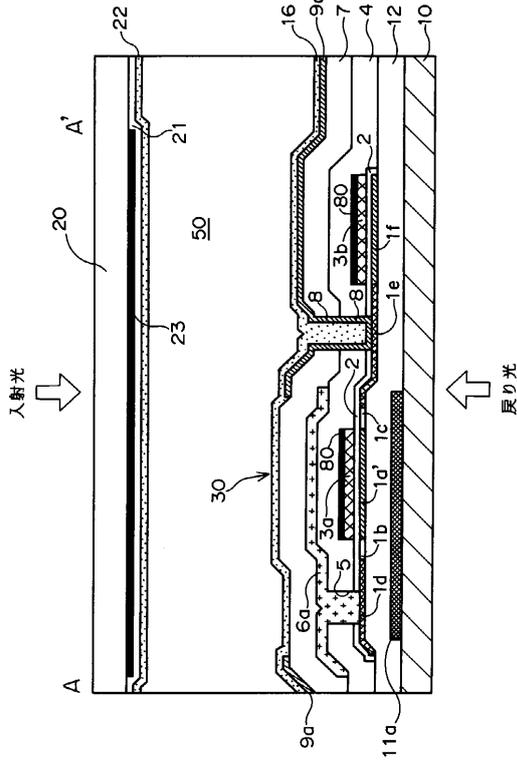
【 図 1 】



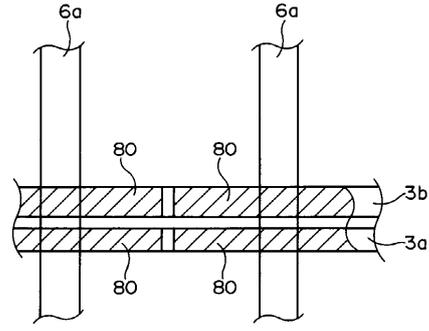
【 図 2 】



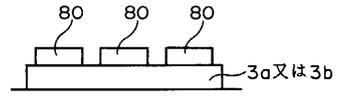
【図3】



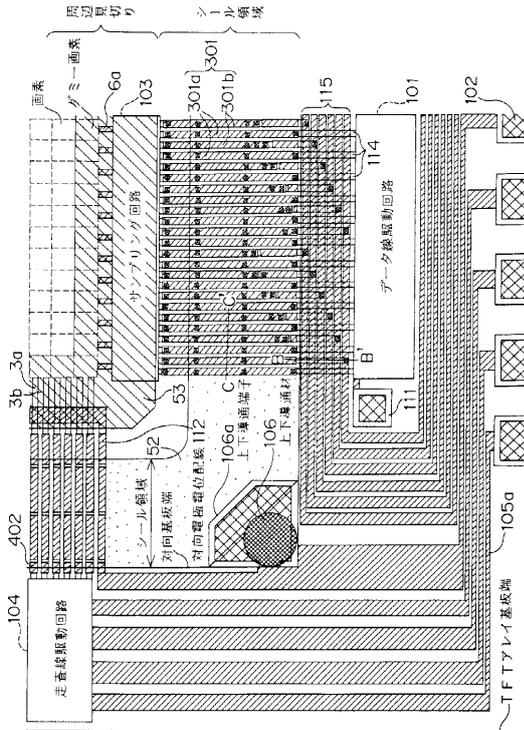
【図4】



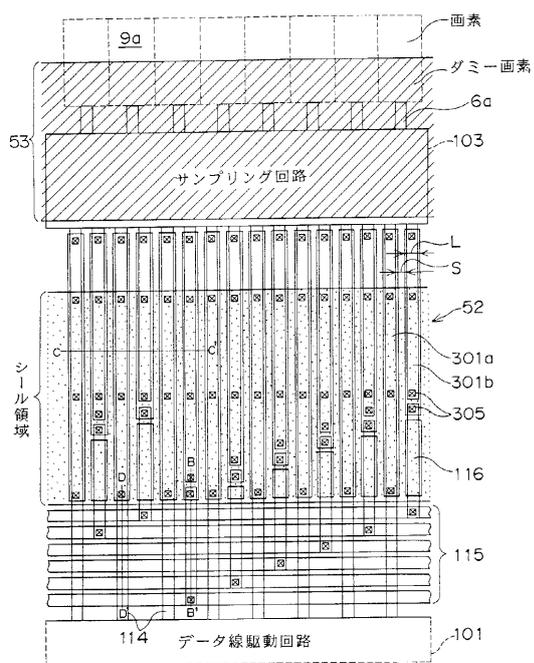
【図5】



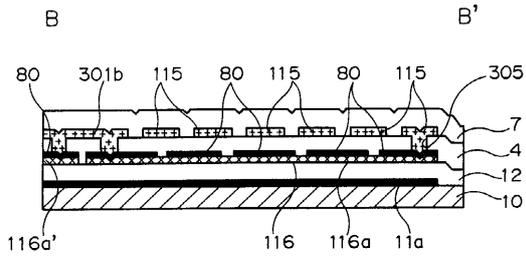
【図6】



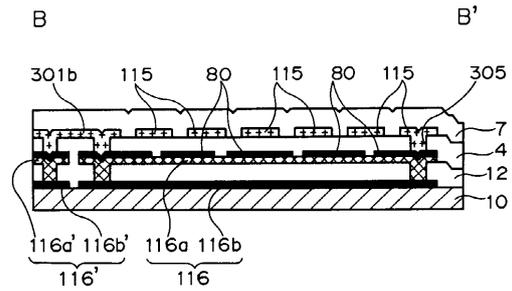
【図7】



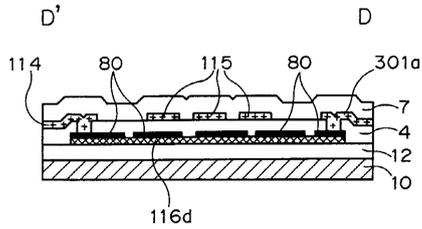
【 図 8 】



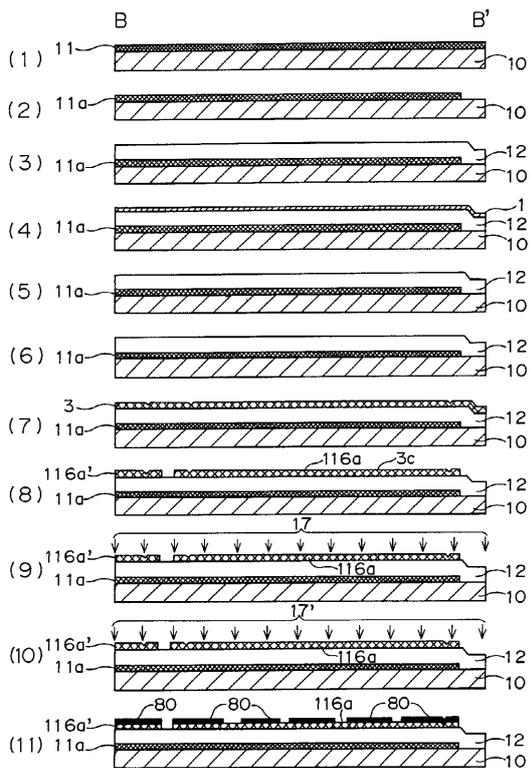
【 図 10 】



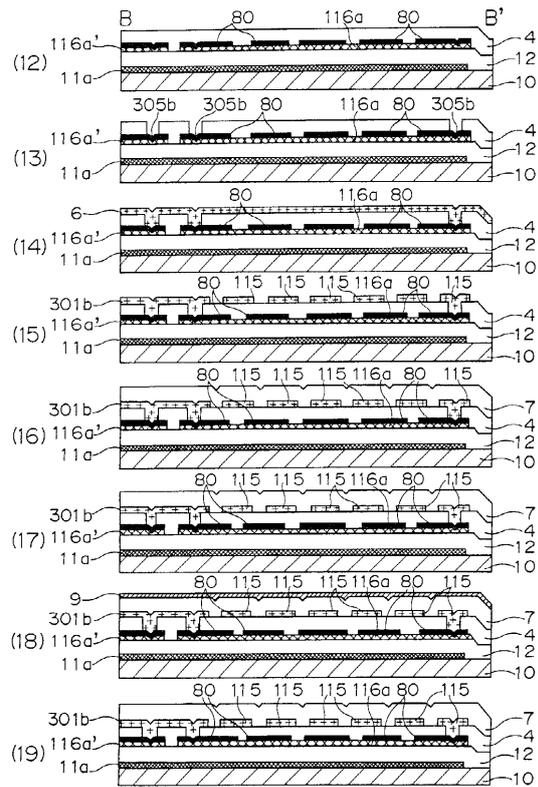
【 図 9 】



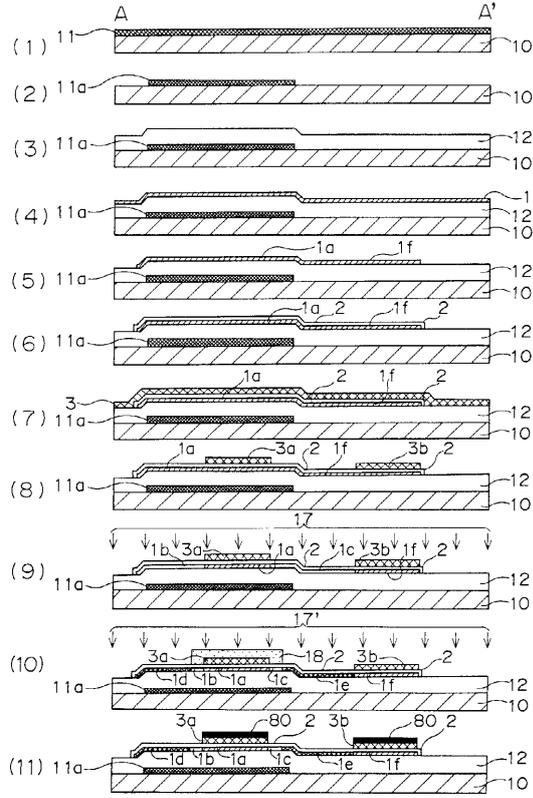
【 図 11 】



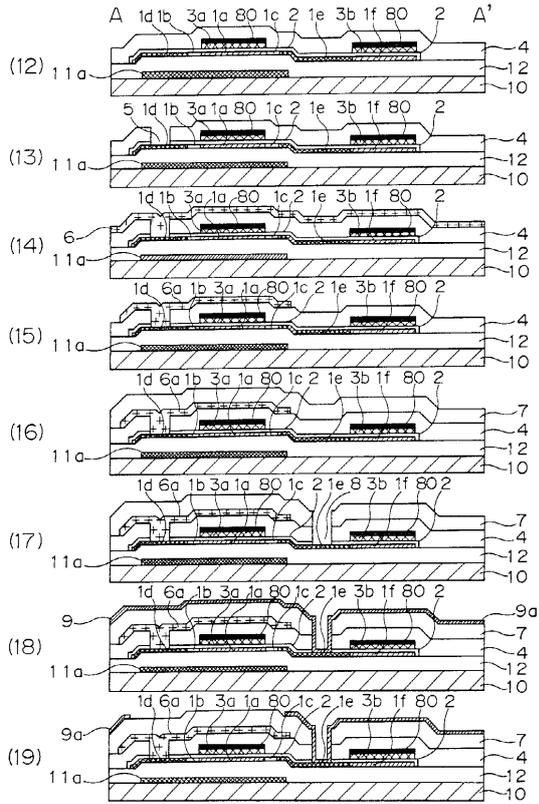
【 図 12 】



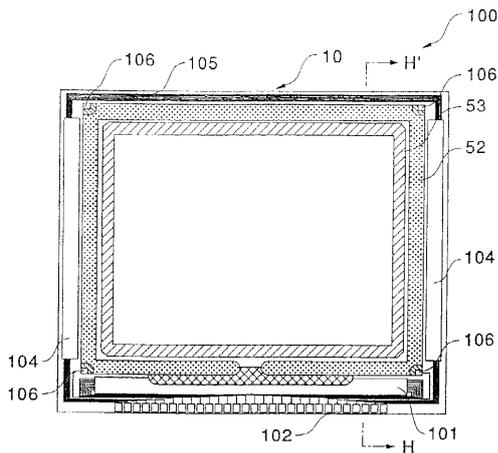
【図13】



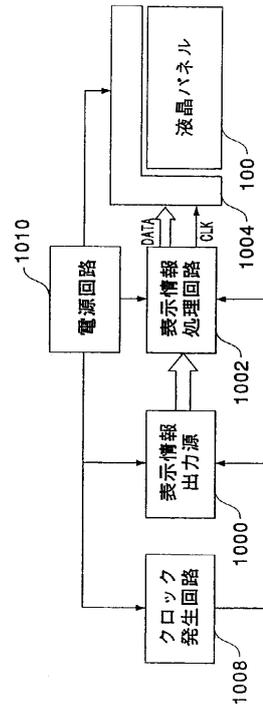
【図14】



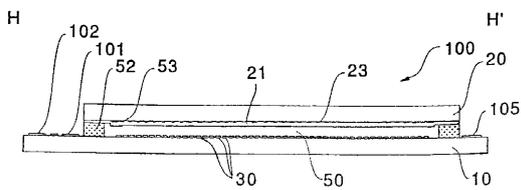
【図15】



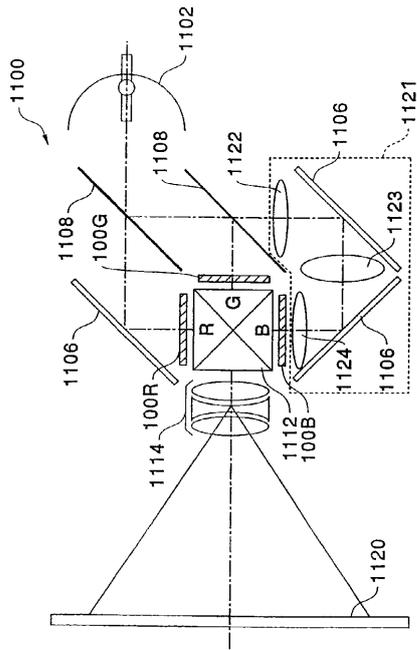
【図17】



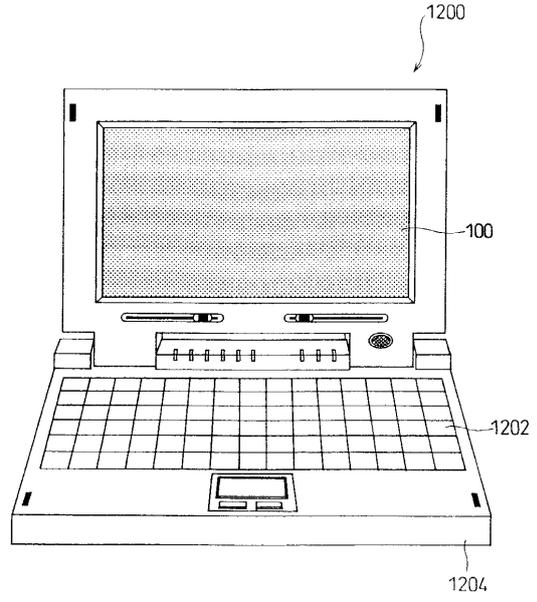
【図16】



【 図 18 】



【 図 19 】



フロントページの続き

- (56)参考文献 特開平10 - 268350 (JP, A)
特開平10 - 050634 (JP, A)
特開平11 - 087655 (JP, A)
特開平11 - 074288 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
G09F 9/00 - 9/46
G02F 1/13 - 1/141
H01L 21/00