



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2024년04월17일  
(11) 등록번호 10-2657760  
(24) 등록일자 2024년04월11일

(51) 국제특허분류(Int. Cl.)  
G06F 3/06 (2006.01) G06F 11/10 (2006.01)  
G06F 12/06 (2006.01)  
(52) CPC특허분류  
G06F 3/0658 (2013.01)  
G06F 11/1008 (2013.01)  
(21) 출원번호 10-2019-0117090  
(22) 출원일자 2019년09월23일  
심사청구일자 2022년09월22일  
(65) 공개번호 10-2021-0034996  
(43) 공개일자 2021년03월31일  
(56) 선행기술조사문헌  
KR1019970012787 A  
KR1020090097051 A

(73) 특허권자  
에스케이하이닉스 주식회사  
경기도 이천시 부발읍 경충대로 2091  
(72) 발명자  
김현석  
경기도 이천시 부발읍 경충대로2092번길 39-50,  
205동 1002호 (현대성우 오스타 2단지)  
김용주  
서울특별시 송파구 양재대로 1218 89번지 올림픽  
선수촌APT 202-801  
우수해  
경기도 이천시 부발읍 경충대로 2091  
(74) 대리인  
특허법인아주

전체 청구항 수 : 총 20 항

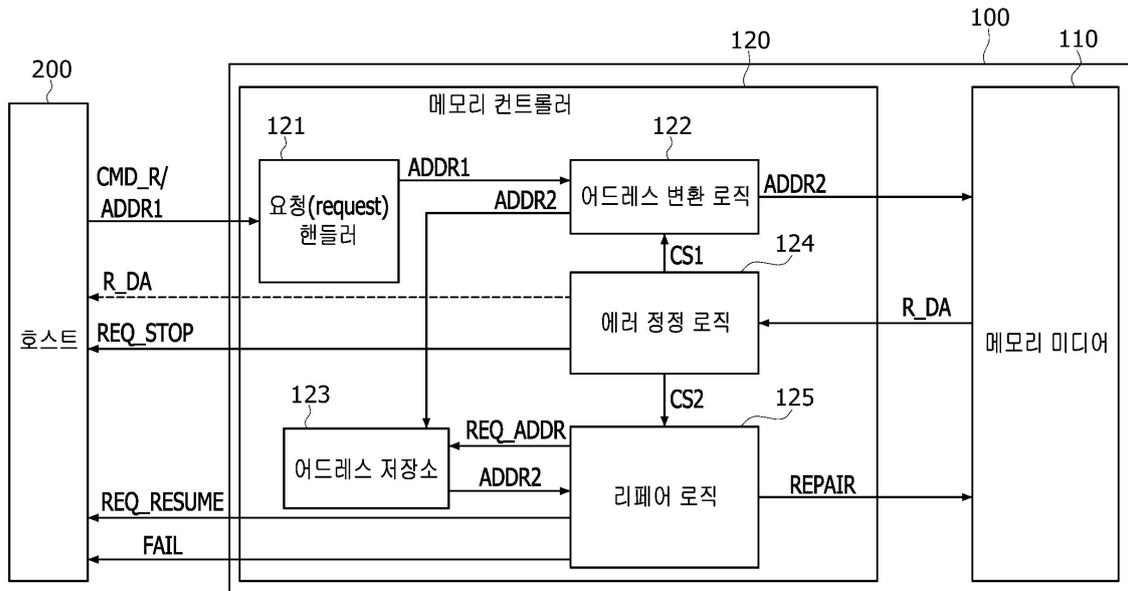
심사관 : 신현상

(54) 발명의 명칭 메모리 시스템 및 그 메모리 시스템의 동작 방법

(57) 요약

메모리 시스템은, 메모리 미디어 및 메모리 컨트롤러를 포함한다. 메모리 미디어는, 호스트가 갖는 제1 어드레스 체계와 다른 제2 어드레스 체계를 갖는다. 메모리 컨트롤러는, 호스트로부터의 명령에 따라 메모리 미디어에 대한 액세스 제어 동작을 수행한다. 메모리 컨트롤러는, 메모리 미디어로부터 리드한 리드 데이터가 에러 지정 불가능 상태인 경우 리드 데이터의 어드레스에 해당하는 제2 어드레스를 저장하고, 제2 어드레스에 의해 지정되는 메모리 미디어의 영역에 대한 리페어가 가능한 경우 제2 어드레스에 의해 지정되는 메모리 미디어의 영역을 리페어시킨다.

대표도



(52) CPC특허분류

*G06F 12/0692* (2013.01)

*G06F 3/0614* (2013.01)

*G06F 3/0646* (2013.01)

*G06F 3/0685* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

호스트가 갖는 제1 어드레스 체계와 다른 제2 어드레스 체계를 갖는 메모리 미디어; 및

상기 호스트로부터의 명령에 따라 상기 메모리 미디어에 대한 액세스 제어 동작을 수행하는 메모리 컨트롤러를 포함하되,

상기 메모리 컨트롤러는, 상기 메모리 미디어로부터 리드한 리드 데이터가 에러 정정 불능 상태인 경우 상기 리드 데이터의 어드레스에 해당하는 제2 어드레스를 저장하고, 상기 제2 어드레스에 의해 지정되는 상기 메모리 미디어의 영역에 대한 리페어가 가능한 경우 상기 제2 어드레스에 의해 지정되는 상기 메모리 미디어의 영역을 리페어시키는 메모리 시스템.

#### 청구항 2

제1항에 있어서,

상기 메모리 미디어는 휘발성 메모리 소자 및 불휘발성 메모리 소자 중 적어도 어느 하나로 구성되는 메모리 시스템.

#### 청구항 3

제1항에 있어서,

상기 메모리 컨트롤러는, 상기 호스트로부터 제1 어드레스가 전송되면 상기 제1 어드레스를 제2 어드레스로 변환하는 메모리 시스템.

#### 청구항 4

제3항에 있어서,

상기 메모리 컨트롤러는, 상기 리드 데이터가 에러 정정 불능인 경우 제2 어드레스를 저장하는 메모리 시스템.

#### 청구항 5

제4항에 있어서,

상기 메모리 컨트롤러는, 상기 저장된 제2 어드레스를 이용하여 상기 리페어를 수행하는 메모리 시스템.

#### 청구항 6

제1항에 있어서,

상기 메모리 컨트롤러는, 상기 리드 데이터가 에러 정정 불능인 경우 요청 중단 신호를 상기 호스트로 전송하는 메모리 시스템.

#### 청구항 7

제6항에 있어서,

상기 메모리 컨트롤러는, 상기 메모리 미디어에 대한 리페어를 수행한 후 요청 재개 신호를 상기 호스트로 전송하는 메모리 시스템.

#### 청구항 8

제1항에 있어서,

상기 메모리 컨트롤러는, 상기 리드 데이터가 에러 정정 불능이고 상기 리드 데이터를 저장하고 있는 상기 메모리

리 미디어의 영역의 리페어가 가능하지 않은 경우 고장 신호를 상기 호스트로 전송하는 메모리 시스템.

**청구항 9**

제1항에 있어서, 상기 메모리 컨트롤러는,  
 상기 호스트로부터 상기 명령 및 제1 어드레스를 전송받는 요청 핸들러;  
 상기 제1 어드레스를 상기 제2 어드레스로 변환하는 어드레스 변환 로직;  
 상기 제2 어드레스를 저장하는 어드레스 저장소;  
 상기 메모리 미디어로부터의 상기 리드 데이터에 대한 에러 정정을 수행하는 에러 정정 로직; 및  
 상기 메모리 미디어의 상기 제2 어드레스 영역에 대한 리페어를 수행하는 리페어 로직을 포함하는 메모리 시스템.

**청구항 10**

제9항에 있어서,  
 상기 에러 정정 로직은, 상기 리드 데이터가 에러 정정 불능인 경우 제1 제어신호를 상기 어드레스 변환 로직에 전송하고,  
 상기 어드레스 변환 로직은 상기 제1 제어신호에 응답하여 상기 제2 어드레스를 상기 어드레스 저장소로 전송하며, 그리고  
 상기 어드레스 저장소는 상기 전송된 제2 어드레스를 저장하는 메모리 시스템.

**청구항 11**

제9항에 있어서,  
 상기 에러 정정 로직은, 상기 리드 데이터가 에러 정정 불능인 경우 제2 제어 신호를 상기 리페어 로직에 전송하고, 그리고  
 상기 리페어 로직은 상기 제2 제어신호에 응답하여 상기 어드레스 저장소에 저장된 상기 제2 어드레스에 따른 리페어 신호를 상기 메모리 미디어에 전송하는 메모리 시스템.

**청구항 12**

제9항에 있어서,  
 상기 에러 정정 로직은, 상기 리드 데이터가 에러 정정 불능인 경우 요청 중단 신호를 상기 호스트로 전송하고, 그리고  
 상기 리페어 로직은, 상기 메모리 미디어에 대한 리페어를 수행한 후 요청 재개 신호를 상기 호스트로 전송하는 메모리 시스템.

**청구항 13**

메모리 모듈을 포함하는 메모리 시스템에 있어서,  
 상기 메모리 모듈은,  
 휘발성 메모리 소자 및 불휘발성 메모리 소자를 포함하며, 상기 휘발성 메모리 소자 및 불휘발성 메모리 소자 중 적어도 어느 하나는 호스트가 갖는 제1 어드레스 체계와 다른 제2 어드레스 체계를 갖는 메모리 미디어; 및  
 상기 호스트로부터의 명령에 따라 상기 메모리 미디어에 대한 액세스 제어 동작을 수행하되, 상기 메모리 미디어로부터 리드한 리드 데이터가 에러 정정 불능 상태인 경우 상기 리드 데이터의 제2 어드레스를 저장하고, 상기 리드 데이터에 대한 리페어가 가능한 경우 상기 제2 어드레스에 의해 지정되는 상기 메모리 미디어의 영역을 리페어시키는 모듈 컨트롤러를 포함하는 메모리 시스템.

**청구항 14**

제13항에 있어서, 상기 모듈 컨트롤러는,

상기 호스트로부터 상기 명령 및 제1 어드레스를 전송받는 요청 핸들러;

상기 제1 어드레스를 상기 제2 어드레스로 변환하는 어드레스 변환 로직;

상기 제2 어드레스를 저장하는 어드레스 저장소;

상기 메모리 미디어로부터 액세스한 상기 리드 데이터를 저장하는 버퍼;

상기 버퍼로부터 전송되는 상기 리드 데이터에 대한 에러 정정을 수행하는 에러 정정 로직; 및

상기 제2 어드레스에 의해 지정되는 상기 메모리 미디어의 영역에 대한 리페어를 수행하는 리페어 로직을 포함하는 메모리 시스템.

#### 청구항 15

제14항에 있어서,

상기 요청 핸들러는, 상기 리드 데이터가 상기 버퍼에 저장되면 리드 준비 완료 신호를 상기 호스트로 전송하고, 상기 호스트로부터 샌드 신호가 전송되면 상기 리드 데이터를 상기 에러 정정 로직으로 전송하는 메모리 시스템.

#### 청구항 16

제14항에 있어서,

상기 에러 정정 로직은, 상기 리드 데이터가 에러 정정 불능인 경우 제1 제어신호를 상기 어드레스 변환 로직에 전송하고,

상기 어드레스 변환 로직은 상기 제1 제어신호에 응답하여 상기 제2 어드레스를 상기 어드레스 저장소로 전송하며, 그리고

상기 어드레스 저장소는 상기 어드레스 변환 로직으로부터 전송된 제2 어드레스를 저장하는 메모리 시스템.

#### 청구항 17

제14항에 있어서,

상기 에러 정정 로직은, 상기 리드 데이터가 에러 정정 불능인 경우 제2 제어 신호를 상기 리페어 로직에 전송하고, 그리고

상기 리페어 로직은 상기 제2 제어신호에 응답하여 상기 어드레스 저장소에 저장된 제2 어드레스에 따른 리페어 신호를 상기 메모리 미디어에 전송하는 메모리 시스템.

#### 청구항 18

제14항에 있어서,

상기 에러 정정 로직은, 상기 리드 데이터가 에러 정정 불능인 경우 요청 중단 신호를 상기 호스트로 전송하고, 그리고

상기 리페어 로직은, 상기 메모리 미디어에 대한 리페어를 수행한 후 요청 재개 신호를 상기 호스트로 전송하는 메모리 시스템.

#### 청구항 19

호스트의 제1 어드레스 체계와 다른 제2 어드레스 체계를 갖는 메모리 미디어를 포함하는 메모리 시스템의 동작 방법에 있어서,

상기 호스트로부터 전송되는 제1 어드레스를 제2 어드레스로 변환하는 단계;

상기 제2 어드레스에 의해 지정되는 상기 메모리 미디어의 영역 내에 저장된 리드 데이터에 액세스하는 단계;

상기 리드 데이터가 에러 정정 불능인 경우 상기 리드 데이터의 상기 제2 어드레스를 저장하는 단계; 및

상기 제2 어드레스에 의해 지정되는 상기 메모리 미디어의 상기 영역에 대한 리페어가 가능한 경우 상기 제2 어드레스에 의해 지정되는 상기 메모리 미디어의 상기 영역을 리페어시키는 단계를 포함하는 메모리 시스템의 동작 방법.

**청구항 20**

제19항에 있어서,

상기 리드 데이터가 에러 정정 불능인 경우 요청 중단 신호를 상기 호스트로 전송하는 단계; 및

상기 메모리 미디어에 대한 리페어를 수행한 후 요청 재개 신호를 상기 호스트로 전송하는 단계를 더 포함하는 메모리 시스템의 동작 방법.

**발명의 설명**

**기술 분야**

[0001] 본 개시의 여러 실시예들은 메모리 시스템에 관한 것으로서, 특히 호스트와 다른 어드레스 체계를 갖는 메모리 미디어를 포함하는 메모리 시스템 및 그 메모리 시스템의 동작 방법에 관한 것이다.

**배경 기술**

[0002] 다중 코어 중앙처리장치, 대용량 주 기억장치, 높은 성능의 보조기억장치 등 점점 성능이 좋아지는 컴퓨터 장치들로 인해 최근 데이터 관리 시스템의 정보 처리 속도는 계속해서 발전하고 있다. 그러나 언제 일어날지 모르는 시스템 충돌(system crash)을 대비하기 위한 작업 때문에 컴퓨터 장치들의 최대 성능을 누리지 못하고 있다. 이를 해결하기 위한 노력으로 디램(DRAM)과 비휘발성(non-volatile) 메모리의 하이브리드 메모리 모듈인 NVDIMM(Non-Volatile Dual In-line Memory Module)가 제안된 바 있으며, 이와 관련된 다양한 연구 활동들이 이루어지고 있다.

[0003] NVDIMM은 디램이 장착되는 메모리 모듈에 낸드플래시나 피램(PRAM)과 같은 비휘발성 메모리가 결합된 구조를 갖는다. 디램(DRAM)은 전원을 끄면 데이터가 사라지는 휘발성 메모리이지만, 데이터를 영구 저장할 수 있는 비휘발성 메모리가 결합됨에 따라 예상치 못한 전원 손실이 발생했을 때 작업 중이던 임시 데이터를 안전하게 저장 및 복구할 수 있다. 즉 NVDIMM은 백업 기능 및 스토리지 기능을 모두 포함하고 있다.

[0004] 이와 같은 NVDIMM을 구성하는 메모리 미디어는, 호스트와 다른 어드레스 체계를 갖는다. 이 경우 메모리 미디어에 대한 액세스 과정에서 에러 정정 불능인 경우, 메모리 미디어의 제2 어드레스 정보를 알 수 없으므로, 리페어가 수행될 수 있음에도 불구하고 메모리 미디어에 대한 리페어 없이 제2 어드레스에 대응하는 제1 어드레스가 지정하는 영역을 배드 블록(bad block) 처리하여 메모리 미디어에 대한 리페어가 수행될 수 없다는 문제가 있다.

**발명의 내용**

**해결하려는 과제**

[0005] 본 출원이 해결하고자 하는 과제는, 메모리 미디어가 호스트의 제1 어드레스 체계와 다른 제2 어드레스 체계를 갖는 경우, 메모리 미디어에 대한 에러 정정 불능인 경우에도 메모리 미디어의 제2 어드레스에 대응하는 제1 어드레스를 호스트가 정상적으로 인식할 수 있도록 하는 메모리 시스템을 제공하는 것이다.

[0006] 본 출원이 해결하고자 하는 다른 과제는, 위와 같은 메모리 시스템의 동작 방법을 제공하는 것이다.

**과제의 해결 수단**

[0007] 본 개시의 일 예에 따른 메모리 시스템은, 메모리 미디어 및 메모리 컨트롤러를 포함한다. 메모리 미디어는, 호스트가 갖는 제1 어드레스 체계와 다른 제2 어드레스 체계를 갖는다. 메모리 컨트롤러는, 호스트로부터의 명령에 따라 메모리 미디어에 대한 액세스 제어 동작을 수행한다. 메모리 컨트롤러는, 메모리 미디어로부터 리드한 리드 데이터가 에러 정정 불능 상태인 경우 리드 데이터의 어드레스에 해당하는 제2 어드레스를 저장하고, 제2 어드레스에 의해 지정되는 메모리 미디어의 영역에 대한 리페어가 가능한 경우 제2 어드레스에 의해 지정되는 메모리 미디어의 영역을 리페어시킨다.

[0008] 본 개시의 일 예에 따른 메모리 시스템은, 메모리 모듈을 포함한다. 메모리 모듈은, 메모리 미디어 및 모듈 컨트롤러를 포함한다. 메모리 미디어는, 휘발성 메모리 소자 및 불휘발성 메모리 소자를 포함한다. 휘발성 메모리 소자 및 불휘발성 메모리 소자 중 적어도 어느 하나는 호스트가 갖는 제1 어드레스 체계와 다른 제2 어드레스 체계를 갖는다. 모듈 컨트롤러는, 호스트로부터의 명령에 따라 메모리 미디어에 대한 액세스 제어 동작을 수행한다. 모듈 컨트롤러는, 메모리 미디어로부터 리드한 리드 데이터가 여러 정정 불능 상태인 경우 리드 데이터의 제2 어드레스를 저장하고, 리드 데이터에 대한 리페어가 가능한 경우 제2 어드레스에 의해 지정되는 메모리 미디어의 영역을 리페어시킨다.

[0009] 본 개시의 일 예에 따른 메모리 시스템의 동작 방법은, 호스트의 제1 어드레스 체계와 다른 제2 어드레스 체계를 갖는 메모리 미디어를 포함하는 메모리 시스템의 동작 방법에 있어서, 호스트로부터 전송되는 제1 어드레스를 제2 어드레스로 변환하는 단계와, 제2 어드레스에 의해 지정되는 메모리 미디어의 영역 내에 저장된 리드 데이터에 액세스하는 단계와, 리드 데이터가 여러 정정 불능인 경우 리드 데이터의 제2 어드레스를 저장하는 단계와, 그리고 제2 어드레스에 의해 지정되는 메모리 미디어의 영역에 대한 리페어가 가능한 경우 제2 어드레스에 의해 지정되는 메모리 미디어의 영역을 리페어시키는 단계를 포함한다.

**발명의 효과**

[0010] 여러 실시예들에 따르면, 메모리 미디어가 호스트의 제1 어드레스 체계와 다른 제2 어드레스 체계를 갖는 경우, 호스트의 제1 어드레스 체계와 무관하게 메모리 시스템 내에서의 제어 동작에 의해 제2 어드레스 영역에 대한 리페어 제어 동작이 이루어짐에 따라, 호스트는 후속의 요청 동작 과정에서 제2 어드레스에 대응하는 제1 어드레스를 정상적인 어드레스로 인지하여 정상적인 요청 동작을 수행할 수 있다는 이점이 제공된다.

**도면의 간단한 설명**

[0011] 도 1은 본 개시의 일 예에 따른 메모리 시스템을 나타내 보인 도면이다.  
 도 2는 본 개시의 일 예에 따른 메모리 시스템의 동작 방법을 설명하기 위해 나타내 보인 플로 차트이다.  
 도 3은 본 개시의 다른 예에 따른 메모리 시스템을 나타내 보인 도면이다.  
 도 4는 본 개시의 다른 예에 따른 메모리 시스템의 모듈 컨트롤러 구성을 나타내 보인 도면이다.

**발명을 실시하기 위한 구체적인 내용**

[0012] 본 출원의 예의 기재에서 "제1" 및 "제2"와 같은 기재는 부재를 구분하기 위한 것이며, 부재 자체를 한정하거나 특정한 순서를 의미하는 것으로 사용된 것은 아니다. 또한, 어느 부재의 "상"에 위치하거나 "상부", "하부", 또는 "측면"에 위치한다는 기재는 상대적인 위치 관계를 의미하는 것이지 그 부재에 직접 접촉하거나 또는 사이 계면에 다른 부재가 더 도입되는 특정한 경우를 한정하는 것은 아니다. 또한, 어느 한 구성 요소가 다른 구성 요소에 "연결되어 있다"거나 "접속되어 있다"의 기재는, 다른 구성 요소에 전기적 또는 기계적으로 직접 연결되어 있거나 또는 접속되어 있을 수 있으며, 또는, 중간에 다른 별도의 구성 요소들이 개재되어 연결 관계 또는 접속 관계를 구성할 수도 있다.

[0013] 도 1은 본 개시의 일 예에 따른 메모리 시스템(100)을 나타내 보인 도면이다. 도 1을 참조하면, 메모리 시스템(100)은, 메모리 미디어(110) 및 메모리 컨트롤러(120)를 포함하여 구성될 수 있다. 메모리 미디어(110)는, 호스트(200)가 갖는 제1 어드레스 체계와 다른 제2 어드레스 체계를 갖는 메모리 소자들로 구성된다. 본 예에서 메모리 미디어(110)를 구성하는 메모리 소자들은, 호스트(200)와 다른 어드레스 체계를 갖는 휘발성 메모리 소자 또는 불휘발성 메모리 소자일 수 있다. 일 예에서 호스트(200)로부터 메모리 시스템(100)으로 전송되는 제1 어드레스(ADDR1)는 메모리 미디어(110)의 बैं크/컬럼/로우 정보가 없는 반면, 메모리 미디어(110)를 액세스하기 위한 제2 어드레스(ADDR2)는 메모리 미디어(110)의 बैं크/컬럼/로우 정보가 포함될 수 있다.

[0014] 메모리 컨트롤러(120)는, 호스트(200)로부터의 요청(request)에 따라 메모리 미디어(110)를 액세스하기 위한 제어 동작을 수행한다. 호스트(200)로부터의 리드 요청이 발생하는 경우, 즉 호스트(200)로부터 리드 커맨드(CMD\_R) 및 제1 어드레스(ADDR1)가 메모리 컨트롤러(120)로 전송되면, 메모리 컨트롤러(120)는 제1 어드레스(ADDR1)를 제2 어드레스(ADDR2)로 변환한 후, 메모리 미디어(110)의 제2 어드레스(ADDR2)에 저장된 리드 데이터(R\_DA)를 읽는다. 도면에 나타내지는 않았지만, 호스트(200)로부터 라이트 커맨드, 라이트 데이터, 및 제1 어드레스(ADDR1)가 메모리 컨트롤러(120)로 전송되면, 메모리 컨트롤러(120)는 제1 어드레스(ADDR1)를 제2 어드레스(ADDR2)로 변환한 후, 메모리 미디어(110)의 제2 어드레스(ADDR2)에 라이트 데이터를 저장한다. 메모리 컨트롤

러(120)는, 메모리 미디어(110)에 대한 액세스 과정에서 에러 정정을 위한 제어 동작을 수행할 수 있다. 메모리 컨트롤러(120)는, 메모리 미디어(110)에 대한 리페어 동작을 위한 제어 동작 또한 수행할 수 있다.

[0015] 메모리 컨트롤러(120)는, 요청 핸들러(request handler)(121)와, 어드레스 변환 로직(122)과, 어드레스 저장소(123)와, 에러 정정 로직(124)과, 그리고 리페어 로직(125)을 포함하여 구성될 수 있다. 요청 핸들러(121)는, 호스트(200)로부터의 요청을 처리하도록 구성된다. 일 예에서 호스트(200)로부터 전송되는 리드 커맨드(CMD\_R) 및 제1 어드레스(ADDR1)는 요청 핸들러(121)에 입력된다. 메모리 미디어(110)에 대한 리드 동작시, 요청 핸들러(121)는, 호스트(200)로부터 전송된 제1 어드레스(ADDR1)를 어드레스 변환 로직(122)으로 입력시키고, 메모리 미디어(110)로부터 리드 데이터(R\_DA)를 읽어 호스트(200)로 전송시키는 일련의 리드 프로세스가 이루어지도록 한다. 메모리 미디어(110)에 대한 라이트 동작시, 요청 핸들러(121)는, 호스트(200)로부터 전송된 제1 어드레스(ADDR1)를 어드레스 변환 로직(122)으로 입력시키고, 메모리 미디어(110)로 라이트 데이터를 쓰는 일련의 라이트 프로세스가 이루어지도록 한다.

[0016] 어드레스 변환 로직(122)은, 요청 핸들러(121)로부터 입력되는 제1 어드레스(ADDR1)를 제2 어드레스(ADDR2)로 변환한다. 어드레스 변환 로직(122)은, 변환된 제2 어드레스(ADDR2)를 메모리 미디어(110)로 전송한다. 어드레스 변환 로직(122)은, 에러 정정 로직(124)으로부터 전송되는 제1 제어신호(CS1)에 응답하여 변환된 제2 어드레스(ADDR2)를 어드레스 저장소(123)로 전송할 수 있다.

[0017] 어드레스 저장소(123)은, 어드레스 변환 로직(122)으로부터 전송되는 제2 어드레스(ADDR2)를 저장한다. 어드레스 변환 로직(122)으로부터의 제2 어드레스(ADDR2) 출력은, 에러 정정 로직(124)으로부터 어드레스 변환 로직(122)으로 제1 제어신호(CS1)가 전송되는 경우에만 이루어진다. 따라서 어드레스 저장소(123)에서의 제2 어드레스(ADDR2) 저장도 제1 제어신호(CS1)의 발생시에만 수행된다. 어드레스 저장소(123)는, 리페어 로직(125)으로부터의 어드레스 요청 신호(REQ\_ADDR)에 응답하여 저장된 제2 어드레스(ADDR2)를 리페어 로직(125)으로 전송할 수 있다.

[0018] 에러 정정 로직(124)은, 메모리 미디어(110)에 대한 리드 액세스 과정에서 메모리 미디어(110)로부터 전송되는 리드 데이터(R\_DA)에 대한 에러 정정 동작을 수행한다. 에러 정정 로직(124)은, 에러 정보 데이터, 예컨대 패리티(parity)를 이용하여 리드 데이터(R\_DA)에 대한 에러 발생 여부를 검출한다. 검출 결과 에러가 발생된 경우, 에러 정정 로직(124)은 에러 정정 동작을 수행한다. 에러 정정 동작에서 에러가 정정될 수 있지만, 정정되지 않을 수도 있다. 예컨대 발생된 에러 개수가 에러 정정 로직(124)이 갖는 에러 정정 능력(error correction capability) 이하인 경우 에러가 정정되지만, 초과하는 경우 에러가 정정되지 않는다. 여기서 에러 정정 능력은, 에러 정정 로직(124)이 정정할 수 있는 에러 개수(비트 수 또는 심볼 수)로 정의될 수 있다.

[0019] 일 예에서, 에러 정정 로직(124)은, 에러가 검출되지 않거나, 또는 에러가 정정되면 리드 데이터(R\_DA)를 호스트(200)로 전송하며, 호스트(200)에 의한 리드 요청은 종료된다. 반면에 에러가 검출되었는데 에러를 정정할 수 없는 경우, 즉 에러 정정 불능(un-correctable)인 경우, 에러 정정 로직(124)은 제1 제어신호(CS1)를 어드레스 변환 로직(122)으로 전송하고, 호스트(200)로 요청 중단 신호(REQ\_STOP)를 전송하여 내부 동작 시간(internal operation time)을 요청한다. 내부 동작 시간은, 호스트와 무관하게 메모리 시스템(100) 내에서 동작이 이루어지는 시간으로 정의될 수 있다. 요청 중단 신호(REQ\_STOP)를 전송받은 호스트(200)는, 재개 요청 신호(REQ\_RESUME)가 전송될 때까지 메모리 시스템(100)에 대한 일체의 요청 동작을 중단한다. 에러 정정 불능인 경우, 에러 정정 로직(124)은 리페어 로직(125)으로 리페어 동작을 요청하는 제2 제어신호(CS2)를 전송한다.

[0020] 리페어 로직(125)은, 에러 정정 로직(124)으로부터 리페어 로직(125)으로 제2 제어신호(CS2)가 전송되면 리페어 동작을 수행한다. 리페어 동작 수행을 위해, 먼저 리페어 로직(125)은 어드레스 요청 신호(REQ\_ADDR)를 어드레스 저장소(123)로 전송한다. 어드레스 요청 신호(REQ\_ADDR)에 응답하여, 어드레스 저장소(123)가 제2 어드레스(ADDR2)를 리페어 로직(125)으로 전송하면, 리페어 로직(125)은 메모리 미디어(110)의 제2 어드레스(ADDR2) 영역에 대해 리페어할 수 있는지(repairable)의 여부를 확인한다. 리페어 가능 여부에 대한 확인은, 메모리 미디어(110) 내의 스페어 영역들(spare regions)의 상태 등에 의해 이루어질 수 있다. 일 예로 메모리 미디어(110) 내에 여분의 스페어 영역들이 존재하는 경우 리페어가 가능하다. 반면에 메모리 미디어(110) 내에 대부분의 스페어 영역들이 이미 사용중인 경우와 같이 여분의 스페어 영역들이 부족한 경우는 리페어가 불가능하다. 리페어가 불가능한 경우, 리페어 로직(125)은 고장 신호(FAIL)를 호스트(200)로 전송한다. 반면에 리페어가 가능한 경우, 리페어 로직(125)은 리페어 동작을 수행한다. 즉 리페어 로직(125)은, 제2 어드레스(ADDR2)에 포함되어 있는 बैं크/컬럼/로우에 의해 지정되는 메모리 미디어(110) 영역을 리페어하기 위해 리페어 신호(REPAIR)를 메모리 미디어(110)에 전송한다.

- [0021] 도 2는 본 개시의 일 예에 따른 메모리 시스템(100)의 동작 방법을 설명하기 위해 나타내 보인 플로 차트이다. 도 2를 도 1과 함께 참조하면, 단계 401에서, 호스트(200)로부터 리드 커맨드(CMD\_R) 및 제1 어드레스(ADDR1)가 메모리 시스템(100)의 메모리 컨트롤러(120)로 전송된다. 리드 커맨드(CMD\_R) 및 제1 어드레스(ADDR1)는 메모리 컨트롤러(120)의 요청 핸들러(121)로 입력된다. 요청 핸들러(121)는 제1 어드레스(ADDR1)를 어드레스 변환 로직(122)으로 입력시킨다. 단계 402에서, 어드레스 변환 로직(122)은 제1 어드레스(ADDR1)를 제2 어드레스(ADDR2)로 변환시킨다. 그리고 변환된 제2 어드레스(ADDR2)를 메모리 미디어(110)로 전송한다.
- [0022] 단계 403에서 메모리 미디어(110)의 제2 어드레스(ADDR2)의 리드 데이터(R\_DA)를 액세스한다. 메모리 미디어(110)로부터 액세스한 리드 데이터(R\_DA)는 메모리 컨트롤러(120)의 에러 정정 로직(124)으로 전송된다. 단계 404에서, 에러 정정 로직(124)은, 리드 데이터(R\_DA)에 에러가 검출되었는지를 판단한다. 단계 404의 판단에서 에러가 검출되지 않은 경우, 단계 405에서 에러 정정 로직(124)은 리드 데이터(R\_DA)를 호스트(200)로 전송한다. 단계 404의 판단에서 에러가 검출된 경우, 단계 406에서 에러 정정 로직(124)은 에러 정정이 가능한지의 여부를 판단한다.
- [0023] 단계 406의 판단에서 에러 정정이 가능한 경우, 단계 407에서 에러 정정 로직(124)은 리드 데이터(R\_DA)에 대한 에러 정정을 수행한다. 에러 정정이 끝나면, 에러 정정 로직(124)은 에러가 정정된 리드 데이터(R\_DA)를 호스트(200)로 전송한다(단계 405). 단계 406의 판단에서 에러 정정이 가능하지 않은 경우, 단계 408에서 어드레스 저장부(123)는 제2 어드레스(ADDR2)를 저장한다. 이를 위해 에러 정정 로직(124)은 제1 제어신호(CS1)를 어드레스 변환 로직(122)으로 전송하고, 어드레스 변환 로직(122)은, 제1 제어신호(CS1)에 응답하여 제2 어드레스(ADDR2)를 어드레스 저장소(123)로 전송한다. 어드레스 저장부(123)는 내부 저장 영역에 전송된 제2 어드레스(ADDR2)를 저장한다.
- [0024] 단계 409에서, 에러 정정 로직(124)은 호스트(200)로 요청 중단 신호(REQ\_STOP)를 전송한다. 에러 정정 로직(124)은, 리페어 로직(125)에 제2 제어신호(CS2)를 입력시킨다. 단계 410에서, 리페어 로직(125)은, 제2 제어신호(CS2)에 응답하여 제2 어드레스(ADDR2)에 의해 지정되는 메모리 미디어(110)의 영역(즉, 적어도 하나의 메모리 셀)이 리페어가 가능한지의 여부를 판단한다. 이를 위해 리페어 로직(125)은 어드레스 저장소(123)로 어드레스 요청 신호(REQ\_ADDR)를 전송한다. 어드레스 저장소(123)는 어드레스 요청 신호(REQ\_ADDR)에 응답하여 제2 어드레스(ADDR2)를 리페어 로직(125)으로 전송한다. 단계 410의 판단에서, 리페어가 가능한 경우, 단계 411에서, 리페어 로직(125)은 메모리 미디어의 제2 어드레스(ADDR2) 영역에 대한 리페어를 수행한다. 리페어 로직(125)은, 제2 어드레스(ADDR2) 영역에 대한 리페어 신호(REPAIR)를 메모리 미디어(110)에 전송한다. 메모리 미디어(110)는 리페어 신호(REPAIR)에 응답하여 리페어 동작을 수행할 수 있다.
- [0025] 단계 412에서 리페어 로직(125)은 호스트(200)로 재개 요청 신호(REQ\_RESUME)를 전송한다. 호스트(200)는 재개 요청 신호(REQ\_RESUME)에 응답하여 메모리 시스템(100)으로 후속의 동작을 수행하도록 요청할 수 있다. 제2 어드레스(ADDR2)의 영역에 대해, 호스트의 제1 어드레스(ADDR1) 체계와 무관하게 메모리 시스템(100) 내에서의 제어 동작에 의해 리페어 제어 동작이 이루어짐에 따라, 호스트(200)는 후속의 요청 동작 과정에서 제2 어드레스(ADDR2)에 대응하는 제1 어드레스(ADDR1)를 정상적인 어드레스로 인지하여 정상적인 요청 동작을 수행할 수 있다. 단계 410의 판단에서, 리페어가 가능하지 않은 경우, 단계 413에서 리페어 로직(125)은 고장 신호(FAIL)를 호스트(200)로 전송한다.
- [0026] 도 3은 본 개시의 다른 예에 따른 메모리 시스템(300)을 나타내 보인 도면이다. 도 3을 참조하면, 본 예에 따른 메모리 시스템(300)은, 불휘발성 메모리 모듈, 예컨대 불휘발성 듀얼-인-라인 메모리 모듈(NVDIMM; Non-Volatile Dual-In-Line Memory Module)로 구성된다. 이에 따라 메모리 시스템(300)은, 메모리 미디어(310) 및 모듈 컨트롤러(320)를 포함하여 구성된다. 메모리 미디어(310)는, 휘발성 메모리 소자(311)와 불휘발성 메모리 소자(NVM; 312)를 포함한다. 일 예에서 메모리 미디어(310)를 구성하는 휘발성 메모리 소자(311)는, DRAM(Dynamic Random Access Memory), SRAM(Static RAM), TRAM(Thyristor RAM), Z-RAM(Zero capacitor RAM), 또는 TTRAM(Twin Transistor RAM) 등을 포함할 수 있다. 일 예에서 메모리 미디어(310)를 구성하는 불휘발성 메모리 소(312)자는, MRAM(Magnetic RAM), 스핀전달토크 MRAM(Spin-Transfer Torque MRAM), FeRAM(Ferroelectric RAM), PCRAM(Phase Change RAM), 저항 메모리(Resistive RAM: RRAM) 등을 포함할 수 있다.
- [0027] 모듈 컨트롤러(320)는, 호스트(200)로부터의 요청(request)에 따라 메모리 미디어(310)를 액세스하기 위한 제어 동작을 수행한다. 일 예에서 모듈 컨트롤러(320)는, 호스트(200)로부터의 요청에 따라 메모리 미디어(310)의 휘발성 메모리 소자(311)를 직접 액세스할 수 있으며, 또한 비휘발성 메모리 소자(312)도 직접 액세스할 수 있다. 비록 도면에 나타내지는 않았지만, 메모리 미디어(310)를 구성하는 휘발성 메모리 소자(311)는 모듈 컨트롤러

(320)를 통하지 않고 직접 호스트(200)와 데이터를 주고 받을 수도 있다. 본 예에서 메모리 미디어(310)를 구성하는 휘발성 메모리 소자(311) 및 불휘발성 메모리 소자(312)는 호스트(200)의 제1 어드레스 체계와 다른 제2 어드레스 체계를 갖는다. 다른 예에서 메모리 미디어(310)를 구성하는 휘발성 메모리 소자(311) 및 불휘발성 메모리 소자(312) 중 적어도 어느 하나는 호스트(200)의 제1 어드레스 체계와 다른 제2 어드레스 체계를 가질 수 있다.

[0028] 호스트(200)로부터의 리드 요청에 의해 리드 커맨드(CMD\_R) 및 제1 어드레스(ADDR1)가 호스트(200)로부터 모듈 컨트롤러(320)로 전송되면, 모듈 컨트롤러(320)는, 제1 어드레스(ADDR1)를 제2 어드레스(ADDR2)로 변환한 후, 제2 어드레스(ADDR2)에 의해 지정되는 메모리 미디어(310)의 영역에 저장된 리드 데이터(R\_DA)를 읽는다. 호스트(200)로부터의 라이트 요청에 의해 라이트 커맨드, 라이트 데이터 및 제1 어드레스(ADDR1)가 호스트(200)로부터 모듈 컨트롤러(320)로 전송되면, 모듈 컨트롤러(320)는, 제1 어드레스(ADDR1)를 제2 어드레스(ADDR2)로 변환한 후, 메모리 미디어(310)의 영역 내로 라이트 데이터를 저장한다. 제2 어드레스(ADDR2)가 지정하는 영역에 따라서, 리드 데이터(R\_DA)는, 메모리 미디어(310)의 휘발성 메모리 소자(311)로부터 리드한 데이터일 수 있거나, 메모리 미디어(310)의 불휘발성 메모리 소자(312)로부터 리드한 데이터일 수 있다. 일 예에서 제2 어드레스(ADDR2)가 불휘발성 메모리 소자(311) 내의 영역의 어드레스인 경우, 모듈 컨트롤러(320)는, 불휘발성 메모리 소자(312)로부터 리드 데이터(R\_DA)를 액세스하여 모듈 컨트롤러(320) 내의 버퍼에 저장한 후, 호스트(200)로 리드 준비 완료 신호(RD\_RDY)를 전송한다. 그러면 호스트(200)는 모듈 컨트롤러(320)로 샌드 신호(SEND)를 전송하며, 모듈 컨트롤러(320)는 샌드 신호(SEND)에 응답하여 리드 데이터(R\_DA)를 호스트(200)로 전송한다.

[0029] 모듈 컨트롤러(320)는, 메모리 미디어(310)에 대한 액세스 과정에서 리드 데이터(R\_DA)에 대한 에러 정정 동작을 수행하며, 경우에 따라서 리페어 동작을 수행할 수 있다. 리드 데이터(R\_DA)에 대한 리드 과정에서 에러가 존재하지 않은 경우, 모듈 컨트롤러(320)는 리드 데이터(R\_DA)를 호스트(200)로 전송한다. 에러가 발생되었더라도 에러가 정정되는 경우, 모듈 컨트롤러(320)는 에러가 정정된 리드 데이터(R\_DA)를 호스트(200)로 전송한다. 그러나 에러가 정정될 수 없는 경우, 모듈 컨트롤러(320)는, 호스트(200)의 요청 동작을 중지시킨 후, 메모리 미디어(310)에 대한 리페어 동작을 수행한다. 호스트(200)의 요청 동작을 중지시키기 위해, 모듈 컨트롤러(320)는 요청 중단 신호(REQ\_STOP)를 호스트(200)로 전송한다.

[0030] 모듈 컨트롤러(320)는, 먼저 제2 어드레스(ADDR2)에 의해 지정되는 메모리 미디어(310)의 영역의 리페어가 가능한지의 여부를 판별한다. 리페어가 가능하지 않는 경우, 모듈 컨트롤러(320)는 호스트(200)로 고장 신호(FAIL)를 전송한다. 리페어가 가능한 경우, 모듈 컨트롤러(320)는 메모리 미디어(310)의 제2 어드레스(ADDR2) 영역에 대해 리페어 동작을 위한 리페어 신호(REPAIR)를 메모리 미디어(310)에 전송한다. 구체적으로, 모듈 컨트롤러(320)는, 에러가 정정될 수 없는 경우인 것으로 판단될 때, 제2 어드레스(ADDR2)를 모듈 컨트롤러(320) 내에 저장시키고, 리페어 동작시 저장된 제2 어드레스(ADDR2)를 이용할 수 있다. 메모리 미디어(310)에 대한 리페어 동작이 이루어지면, 모듈 컨트롤러(320)는 호스트(200)로 재개 요청 신호(REQ\_RESUME)를 전송한다. 호스트(200)는 재개 요청 신호(REQ\_RESUME)에 응답하여 메모리 시스템(300)으로 후속의 요청 동작을 수행할 수 있다.

[0031] 도 4는 본 개시의 다른 예에 다른 메모리 시스템(300)의 모듈 컨트롤러(320) 구성을 나타내 보인 도면이다. 도 4를 도 3과 함께 참조하면, 모듈 컨트롤러(320)는, 요청 핸들러(321)와, 어드레스 변환 로직(322)과, 어드레스 저장소(323)와, 에러 정정 로직(324)과, 리페어 로직(325)와, 그리고 버퍼(326)를 포함하여 구성될 수 있다. 모듈 컨트롤러(320)를 구성하는 요청 핸들러(321), 어드레스 변환 로직(322), 어드레스 저장소(323), 에러 정정 로직(324), 및 리페어 로직(325)은 각각 도 1을 참조하여 설명한 메모리 컨트롤러(120)를 구성하는 요청 핸들러(121), 어드레스 변환 로직(122), 어드레스 저장소(123), 에러 정정 로직(124), 및 리페어 로직(125)과 동일하다. 본 예에 따른 모듈 컨트롤러(320)는, 위에서 언급한 바와 같이 버퍼(326)를 포함한다. 버퍼(326)는, 메모리 미디어(310)를 구성하는 휘발성 메모리 소자(311)와 불휘발성 메모리 소자(312) 사이의 액세스 레이턴시(access latency) 차이를 조정하기 위해 필요하다. 즉 버퍼(326)는, 휘발성 메모리 소자(311)에 비하여 상대적으로 액세스 레이턴시가 늦은 불휘발성 메모리 소자(312)로부터 출력된 리드 데이터(R\_DA)를 일시적으로 저장한다. 모듈 컨트롤러(320)는 적당한 타이밍에 버퍼(326)에 저장된 리드 데이터(R\_DA)를 액세스하여 에러 정정 동작을 수행한다.

[0032] 본 예에 따른 모듈 컨트롤러(320)의 동작을 설명하면, 호스트(200)로부터 전송되는 리드 커맨드(CMD\_R) 및 제1 어드레스(ADDR1)가 요청 핸들러(321)로 입력되면, 요청 핸들러(321)는, 호스트(200)로부터 전송된 제1 어드레스(ADDR1)를 어드레스 변환 로직(322)으로 입력시킨다. 어드레스 변환 로직(322)은, 제1 어드레스(ADDR1)를 제2 어드레스(ADDR2)로 변환하여 메모리 미디어(310)로 전송한다. 메모리 미디어(310)로부터 전송되는 리드 데이터(R\_DA)는 버퍼(326)에 저장되며, 요청 핸들러(321)는 호스트(200)로 리드 준비 완료 신호(RD\_RDY)를 전송한다.

호스트(200)로부터 샌드 신호(SEND)가 모듈 컨트롤러(320)로 전송되면, 모듈 컨트롤러(320)는 버퍼(326)에 저장된 리드 데이터(R\_DA)를 에러 정정 로직(324)으로 입력시킨다.

[0033] 에러 정정 로직(324)은, 리드 데이터(R\_DA)에 대한 에러 정정 동작을 수행한다. 리드 데이터(R\_DA)로부터 에러가 검출되지 않은 경우 에러 정정 로직(324)은 호스트(200)로 리드 데이터(R\_DA)를 전송한다. 반면에 리드 데이터(R\_DA)에 대한 에러가 검출된 경우, 에러 정정 로직(324)은 에러 정정이 가능한지의 여부를 판단한다. 에러 정정이 가능한 경우, 에러 정정 로직(324)은 에러를 정정한 후에 에러가 정정된 리드 데이터(R\_DA)를 호스트(200)로 전송한다. 반면에 에러 정정이 가능하지 않은 경우, 에러 정정 로직(324)은 어드레스 변환 로직(322)으로 제1 제어신호(CS1)를 전송하고, 리페어 로직(325)으로 제2 제어신호(CS2)를 전송한다. 또한 이 경우, 에러 정정 로직(324)은, 호스트(200)로 요청 중단 신호(REQ\_STOP)를 전송하여 내부 동작 시간(internal operation time)을 요청한다.

[0034] 어드레스 변환 로직(322)은 제1 제어신호(CS1)에 응답하여 제2 어드레스(ADDR2)를 어드레스 저장소(323)에 전송한다. 리페어 로직(325)은 제2 제어신호(CS2)에 응답하여 어드레스 저장소(323)에 저장된 제2 어드레스(ADDR2)를 액세스한 후, 메모리 미디어(310)의 제2 어드레스(ADDR2) 영역에 대한 리페어가 가능한지의 여부를 판단한다. 리페어가 불가능한 경우, 리페어 로직(325)은 고장 신호(FAIL)를 호스트(200)로 전송한다. 리페어가 가능한 경우, 리페어 로직(325)은 리페어 동작 수행을 위해, 리페어 신호(REPAIR)를 메모리 미디어(310)에 전송한다. 그리고 리페어 로직(325)은 호스트(200)로 재개 요청 신호(REQ\_RESUME)를 전송한다.

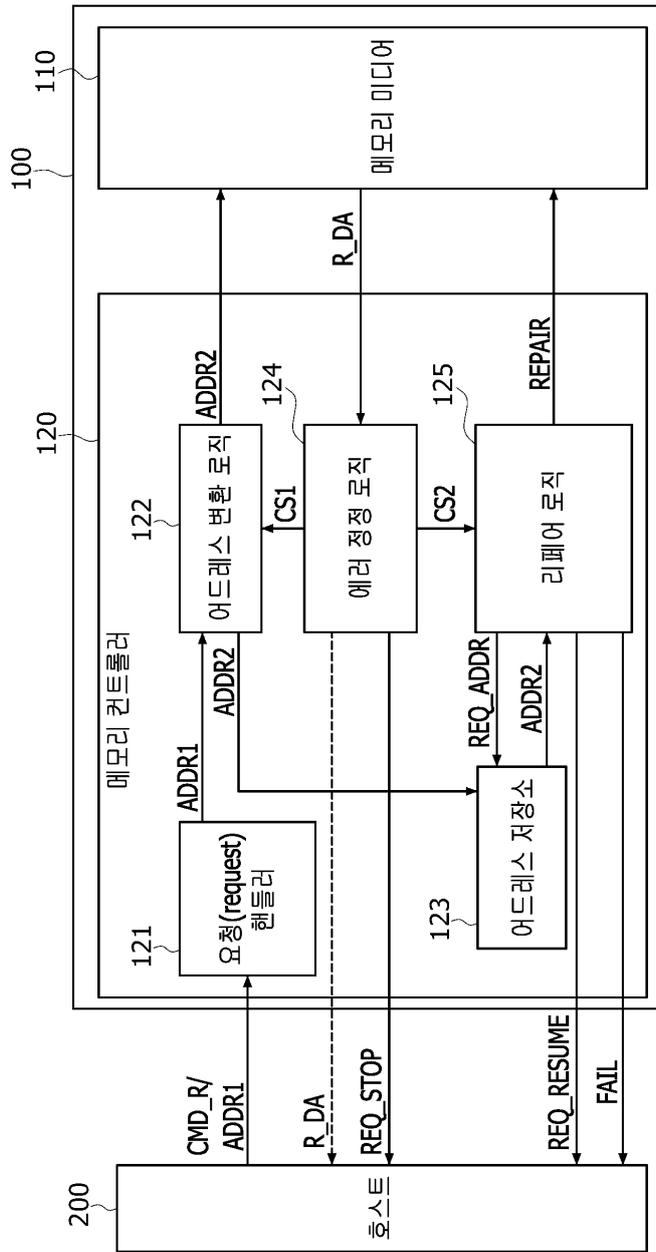
[0035] 상술한 바와 같이 본 출원의 실시 형태들을 도면들을 예시하며 설명하지만, 이는 본 출원에서 제시하고자 하는 바를 설명하기 위한 것이며, 세밀하게 제시된 형상으로 본 출원에서 제시하고자 하는 바를 한정하고자 한 것은 아니다.

**부호의 설명**

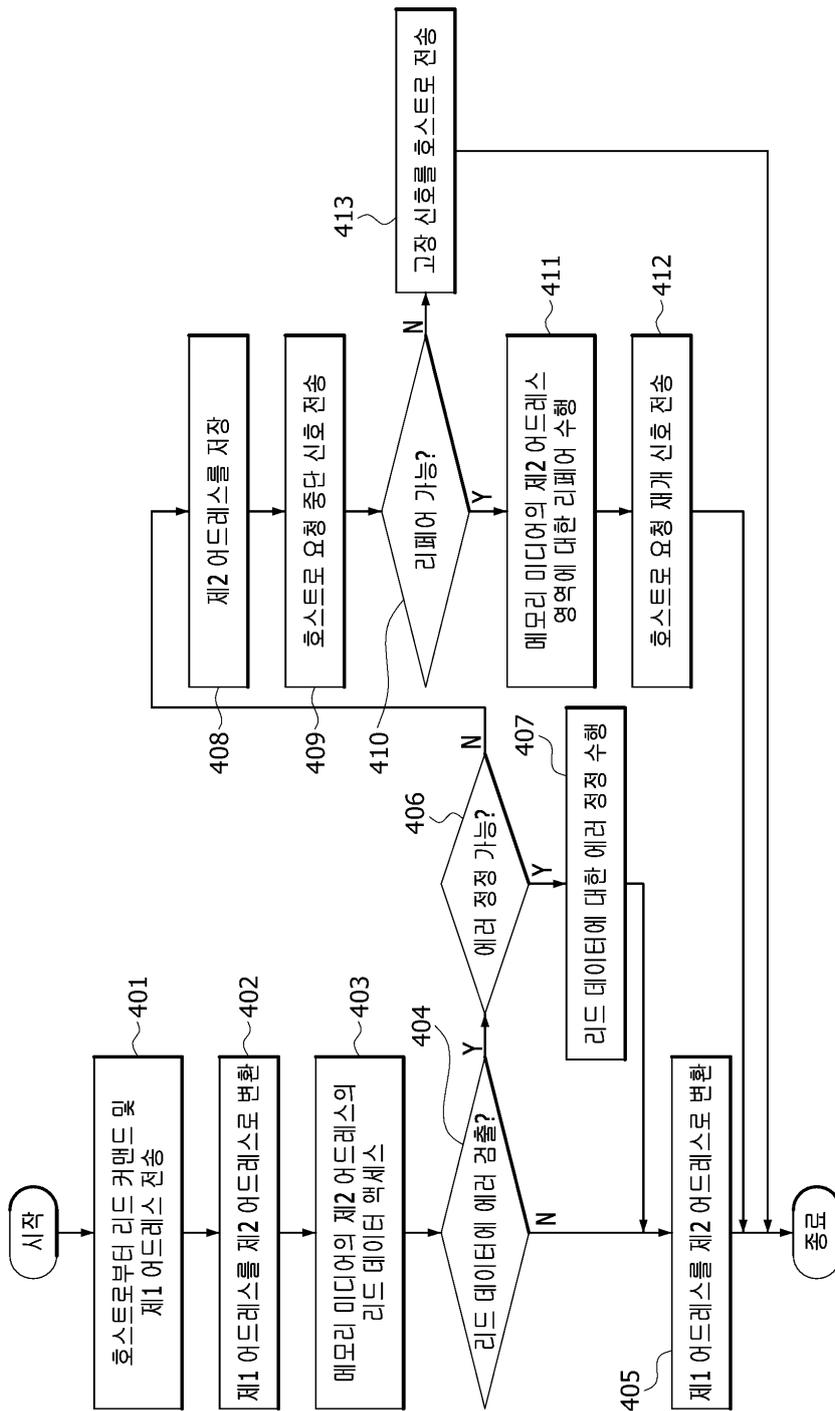
- |        |                  |                |
|--------|------------------|----------------|
| [0036] | 100...메모리 시스템    | 110...메모리 미디어  |
|        | 120...메모리 컨트롤러   | 121...요청 핸들러   |
|        | 122...어드레스 변환 로직 | 123...어드레스 저장소 |
|        | 124...에러 정정 로직   | 125...리페어 로직   |
|        | 200...호스트        |                |

도면

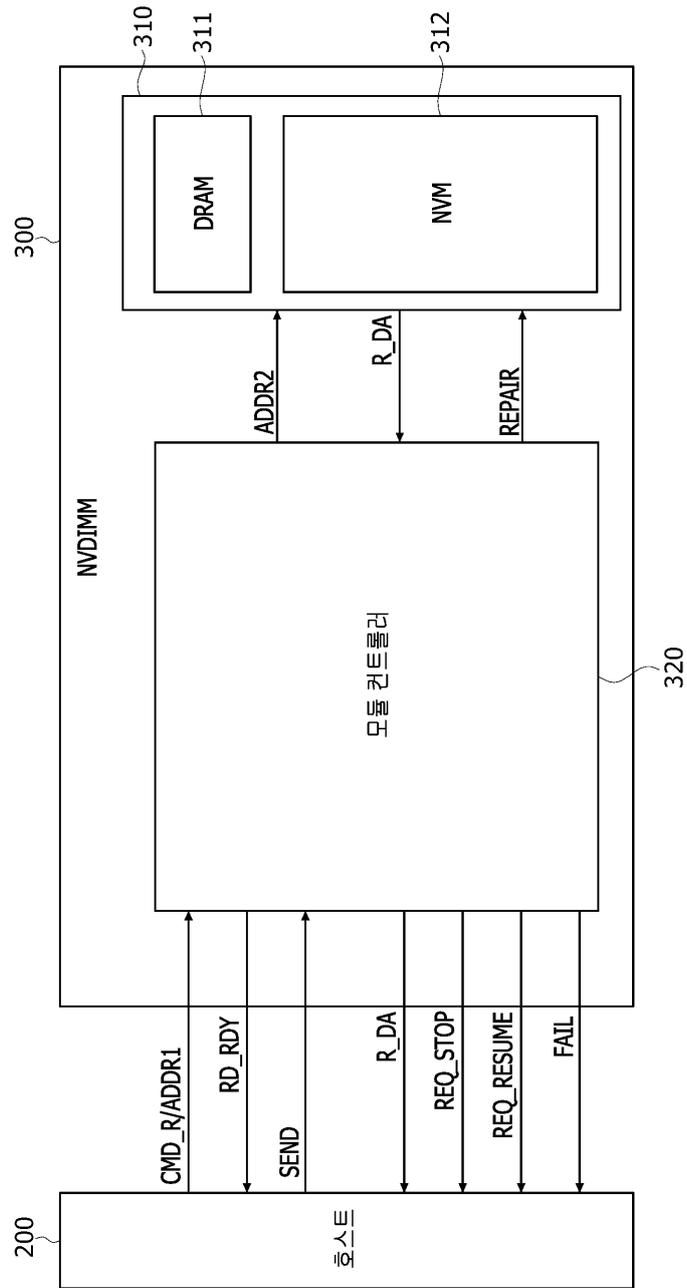
도면1



도면2



도면3



도면4

