

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4015319号
(P4015319)

(45) 発行日 平成19年11月28日(2007.11.28)

(24) 登録日 平成19年9月21日(2007.9.21)

(51) Int. Cl.	F I				
H03F 3/343 (2006.01)	H03F	3/343	A		
G05F 3/26 (2006.01)	G05F	3/26			
H03F 1/30 (2006.01)	H03F	1/30	B		
H03F 3/45 (2006.01)	H03F	3/45	A		

請求項の数 2 (全 13 頁)

(21) 出願番号	特願平11-197681	(73) 特許権者	000005223
(22) 出願日	平成11年7月12日(1999.7.12)		富士通株式会社
(65) 公開番号	特開2001-28523(P2001-28523A)		神奈川県川崎市中原区上小田中4丁目1番1号
(43) 公開日	平成13年1月30日(2001.1.30)	(74) 代理人	100072718
審査請求日	平成15年11月13日(2003.11.13)		弁理士 古谷 史旺
		(74) 代理人	100075591
			弁理士 鈴木 榮祐
		(72) 発明者	藤岡 伸也
			神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		(72) 発明者	船生 明裕
			神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

最終頁に続く

(54) 【発明の名称】 定電流発生回路および差動増幅回路

(57) 【特許請求の範囲】

【請求項1】

ドレインとゲートとが互いに接続されたバイアス用トランジスタと、
前記バイアス用トランジスタと同一のソース電位および同一のゲート電位が与えられる出力用トランジスタと、

前記バイアス用トランジスタの前記ドレインに接続され、該バイアス用トランジスタのソース・ドレイン間電圧を、該バイアス用トランジスタの閾値より大きく設定するとともに、電源電圧の変動による前記バイアス用トランジスタのドレイン電位の変動を防止する電圧制御部を有する電圧発生回路とを備え、

前記電圧制御部は、

ソースがカレントミラー回路を介して前記バイアストランジスタのドレインに接続された第1のトランジスタと、

ドレインとゲートとが互いに接続された第2のトランジスタと、

ドレインとゲートとが互いに接続された第3のトランジスタと、

前記第3のトランジスタのドレインと電源線との間に配置された抵抗とを有し、

前記第3のトランジスタのソースは、前記第2のトランジスタのドレインに接続されるとともに、

前記第1のトランジスタのゲートが前記第3のトランジスタのドレインに接続されたことを特徴とする定電流発生回路。

【請求項2】

請求項 1 記載の定電流発生回路を電流源として備えたことを特徴とする差動増幅回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電源電圧依存性の小さい定電流発生回路、差動増幅回路、およびこの差動増幅回路を備えた半導体集積回路に関する。

【0002】

【従来の技術】

マイクロコンピュータ、DRAM等の半導体集積回路は、年々、高速化されてきている。例えば、SDRAM (Synchronous DRAM) では、クロック信号に同期して入出力インタフェース回路を高速に動作させ、データの書き込み・読み出しを高速に行うことを可能にしている。

10

【0003】

図 10 は、この種の半導体集積回路に使用される入力バッファを示している。

入力バッファ 1 は、バイアス部 2 a およびドライバ部 2 b を有する定電流発生回路 2 と、差動増幅回路 3 とで構成されている。

バイアス部 2 a は、pMOSトランジスタ 4 と高抵抗 5 とで形成されている。pMOSトランジスタ 4 は、ソースを電源線 VDD に接続し、ドレインとゲートとをノード N1 に接続している。

高抵抗 5 は、一端をノード N1 に接続し、他端を接地線 VSS に接続している。ドライバ部 2 b は、pMOSトランジスタ 6 で形成されている。pMOSトランジスタ 6 は、ソースを電源線 VDD に接続し、ゲートをノード N1 に接続し、ドレインを差動増幅回路 3 の共通ソースであるノード N2 に接続している。pMOSトランジスタ 4、6 は、近接した位置に同じ大きさで形成されており、閾値 V_{T1} は、同一にされている。定電流発生回路 2 は、カレントミラー回路として構成されている。

20

【0004】

差動増幅回路 3 は、直列に接続された pMOSトランジスタ 7 a、nMOSトランジスタ 7 b および pMOSトランジスタ 8 a、nMOSトランジスタ 8 b とを備え、トランジスタ 7 b、8 b により、カレントミラー回路が構成されている。すなわち、pMOSトランジスタ 7 a は、ソースをノード N2 に接続し、ドレインを nMOSトランジスタ 7 b のドレインおよびゲートに接続し、入力信号 V_{IN1} をゲートで受けている。pMOSトランジスタ 8 a は、ソースをノード N2 に接続し、ドレインを nMOS 8 b のドレインに接続し、入力信号 V_{IN2} をゲートで受け、出力信号 OUT を pMOSトランジスタ 8 a および nMOSトランジスタ 8 b のドレインから出力している。nMOSトランジスタ 7 b、8 b のソースは、接地線 VSS に接続されている。

30

【0005】

以下、pMOSトランジスタ、nMOSトランジスタを単に pMOS、nMOS と称する。また、符号 VDD、VSS は、電源電圧、接地電圧としても使用する。

図 11 は、別の入力バッファ 9 を示している。入力バッファ 9 は、カレントミラー回路を nMOS で構成した定電流回路 10 と、カレントミラー回路を pMOS で構成した差動増幅回路 11 とで構成されている。入力バッファ 9 は、入力バッファ 1 の pMOS と nMOS とを入れ替え、電源電圧 VDD と接地電圧 VSS とを入れ替えた回路である。

【0006】

40

次に、入力バッファ 1 の動作について説明する。図 10 に示した入力バッファ 1 には、例えば、外部から供給される相補のクロック信号が入力信号 V_{IN1} 、 V_{IN2} として入力される。定電流発生回路 2 のバイアス部 2 a では、pMOS 4 および高抵抗 5 により、ノード N1 に所定の電位 V_1 が発生する。ここで、高抵抗 5 の抵抗値は、電位 V_1 が “ (電源電圧 VDD) - (閾値 $|V_{T1}|$) - (余裕) ” になるように設定されている。すなわち、余裕 により pMOS 4、6 のオン動作が保証されている。

【0007】

pMOS 6 のオン動作により、差動増幅回路 3 には、一定の供給電流 I_C が供給される。ここで、差動増幅回路 3 は、ノード N2 の電位 V_2 が “ (電源電圧 VDD) - (電位 V_1) + (閾値 $|V_{T1}|$) ” より小さくなるように形成されている。このため、pMOS 6 は、図 12 に示すように

50

、静特性の飽和領域で動作する。したがって、供給電流 I_C は、ノード N_2 の電位 V_2 が差動増幅回路3の動作で多少変化してもほとんど変化することはない。

【0008】

差動増幅回路3は、図13に示すように、入力信号 V_{IN1} 、 V_{IN2} を受け、増幅した信号を出力信号 OUT として出力する。

図11に示した入力バッファ9においても、入力バッファ1と同様に動作して入力信号 V_{IN1} 、 V_{IN2} が増幅され、出力信号 OUT として出力される。

【0009】

【発明が解決しようとする課題】

ところで、最近のSDRAMは、クロック周波数が高くなってきている。さらに、DDR-SDRAM (Double Data Rate-Synchronous DRAM) では、相補のクロック信号の立ち上がりそれぞれ同期してデータ信号の入出力が行われている。このため、SDRAMおよびDDR-SDRAMは、従来のDRAMに比べ、電源ノイズが発生しやすい。また、電源配線および接地配線に流れる電流が増えることで、電圧降下が発生するため、電源電圧 V_{DD} および接地電圧 V_{SS} は変動しやすい。具体的には、電源電圧 V_{DD} および接地電圧 V_{SS} が、チップの離れた位置において相違してしまう。

【0010】

例えば、図10に示した入力バッファ1において、接地電圧 V_{SS} が正側に変動した場合には、図13に破線で示したように、ノード N_1 の電位 V_1 が上昇する。電位 V_1 が上昇することで、差動増幅回路3に供給される供給電流 I_C が減少するため、入力信号 V_{IN1} 、 V_{IN2} の増幅速度が遅くなり、出力信号 OUT の出力タイミングが破線で示すように遅くなるという問題があった。

【0011】

また、接地電圧 V_{SS} が負側に変化した場合には、一点鎖線で示したように、ノード N_1 の電位 V_1 が下降する。電位 V_1 が下降することで、差動増幅回路3に供給される供給電流 I_C が増大するため、出力信号 OUT の出力タイミングが一点鎖線で示すように早くなるという問題があった。

この結果、回路のタイミング余裕が減少し、タイミング設計が行いにくいという問題があった。

【0012】

図11に示した入力バッファ9においても、電源電圧 V_{DD} が変動した場合には、上記と同様な問題が発生し、回路のタイミング余裕が減少する。

本発明の目的は、接地電圧 V_{SS} あるいは電源電圧 V_{DD} が変動しても、供給電流が変動することのない定電流発生回路を提供することにある。

本発明の別の目的は、接地電圧 V_{SS} あるいは電源電圧 V_{DD} が変動しても、増幅速度が変動することのない差動増幅回路を提供することにある。

【0013】

本発明の別の目的は、増幅速度が変動することのない差動増幅回路を備えた半導体集積回路を提供することにある。

【0014】

【課題を解決するための手段】

図1は、本発明に関連する半導体集積回路の基本原理を示すブロック図である。

【0015】

図1の定電流発生回路では、ドレインとゲートとが互いに接続されたバイアス用トランジスタ12と、出力用トランジスタ13とを備えている。出力用トランジスタ13の閾値 V_{T13} は、バイアス用トランジスタの閾値 V_{T12} より小さくされている。出力用トランジスタ13には、バイアス用トランジスタ12と同一のソース電位および同一のゲート電位が与えられている。このため、出力用トランジスタ13およびバイアス用トランジスタ12のソース・ゲート間電圧は常に同一になる。一方で、出力用トランジスタ13のソース・ドレイン間電流 I_C は、バイアス用トランジスタ12のソース・ドレイン間電流に比べ、閾値

10

20

30

40

50

の低い分だけ大きくなる。このため、バイアス用トランジスタ12のドレイン電位が変動して、ソース・ゲート間電圧が低下しても、出力用トランジスタ13は、安定したソース・ドレイン間電流ICを出力することが可能になる。

【0016】

図1の定電流発生回路では、バイアス用トランジスタ12のドレインに電圧発生回路14が接続されている。電圧発生回路14は、バイアス用トランジスタ12のドレインに所定の電位を与え、バイアス用トランジスタ12のソース・ドレイン間電圧を閾値 V_{T12} よりわずかに大きくする。このため、バイアス用トランジスタ12のドレイン電位は、バイアス用トランジスタ12のソース電位に近づく。したがって、電源電圧VDD、VSSの変動による影響を受けにくくなる。

10

【0017】

例えば、バイアス用トランジスタ12がpMOSトランジスタの場合、接地電圧VSSの変動による影響を受けにくくなる。バイアス用トランジスタ12はダイオード接続されているため、電源電圧VDDの変動による影響も受けにくい。例えば、バイアス用トランジスタ12がnMOSトランジスタの場合、電源電圧VDD、VSSの変動による影響を受けにくくなる。この結果、電源電圧VDD、VSSの変動によらず、出力用トランジスタ13は、一定のソース・ドレイン間電流ICを出力することが可能になる。

【0018】

図2は、本発明の基本原理を示すブロック図である。

本発明の定電流発生回路では、ドレインとゲートとが互いに接続されたバイアス用トランジスタ16と、出力用トランジスタ17と、バイアス用トランジスタ16のドレインに接続された電圧発生回路18とを備えている。出力用トランジスタ17には、バイアス用トランジスタ16と同一のソース電位および同一のゲート電位が与えられている。電圧発生回路18は、バイアス用トランジスタ16のドレインに所定の電位を与え、バイアス用トランジスタ16のソース・ドレイン間電圧を、バイアス用トランジスタ16の閾値 V_{T16} よりわずかに大きくする。さらに、電圧発生回路18の電圧制御部19は、電源電圧VDD、VSSの変動によるバイアス用トランジスタ16のドレイン電圧の変動を防止する。このため、バイアス用トランジスタ16のドレイン電位は、電源電圧VDD、VSSの変動による影響を受けることなく、所定の値に保持される。この結果、電源電圧VDD、VSSの変動によらず、出力用トランジスタ17は、一定のソース・ドレイン間電流ICを出力することが可能になる。

20

30

【0019】

本発明の差動増幅回路では、定電流発生回路から供給される供給電流ICが、電源電圧VDD、VSSの変動によらず常に一定にされるため、差動入力する信号VIN1、VIN2の増幅速度が常に一定にされ、増幅した信号OUTの出力タイミングの変動が防止される。

【0020】

【発明の実施の形態】

以下、本発明の実施形態を図面を用いて説明する。

【0021】

図3は、本発明の定電流発生回路、差動増幅回路、および半導体集積回路の第1の実施形態を示している。

40

この実施形態の半導体集積回路は、シリコン基板上に、CMOSプロセス技術を使用して、例えば、DDR-SDRAM20として形成されている。DDR-SDRAM20は、相補のクロック信号CLK、/CLKの立ち上がり同期してデータ信号の入出力を行う。

【0022】

なお、従来技術で説明した回路と同一の回路については、同一の符号を付し、これ等の回路については、詳細な説明を省略する。

DDR-SDRAM20は、外部から供給されるクロック信号CLK、/CLKを取り込む入力バッファ22と、入力信号SIGを取り込む複数の入力バッファ24と、制御回路26と、メモリコア部28と、データ信号DQの入出力を行う複数の入出力バッファ30とを備えて構成されて

50

いる。入力バッファ22、24により取り込まれた各信号は内部クロック信号CLKIN、内部信号SIGINとして制御回路26に出力されている。

【0023】

図4は、入力バッファ22の詳細を示している。

入力バッファ22は、バイアス部32aおよびドライバ部32bを有する定電流発生回路32と、差動増幅回路3とで構成されている。差動増幅回路3は、従来と同一の回路である。

入力バッファ22のバイアス部32aは、pMOS36と高抵抗38とで形成されている。pMOS36は、バイアス用トランジスタに対応し、高抵抗38は、電圧発生回路に対応している。pMOS36の閾値は、 V_{T2} にされている。pMOS36は、ソースを電源線VDDに接続し、ドレインとゲートとをノードN3に接続している。高抵抗38は、一端をノードN3に接続し、他端を接地線VSSに接続している。高抵抗38は、例えば、n形拡散層を使用して形成されている。高抵抗38の抵抗値は、pMOS36のオン抵抗に対してある程度高くされている。具体的には、ノードN3の電位 $V3$ が、“(電源電圧VDD) - (閾値 $|V_{T2}|$)”より若干低くなるように設定されている。すなわち、電位 $V3$ には、従来有していた“余裕”はほとんどない。

10

【0024】

ドライバ部22bは、pMOS40で形成されている。pMOS40は、出力用トランジスタに対応している。pMOS40は、ソースを電源線VDDに接続し、ゲートをノードN3に接続し、ドレインを差動増幅回路3の共通ソースであるノードN4に接続している。pMOS40の閾値 V_{T3} は、pMOS36の閾値 V_{T2} より低くされている。pMOS40の閾値 V_{T3} の調整は、例えば、ゲートを形成する前に、チャネル領域にホウ素等をイオン注入することで行われる。また、チャネル長を変えることで閾値 V_{T2} 、 V_{T3} の調整を行ってもよい。pMOS40は、閾値 V_{T3} が低くされているため、電位 $V3$ に従来必要であった“余裕”がなくとも所定の電流供給能力を有している。また、閾値 V_{T3} を低くしているため、高抵抗38の抵抗値を高くして電位 $V3$ を電源電圧VDD側に近づけることができる。このため電位 $V3$ は、接地電圧VSSの変動の影響を受けにくくなる。

20

【0025】

差動増幅回路3のpMOS7a、8aのソースは、ノードN4に接続されている。pMOS7a、8aのゲートには、それぞれクロック信号CLK、 $\overline{\text{CLK}}$ が供給されている。pMOS8aおよびnMOS8bのドレインからは、内部クロック信号CLKINが出力されている。

30

また、図3に示した入力バッファ24は、入力バッファ22と同一の回路である。特に図示していないが、入力バッファ24は、差動増幅回路3のpMOS7aのゲートで入力信号DINを受け、pMOS8aのゲートで参照電圧を受け、内部信号SIGINを出力している。

【0026】

次に、上述した入力バッファ22の動作について説明する。

定電流発生回路32のバイアス部32aでは、pMOS36および高抵抗38により、ノードN3に所定の電位 $V3$ が発生する。電位 $V3$ は、上述したように、“(電源電圧VDD) - (閾値 $|V_{T2}|$)”より若干低くなるように設定されている。

pMOS36には、所定のバイアス電流 I_V が流れる。pMOS40には、電位 $V3$ に応じた供給電流 I_C が流れる。ここで、pMOS40の閾値 V_{T3} は、pMOS36の閾値 V_{T2} より低い。このため、ソース・ゲート間電圧が同一にもかかわらず、供給電流 I_C は、バイアス電流 I_V より大きい。供給電流 I_C は、差動増幅回路3に供給される。

40

【0027】

高抵抗38の抵抗値が高くされ、ノードN3の電圧 $V3$ が電源電圧VDDに近づいているため、他の回路の動作により、接地電圧VSSが上昇あるいは下降した場合にも、電位 $V3$ は、接地電圧VSSの変動の影響を受けにくい。すなわち、ノードN3の電圧 $V3$ の変動は小さく、供給電流 I_C は、接地電圧VSSの変動によらず一定になる。

差動増幅回路3は、ノードN4の電位 $V4$ が、“(電源電圧VDD) - (電位 $V3$) + (閾値 $|V_{T3}|$)”より小さくなるように形成されている。このため、pMOS40は飽和領域で動作する

50

。したがって、供給電流ICは、ノードN4の電位V4が差動増幅回路3の動作で多少変化してもほとんど変化することはない。

【0028】

そして、差動増幅回路3は、クロック信号CLK、/CLKを受け、増幅した信号を内部クロック信号CLKINとして出力する。ここで、上述したように、接地電圧VSSが変動しても、電位V3および供給電流ICはほとんど変動しない。このため、差動増幅回路3による内部クロック信号CLKINの生成タイミングがずれることはなく、回路のタイミング余裕が減少することはない。

【0029】

なお、図3に示した入力バッファ24においても、入力バッファ22と同様に、接地電圧VSSが変動した場合、内部信号SIGINの生成タイミングがずれることはない。

以上のように構成された定電流発生回路では、ドライバ部32bのpMOS40の閾値VT3を、バイアス部32aのpMOS36の閾値VT2より小さくしたので、電圧降下等で接地電圧VSSが変動し、pMOS36、40のソース・ゲート間電圧が低下しても、pMOS40は、安定した供給電流ICを差動増幅回路3に供給することができる。

【0030】

高抵抗38の抵抗値を、pMOS36のオン抵抗に対してある程度高くし、ノードN3の電圧V3を電源電圧VDDに近づけたので、接地電圧VSSの変動によるノードN3の電位V3の変動を小さくすることができる。このため、pMOS40は、常に一定の供給電流ICを差動増幅回路3に供給することができる。

【0031】

以上のように構成された差動増幅回路では、定電流発生回路32を電流源としたので、接地電圧VSSの変動によらず、差動入力するクロック信号CLK、/CLKの増幅速度を常に一定にすることができる。したがって、増幅した内部クロック信号CLKINの出力タイミングが変動することを防止することができる。

以上のように構成された半導体集積回路では、定電流発生回路32を電流源とする差動増幅回路3を使用して入力バッファ22を構成したので、接地電圧VSSの変動によらず、差動増幅回路3で増幅された内部クロック信号CLKINの出力タイミングを一定にすることができる。この結果、回路のタイミング余裕が減少することを防止することができる。

【0032】

図5は、本発明の定電流発生回路、差動増幅回路、および半導体集積回路の第2の実施形態における入力バッファ42の詳細を示している。

この実施形態では、第1の実施形態の入力バッファ22の代わりに、入力バッファ42が使用されている。それ以外の構成は、上述した第1の実施形態と同一である。

【0033】

入力バッファ42は、バイアス部44aおよびドライバ部44bを有する定電流発生回路44と、差動増幅回路11とで構成されている。差動増幅回路11は図11に示した従来の差動増幅回路11と同一の回路である。

入力バッファ42のバイアス部44aは、nMOS46と高抵抗48とで形成されている。nMOS46は、バイアス用トランジスタに対応し、高抵抗48は、電圧発生回路に対応している。nMOS46の閾値は、VT4にされている。nMOS46は、ソースを接地線VSSに接続し、ドレインとゲートとをノードN5に接続している。高抵抗48は、一端をノードN5に接続し、他端を電源電圧VDDに接続している。高抵抗48は、例えば、p形拡散層を使用して形成されている。高抵抗48の抵抗値は、nMOS46のオン抵抗に対してある程度高くされている。具体的には、ノードN5の電位V5が、“(電源電圧VDD) - (閾値 | VT4 |)”より若干高くなるように設定されている。

【0034】

ドライバ部44bは、nMOS50で形成されている。nMOS50は、出力用トランジスタに対応している。nMOS50は、ソースを接地線VSSに接続し、ゲートをノードN5に接続し、ドレインを差動増幅回路11の共通ソースであるノードN6に接続している。nMOS50の閾値

10

20

30

40

50

VT5は、nMOS 46の閾値VT4より低くされている。nMOS 50の閾値VT5の調整は、例えば、ゲートを形成する前に、チャネル領域にヒ素等をイオン注入することで行われる。また、チャネル長を変えることで閾値VT4、VT5の調整を行ってもよい。電位V5をゲートで受けるnMOS 50は、閾値VT5が低くされているため、nMOS 50は、閾値VT5が低くされているため、電位V5に従来必要であった“余裕”がほとんどなくても所定の電流供給能力を有している。また、閾値VT5を低くしているため、高抵抗48の抵抗値を高くして電位V5を接地電圧VSS側に近づけることができる。このため電位V5は、電源電圧VDDの変動の影響を受けにくくなる。

【0035】

差動増幅回路11のnMOS 11a、11bのソースは、ノードN6に接続されている。nMOS 11a、11bのゲートには、それぞれクロック信号CLK、/CLKが供給されている。pMOS 11cのゲートとドレインとは互いに接続されている。nMOS 11aおよびpMOS 11dのドレインからは、内部クロック信号CLKINが出力されている。

入力バッファ42は、第1の実施形態の入力バッファ22のpMOSとnMOSとを入れ替え、電源電圧VDDと接地電圧VSSとを入れ替えた回路である。

【0036】

この実施形態においても、上述した第1の実施形態と同様の効果を得ることができる。

図6は、本発明の定電流発生回路、差動増幅回路、および半導体集積回路の第3の実施形態における入力バッファ52の詳細を示している。

【0037】

この実施形態では、上述した第1の実施形態の入力バッファ22の代わりに、入力バッファ52が使用されている。それ以外の構成は、第1の実施形態と同一である。

入力バッファ52は、バイアス部54aおよびドライバ部22bを有する定電流発生回路54と、差動増幅回路3とで構成されている。ドライバ部22bおよび差動増幅回路3は、第1の実施形態と同一の回路である。定電流発生回路54のバイアス部54aには、第1の実施形態の高抵抗38の代わりに電圧制御部56が形成されている。

【0038】

電圧制御部56は、ダイオード接続された2つのnMOS 58a、58bと、高抵抗60と、カレントミラー回路を構成するnMOS 62a、62bと、このカレントミラー回路に流れる電流を制御するnMOS 64とで形成されている。nMOS 58aのソースは接地線VSSに接続されている。nMOS 58bのドレインは、ノードN7に接続されている。高抵抗60は、一端を電源線VDDに接続し、他端をノードN7に接続している。nMOS 62aは、ソースを接地線VSSに接続し、ゲートとドレインとをノードN8に接続している。nMOS 62bは、ソースを接地線VSSに接続し、ゲートをノードN8に接続し、ドレインをpMOS 36のドレインおよびゲートに接続している。nMOS 64は、ドレインを電源線VDDに接続し、ゲートをノードN7に接続し、ソースをノードN8に接続している。pMOS 36、40の閾値は、第1の実施形態と同じVT2、VT3である。

【0039】

次に、入力バッファ52の動作について説明する。

ノードN7の電位V7は、nMOS 58a、58bの閾値の和になり、回路動作等で発生するノイズで接地電圧VSSが変動した場合には、その変動分だけ上昇または下降する。ノードN8の電位V8は、nMOS 62a、64のオン抵抗の比で決まる電位である。この実施形態では、nMOS 64の特性は、電位V8が接地電圧VSSの変動分だけ変動するように決められている。このため、nMOS 62a、62bのソース・ゲート間電圧は、接地電圧VSSの変動によらず一定になる。したがって、nMOS 62bは定電流源として動作する。この結果、接地電圧VSSの変動によらず、ノードN3の電位V3および供給電流ICは常に一定になる。そして、差動増幅回路3は、クロック信号CLK、/CLKを受け、増幅した信号を内部クロック信号CLKINとして出力する。

【0040】

この実施形態においても、上述した第1の実施形態と同様の効果を得ることができる。

さらに、この実施形態では、ノードN3の電位V3を、接地電圧VSSの変動によらず一定に保持する電圧制御部56を形成したので、より安定して供給電流ICを差動増幅回路3に供給することができる。

【0041】

図7は、本発明の定電流発生回路、差動増幅回路、および半導体集積回路の第4の実施形態における入力バッファ62の詳細を示している。

この実施形態の入力バッファ62では、上述した第3の実施形態のドライバ部22bのpMOS40の代わりに、pMOS64が形成されている。pMOS64の閾値は、バイアス部54aのpMOS36の閾値VT2と同一にされている。それ以外の構成は、第3の実施形態と同一である。

10

【0042】

この実施形態においても、上述した第3の実施形態と同様の効果を得ることができる。

さらに、この実施形態では、電圧制御部56により、接地電圧VSSの変動によらずノードN3の電位V3が一定になる。このため、pMOS64の閾値をpMOS36の閾値VT2と同一にしても、十分な供給電流ICを差動増幅回路3に供給することができる。

【0043】

pMOS64の閾値をpMOS36の閾値VT2と同一にできるため、同一のトランジスタを使うことで、パラメータ変動に対する影響を受けにくくすることができ、安定した動作を行うことができる。

図8は、本発明の定電流発生回路、差動増幅回路、および半導体集積回路の第3の実施形態における入力バッファ66の詳細を示している。

20

【0044】

この実施形態の入力バッファ66は、上述した第3の実施形態のpMOSとnMOSとを入れ替え、電源電圧VDDと接地電圧VSSとを入れ替えた回路である。

入力バッファ66は、バイアス部68aおよびドライバ部44bを有する定電流発生回路68と、差動増幅回路11とで構成されている。ドライバ部44bおよび差動増幅回路11は、第2の実施形態と同一の回路である。定電流発生回路68のバイアス部68aには、第2の実施形態の高抵抗48の代わりに電圧制御部70が形成されている。

【0045】

電圧制御部70は、ダイオード接続された2つのpMOS72a、72bと、高抵抗74と、カレントミラー回路を構成するpMOS76a、76bと、このカレントミラー回路に流れる電流を制御するpMOS78とで形成されている。pMOS72aのソースは電源線VDDに接続されている。pMOS72bのドレインは、ノードN9に接続されている。高抵抗74は、一端を接地線VSSに接続し、他端をノードN9に接続している。pMOS76aは、ソースを電源線VDDに接続し、ゲートとドレインとをノードN10に接続している。pMOS76bは、ソースを電源線VDDに接続し、ゲートをノードN10に接続し、ドレインをnMOS46のドレインおよびゲート(ノードN5)に接続している。pMOS78は、ドレインを接地線VSSに接続し、ゲートをノードN9に接続し、ソースをノードN10に接続している。pMOS46、50の閾値は、第2の実施形態と同じVT4、VT5である。

30

【0046】

この実施形態においても、上述した第1および第3の実施形態と同様の効果を得ることができる。

40

なお、上述した実施形態では、本発明をDDR SDRAMに適用した例について述べた。これに限らず、本発明は、SDRAM、マイクロコンピュータ、システムLSI等に適用することができる。特に、入力信号の取り込みを高速で行う半導体集積回路に適用すると、高い効果が得られる。

【0047】

上述した第5の実施形態では、ドライバ部44bのnMOS50の閾値VT5をnMOS46の閾値VT4より低くした例について述べた。これに限らず、図9に示すように、ドライバ部44bにnMOS46と同一の閾値VT4を有するnMOS80を形成しても良い。

50

【 0 0 5 4 】

【 発明の効果 】

請求項 1 の定電流発生回路では、電源電圧が変動し、出力用トランジスタのソース・ゲート間電圧が低下しても、出力用トランジスタは、安定したソース・ドレイン間電流を供給することができる。

【 0 0 5 5 】

また、電源電圧の変動によるバイアス用トランジスタのドレイン電位の変動を受けにくくことができ、出力用トランジスタは、常に一定の電流を供給することができる。

また、電源電圧の変動によらず、バイアス用トランジスタのドレイン電位を一定にすることができ、出力用トランジスタは、常に一定の電流を供給することができる。

10

【 0 0 5 6 】

請求項 2 の差動増幅回路では、電源電圧の変動によらず、差動入力する信号の増幅速度を一定にすることができ、増幅した信号の出力タイミングが変動することを防止することができる。

【 図面の簡単な説明 】

【 図 1 】 本発明に関連する半導体集積回路の基本原理を示すブロック図である。

【 図 2 】 本発明の基本原理を示すブロック図である。

【 図 3 】 本発明の定電流発生回路、差動増幅回路、および半導体集積回路の第 1 の実施形態を示すブロック図である。

【 図 4 】 第 1 の実施形態の入力バッファを示す回路図である。

20

【 図 5 】 第 2 の実施形態の入力バッファを示す回路図である。

【 図 6 】 第 3 の実施形態の入力バッファを示す回路図である。

【 図 7 】 第 4 の実施形態の入力バッファを示す回路図である。

【 図 8 】 第 5 の実施形態の入力バッファを示す回路図である。

【 図 9 】 入力バッファの別の例を示す回路図である。

【 図 10 】 従来の入力バッファを示す回路図である。

【 図 11 】 従来別の入力バッファを示す回路図である。

【 図 12 】 pMOSトランジスタの静特性を示す図である。

【 図 13 】 従来入力バッファの動作を示すタイミング図である。

【 符号の説明 】

30

3 差動増幅回路

1 1 差動増幅回路

2 0 DDR-SDRAM

2 2 入力バッファ

2 2 a バイアス部

2 2 b ドライバ部

2 4 入力バッファ

2 6 制御回路

2 8 メモリコア部

3 0 入出力バッファ

40

3 2 定電流発生回路

3 2 a バイアス部

3 2 b ドライバ部

3 6 pMOS

3 8 高抵抗

4 0 pMOS

4 2 入力バッファ

4 4 a バイアス部

4 4 b ドライバ部

4 4 定電流発生回路

50

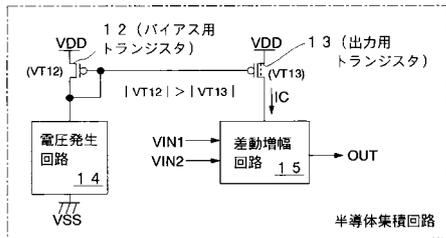
- 4 6 nMOS
- 4 8 高抵抗
- 5 0 nMOS
- 5 2 入力バッファ
- 5 4 a バイアス部
- 5 4 定電流発生回路
- 5 6 電圧制御部
- 6 2 入力バッファ
- 6 4 pMOS
- 6 6 入力バッファ
- 6 8 a バイアス部
- 6 8 定電流発生回路
- 7 0 電圧制御部
- CLK、/CLK クロック信号
- CLKIN 内部クロック信号
- DQ データ信号
- SIG 入力信号
- SIGIN 内部信号
- VDD 電源線
- VSS 接地線
- VT2、VT3、VT4、VT5 閾値

10

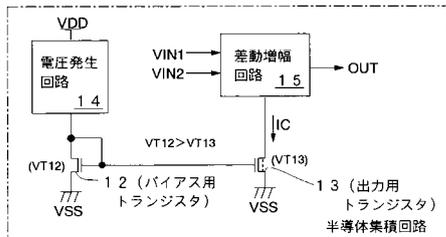
20

【図1】

本発明に関連する半導体集積回路の基本原理を示すブロック図



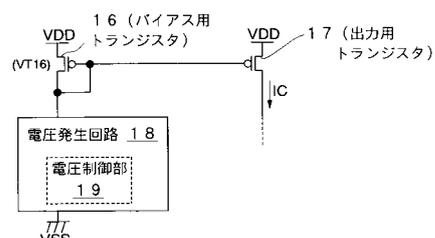
(a) pMOSトランジスタで構成



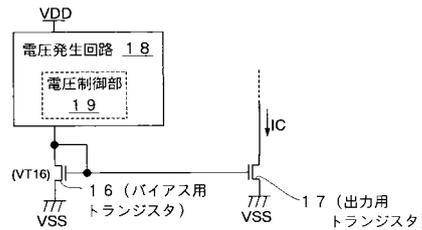
(b) nMOSトランジスタで構成

【図2】

本発明の基本原理を示すブロック図



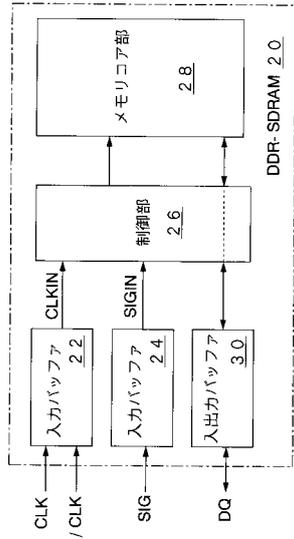
(a) pMOSトランジスタで構成



(b) nMOSトランジスタで構成

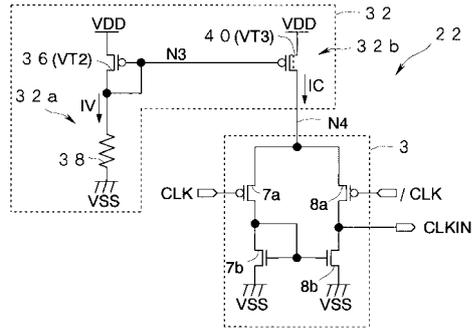
【 図 3 】

本発明の定電流発生回路、差動増幅回路、および半導体集積回路の第1の実施形態を示すブロック図



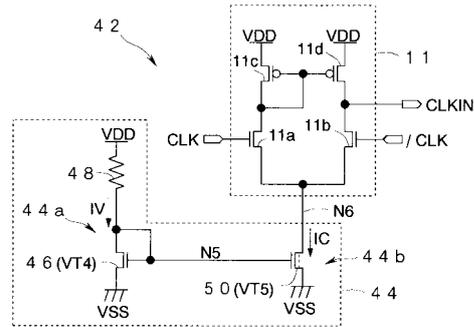
【 図 4 】

第1の実施形態の入カバッファを示す回路図



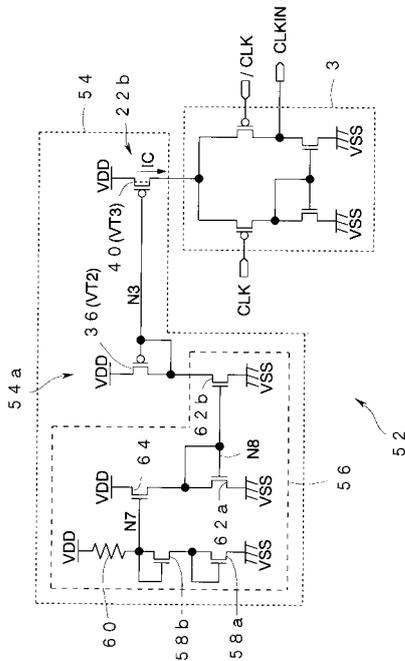
【 図 5 】

第2の実施形態の入カバッファを示す回路図



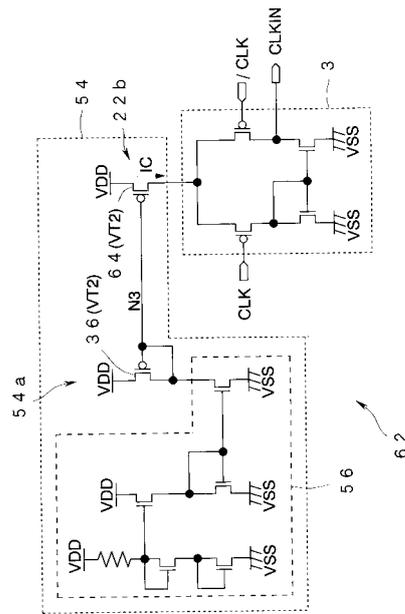
【 図 6 】

第3の実施形態の入カバッファを示す回路図

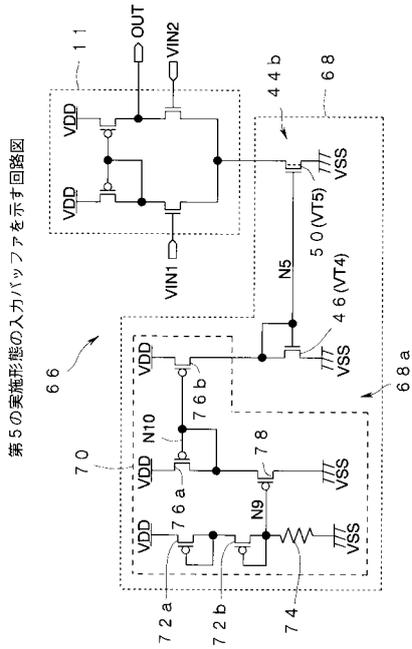


【 図 7 】

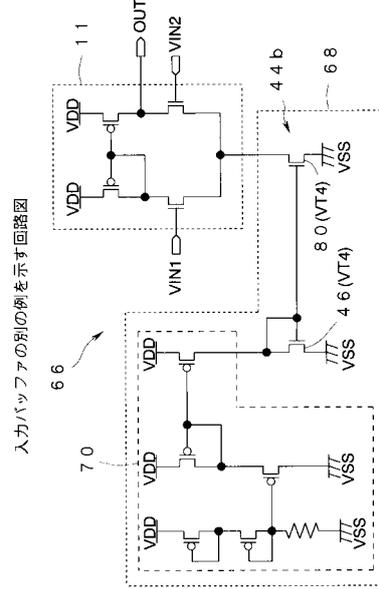
第4の実施形態の入カバッファを示す回路図



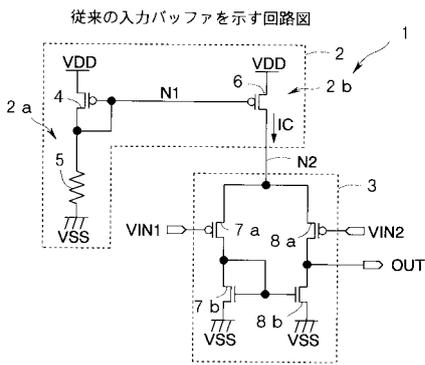
【 図 8 】



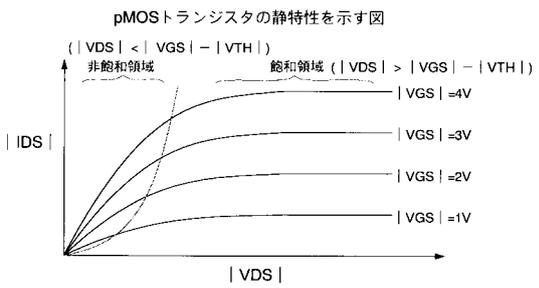
【 図 9 】



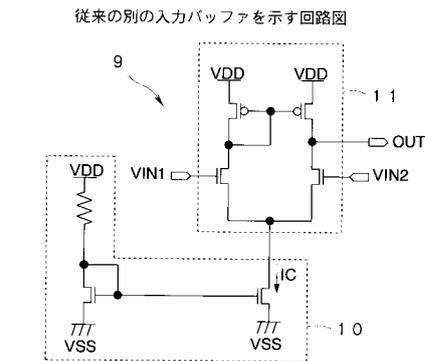
【 図 10 】



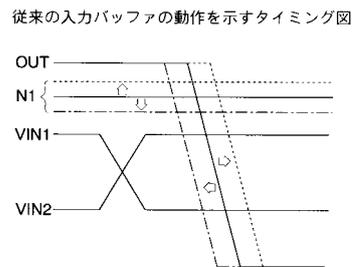
【 図 12 】



【 図 11 】



【 図 13 】



フロントページの続き

審査官 佐藤 聡史

(56)参考文献 特開昭57-060711(JP,A)
特開平03-222195(JP,A)
国際公開第99/031797(WO,A1)

(58)調査した分野(Int.Cl.,DB名)
H03F 1/00-3/72