



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2024년08월05일
(11) 등록번호 10-2691653
(24) 등록일자 2024년07월31일

(51) 국제특허분류(Int. Cl.)
H10B 12/00 (2023.01) H01L 21/28 (2006.01)
H01L 21/3205 (2006.01) H01L 21/768 (2006.01)
(52) CPC특허분류
H10B 12/31 (2023.02)
H01L 21/28061 (2022.02)
(21) 출원번호 10-2019-0067556
(22) 출원일자 2019년06월07일
심사청구일자 2022년04월14일
(65) 공개번호 10-2020-0140645
(43) 공개일자 2020년12월16일
(56) 선행기술조사문헌
KR1020150053020 A*
KR1020150015648 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
박태진
경기도 용인시 수지구 성북1로164번길 20, 105동 602호
김근남
경기도 용인시 기흥구 흥덕3로 20, 1212동 905호 (뒷면에 계속)
(74) 대리인
박영우

전체 청구항 수 : 총 10 항

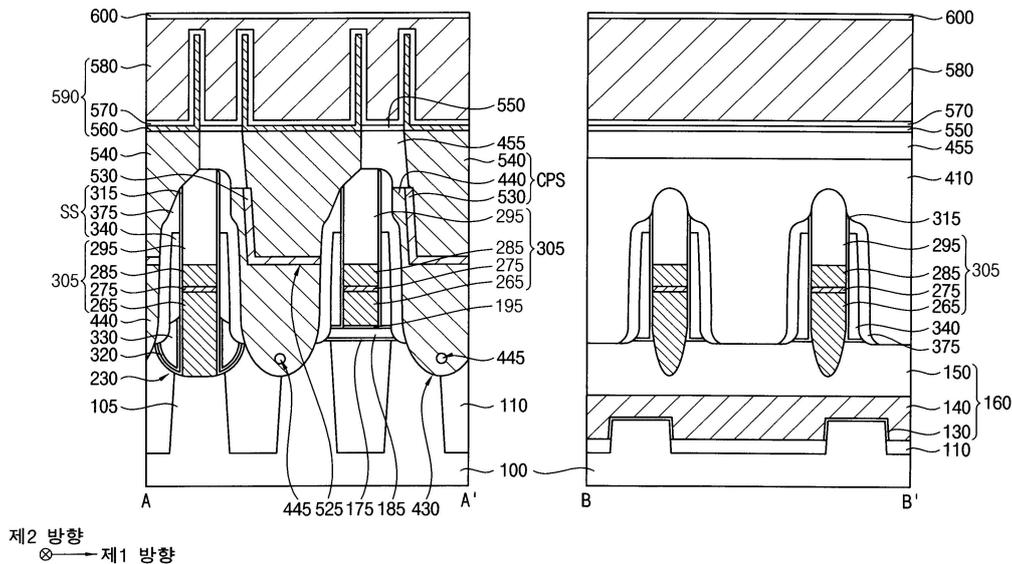
심사관 : 김중호

(54) 발명의 명칭 반도체 장치

(57) 요약

반도체 장치는, 기판 상에 형성된 비트 라인 구조물, 상기 비트 라인 구조물에 인접하여 상기 기판의 상면에 수직한 수직 방향으로 연장된 콘택 플러그 구조물, 및 상기 콘택 플러그 구조물에 전기적으로 연결된 커패시터를 포함할 수 있으며, 상기 콘택 플러그 구조물은 순차적으로 적층된 하부 콘택 플러그, 금속 실리사이드 패턴, 및 상부 콘택 플러그를 포함할 수 있고, 상기 금속 실리사이드 패턴은 "L"자 형상의 단면을 가질 수 있다.

대표도



(52) CPC특허분류

H01L 21/32051 (2013.01)

H01L 21/76897 (2013.01)

H10B 12/033 (2023.02)

H10B 12/485 (2023.02)

(72) 발명자

김희중

경기도 성남시 분당구 정자일로 248, 602동 3205호

박소현

서울특별시 영등포구 여의대방로43나길 25, 105동
2203호

조재환

경기도 수원시 팔달구 월드컵로211번길 15, 5동
B01호

황유상

경기도 수원시 영통구 영통로200번길 156, 1001동
504호

명세서

청구범위

청구항 1

기판 상에 형성된 비트 라인 구조물;

상기 비트 라인 구조물에 인접하여 상기 기판의 상면에 수직한 수직 방향으로 연장된 콘택 플러그 구조물; 및
상기 콘택 플러그 구조물에 전기적으로 연결된 커패시터를 포함하며,

상기 콘택 플러그 구조물은 순차적으로 적층된 하부 콘택 플러그, 금속 실리사이드 패턴, 및 상부 콘택 플러그를 포함하고,

상기 금속 실리사이드 패턴은 상기 수직 방향으로의 단면이 "L"자 형상을 갖고,

상기 상부 콘택 플러그의 상기 비트 라인 구조물의 반대편에 형성된 외측벽이 상기 하부 콘택 플러그의 상기 비트 라인 구조물의 반대편에 형성된 외측벽보다 상기 비트 라인 구조물로부터의 거리가 더 먼 반도체 장치.

청구항 2

제1항에 있어서, 상기 금속 실리사이드 패턴은 상기 하부 콘택 플러그의 상면에 형성된 리세스의 저면 및 측벽 상에 형성되며, 이에 따라 상기 금속 실리사이드 패턴의 내측벽 및 저면은 상기 하부 콘택 플러그에 접촉하는 반도체 장치.

청구항 3

제1항에 있어서, 상기 금속 실리사이드 패턴은 상기 기판 상면에 평행한 수평 방향으로 연장되는 제1 부분, 및 상기 제1 부분에 연결되어 상기 수직 방향으로 연장되는 제2 부분을 포함하며,

상기 상부 콘택 플러그는 상기 금속 실리사이드 패턴 제1 부분의 상면, 및 상기 금속 실리사이드 패턴 제2 부분의 외측벽에 접촉하는 반도체 장치.

청구항 4

제3항에 있어서, 상기 상부 콘택 플러그는 상기 금속 실리사이드 패턴 제2 부분의 최상면에도 부분적으로 접촉하는 반도체 장치.

청구항 5

제1항에 있어서, 상기 기판 상에 형성된 소자 분리 패턴에 의해 정의되는 액티브 패턴을 더 포함하며,

상기 콘택 플러그 구조물은 상기 액티브 패턴의 상면에 접촉하는 반도체 장치.

청구항 6

기판 상에 형성된 비트 라인 구조물;

상기 비트 라인 구조물에 인접하여 상기 기판의 상면에 수직한 수직 방향으로 연장된 콘택 플러그 구조물; 및
상기 콘택 플러그 구조물에 전기적으로 연결된 커패시터를 포함하며,

상기 콘택 플러그 구조물은 순차적으로 적층된 하부 콘택 플러그, 금속 실리사이드 패턴, 및 상부 콘택 플러그를 포함하고,

상기 금속 실리사이드 패턴은 상기 하부 콘택 플러그 상면에 형성된 리세스의 내벽 상에 형성되며,

상기 상부 콘택 플러그의 상기 비트 라인 구조물의 반대편에 형성된 외측벽이 상기 하부 콘택 플러그의 상기 비트 라인 구조물의 반대편에 형성된 외측벽보다 상기 비트 라인 구조물로부터의 거리가 더 먼 반도체 장치.

청구항 7

제6항에 있어서, 상기 금속 실리사이드 패턴은 곡면 형상의 제1 부분, 및 상기 제1 부분에 연결되어 상기 수직 방향으로 연장된 제2 부분을 포함하는 반도체 장치.

청구항 8

제7항에 있어서, 상기 상부 콘택 플러그는 상기 금속 실리사이드 패턴의 상기 제1 부분의 상면, 및 상기 금속 실리사이드 패턴의 상기 제2 부분의 외측벽 및 최상면의 일부에 접촉하는 반도체 장치.

청구항 9

제7항에 있어서, 상기 비트 라인 구조물의 측벽에 형성된 스페이서 구조물을 더 포함하며, 상기 금속 실리사이드 패턴의 상기 제1 부분의 측벽은 상기 스페이서 구조물에 접촉하는 반도체 장치.

청구항 10

소자 분리 패턴에 의해 정의되는 액티브 패턴을 포함하는 기판의 상기 액티브 패턴 및 상기 소자 분리 패턴의 상부에 매립된 게이트 구조물;

상기 기판 상에 형성된 비트 라인 구조물;

상기 액티브 패턴 상에 형성되어 상기 기판의 상면에 수직인 수직 방향으로 연장된 콘택 플러그 구조물; 및

상기 콘택 플러그 구조물에 전기적으로 연결된 커패시터를 포함하며,

상기 콘택 플러그 구조물은 순차적으로 적층된 하부 콘택 플러그, 금속 실리사이드 패턴, 및 상부 콘택 플러그를 포함하고,

상기 금속 실리사이드 패턴은 상기 수직 방향으로의 단면이 "L"자 형상을 갖으며,

상기 상부 콘택 플러그의 상기 비트 라인 구조물의 반대편에 형성된 외측벽이 상기 하부 콘택 플러그의 상기 비트 라인 구조물의 반대편에 형성된 외측벽보다 상기 비트 라인 구조물로부터의 거리가 더 먼 반도체 장치.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 장치에 관한 것이다. 보다 자세하게, 본 발명은 디램 장치에 관한 것이다.

배경 기술

[0002] 디램(Dynamic random access memory: DRAM) 장치의 제조 공정에서, 하부의 불순물 영역과 상부의 커패시터를 전기적으로 연결시키는 콘택 플러그 구조물이 이를 형성하는 공정에서 손상되거나 산화되어 높은 저항을 가질 수 있으며, 이에 따라 상기 디램 장치의 전기적 특성이 열화될 수 있다.

발명의 내용

해결하려는 과제

[0003] 본 발명의 과제는 향상된 전기적 특성을 갖는 반도체 장치를 제공하는데 있다.

과제의 해결 수단

[0004] 상기한 과제를 달성하기 위한 본 발명의 실시예들에 따른 반도체 장치는, 기판 상에 형성된 비트 라인 구조물, 상기 비트 라인 구조물에 인접하여 상기 기판의 상면에 수직인 수직 방향으로 연장된 콘택 플러그 구조물, 및 상기 콘택 플러그 구조물에 전기적으로 연결된 커패시터를 포함할 수 있으며, 상기 콘택 플러그 구조물은 순차적으로 적층된 하부 콘택 플러그, 금속 실리사이드 패턴, 및 상부 콘택 플러그를 포함할 수 있고, 상기 금속 실리사이드 패턴은 상기 수직 방향으로의 단면이 "L"자 형상을 가질 수 있다.

[0005] 상기한 과제를 달성하기 위한 본 발명의 다른 실시예들에 따른 반도체 장치는, 기판 상에 형성된 비트 라인 구

조물, 상기 비트 라인 구조물에 인접하여 상기 기판의 상면에 수직인 수직 방향으로 연장된 콘택 플러그 구조물, 및 상기 콘택 플러그 구조물에 전기적으로 연결된 커패시터를 포함할 수 있으며, 상기 콘택 플러그 구조물은 순차적으로 적층된 하부 콘택 플러그, 금속 실리사이드 패턴, 및 상부 콘택 플러그를 포함할 수 있고, 상기 금속 실리사이드 패턴은 상기 하부 콘택 플러그 상면에 형성된 리세스의 내벽 상에 형성될 수 있다.

[0006] 상기한 과제를 달성하기 위한 본 발명의 또 다른 실시예들에 따른 반도체 장치는, 소자 분리 패턴에 의해 정의되는 액티브 패턴을 포함하는 기판의 상기 액티브 패턴 및 상기 소자 분리 패턴의 상부에 매립된 게이트 구조물, 상기 기판 상에 형성된 비트 라인 구조물, 상기 액티브 패턴 상에 형성되어 상기 기판의 상면에 수직인 수직 방향으로 연장된 콘택 플러그 구조물, 및 상기 콘택 플러그 구조물에 전기적으로 연결된 커패시터를 포함할 수 있으며, 상기 콘택 플러그 구조물은 순차적으로 적층된 하부 콘택 플러그, 금속 실리사이드 패턴, 및 상부 콘택 플러그를 포함할 수 있고, 상기 금속 실리사이드 패턴은 상기 수직 방향으로의 단면이 "L"자 형상을 가질 수 있다.

발명의 효과

[0007] 예시적인 실시예들에 따른 반도체 장치는 순차적으로 적층된 하부 콘택 플러그, 금속 실리사이드 패턴 및 상부 콘택 플러그를 포함하며 하부의 불순물 영역과 상부의 커패시터를 연결하는 콘택 플러그 구조물을 포함할 수 있으며, 상기 금속 실리사이드 패턴의 수직 방향으로의 단면이 "L"자 형상을 가짐에 따라서, 상기 하부 및 상부 콘택 플러그들에 각각 접촉하는 면적이 클 수 있다. 이에 따라, 상기 콘택 플러그 구조물은 전체적으로 감소된 저항을 가질 수 있다.

[0008] 한편, 상기 반도체 장치의 제조 방법에서, 상기 상부 콘택 플러그는 패터닝 공정 대신에 다마신 공정을 통해 형성되므로, 상기 패터닝 공정 시 발생하는 식각 손상이 방지될 수 있으며, 상기 패터닝 공정 후 식각 마스크 제거를 위한 애싱 및/또는 스트립 공정에서 상기 상부 콘택 플러그가 산화되어 저항이 증가하는 것도 방지될 수 있다.

도면의 간단한 설명

[0009] 도 1 및 2는 예시적인 실시예들에 따른 반도체 장치를 설명하기 위한 평면도 및 단면도이다.
 도 3 내지 도 28은 예시적인 실시예들에 따른 반도체 장치의 제조 방법을 설명하기 위한 평면도들 및 단면도들이다.
 도 29 내지 도 31은 각각 예시적인 실시예들에 따른 반도체 장치를 설명하기 위한 단면도들이다.
 도 32는 예시적인 실시예들에 따른 반도체 장치를 설명하기 위한 단면도이다.
 도 33 내지 도 36은 예시적인 실시예들에 따른 반도체 장치의 제조 방법을 설명하기 위한 단면도들이다.

발명을 실시하기 위한 구체적인 내용

[0010] 이하, 첨부된 도면들을 참조하여 본 발명의 바람직한 실시예들에 따른 반도체 장치 및 그 제조 방법에 대하여 상세하게 설명한다.

[0011] [실시예]

[0012] 도 1 및 2는 예시적인 실시예들에 따른 반도체 장치를 설명하기 위한 평면도 및 단면도이다.

[0013] 도 1 및 2를 참조하면, 상기 반도체 장치는 기판(100) 내에 매립된 게이트 구조물(160)과, 기판(100) 상에 형성된 비트 라인 구조물(305), 스페이서 구조물(SS), 콘택 플러그 구조물(CPS), 및 커패시터(590)를 포함할 수 있다. 또한, 상기 반도체 장치는 제1 내지 제5 절연 패턴들(175, 185, 195, 320, 330), 제2 캐핑 패턴(410), 제3 마스크(455), 식각 저지막(550) 및 제2 층간 절연막(600)을 더 포함할 수 있다.

[0014] 기판(100)은 실리콘, 게르마늄, 실리콘-게르마늄, 또는 GaP, GaAs, GaSb 등과 같은 III-V족 화합물을 포함할 수 있다. 일부 실시예들에 따르면, 기판(100)은 실리콘-온-인슐레이터(Silicon On Insulator: SOI) 기판 또는 게르마늄-온-인슐레이터(Germanium On Insulator: GOI) 기판일 수 있다.

[0015] 기판(100) 상에는 소자 분리 패턴(110)이 형성될 수 있으며, 측벽이 소자 분리 패턴(110)으로 둘러싸인 액티브 패턴(105)이 기판(100) 상부 내에 정의될 수 있다. 소자 분리 패턴(110)은 예를 들어, 실리콘 산화물과 같은 산

화물을 포함할 수 있다.

- [0016] 예시적인 실시예들에 있어서, 액티브 패턴(105)은 기판(100) 상면에 평행하며 서로 직교하는 각 제1 및 제2 방향들을 따라 서로 이격되도록 복수 개로 형성될 수 있으며, 각 액티브 패턴들(105)은 기판(100) 상면에 평행하며 상기 제1 및 제2 방향들과 예각을 이루는 제3 방향으로 연장될 수 있다. 각 액티브 패턴(105)의 상부에는 불순물 영역들(도시되지 않음)이 형성될 수 있으며, 각 액티브 패턴(105)의 연장 방향의 양단에 형성된 불순물 영역은 상기 콘택 플러그 구조물(CPS)에 전기적으로 연결될 수 있고, 각 액티브 패턴(105)의 상기 연장 방향의 가운데 부분에 형성된 불순물 영역은 비트 라인 구조물(305)에 전기적으로 연결될 수 있다.
- [0017] 게이트 구조물(160)은 액티브 패턴(105) 및 소자 분리 패턴(110)의 상부를 관통하여 상기 제1 방향을 따라 연장될 수 있으며, 상기 제2 방향을 따라 서로 이격되도록 복수 개로 형성될 수 있다. 게이트 구조물(160)은 기판(100) 상면에 수직인 수직 방향을 따라 순차적으로 적층된 게이트 절연막(130), 게이트 전극(140) 및 게이트 마스크(150)를 포함할 수 있다.
- [0018] 게이트 절연막(130)은 액티브 패턴(105)의 표면 상에 형성될 수 있고, 게이트 전극(140)은 게이트 절연막(130) 및 소자 분리 패턴(110) 상에 상기 제1 방향을 따라 연장될 수 있으며, 게이트 마스크(150)는 게이트 전극(140)의 상면을 커버할 수 있다.
- [0019] 게이트 절연막(130)은 예를 들어, 실리콘 산화물과 같은 산화물을 포함할 수 있고, 게이트 전극(140)은 예를 들어, 텅스텐(W), 티타늄(Ti), 탄탈륨(Ta) 등과 같은 금속이나, 혹은 텅스텐 질화물, 티타늄 질화물, 탄탈륨 질화물 등과 같은 금속 질화물을 포함할 수 있으며, 게이트 마스크(150)는 예를 들어, 실리콘 질화물과 같은 질화물을 포함할 수 있다.
- [0020] 비트 라인 구조물(305)은 상기 수직 방향으로 연장될 수 있으며, 상기 수직 방향을 따라 순차적으로 적층된 도전 패턴 구조물(265), 배리어 패턴(275), 제1 금속 패턴(285), 및 제1 캐핑 패턴(295)을 포함할 수 있다. 예시적인 실시예들에 있어서, 비트 라인 구조물(305)은 액티브 패턴(105), 소자 분리 패턴(110) 및 게이트 구조물(160) 상에서 상기 제2 방향을 따라 연장될 수 있다.
- [0021] 도전 패턴 구조물(265)은 순차적으로 적층된 제2 및 제3 도전 패턴들(245, 255, 도 13 참조)을 포함할 수 있다. 제2 도전 패턴(245)은 상기 각 제1 및 제2 방향들을 따라 서로 이격되도록 복수 개로 형성될 수 있다. 즉, 각 제2 도전 패턴들(245)은 액티브 패턴(105)의 상면, 이에 인접하는 소자 분리 패턴(110) 및 게이트 마스크(150)의 상면에 형성된 제3 리세스(230) 내에 형성될 수 있다. 제3 도전 패턴(255)은 상기 제2 방향으로 배치된 복수의 제2 도전 패턴들(245) 상에서 상기 제2 방향으로 연장될 수 있다. 각 제2 및 제3 도전 패턴들(245, 255)은 예를 들어, 불순물이 도핑된 폴리실리콘을 포함하도록 형성될 수 있으며, 이에 따라 서로 병합될 수도 있다.
- [0022] 각 배리어 패턴(275), 제1 금속 패턴(285), 및 제1 캐핑 패턴(295)은 제3 도전 패턴(255) 상에서 상기 제2 방향으로 연장될 수 있다. 배리어 패턴(275)은 예를 들어, 티타늄(Ti), 탄탈륨(Ta) 등과 같은 금속 및/또는 티타늄 질화물 및 탄탈륨 질화물 등과 같은 금속 질화물을 포함할 수 있고, 제1 금속 패턴(285)은 예를 들어, 텅스텐(W)과 같은 금속을 포함할 수 있으며, 제1 캐핑 패턴(295)은 예를 들어 실리콘 질화물과 같은 질화물을 포함할 수 있다.
- [0023] 상기 스페이서 구조물(SS)은 비트 라인 구조물(305)의 각 양 측벽들에 형성될 수 있으며, 이에 따라 상기 제2 방향으로 연장될 수 있다. 상기 스페이서 구조물(SS)은 비트 라인 구조물(305)의 각 양 측벽들로부터 상기 제1 방향을 따라 순차적으로 적층된 제1 스페이서(315), 제2 스페이서(340), 및 제3 스페이서(375)를 포함할 수 있다.
- [0024] 제1 스페이서(315)는 비트 라인 구조물(305)의 측벽에 접촉할 수 있고, 제2 스페이서(340)는 제1 스페이서(315)의 일부 외측벽에 접촉할 수 있으며, 제3 스페이서(375)는 제1 스페이서(315)의 상부에 접촉하며, 제2 스페이서(340)의 외측벽 및 상면을 커버할 수 있다. 예시적인 실시예들에 있어서, 제2 스페이서(340)의 최상면은 제1 및 제3 스페이서들(315, 375)의 최상면보다 낮을 수 있고 비트 라인 구조물(305)의 제1 금속 패턴(285) 상면보다 높을 수 있으며, 제3 스페이서(375)에 의해 커버될 수 있다. 예시적인 실시예들에 있어서, 제2 스페이서(340) 최상면은 상기 제2 방향을 따라 일정한 높이를 가질 수 있다.
- [0025] 각 제1 및 제3 스페이서들(315, 375)은 예를 들어, 실리콘 질화물과 같은 질화물을 포함할 수 있으며, 제2 스페이서(340)는 예를 들어, 실리콘 산화물과 같은 산화물을 포함할 수 있다.
- [0026] 제3 리세스(230) 내에 형성된 비트 라인 구조물(305) 부분의 측벽 및 제3 리세스(230)의 저면은 제1 스페이서

(315)에 의해 커버될 수 있다. 이때, 제3 리세스(230) 내의 제1 스페이서(315) 부분 상에는 제4 절연 패턴(320)이 형성될 수 있으며, 제4 절연 패턴(320) 상에는 제3 리세스(230)의 나머지 부분을 채우는 제5 절연 패턴(330)이 형성될 수 있다. 예시적인 실시예들에 있어서, 제2 및 제3 스페이서들(340, 375)는 각각 제4 및 제5 절연 패턴들(320, 330)의 상면에 접촉할 수 있다.

- [0027] 한편, 제3 리세스(230)가 형성되지 않은 액티브 패턴(105) 부분 및 소자 분리 패턴(110) 부분과, 비트 라인 구조물(305) 사이에는 상기 수직 방향을 따라 순차적으로 적층된 제1 내지 제3 절연 패턴들(175, 185, 195) 구조물을 포함하는 절연 패턴 구조물이 형성될 수 있다. 이때, 제2 절연 패턴(185)은 "L"자 형상의 단면을 갖는 제1 스페이서(315)의 저면에 접촉할 수 있으며, 제3 절연 패턴(195)은 비트 라인 구조물(305)의 저면에 접촉할 수 있다.
- [0028] 각 제1, 제3 및 제5 절연 패턴들(175, 195, 330)은 예를 들어, 실리콘 질화물과 같은 질화물을 포함할 수 있으며, 각 제2 및 제4 절연 패턴들(185, 320)은 예를 들어, 실리콘 산화물과 같은 산화물을 포함할 수 있다.
- [0029] 제2 캐핑 패턴(410)은 게이트 구조물(160) 상부에서 상기 제1 방향으로 연장될 수 있으며, 비트 라인 구조물(305) 및 상기 스페이서 구조물(SS)을 커버할 수 있다. 제2 캐핑 패턴(410)은 예를 들어, 실리콘 질화물과 같은 질화물을 포함할 수 있다.
- [0030] 상기 콘택 플러그 구조물(CPS)은 상기 수직 방향을 따라 순차적으로 적층된 하부 콘택 플러그(440), 금속 실리사이드 패턴(530) 및 상부 콘택 플러그(540)를 포함할 수 있다.
- [0031] 하부 콘택 플러그(440)은 상기 제1 방향을 따라 서로 이웃하는 비트 라인 구조물들(305) 및 상기 제2 방향을 따라 서로 이웃하는 제2 캐핑 패턴들(410) 사이에서 액티브 패턴(105) 및 소자 분리 패턴(110) 상에 형성될 수 있으며, 상기 스페이서 구조물(SS)의 제3 스페이서(375)의 외측벽에 접촉할 수 있다. 예시적인 실시예에 있어서, 하부 콘택 플러그(440)는 그 최상면이 제2 스페이서(340)의 최상면보다 높을 수 있다.
- [0032] 하부 콘택 플러그(440)는 예를 들어, 불순물이 도핑된 폴리실리콘을 포함할 수 있다. 일 실시예에 있어서, 하부 콘택 플러그(440) 내부에는 에어 갭(445)이 형성될 수 있다.
- [0033] 예시적인 실시예들에 있어서, 하부 콘택 플러그(440)의 상면에는 제4 리세스(525)가 형성될 수 있으며, 기판(100) 상면에 수평한 수평 방향, 예를 들어 상기 제1 방향으로의 단면이 "L"자 형상을 가질 수 있다. 이에 따라, 제4 리세스(525)의 내벽은 상기 수평 방향으로 편평한 저면, 및 상기 수직 방향으로 연장되는 측벽을 포함할 수 있다.
- [0034] 예시적인 실시예들에 있어서, 금속 실리사이드 패턴(530)은 하부 콘택 플러그(440) 상면에 형성된 제4 리세스(525)의 내벽 상에 형성될 수 있다. 이에 따라, 금속 실리사이드 패턴(530)은 상기 수평 방향으로 연장되는 제1 부분, 및 상기 제1 부분으로부터 상기 수직 방향으로 연장되는 제2 부분을 포함할 수 있다.
- [0035] 예시적인 실시예들에 있어서, 금속 실리사이드 패턴(530)의 상기 제1 부분의 저면은 비트 라인 구조물(305)의 제1 금속 패턴(285)의 상면보다 높을 수 있다. 또한, 금속 실리사이드 패턴(530)의 상기 제2 부분의 최상면은 하부 콘택 플러그(440)의 최상면과 실질적으로 동일한 높이에 형성될 수 있다.
- [0036] 예시적인 실시예들에 있어서, 금속 실리사이드(530)의 상기 제1 부분은 상기 스페이서 구조물(SS)의 제3 스페이서(375)의 외측벽에 접촉할 수 있다.
- [0037] 금속 실리사이드 패턴(530)은 예를 들어, 코발트 실리사이드, 니켈 실리사이드, 티타늄 실리사이드 등을 포함할 수 있다.
- [0038] 상부 콘택 플러그(540)는 금속 실리사이드 패턴(530) 상에 형성될 수 있다. 이에 따라, 상부 콘택 플러그(540)는 금속 실리사이드 패턴(530)의 상기 제1 부분의 상면 및 상기 제2 부분의 외측벽에 접촉할 수 있다. 또한, 상부 콘택 플러그(540)는 금속 실리사이드 패턴(530)의 상기 제2 부분의 최상면의 일부에도 접촉할 수 있다.
- [0039] 또한, 상부 콘택 플러그(540)는 비트 라인 구조물(305)의 제1 캐핑 패턴(295)의 상면, 및 이에 인접하는 상기 스페이서 구조물(SS)의 제1 및 제3 스페이서들(315, 375)의 상면 및 외측벽에도 접촉할 수 있다.
- [0040] 예시적인 실시예들에 있어서, 상부 콘택 플러그(540)는 상기 각 제1 및 제2 방향들을 따라 서로 이격되도록 복수 개로 형성될 수 있으며, 상부에서 보았을 때, 벌집 모양으로 배열될 수 있다. 각 상부 콘택 플러그들(540)은 원형, 타원형 혹은 다각형의 형상을 가질 수 있다. 상부 콘택 플러그(540)는 예를 들어, 텅스텐(W), 알루미늄(Al), 구리 등과 같은 금속 및/또는 불순물이 도핑된 폴리실리콘을 포함할 수 있다.

- [0041] 제3 마스크(455)는 하부 콘택 플러그(440), 금속 실리사이드 패턴(530), 비트 라인 구조물(305)의 제1 캐핑 패턴(295), 상기 스페이서 구조물(SS)의 제1 및 제3 스페이서들(315, 375), 및 제2 캐핑 패턴(410) 상에 형성될 수 있다. 제3 마스크(455)는 상부 콘택 플러그(540)의 측벽을 커버할 수 있으며, 그 상면이 상부 콘택 플러그(540)의 상면과 실질적으로 동일한 높이에 형성될 수 있다. 제3 마스크(455)는 예를 들어, 실리콘 질화물, 실리콘 산질화물 등과 같은 질화물을 포함할 수 있다.
- [0042] 커패시터(590)는 상부 콘택 플러그(540) 상에 순차적으로 적층된 하부 전극(560), 유전막(570) 및 상부 전극(580)을 포함할 수 있다. 하부 전극(560) 및 상부 전극(580)은 서로 실질적으로 동일한 물질을 포함할 수 있으며, 예를 들어 도핑된 폴리실리콘 및 금속을 포함할 수 있다. 유전막(570)은 실리콘 산화물, 금속 산화물 등의 산화물 및/또는 실리콘 질화물, 금속 질화물 등의 질화물을 포함할 수 있으며, 이때, 상기 금속은 알루미늄(Al), 지르코늄(Zr), 티타늄(Ti), 하프늄(Hf) 등을 포함할 수 있다.
- [0043] 식각 저지막(550)은 제3 마스크(455)와 유전막(570) 사이에 형성될 수 있으며, 예를 들어, 실리콘 질화물과 같은 질화물을 포함할 수 있다.
- [0044] 제2 층간 절연막(600)은 커패시터(590)를 커버할 수 있으며, 예를 들어 실리콘 산화물과 같은 산화물을 포함할 수 있다.
- [0045] 상기 반도체 장치에서, 금속 실리사이드 패턴(530)은 상기 제1 방향으로의 단면이 "L"자 형상을 가질 수 있으며, 이에 따라 하부 및 상부 콘택 플러그들(440, 540)에 각각 접촉하는 면적이 클 수 있다. 즉, 종래 하부 콘택 플러그(440)의 평평한 상면 및 상부 콘택 플러그(540)의 평평한 저면 사이에 형성되는 것에 비해서, 본 발명의 개념에 따른 금속 실리사이드 패턴(530)은 하부 콘택 플러그(440) 상면에 형성된 "L"자 형상의 리세스의 저면 및 측벽 상에 형성되며, 이에 따라 금속 실리사이드 패턴(530)을 통한 전류의 경로가 다양화될 수 있다. 결국, 순차적으로 적층된 하부 콘택 플러그(440), 금속 실리사이드 패턴(530) 및 상부 콘택 플러그(540)를 포함하는 상기 콘택 플러그 구조물(CPS)은 전체적으로 낮은 저항을 가질 수 있다.
- [0046] 도 3 내지 도 28은 예시적인 실시예들에 따른 반도체 장치의 제조 방법을 설명하기 위한 평면도들 및 단면도들이다. 구체적으로, 도 3, 5, 7, 9, 12, 19, 21 및 25는 평면도들이고, 도 4, 6, 8, 10, 11, 13-18, 20, 22-24 및 26-28은 단면도들이다. 상기 각 단면도들은 대응하는 각 평면도들을 A-A'선 및 B-B'선으로 절단한 단면도들을 포함한다.
- [0047] 도 3 및 4를 참조하면, 기판(100) 상에 액티브 패턴(105)을 형성하고, 액티브 패턴(105)의 측벽을 커버하는 소자 분리 패턴(110)을 형성할 수 있다.
- [0048] 기판(100)은 실리콘, 게르마늄, 실리콘-게르마늄, 또는 GaP, GaAs, GaSb 등과 같은 III-V 족 화합물을 포함할 수 있다. 일부 실시예들에 따르면, 기판(100)은 SOI 기판 또는 GOI 기판일 수 있다.
- [0049] 예시적인 실시예들에 있어서, 액티브 패턴(105)은 기판(100) 상면에 평행하며 서로 직교하는 각 제1 및 제2 방향들을 따라 서로 이격되도록 복수 개로 형성될 수 있으며, 각 액티브 패턴들(105)은 기판(100) 상면에 평행하며 상기 제1 및 제2 방향들과 예각을 이루는 제3 방향으로 연장될 수 있다.
- [0050] 액티브 패턴(105)은 기판(100) 상부를 제거하여 제1 리세스를 형성함으로써 형성될 수 있으며, 소자 분리 패턴(110)은 상기 제1 리세스를 채우는 소자 분리막을 기판(100) 상에 형성한 후, 액티브 패턴(105)의 상면이 노출될 때까지 상기 소자 분리막을 평탄화함으로써 형성될 수 있다. 예시적인 실시예들에 있어서, 상기 평탄화 공정은 화학 기계적 연마(Chemical Mechanical Polishing: CMP) 공정 및/또는 에치 백 공정을 포함할 수 있다.
- [0051] 도 5 및 6을 참조하면, 기판(100) 상에 예를 들어 이온 주입 공정을 수행함으로써 불순물 영역(도시되지 않음)을 형성한 후, 액티브 패턴(105) 및 소자 분리막 패턴(110)을 부분적으로 식각하여 상기 제1 방향으로 연장되는 제2 리세스를 형성할 수 있다.
- [0052] 이후, 상기 제2 리세스 내부에 게이트 구조물(160)을 형성할 수 있다. 게이트 구조물(160)은 상기 제2 리세스에 의해 노출된 액티브 패턴(105)의 표면 상에 형성된 게이트 절연막(130), 게이트 절연막(130) 상에 형성되어 상기 제2 리세스의 하부를 채우는 게이트 전극(140), 및 게이트 전극(140) 상에 형성되어 상기 제2 리세스의 상부를 채우는 게이트 마스크(150)를 포함하도록 형성될 수 있다. 이때, 게이트 구조물(160)은 상기 제1 방향을 따라 연장될 수 있으며, 상기 제2 방향을 따라 서로 이격되도록 복수 개로 형성될 수 있다.
- [0053] 예시적인 실시예들에 있어서, 게이트 절연막(130)은 상기 제2 리세스에 의해 노출된 액티브 패턴(105)에 대한 열산화 공정을 통해 형성될 수 있으며, 이에 따라 예를 들어, 실리콘 산화물과 같은 산화물을 포함하도록 형성

될 수 있다.

- [0054] 게이트 전극(140)은 상기 제2 리세스를 채우는 게이트 전극막을 게이트 절연막(130) 및 소자 분리 패턴(110) 상에 형성한 후, 상기 게이트 전극막 상부를 CMP 공정 및/또는 에치 백 공정을 통해 제거함으로써 형성할 수 있다. 이에 따라, 게이트 전극(140)은 상기 제2 리세스의 하부에 형성될 수 있다. 상기 게이트 전극막은 예를 들어, 텅스텐(W), 티타늄(Ti), 탄탈륨(Ta) 등과 같은 금속이나, 혹은 텅스텐 질화물, 티타늄 질화물, 탄탈륨 질화물 등과 같은 금속 질화물을 포함하도록 형성될 수 있다.
- [0055] 게이트 마스크(150)는 상기 제2 리세스의 나머지 부분을 채우는 게이트 마스크 막을 게이트 전극(140), 게이트 절연막(130), 및 소자 분리 패턴(110) 상에 형성한 후, 소자 분리 패턴(110)의 상면이 노출될 때까지 상기 게이트 마스크 막 상부를 평탄화함으로써 형성할 수 있다. 이에 따라, 게이트 마스크(150)는 상기 제2 리세스의 상부에 형성될 수 있다. 상기 게이트 마스크 막은 예를 들어, 실리콘 질화물과 같은 질화물을 포함하도록 형성될 수 있다.
- [0056] 도 7 및 8을 참조하면, 액티브 패턴(105), 소자 분리 패턴(110), 및 게이트 마스크(150) 상에 절연막 구조물(200), 제1 도전막(210), 및 제1 식각 마스크(220)를 순차적으로 형성한 후, 제1 식각 마스크(220)를 사용하는 식각 공정을 수행하여 하부의 제1 도전막(210) 및 절연막 구조물(200)을 식각함으로써 액티브 패턴(105)을 노출시키는 제1 개구(230)를 형성할 수 있다.
- [0057] 예시적인 실시예들에 있어서, 절연막 구조물(200)은 순차적으로 적층된 제1 내지 제3 절연막들(170, 180, 190)을 포함할 수 있다. 제1 절연막(170)은 예를 들어, 실리콘 산화물과 같은 산화물을 포함하도록 형성될 수 있고, 제2 절연막(180)은 예를 들어, 실리콘 질화물과 같은 질화물을 포함하도록 형성될 수 있으며, 제3 절연막(190)은 예를 들어, 실리콘 산화물과 같은 산화물을 포함하도록 형성될 수 있다.
- [0058] 제1 도전막(210)은 예를 들어 불순물이 도핑된 폴리실리콘을 포함하도록 형성될 수 있으며, 제1 식각 마스크(220)는 예를 들어, 실리콘 질화물과 같은 질화물을 포함하도록 형성될 수 있다.
- [0059] 상기 식각 공정 시, 제1 개구(230)에 의해 노출된 액티브 패턴(105) 및 이에 인접하는 소자 분리 패턴(110)의 상부, 및 게이트 마스크(150)의 상부도 식각되어 이들 상면에 제3 리세스(230)가 형성될 수 있다. 즉, 제1 개구(230)의 하부는 제3 리세스(230)로도 지칭될 수 있다.
- [0060] 예시적인 실시예들에 있어서, 제1 개구(230)는 상기 제3 방향으로 연장되는 각 액티브 패턴들(105)의 가운데 부분 상면을 노출시킬 수 있으며, 이에 따라 상기 각 제1 및 제2 방향들을 따라 복수 개로 형성될 수 있다.
- [0061] 도 9 및 10을 참조하면, 제1 개구(230)를 채우는 제2 도전막(240)을 형성할 수 있다.
- [0062] 예시적인 실시예들에 있어서, 제2 도전막(240)은 액티브 패턴(105), 소자 분리 패턴(110), 게이트 마스크(150), 및 제1 식각 마스크(220) 상에 제1 개구(230)를 채우는 예비 제2 도전막을 형성한 후, 상기 예비 제2 도전막 상부를 CMP 공정 및/또는 에치 백 공정을 통해 제거함으로써 형성할 수 있다. 이에 따라, 제2 도전막(240)은 제1 도전막(210)의 상면과 실질적으로 동일한 높이에 위치하는 상면을 갖도록 형성될 수 있다.
- [0063] 예시적인 실시예들에 있어서, 제2 도전막(240)은 서로 이격되도록 상기 각 제1 및 제2 방향들을 따라 복수 개로 형성될 수 있다. 제2 도전막(240)은 예를 들어, 불순물이 도핑된 폴리실리콘을 포함하도록 형성될 수 있으며, 이에 따라 제1 도전막(210)과 병합될 수도 있다.
- [0064] 도 11을 참조하면, 제1 식각 마스크(220)를 제거한 후, 제1 및 제2 도전막들(210, 240) 상에 제3 도전막(250), 배리어 막(270), 제1 금속막(280), 및 제1 캐핑막(290)을 순차적으로 형성할 수 있다.
- [0065] 예시적인 실시예들에 있어서, 제3 도전막(250)은 제1 및 제2 도전막들(210, 240)과 실질적으로 동일한 물질을 포함하도록 형성될 수 있다. 즉, 제3 도전막(250)은 불순물이 도핑된 폴리실리콘을 포함하도록 형성될 수 있으며, 이에 따라 제1 및 제2 도전막들(210, 240)과 병합될 수도 있다.
- [0066] 배리어 막(270)은 예를 들어, 티타늄(Ti), 탄탈륨(Ta) 등과 같은 금속 및/또는 티타늄 질화물 및 탄탈륨 질화물 등과 같은 금속 질화물을 포함하도록 형성될 수 있다. 제1 금속막(280)은 예를 들어, 텅스텐(W)과 같은 금속을 포함하도록 형성될 수 있다. 제1 캐핑막(290)은 예를 들어 실리콘 질화물과 같은 질화물을 포함하도록 형성될 수 있다.
- [0067] 도 12 및 13을 참조하면, 제1 캐핑막(290)을 식각하여 제1 캐핑 패턴(295)을 형성하고, 이를 식각 마스크로 사용하여 제1 금속막(280), 배리어 막(270), 제3 도전막(250), 제1 및 제2 도전막들(210, 240)을 순차적으로 식각

할 수 있으며, 이때 절연막 구조물(200)의 최상층에 형성된 제3 절연막(190)도 식각될 수 있다.

- [0068] 이에 따라, 제1 개구(230) 내의 액티브 패턴(105), 소자 분리 패턴(110), 및 게이트 마스크(150) 상에는 순차적으로 적층된 제2 도전 패턴(245), 제3 도전 패턴(255), 배리어 패턴(275), 제1 금속 패턴(285), 및 제1 캐핑 패턴(295)이 형성될 수 있으며, 제1 개구(230) 바깥의 절연막 구조물(200)의 제2 절연막(180) 상에는 순차적으로 적층된 제3 절연 패턴(195), 제1 도전 패턴(215), 제3 도전 패턴(255), 배리어 패턴(275), 제1 금속 패턴(285), 및 제1 캐핑 패턴(295)이 형성될 수 있다.
- [0069] 전술한 바와 같이 제1 내지 제3 도전막들(210, 240, 250)은 서로 병합될 수 있으며, 이에 따라 순차적으로 적층된 제2 및 제3 도전 패턴들(245, 255), 및 제1 및 제3 도전 패턴들(215, 255)은 각각 하나의 도전 패턴 구조물(265)을 형성할 수 있다. 이후에서는, 순차적으로 적층된 도전 패턴 구조물(265), 배리어 패턴(275), 제1 금속 패턴(285), 및 제1 캐핑 패턴(295)을 비트 라인 구조물(305)로 지칭하기로 한다.
- [0070] 예시적인 실시예들에 있어서, 비트 라인 구조물(305)은 상기 제2 방향으로 연장될 수 있으며, 상기 제1 방향을 따라 복수 개로 형성될 수 있다.
- [0071] 도 14를 참조하면, 비트 라인 구조물(305)을 커버하는 제1 스페이서 막(310)을 제1 개구(230)에 의해 노출된 액티브 패턴(105), 및 소자 분리 패턴(110), 및 제2 절연막(180) 상에 형성한 후, 제1 스페이서 막(310) 상에 제4 및 제5 절연막들을 순차적으로 형성할 수 있다.
- [0072] 제1 스페이서 막(310)은 제2 절연막(180) 상에 형성된 비트 라인 구조물(305) 부분 아래의 제3 절연 패턴(195)의 측벽도 커버할 수 있다. 제1 스페이서 막(310)은 예를 들어, 실리콘 질화물과 같은 질화물을 포함하도록 형성될 수 있다.
- [0073] 상기 제4 절연막은 예를 들어, 실리콘 산화물과 같은 산화물을 포함하도록 형성될 수 있으며, 상기 제5 절연막은 예를 들어, 실리콘 질화물과 같은 질화물을 포함하도록 형성될 수 있다. 상기 제5 절연막은 제1 개구(230)를 모두 채우도록 형성될 수 있다.
- [0074] 이후, 식각 공정을 수행하여, 상기 제4 및 제5 절연막들을 식각할 수 있다. 예시적인 실시예들에 있어서, 상기 식각 공정은 습식 식각 공정에 의해 수행될 수 있으며, 상기 제4 및 제5 절연막들 중에서 제1 개구(230) 내의 부분을 제외한 나머지 부분은 모두 제거될 수 있다. 이에 따라, 제1 스페이서 막(310)의 표면 대부분, 즉 제1 개구(230) 내에 형성된 부분 이외의 제1 스페이서 막(310) 부분이 모두 노출될 수 있으며, 제1 개구(230) 내에 잔류하는 상기 제4 및 제5 절연막들 부분은 각각 제4 및 제5 절연 패턴들(320, 330)을 형성할 수 있다.
- [0075] 도 15를 참조하면, 노출된 제1 스페이서 막(310) 표면, 및 제1 개구(230) 내에 형성된 제4 및 제5 절연 패턴들(320, 330) 상에 제2 스페이서 막을 형성한 후, 이를 이방성 식각하여 비트 라인 구조물(305)의 측벽을 커버하는 제2 스페이서(340)를 제1 스페이서 막(310) 표면, 및 제4 및 제5 절연 패턴들(320, 330) 상에 형성할 수 있다.
- [0076] 제2 스페이서(340)는 예를 들어, 실리콘 산화물과 같은 산화물을 포함하도록 형성될 수 있다.
- [0077] 이후, 제1 캐핑 패턴(295) 및 제2 스페이서(340)를 식각 마스크로 사용하는 건식 식각 공정을 수행하여, 액티브 패턴(105) 상면을 노출시키는 제2 개구(350)를 형성할 수 있으며, 제2 개구(350)에 의해 소자 분리 패턴(110) 상면 및 게이트 마스크(150)의 상면도 노출될 수 있다.
- [0078] 상기 건식 식각 공정에 의해서, 제1 캐핑 패턴(295) 상면 및 제2 절연막(180) 상면에 형성된 제1 스페이서 막(310) 부분이 제거될 수 있으며, 이에 따라 비트 라인 구조물(305)의 측벽을 커버하는 제1 스페이서(315)가 형성될 수 있다. 또한, 상기 건식 식각 공정에서, 제1 및 제2 절연막들(170, 180)도 부분적으로 제거되어 각각 제1 및 제2 절연 패턴들(175, 185)로 잔류할 수 있다. 비트 라인 구조물(305) 하부에 순차적으로 적층된 제1 내지 제3 절연 패턴들(175, 185, 195)은 절연 패턴 구조물을 형성할 수 있다.
- [0079] 도 16을 참조하면, 제2 개구(350)를 채우며 비트 라인 구조물(305)의 측벽에 형성된 제2 스페이서(340)의 하부를 커버하는 제1 희생 패턴(360)을 형성할 수 있다.
- [0080] 제1 희생 패턴(360)은 제2 개구(350)를 채우며 비트 라인 구조물(305)을 커버하는 제1 희생막을 형성한 후, 상기 제1 희생막의 상부를 제거함으로써 형성될 수 있다. 상기 제1 희생막은 예를 들어, 실리콘-온-하드마스크(Silicon-On-Hardmask: SOH), 비정질 탄소막(Amorphous Carbon Layer: ACL) 등을 포함하도록 형성될 수 있다. 상기 제1 희생막의 상부는 CMP 공정 및/또는 에치 백 공정을 통해 제거될 수 있다. 예시적인 실시예들에

있어서, 제1 희생 패턴(360)은 그 상면이 제1 금속 패턴(285)의 상면보다 높도록 형성될 수 있다.

- [0081] 이후, 제1 희생 패턴(360)에 의해 커버되지 않는 제2 스페이서(340)의 상부를 제거할 수 있다. 예시적인 실시예들에 있어서, 제2 스페이서(340)의 상부는 습식 식각 공정에 의해 제거될 수 있다.
- [0082] 전술한 바와 같이, 각 비트 라인 구조물들(305)의 측벽에 형성되는 제2 스페이서(340)의 상부는 제1 희생 패턴(360)에 의해 커버되지 않는 부분만이 제거될 수 있으며, 제1 희생 패턴(360)은 평탄화 공정에 의해 상면이 일정한 높이를 가지므로, 상기 식각 공정 후 잔류하는 제2 스페이서(340)는 일정한 높이를 가질 수 있다.
- [0083] 도 17을 참조하면, 제1 희생 패턴(360)을 제거한 후, 비트 라인 구조물(305)의 제1 캐핑 패턴(295) 상면, 제1 캐핑 패턴(295) 상부 측벽에 형성된 제1 스페이서(315) 부분, 제2 스페이서(340), 제4 및 제5 절연 패턴들(320, 330)의 표면 일부, 제2 개구(350)에 의해 노출된 액티브 패턴(105), 소자 분리 패턴(110), 및 게이트 마스크(150)의 상면에 제3 스페이서 막(370)을 형성할 수 있다.
- [0084] 제3 스페이서 막(370)은 예를 들어, 실리콘 질화물과 같은 질화물을 포함하도록 형성될 수 있다.
- [0085] 도 18을 참조하면, 제3 스페이서 막(370) 상에 제1 층간 절연막(380)을 형성한 후, 제3 스페이서 막(370)의 최상면이 노출될 때까지 제1 층간 절연막(380)을 평탄화할 수 있다.
- [0086] 제1 층간 절연막(380)은 예를 들어, 실리콘 산화물과 같은 산화물을 포함하도록 형성될 수 있으며, 상기 평탄화 공정은 CMP 공정 및/또는 에치 백 공정을 포함할 수 있다.
- [0087] 도 19 및 20을 참조하면, 제1 층간 절연막(380) 및 제3 스페이서 막(370)의 상기 노출된 최상면 상에 제2 식각 마스크(390)를 형성한 후, 이를 사용하는 건식 식각 공정을 수행하여 제1 층간 절연막(380)을 식각함으로써, 제3 개구(400)를 형성할 수 있다.
- [0088] 예시적인 실시예들에 있어서, 제2 식각 마스크(390)는 상기 제1 방향으로 연장될 수 있으며, 상기 제2 방향으로 서로 이격되도록 복수 개로 형성될 수 있다. 이때, 각 제2 식각 마스크들(390)은 게이트 구조물(160)과 오버랩되지 않을 수 있다. 즉, 제3 개구(400)는 게이트 구조물(160)과 오버랩되도록 형성될 수 있다.
- [0089] 상기 건식 식각 공정에 의해서, 비트 라인 구조물(305)의 제1 캐핑 패턴(295)의 상부 및 게이트 마스크(150)의 상부를 커버하는 제3 스페이서 막(370) 부분이 제거되어 비트 라인 구조물(305)의 측벽을 커버하는 제3 스페이서(375)가 형성될 수 있다. 또한, 제1 캐핑 패턴(295)의 상부 측벽에 형성된 제1 스페이서(315) 부분 및 제1 캐핑 패턴(295)의 상부도 부분적으로 제거될 수 있다.
- [0090] 도 16을 참조로 설명한 바와 같이, 제2 스페이서(340)의 상부가 제거되어 제2 스페이서(340)는 제1 캐핑 패턴(295)의 상부 측벽에는 형성되지 않으므로, 제2 스페이서(340)는 제3 스페이서 막(370)에 의해 충분히 보호될 수 있다. 이에 따라, 상기 건식 식각 공정에 의해 제2 스페이서(340)가 노출되거나 손상되지 않을 수 있으므로, 제2 스페이서(340) 상면의 높이가 계속해서 일정하게 유지될 수 있다.
- [0091] 도 21 및 22를 참조하면, 제2 식각 마스크(390)를 제거하여 제1 층간 절연막(380)의 상면을 노출시킨 후, 제3 개구(400)를 채우는 제2 캐핑 패턴(410)을 형성할 수 있다.
- [0092] 제2 캐핑 패턴(410)은 제3 개구(400)를 채우는 제2 캐핑막을 게이트 마스크(150)의 상면, 제1 캐핑 패턴(295)의 상면, 제1 및 제3 스페이서들(315, 375), 및 노출된 제1 층간 절연막(380) 상면에 형성한 후, 제1 층간 절연막(380) 상면이 노출될 때까지 상기 제2 캐핑막을 평탄화함으로써 형성할 수 있다.
- [0093] 제2 캐핑 패턴(410)은 예를 들어, 실리콘 질화물과 같은 질화물을 포함하도록 형성될 수 있으며, 이에 따라 게이트 마스크(150), 제1 캐핑 패턴(295), 및 제1 스페이서(315) 및 제3 스페이서 막(370) 중 적어도 일부와 병합될 수도 있다. 상기 평탄화 공정은 CMP 공정 및/또는 에치 백 공정을 포함할 수 있다.
- [0094] 이후, 상면이 노출된 제1 층간 절연막(380)을 제거하여, 제3 스페이서 막(370)을 노출시키는 제4 개구(420)를 형성할 수 있다. 예시적인 실시예들에 있어서, 제1 층간 절연막(380)은 습식 식각 공정에 의해 제거될 수 있다. 이에 따라, 제3 개구(400) 형성을 위한 건식 식각 공정에 비해서, 비트 라인 구조물(305) 상부 및 비트 라인 구조물(305)을 커버하는 제3 스페이서 막(370)은 거의 제거되지 않을 수 있다.
- [0095] 이후, 노출된 제3 스페이서 막(370)에 대해 이방성 식각 공정을 수행하여, 비트 라인 구조물(305)의 측벽을 커버하는 제3 스페이서(375)를 형성할 수 있다. 이때, 제1 내지 제3 스페이서들(315, 340, 375)은 함께 예비 스페이서 구조물로 지칭될 수 있다. 또한, 제3 스페이서(375) 및 제1 캐핑 패턴(295)을 식각 마스크로 사용하는 건

식 식각 공정을 수행함으로써, 액티브 패턴(105) 상부를 식각하여 제4 개구(420)에 연통하는 제5 개구(430)를 형성할 수 있다.

- [0096] 상기 건식 식각 공정 시, 액티브 패턴(105) 상부에 인접하는 소자 분리 패턴(110) 상부도 함께 식각될 수 있다.
- [0097] 예시적인 실시예들에 있어서, 제3 개구(400) 형성 후, 이에 의해 노출되는 비트 라인 구조물(305) 부분의 상면의 높이보다, 제4 및 제5 개구들(420, 430) 형성 후, 제4 개구(420)에 의해 노출되는 비트 라인 구조물(305) 부분의 상면의 높이가 더 높을 수 있다.
- [0098] 도 23을 참조하면, 제5 개구(430) 및 제4 개구(420)를 채우는 하부 콘택 플러그(440)를 형성할 수 있다.
- [0099] 하부 콘택 플러그(440)는 제5 개구(430)에 의해 노출된 액티브 패턴(105) 및 소자 분리 패턴(110) 상면, 제3 스페이서(375), 제1 캐핑 패턴(295), 및 제2 캐핑 패턴(410) 상에 제4 도전막을 형성한 후, 상기 제4 도전막 상부를 제거함으로써 형성될 수 있다. 이때, 상기 제4 도전막 상부는 CMP 공정 및/또는 에치 백 공정에 의해 제거될 수 있다.
- [0100] 하부 콘택 플러그(440)는 예를 들어, 불순물이 도핑된 폴리실리콘을 포함하도록 형성될 수 있다. 예시적인 실시예에 있어서, 하부 콘택 플러그(440)는 그 상면이 제2 스페이서(340)의 상면보다 높도록 형성될 수 있다.
- [0101] 한편, 하부 콘택 플러그(440) 형성 시, 제5 개구(430)가 모두 채워지지 않아서, 하부 콘택 플러그(440) 내부에 에어 갭(445)이 형성될 수 있다.
- [0102] 도 24를 참조하면, 하부 콘택 플러그(440), 제1 및 제3 스페이서들(315, 375), 및 제1 및 제2 캐핑 패턴들(295, 410) 상에 제3 마스크 막(450), 제1 막(460), 제2 막(470), 제4 마스크 막(480) 및 제3 막(490)을 순차적으로 형성한 후, 제3 막(490) 상에 포토레지스트 패턴(500)을 형성할 수 있다.
- [0103] 예시적인 실시예들에 있어서, 제3 마스크 막(450)은 예를 들어, 실리콘 질화물, 실리콘 산질화물 등과 같은 질화물을 포함할 수 있고, 제1 막(460)은 예를 들어, 비정질 탄소막(Amorphous Carbon Layer: ACL)을 포함할 수 있으며, 제2 및 제3 막들(470, 490)은 예를 들어, 플라즈마 산질화물(Plasma Enhanced Silicon Oxynitride: PE-SION)과 같은 산질화물을 포함할 수 있고, 제4 마스크 막(480)은 예를 들어, 스핀-온-하드마스크(Spin-On-Hardmask: SOH)를 포함할 수 있다.
- [0104] 예시적인 실시예들에 있어서, 포토레지스트 패턴(500)은 제3 막(490) 상면을 노출시키는 제6 개구(510)를 포함할 수 있으며, 제6 개구(510)는 상기 각 제1 및 제2 방향들을 따라 서로 이격되도록 복수 개로 형성될 수 있다. 제6 개구(510)는 상면에서 보았을 때, 원형 혹은 타원형의 형상을 가질 수 있다.
- [0105] 도 25 및 26을 참조하면, 포토레지스트 패턴(500)을 식각 마스크로 사용하는 식각 공정을 수행하여 제3 막(490), 제4 마스크 막(480) 및 제2 막(470)을 순차적으로 식각함으로써, 각각 제3 패턴, 제4 마스크 및 제2 패턴을 형성할 수 있으며, 상기 식각 공정에서 상기 제3 패턴은 제거될 수 있다.
- [0106] 이후, 상기 제4 마스크 및 상기 제2 패턴을 식각 마스크로 사용하는 식각 공정을 수행하여 제1 막(460)을 식각함으로써 제1 패턴을 형성할 수 있다. 상기 제4 마스크는 예를 들어, 애싱(ashing) 및/또는 스트립 공정을 통해 제거할 수 있다.
- [0107] 이후, 상기 제2 패턴 및 상기 제1 패턴을 식각 마스크로 사용하는 식각 공정을 수행하여 제3 마스크 막(450)을 식각함으로써, 제3 마스크(455)를 형성할 수 있다. 상기 식각 공정에서 상기 제2 패턴은 제거될 수 있으며, 상기 제1 패턴은 예를 들어, 애싱(ashing) 및/또는 스트립 공정을 통해 제거할 수 있다.
- [0108] 제3 마스크(455)는 하부 콘택 플러그(440)의 일부 및 이에 인접하는 제1 및 제3 스페이서들(315, 375) 및 제1 캐핑 패턴(295) 부분을 노출시키는 제7 개구(520)를 포함할 수 있다. 예시적인 실시예들에 있어서, 제7 개구(520)는 상면에서 보았을 때, 원형 혹은 타원형의 형상을 가질 수 있으며, 상기 각 제1 및 제2 방향들을 따라 서로 이격되도록 복수 개로 형성될 수 있다. 제7 개구(520)가 형성됨에 따라서, 제1 및 제3 스페이서들(315, 375)의 일부가 식각되며, 제1 내지 제3 스페이서들(315, 340, 375)을 포함하는 스페이서 구조물(SS)이 형성될 수 있다.
- [0109] 이후, 제3 마스크(455)를 식각 마스크로 사용하는 식각 공정을 통해 상기 노출된 하부 콘택 플러그(440) 부분을 식각함으로써, 하부 콘택 플러그(440)의 상부에 제4 리세스(525)를 형성할 수 있다. 예시적인 실시예들에 있어서, 제4 리세스(525)는 상기 제1 방향으로의 단면이 "L"자 형상을 가질 수 있다.

- [0110] 도 27을 참조하면, 제4 리세스(525)에 의해 노출된 하부 콘택 플러그(440) 상에 금속 실리사이드 패턴(530)을 형성할 수 있다.
- [0111] 예시적인 실시예들에 있어서, 금속 실리사이드 패턴(530)은 하부 콘택 플러그(440), 제1 및 제3 스페이서들(315, 375), 제1 캐핑 패턴(295) 및 제3 마스크(455) 상에 제2 금속막을 형성하고 열처리한 후, 상기 제2 금속막 중에서 미반응 부분을 제거함으로써 형성될 수 있다. 상기 제2 금속막은 예를 들어, 코발트, 니켈, 티타늄 등을 포함하도록 형성될 수 있으며, 이에 따라 금속 실리사이드 패턴(530)은 코발트 실리사이드, 니켈 실리사이드, 티타늄 실리사이드 등을 포함할 수 있다.
- [0112] 예시적인 실시예들에 있어서, 금속 실리사이드 패턴(530)은 상기 제1 방향으로의 단면이 "L"자 형상을 가질 수 있다. 이에 따라, 예를 들어 수평 방향으로 연장되는 바(bar) 형상을 갖는 것에 비해서, 금속 실리사이드 패턴(530)은 상대적으로 큰 면적을 가질 수 있다.
- [0113] 도 28을 참조하면, 금속 실리사이드 패턴(530) 상에 제4 리세스(525) 및 제7 개구(520)를 채우는 상부 콘택 플러그(540)를 형성할 수 있다.
- [0114] 상부 콘택 플러그(540)는 금속 실리사이드 패턴(530), 제1 및 제3 스페이서들(315, 375), 제1 캐핑 패턴(295) 및 제3 마스크(455) 상에 상부 콘택막을 형성한 후, 제3 마스크(455)의 상면이 노출될 때까지 상기 상부 콘택막을 평탄화함으로써 형성될 수 있다. 상기 상부 콘택막은 예를 들어, 텅스텐(W), 알루미늄(Al), 구리 등과 같은 금속 및/또는 불순물이 도핑된 폴리실리콘을 포함하도록 형성될 수 있다.
- [0115] 상부 콘택 플러그(540)는 상부 콘택막을 형성하고 이를 패터닝함으로써 형성되는 것이 아니라, 제4 리세스(525) 및 제7 개구(520)를 채우도록 상기 상부 콘택막을 형성하고 그 상부를 평탄화함으로써 형성되므로, 상기 패터닝 공정 시 발생하는 식각 손상이 방지될 수 있으며, 상기 패터닝 공정 후 식각 마스크 제거를 위한 애싱 및/또는 스트립 공정에서 상부 콘택 플러그(540)가 산화되어 저항이 증가하는 것도 방지될 수 있다.
- [0116] 예시적인 실시예들에 있어서, 상부 콘택 플러그(540)는 상기 각 제1 및 제2 방향들을 따라 서로 이격되도록 복수 개로 형성될 수 있으며, 상부에서 보았을 때 복수 개의 상부 콘택 플러그들(540)은 벌집 모양으로 배열될 수 있다. 도면 상에서는, 각 상부 콘택 플러그들(540)의 상면이 제2 캐핑 패턴(410)에 오버랩되지 않는 것이 도시되어 있으나, 본 발명의 개념은 반드시 이에 한정되지는 않으며, 부분적으로 제2 캐핑 패턴(410)에 오버랩될 수도 있다. 또한 각 상부 콘택 플러그들(540)은 상면에서 보았을 때 원형, 타원형뿐만 아니라 다각형 모양을 가질 수도 있다.
- [0117] 순차적으로 적층된 하부 콘택 플러그(440), 금속 실리사이드 패턴(530), 및 상부 콘택 플러그(540)는 함께 콘택 플러그 구조물(CPS)을 형성할 수 있다.
- [0118] 전술한 바와 같이, 금속 실리사이드 패턴(530)은 상기 제1 방향으로의 단면이 "L"자 형상을 가짐에 따라서, 하부 및 상부 콘택 플러그들(440, 540)에 각각 접촉하는 면적이 클 수 있으며, 이에 따라 상기 콘택 플러그 구조물(CPS)의 전체 저항이 감소될 수 있다.
- [0119] 다시 도 1 및 2를 참조하면, 상부 콘택 플러그(540)의 상면과 접촉하는 커패시터(590)를 형성할 수 있다.
- [0120] 즉, 상부 콘택 플러그(540) 및 제3 마스크(455) 상에 식각 저지막(550) 및 몰드막(도시하지 않음)을 순차적으로 형성하고, 이들을 부분적으로 식각하여 상부 콘택 플러그(540)의 상면을 부분적으로 노출시키는 제8 개구를 형성할 수 있다.
- [0121] 상기 제8 개구의 측벽, 노출된 상부 콘택 플러그(540)의 상면 및 상기 몰드막 상에 하부 전극막(도시하지 않음)을 형성하고, 상기 제8 개구의 나머지 부분을 충분히 채우는 제2 희생막(도시하지 않음)을 상기 하부 전극막 상에 형성한 후, 상기 몰드막 상면이 노출될 때까지 상기 하부 전극막 및 상기 제2 희생막의 상부를 평탄화함으로써 상기 하부 전극막을 노드 분리할 수 있다. 잔류하는 상기 제2 희생막 및 상기 몰드막은 예를 들어, 습식 식각 공정을 수행함으로써 제거할 수 있고, 이에 따라 상기 노출된 상부 콘택 플러그(540)의 상면에는 실린더형(cylindrical) 하부 전극(560)이 형성될 수 있다. 이와는 달리, 상기 제8 개구를 전부 채우는 필라형(pillar) 하부 전극(560)이 형성될 수도 있다.
- [0122] 이후, 하부 전극(560)의 표면 및 식각 저지막(550) 상에 유전막(570)을 형성하고, 유전막(570) 상에 상부 전극(580)을 형성함으로써, 하부 전극(560), 유전막(570) 및 상부 전극(580)을 각각 포함하는 커패시터(590)를 형성할 수 있다.

- [0123] 예시적인 실시예들에 있어서, 하부 전극(560) 및 상부 전극(580)은 실질적으로 동일한 물질을 포함하도록 형성될 수 있으며, 예를 들어 도핑된 폴리실리콘 및 금속을 포함하도록 형성될 수 있다. 유전막(570)은 실리콘 산화물, 금속 산화물 등의 산화물 및/또는 실리콘 질화물, 금속 질화물 등의 질화물을 포함하도록 형성될 수 있으며, 이때, 상기 금속은 알루미늄(Al), 지르코늄(Zr), 티타늄(Ti), 하프늄(Hf) 등을 포함할 수 있다.
- [0124] 이어, 커패시터(590)를 커버하는 제2 층간 절연막(600)을 형성함으로써, 상기 반도체 장치를 완성할 수 있다.
- [0125] 도 29 내지 도 31은 각각 예시적인 실시예들에 따른 반도체 장치를 설명하기 위한 단면도들이다. 상기 각 반도체 장치들은 금속 실리사이드 패턴의 형상을 제외하고는 도 1 및 2를 참조로 설명한 반도체 장치와 실질적으로 동일하거나 유사하다. 이에 따라, 동일한 구성 요소에는 동일한 참조 부호를 부여하고, 이들에 대한 반복적인 설명은 생략한다.
- [0126] 도 29를 참조하면, 금속 실리사이드 패턴(530)은 상기 수평 방향으로 연장되는 제1 부분, 및 상기 제1 부분으로부터 상기 수직 방향으로 연장되는 제2 부분을 포함할 수 있으며, 금속 실리사이드 패턴(530)의 상기 제2 부분의 내측벽은 상기 스페이서 구조물(SS)의 제3 스페이서(375)에 접촉할 수 있다.
- [0127] 즉, 금속 실리사이드 패턴(530)의 상기 제1 부분의 측벽이 하나의 비트 라인 구조물(305)의 제1 측벽에 형성된 상기 스페이서 구조물(SS)의 제3 스페이서(375)에 접촉하는 것에 더하여, 금속 실리사이드 패턴(530)의 상기 제2 부분은 상기 비트 라인 구조물(305)과 상기 제2 방향으로 이웃하는 다른 비트 라인 구조물(305)의 상기 제1 측벽에 대향하는 제2 측벽에 형성된 상기 스페이서 구조물(SS)의 제3 스페이서(375)에 접촉할 수 있다.
- [0128] 도 30을 참조하면, 금속 실리사이드 패턴(530)은 곡면 형상을 갖는 제1 부분, 및 상기 제1 부분으로부터 상기 수직 방향으로 연장되는 제2 부분을 포함할 수 있다. 즉, 금속 실리사이드 패턴(530)의 상기 제1 부분은 도 1 및 2에 도시된 금속 실리사이드 패턴(530)이 상기 수평 방향으로 편평한 것과 다르게, 곡면 형상을 가질 수 있으며, 상기 제2 부분으로부터 멀어질수록 기판(100) 상면에 대한 기울기가 점차 감소할 수 있다.
- [0129] 도 31을 참조하면, 금속 실리사이드 패턴(530)은 곡면 형상을 갖는 제1 부분, 및 상기 제1 부분으로부터 상기 수직 방향으로 연장되는 제2 부분을 포함할 수 있다.
- [0130] 이때, 금속 실리사이드 패턴(530)의 상기 제1 부분은 전체적으로 아래로 볼록한 곡면 형상을 가질 수 있으며, 도 30에 도시된 금속 실리사이드 패턴(530)의 상기 제1 부분과는 달리, 상기 제2 부분으로부터 멀어질수록 기판(100) 상면에 대한 기울기가 점차 감소하다가 다시 증가할 수 있다.
- [0131] 도 32는 예시적인 실시예들에 따른 반도체 장치를 설명하기 위한 단면도이다. 상기 반도체 장치는 제4 및 제5 스페이서들을 제외하고는 도 1 및 2를 참조로 설명한 반도체 장치와 실질적으로 동일하거나 유사하다. 이에 따라, 동일한 구성 요소에는 동일한 참조 부호를 부여하고, 이들에 대한 반복적인 설명은 생략한다.
- [0132] 도 32를 참조하면, 상기 스페이서 구조물(SS)은 비트 라인 구조물(305)의 측벽에 상기 수평 방향을 따라 순차적으로 적층된 제1 스페이서(315), 제4 스페이서(345) 및 제3 스페이서(375)를 포함할 수 있으며, 이에 더하여 제5 스페이서(710)를 더 포함할 수 있다.
- [0133] 예시적인 실시예들에 있어서, 제1 스페이서(315)는 비트 라인 구조물(305)의 전체 측벽을 커버하지는 않으며, 제1 캐핑 패턴(295)의 상부는 커버하지 않고 하부만을 커버할 수 있다.
- [0134] 예시적인 실시예들에 있어서, 제4 스페이서(345)는 공기를 포함할 수 있으며, 이에 따라 에어 스페이서일 수 있다. 예시적인 실시예들에 있어서, 제4 스페이서(345)의 최상면은 제1 스페이서(315)의 최상면보다는 낮거나 동일한 높이에 형성될 수 있으며, 비트 라인 구조물(305)의 제1 금속 패턴(285)의 상면보다는 높은 높이에 형성될 수 있다.
- [0135] 예시적인 실시예들에 있어서, 제3 스페이서(375)는 제4 스페이서(345)의 외측벽을 커버할 수 있으며, 최상면의 높이가 제1 스페이서(315)의 최상면의 높이와 동일할 수 있다.
- [0136] 제5 스페이서(710)는 제1, 제4 및 제3 스페이서들(315, 345, 375)의 최상면 상에 형성되어 비트 라인 구조물(305)의 제1 캐핑 패턴(295)의 상부 측벽을 커버할 수 있다. 다만 도시되지는 않았으나, 제5 스페이서(710)는 제3 스페이서(375)의 외측벽을 부분적으로 커버할 수도 있다.
- [0137] 제5 스페이서(710)는 예를 들어, 실리콘 질화물과 같은 질화물을 포함하거나, 혹은 낮은 꺾필 특성을 갖는 절연 물질을 포함할 수 있다.

- [0138] 상기 스페이서 구조물(SS)이 에어 스페이서인 제4 스페이서(345)를 포함함에 따라, 비트 라인 구조물(305)과 상기 콘택 플러그 구조물(CPS) 사이의 기생 커패시턴스가 감소할 수 있다.
- [0139] 도 33 내지 도 36은 예시적인 실시예들에 따른 반도체 장치의 제조 방법을 설명하기 위한 단면도들이다. 상기 반도체 장치의 제조 방법은 도 3 내지 도 28 및 도 1 및 2를 참조로 설명한 공정들과 실질적으로 동일하거나 유사한 공정들을 포함하므로, 이들에 대한 반복적인 설명은 생략한다.
- [0140] 도 33을 참조하면, 도 3 내지 도 20을 참조로 설명한 공정들과 실질적으로 동일하거나 유사한 공정들을 수행한 후, 제1 및 제3 스페이서들(315, 375), 제1 및 제2 캐핑 패턴들(295, 410), 액티브 패턴(105) 및 소자 분리 패턴(110) 상에 제4 및 제5 개구들(420, 430)을 채우는 제3 희생막을 형성하고, 그 상부를 식각하여 제3 희생 패턴(690)을 형성할 수 있다.
- [0141] 이때, 제3 희생 패턴(690)은 예를 들어, SOH, ACL 등을 포함할 수 있다. 예시적인 실시예들에 있어서, 제3 희생 패턴(690)의 상면은 제2 스페이서(340)의 최상면의 높이보다 낮도록 형성될 수 있으며, 이에 따라 제1 및 제3 스페이서들(315, 375) 및 제1 및 제2 캐핑 패턴들(295, 410)의 각 상부가 노출될 수 있다.
- [0142] 이후, 제1 및 제2 캐핑 패턴들(295, 410)의 상부를 커버하는 제5 마스크(700)를 형성하고, 이를 식각 마스크로 사용하는 식각 공정을 통해 제1 및 제3 스페이서들(315, 375)의 상부를 식각함으로써, 제2 스페이서(340)의 상부를 노출시킬 수 있다.
- [0143] 제5 마스크(700)는 질화물을 포함하는 제1 및 제3 스페이서들(315, 375)과 식각 선택비를 갖는 물질, 예를 들어 실리콘 산화물과 같은 산화물을 포함할 수 있다.
- [0144] 도 34를 참조하면, 상기 노출된 제2 스페이서(340)를 제거하여 에어 갭을 형성하고, 제1 및 제3 스페이서들(315, 375) 상에 제5 스페이서(710)를 형성할 수 있다.
- [0145] 제2 스페이서(340)는 예를 들어, 습식 식각 공정을 통해 제거될 수 있으며, 이때 제5 마스크(700)도 함께 제거될 수 있다. 예시적인 실시예들에 있어서, 상기 제2 방향으로 연장되는 비트 라인 구조물(305)의 측벽에 형성된 제2 스페이서(340)는 직접 노출된 부분뿐만 아니라, 상기 부분과 수평 방향으로 평행한 부분, 즉 상기 제2 방향으로 이웃하여 제2 캐핑 패턴(410)에 의해 커버된 부분까지 모두 제거될 수 있다.
- [0146] 제5 스페이서(710)는 제5 스페이서 막을 잔류하는 제1 및 제3 스페이서들(315, 375), 제1 및 제2 캐핑 패턴들(295, 410), 액티브 패턴(105) 및 소자 분리 패턴(110) 상에 컨포멀하게 형성한 후, 이를 이방성 식각 공정을 통해 식각함으로써 형성될 수 있다. 이에 따라, 제5 스페이서(710)는 제1 및 제3 스페이서들(315, 375) 상에 형성되어 제1 캐핑 패턴(295)의 노출된 상부 측벽을 커버할 수 있다.
- [0147] 예시적인 실시예들에 있어서, 제5 스페이서(710)는 예를 들어, 실리콘 질화물과 같은 질화물을 포함하거나, 혹은 낮은 꺾 필 특성을 갖는 물질을 사용하여 형성될 수 있으며, 이에 따라 제2 스페이서(340)가 제거되어 형성된 에어 갭이 대부분 잔류할 수 있다. 이하에서는 이를 제4 스페이서(345)로 지칭하기로 한다.
- [0148] 도면 상에서는 제5 스페이서(710)가 제1 및 제3 스페이서들(315, 375)의 최상면에만 형성되고 제3 스페이서(375)의 외측벽은 커버하지 않는 것이 도시되어 있으나, 본 발명의 개념은 반드시 이에 한정되지는 않으며, 그 두께가 이보다 좀더 크게 형성되어 제3 스페이서(375)의 외측벽을 부분적으로 커버할 수도 있다.
- [0149] 도 35를 참조하면, 도 23을 참조로 설명한 공정들과 실질적으로 동일하거나 유사한 공정들을 수행하여, 제5 개구(430) 및 제4 개구(420)의 하부를 채우는 하부 콘택 플러그(440)를 형성할 수 있다.
- [0150] 이때, 하부 콘택 플러그(440)는 제5 스페이서(710)의 외측벽에 접촉할 수 있다.
- [0151] 도 36을 참조하면, 도 24 내지 도 26을 참조로 설명한 공정들과 실질적으로 동일하거나 유사한 공정들을 수행할 수 있다.
- [0152] 이에 따라, 제3 마스크(455)는 하부 콘택 플러그(440)의 일부 및 이에 인접하는 제5 스페이서(710) 및 제1 캐핑 패턴(295) 부분을 노출시키는 제7 개구(520)를 포함할 수 있으며, 이를 식각 마스크로 사용하는 식각 공정을 통해 하부 콘택 플러그(440) 상부를 식각함으로써, 상기 제1 방향으로의 단면이 "L"자 형상을 갖는 제4 리세스(525)를 형성할 수 있다. 제4 리세스(525)에 의해서, 제3 스페이서(375)의 상부가 노출될 수도 있다.
- [0153] 다시 도 32를 참조하면, 도 27 및 28 및 도 1 및 2를 참조로 설명한 공정들과 실질적으로 동일하거나 유사한 공정들을 수행함으로써, 상기 반도체 장치를 완성할 수 있다.

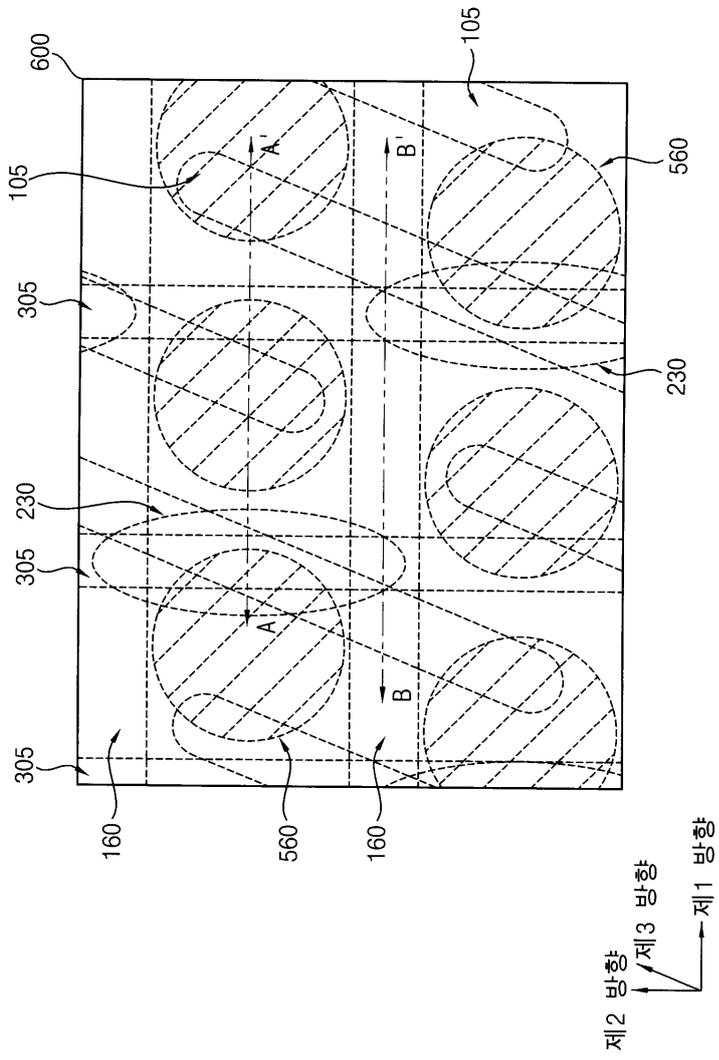
[0154] 전술한 바와 같이, 제2 스페이서(340)를 제거하여 에어 갭을 형성한 후, 그 상부에 제5 스페이서(710)를 추가로 형성함으로써, 비트 라인 구조물(305) 측벽에 에어 스페이서인 제4 스페이서(345)가 잔류할 수 있으며, 상기 비트 라인 구조물(305)과 상기 콘택 플러그 구조물(CPS) 사이의 기생 커패시턴스가 효과적으로 감소될 수 있다.

부호의 설명

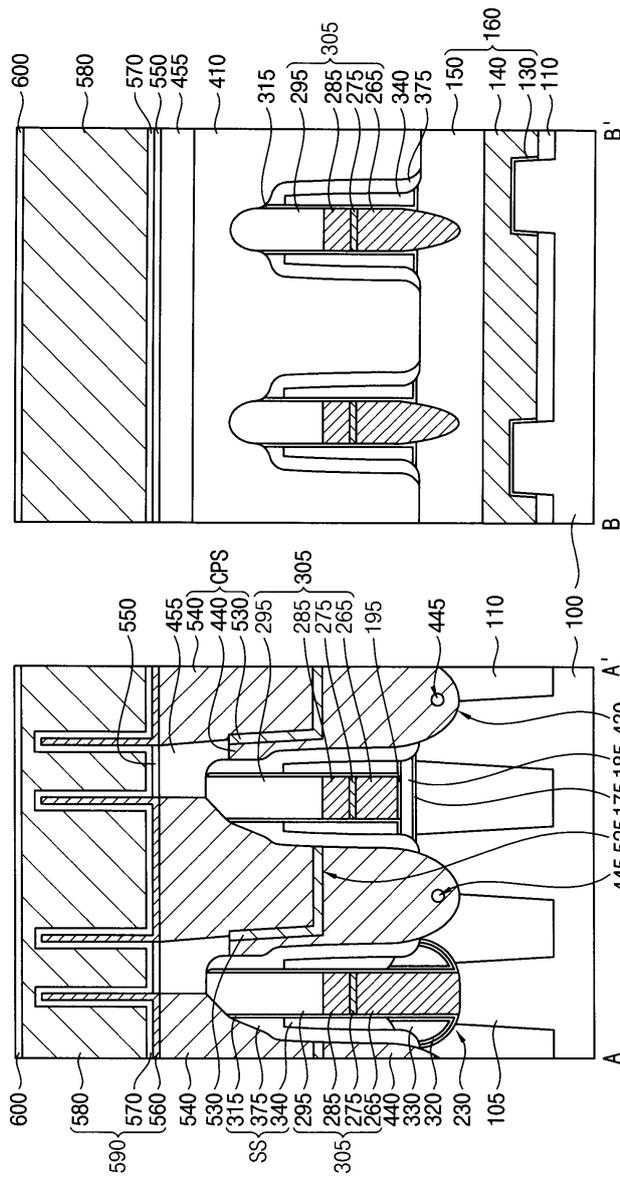
- [0155]
- | | |
|--|-----------------------------|
| 100: 기관 | 105: 액티브 패턴 |
| 110: 소자 분리 패턴 | 130: 게이트 절연막 |
| 140: 게이트 전극 | 150: 게이트 마스크 |
| 160: 게이트 구조물 | 170, 180, 190: 제1 내지 제3 절연막 |
| 175, 185, 195, 320, 330: 제1 내지 제5 절연 패턴 | |
| 200: 절연막 구조물 | 210, 240, 250: 제1 내지 제3 도전막 |
| 215, 245, 255: 제1 내지 제3 도전 패턴 | |
| 220, 390: 제1 및 제2 식각 마스크 | |
| 230, 350, 400, 420, 430, 510, 520: 제1 내지 제7 개구 | |
| 265: 도전 패턴 구조물 | 270: 배리어 막 |
| 275: 배리어 패턴 | 280: 제1 금속막 |
| 285: 제1 금속 패턴 | 310, 370: 제1, 제3 스페이서 막 |
| 315, 340, 375, 345, 710: 제1 내지 제5 스페이서 | |
| 380, 600: 제1 및 제2 층간 절연막 | |
| 440: 하부 콘택 플러그 | 450, 480: 제3, 제4 마스크 막 |
| 455, 700: 제3, 제5 마스크 | 460, 470, 490: 제1 내지 제3 막 |
| 500: 포토레지스트 패턴 | 530: 금속 실리사이드 패턴 |
| 540: 상부 콘택 플러그 | 550: 식각 저지막 |
| 560: 하부 전극 | 570: 유전막 |
| 580: 상부 전극 | 590: 커패시터 |

도면

도면1

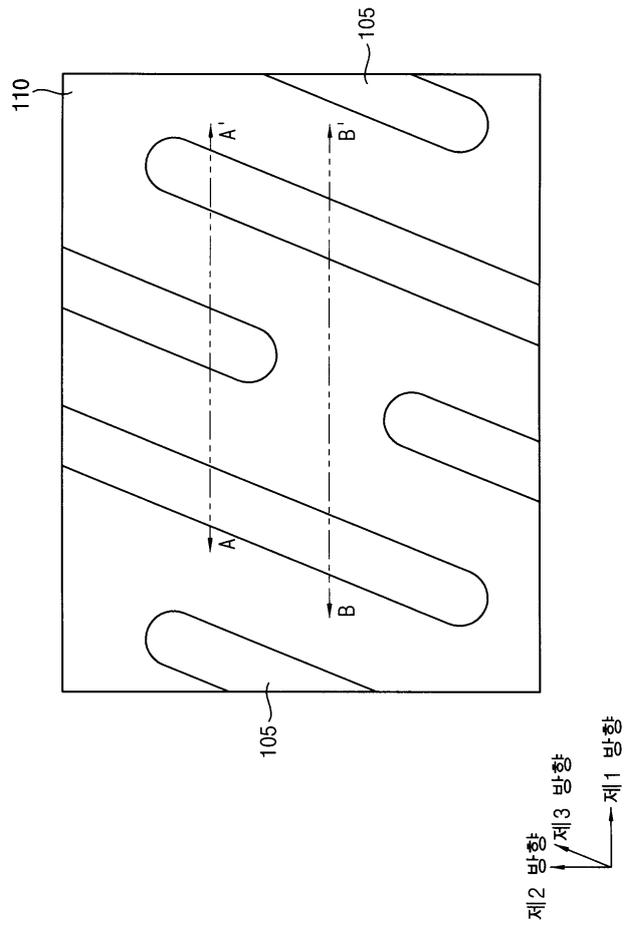


도면2

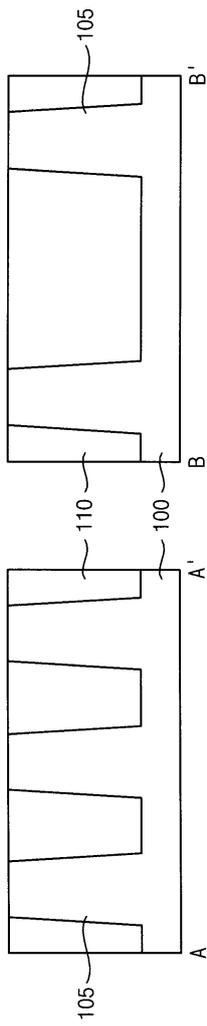


제2 방향
 ⊗ → 제1 방향

도면3

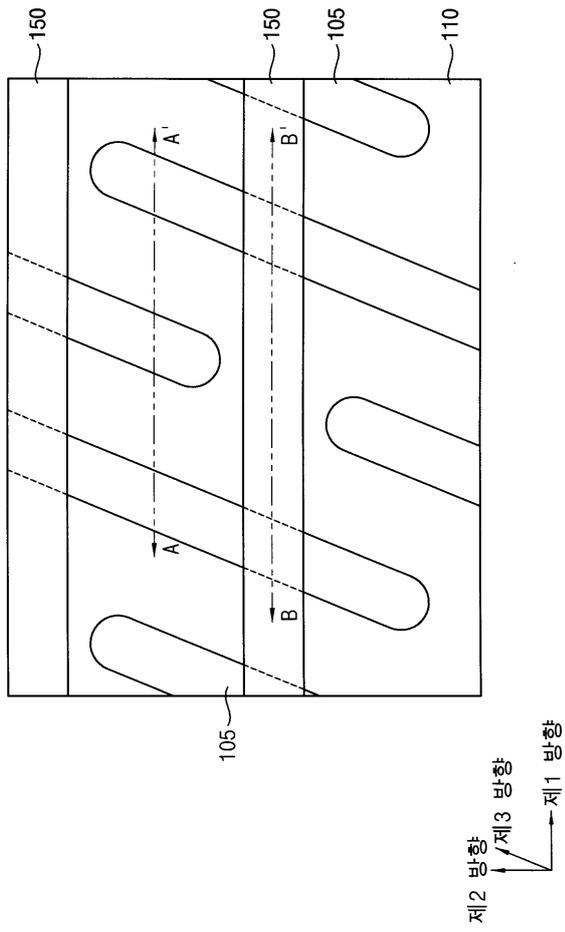


도면4

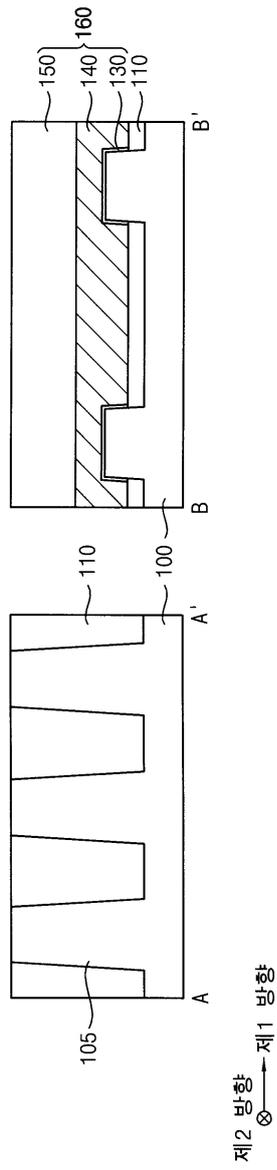


제2 방향
⊗ → 제1 방향

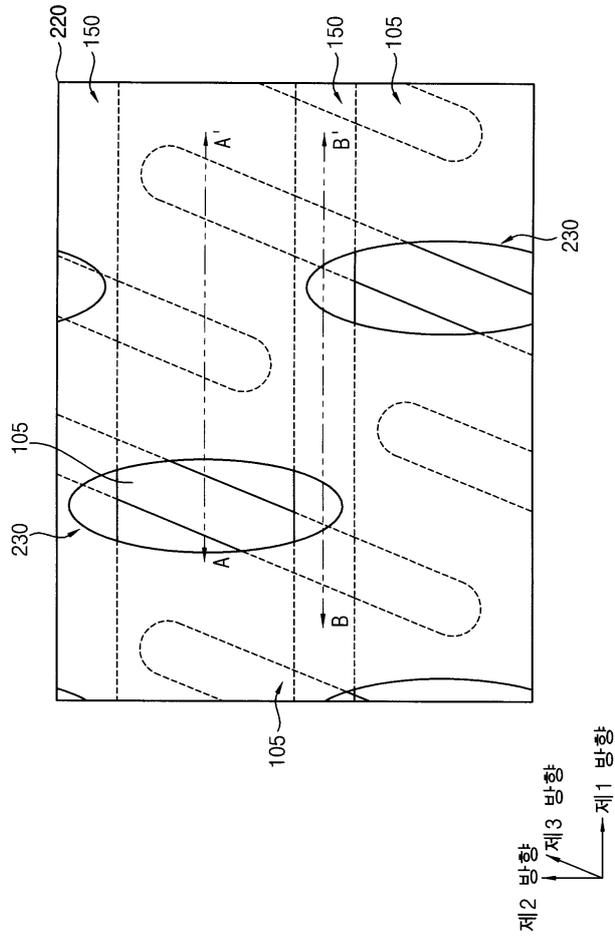
도면5



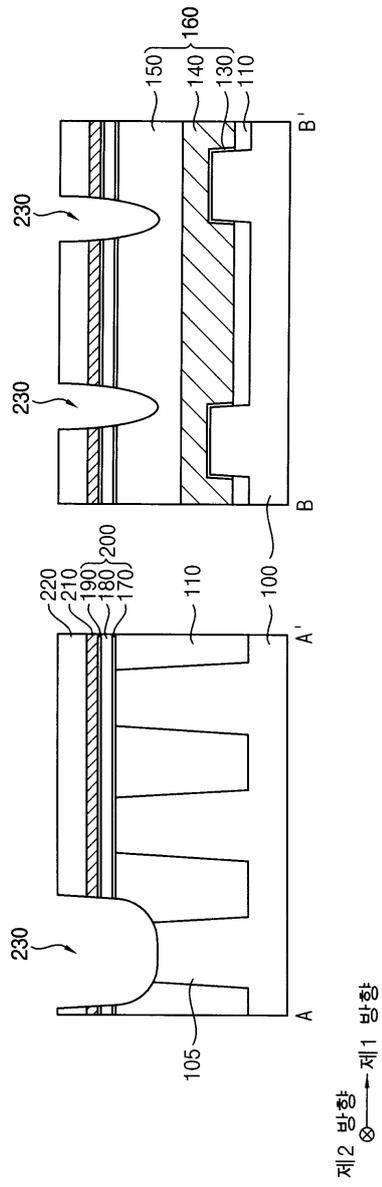
도면6



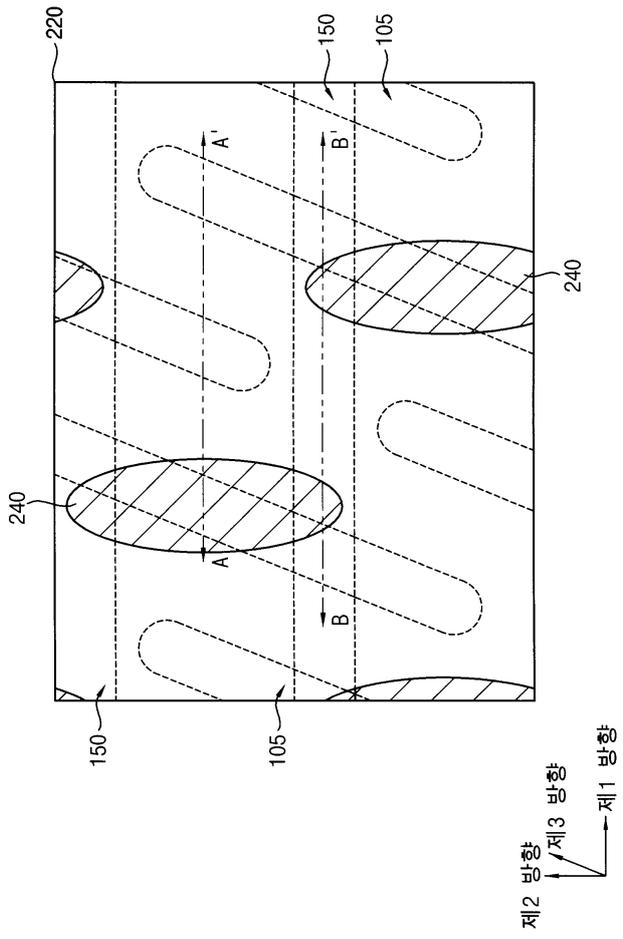
도면7



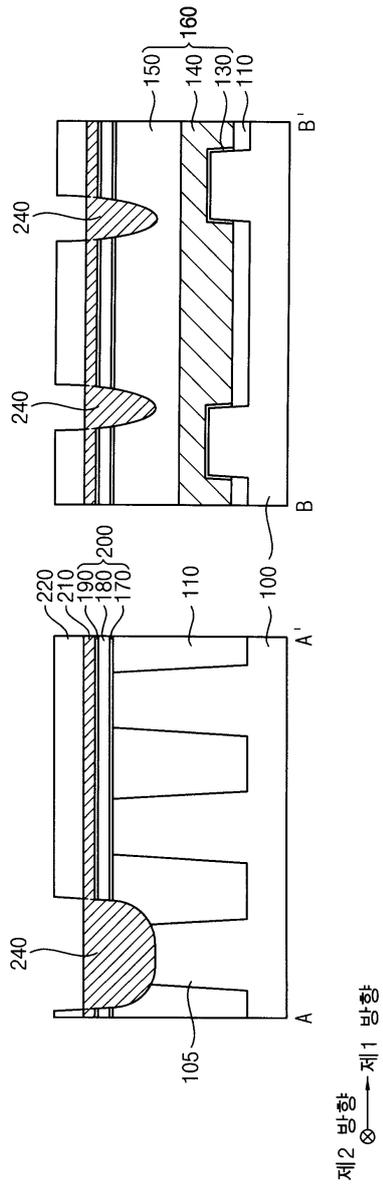
도면8



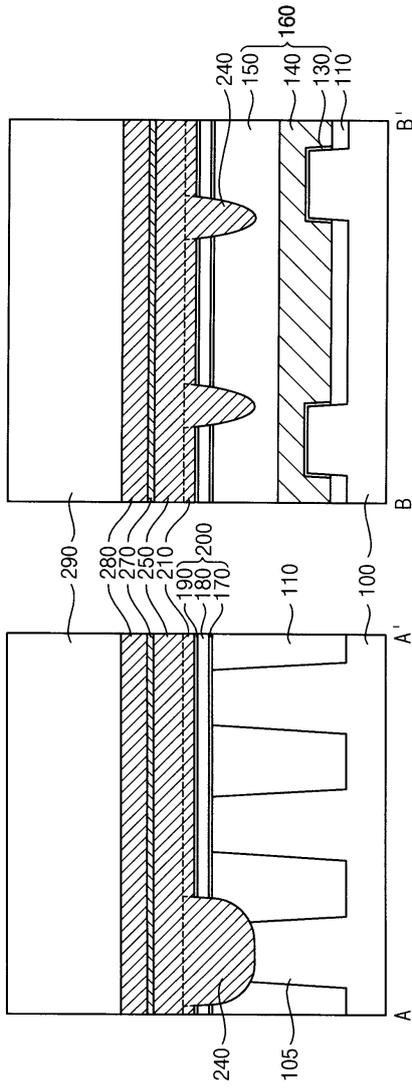
도면9



도면10

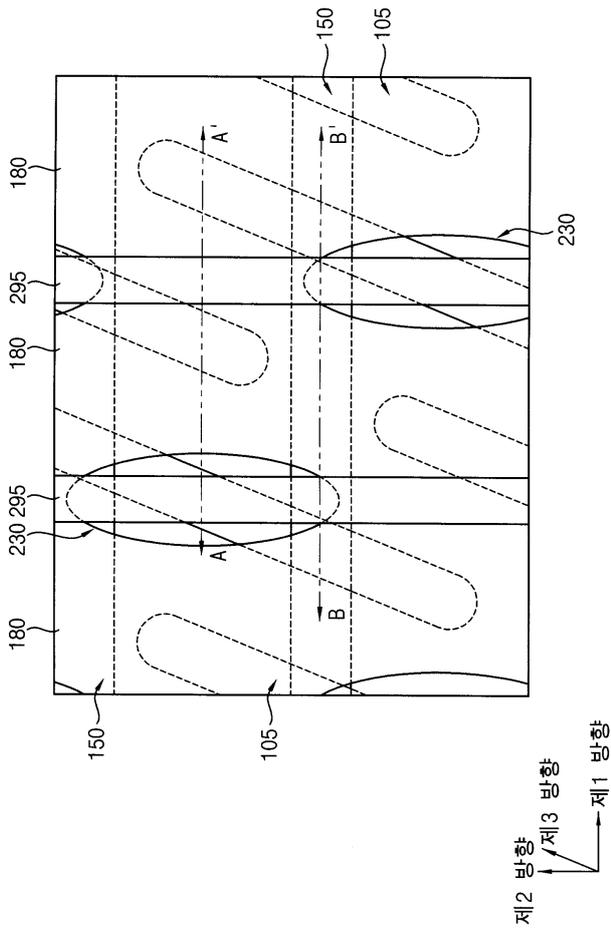


도면11

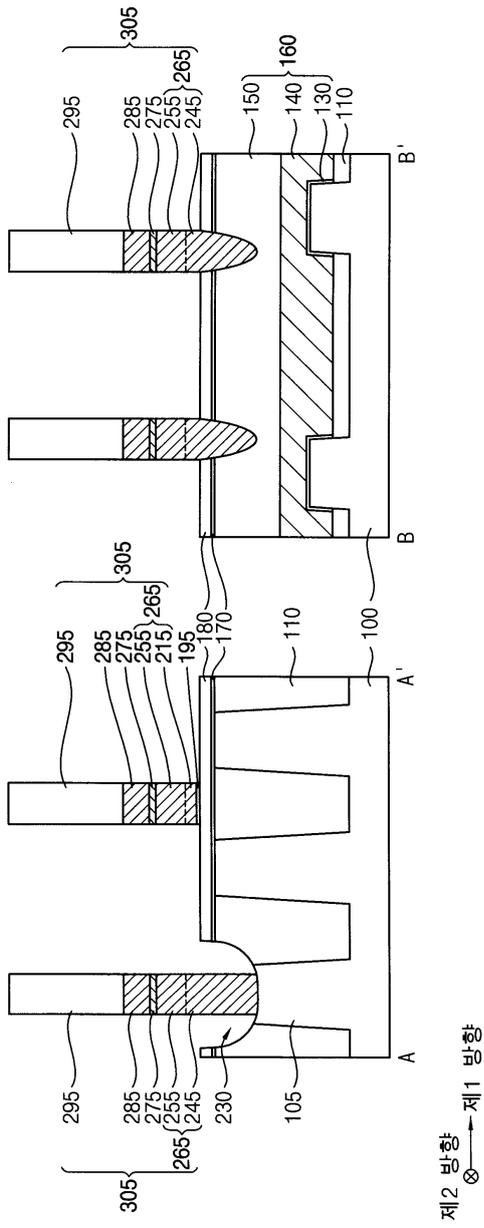


제2 방향
⊗ → 제1 방향

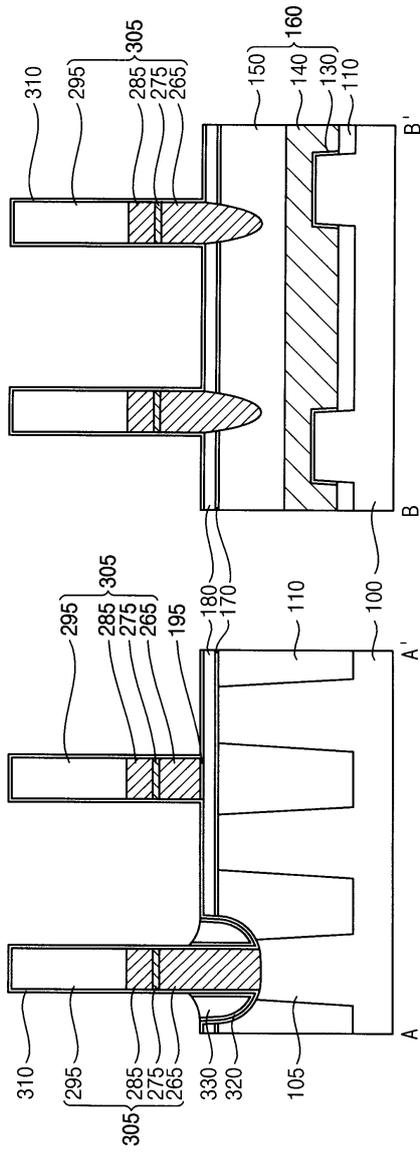
도면12



도면13

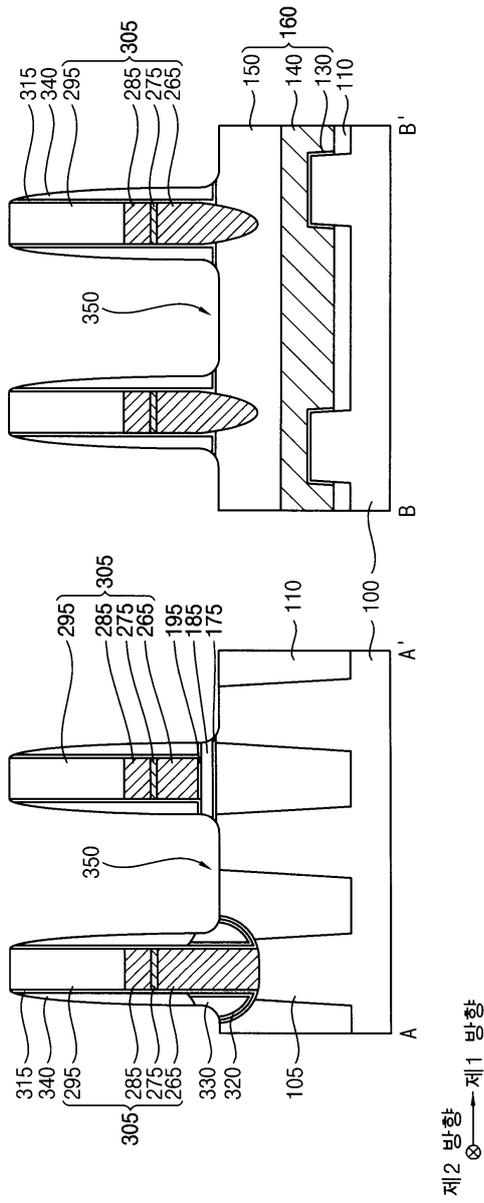


도면14

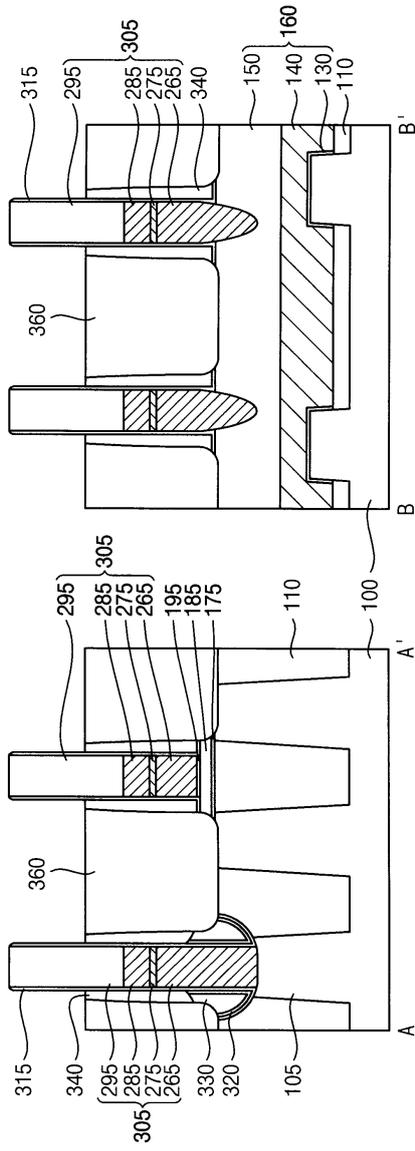


제2 방향
 ⊗ → 제1 방향

도면15

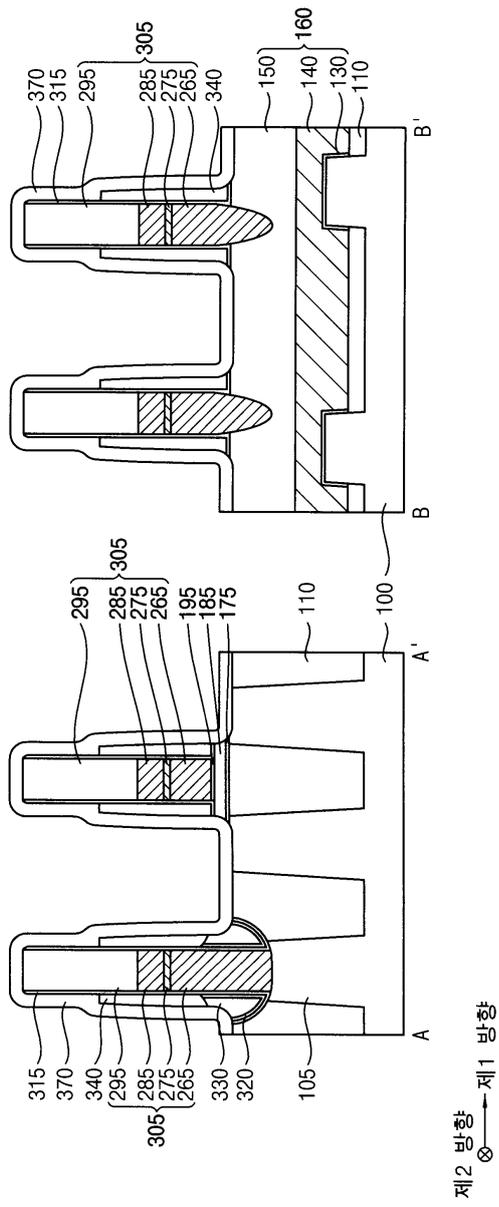


도면16

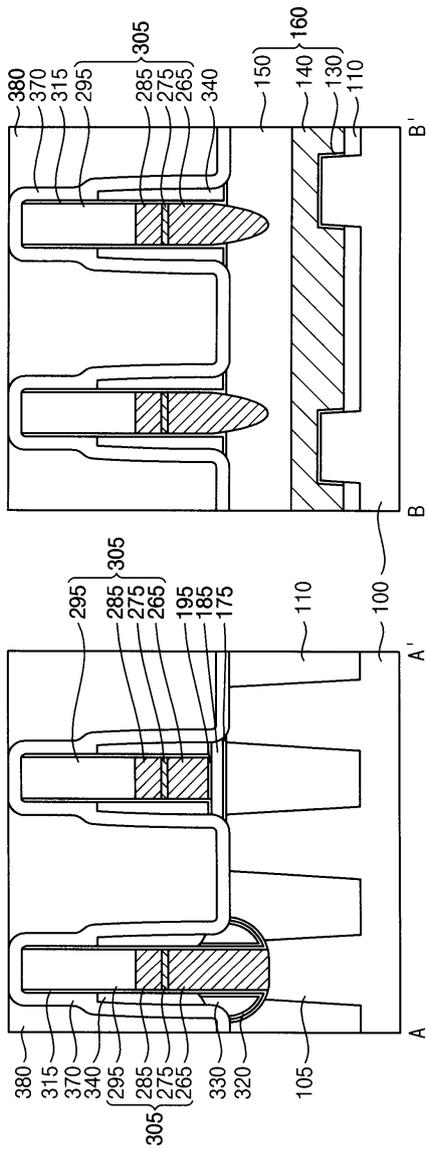


제2 방향
 ⊗ ← 제1 방향

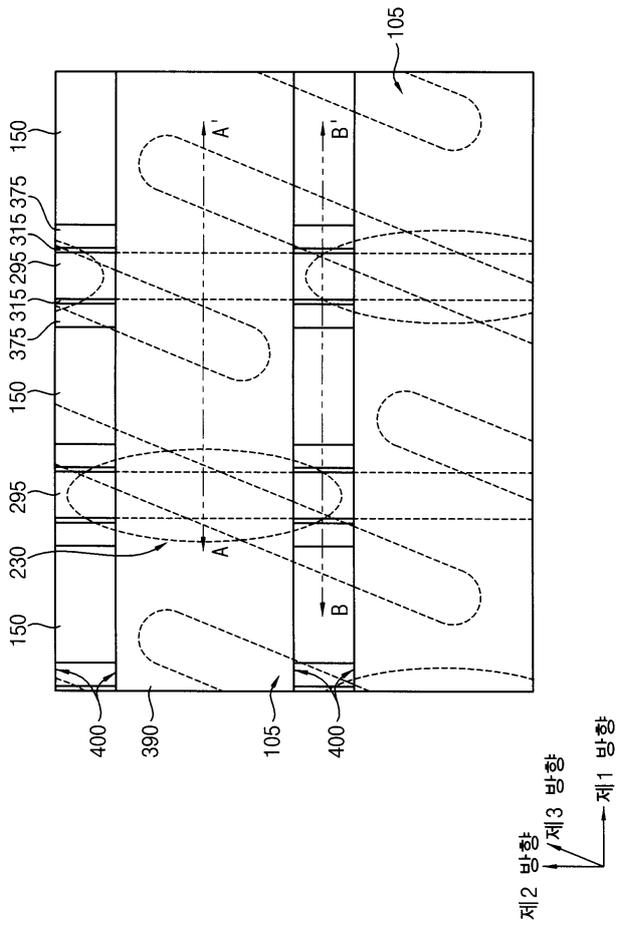
도면17



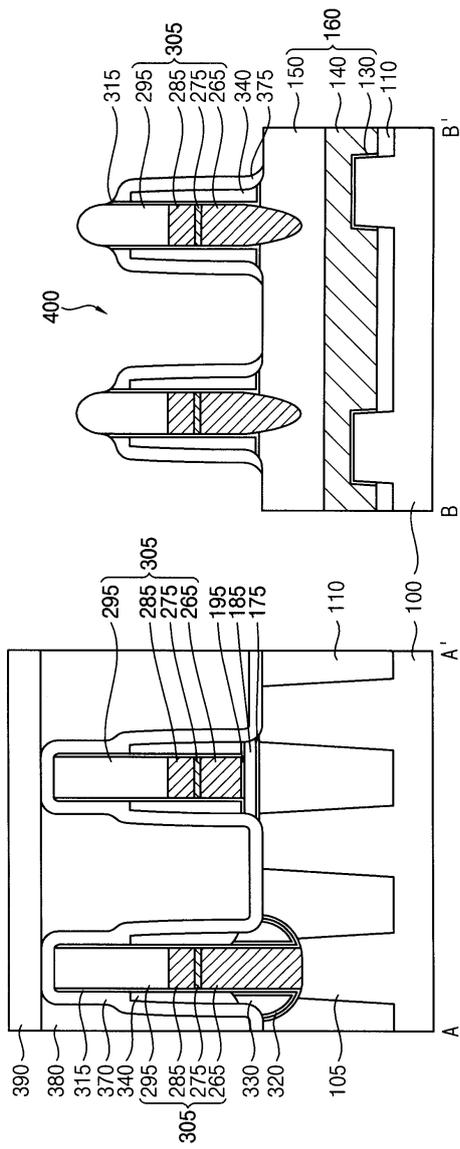
도면18



도면19

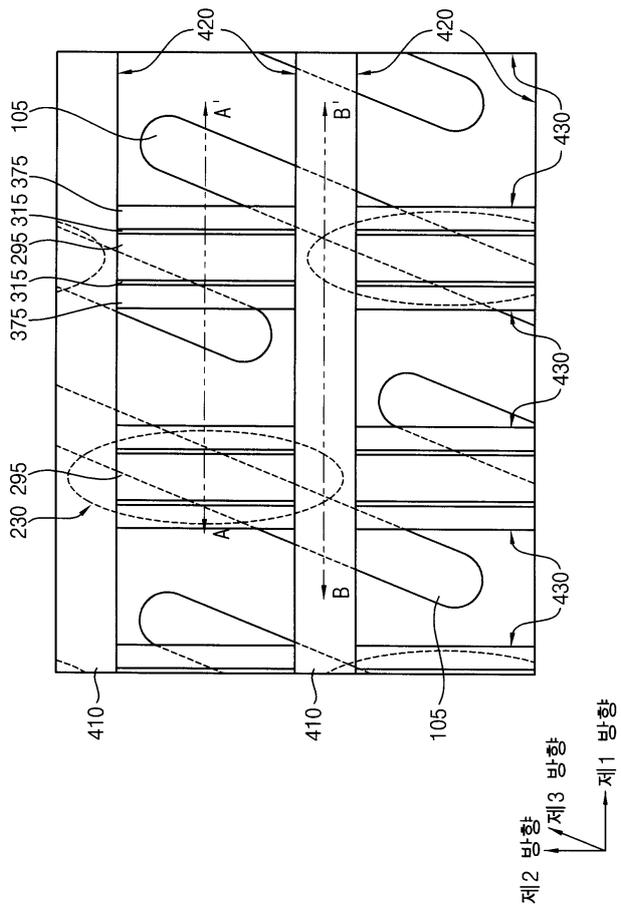


도면20

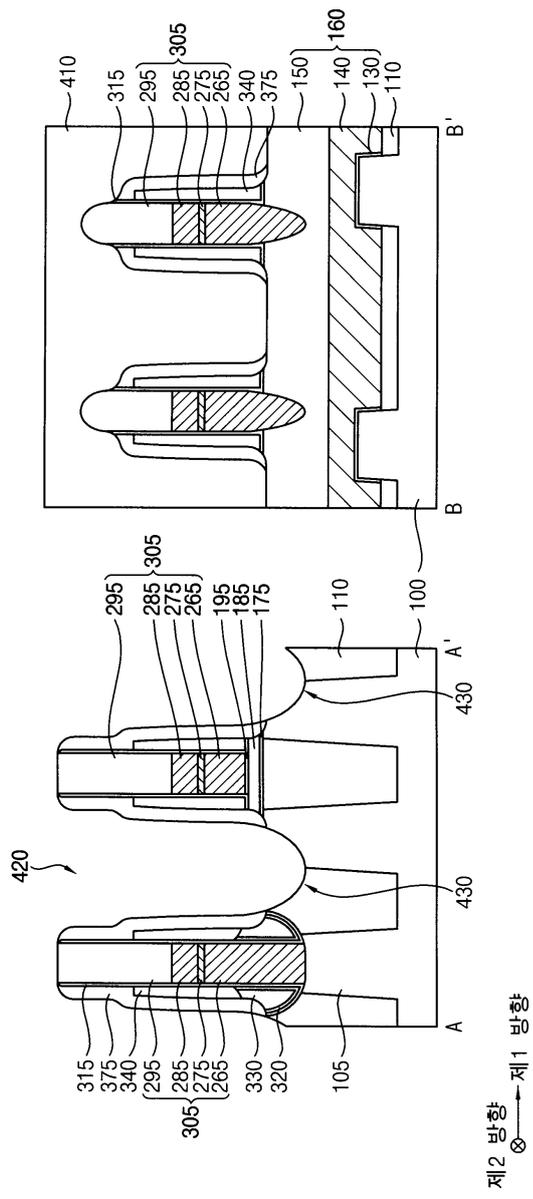


제2 방향
 ⊗ → 제1 방향

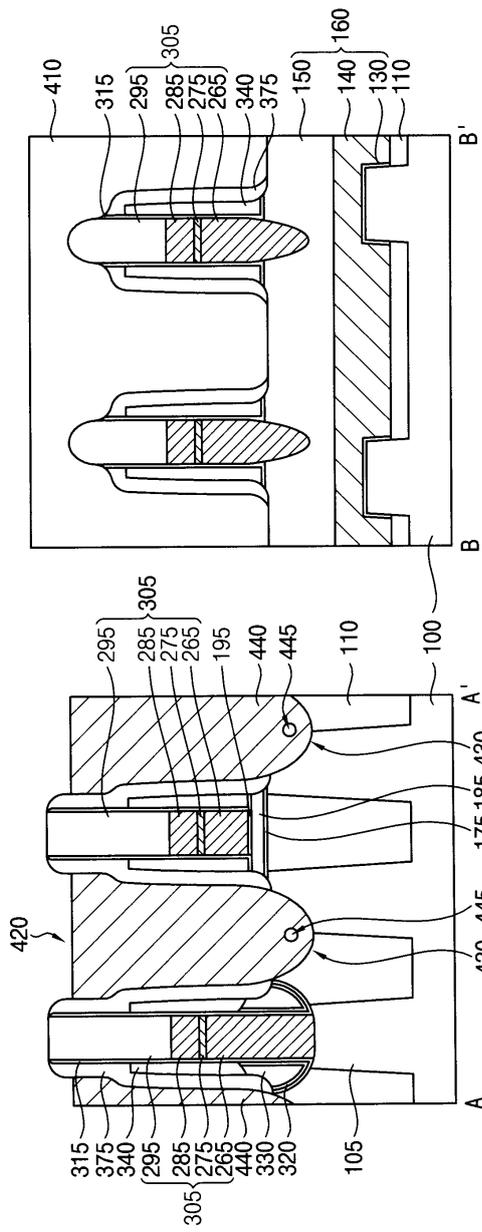
도면21



도면22

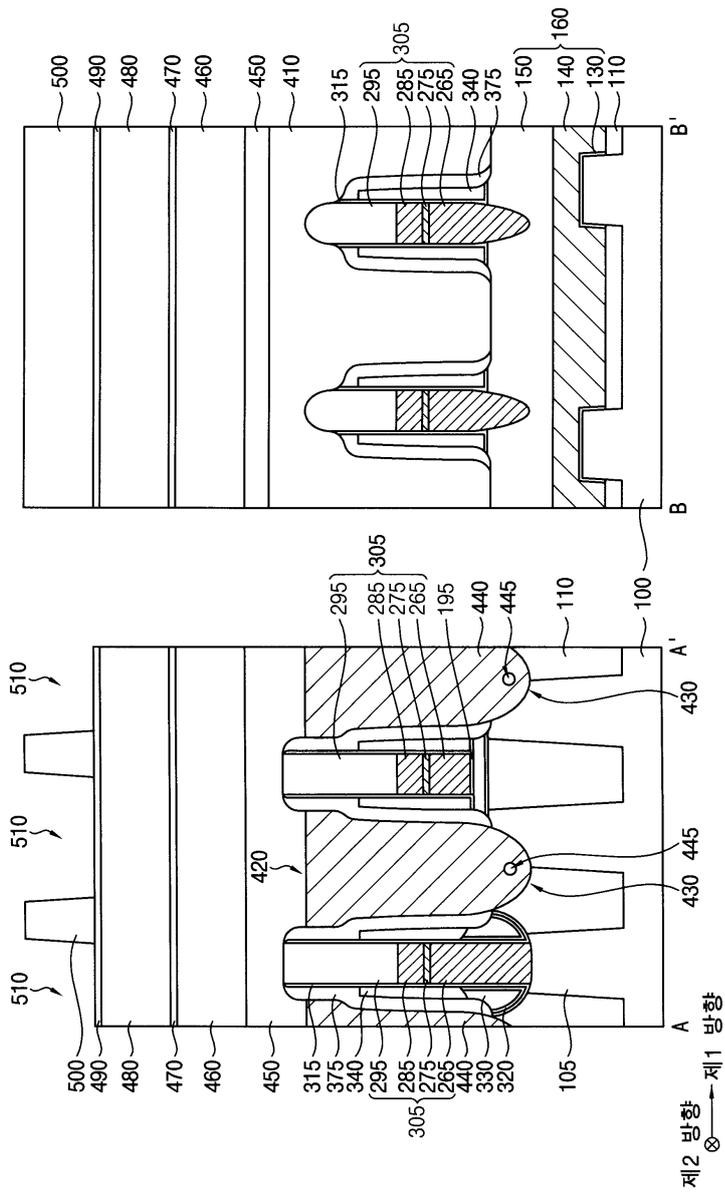


도면23

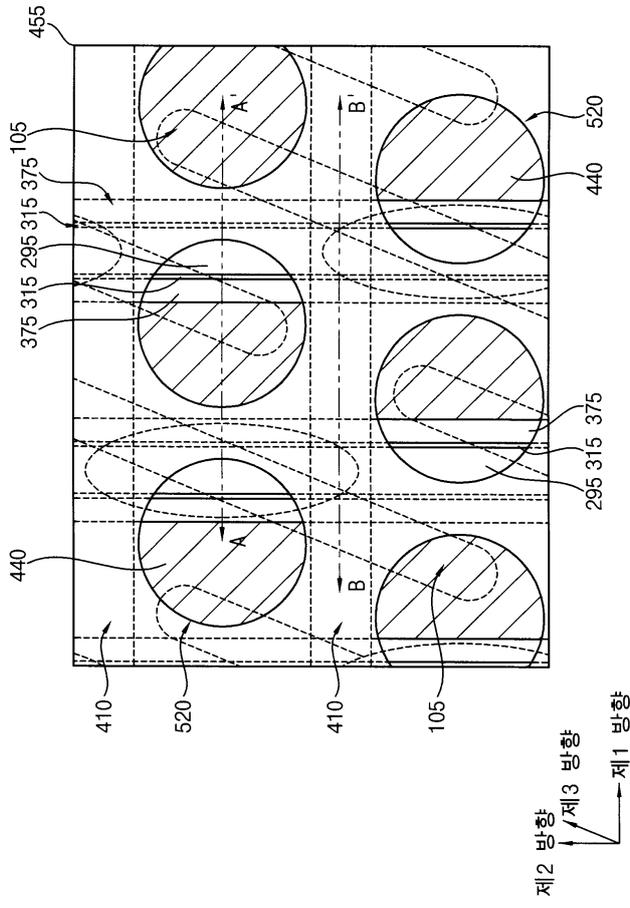


제2 방향
 ⊗ → 제1 방향

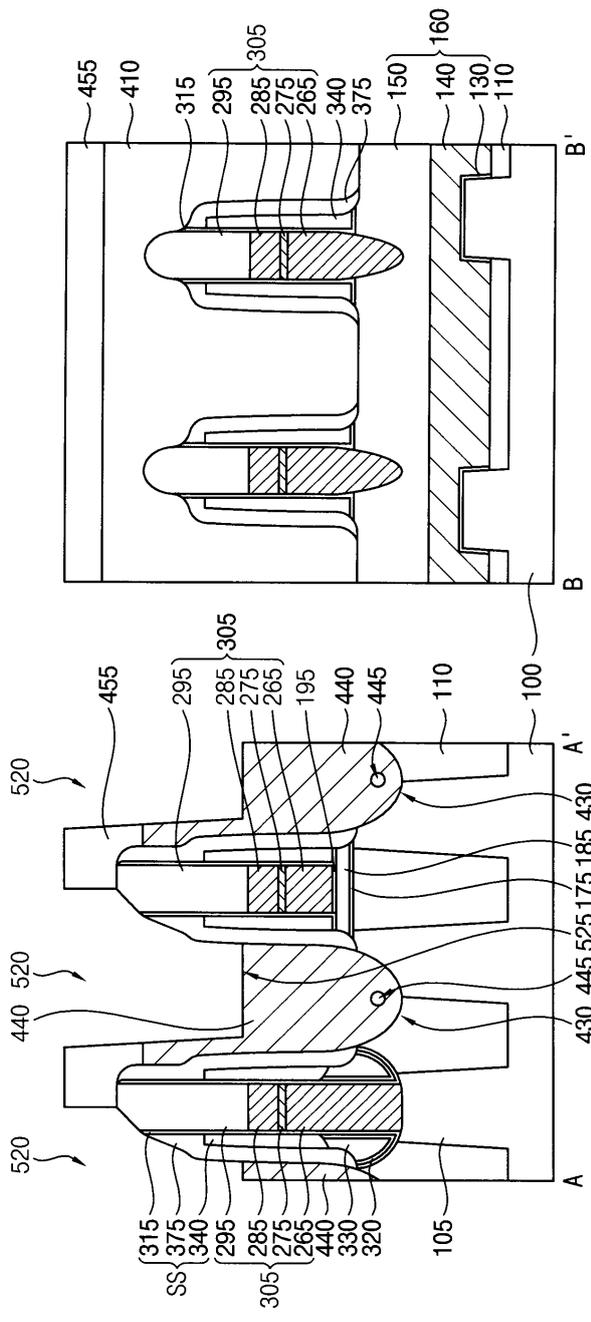
도면24



도면25

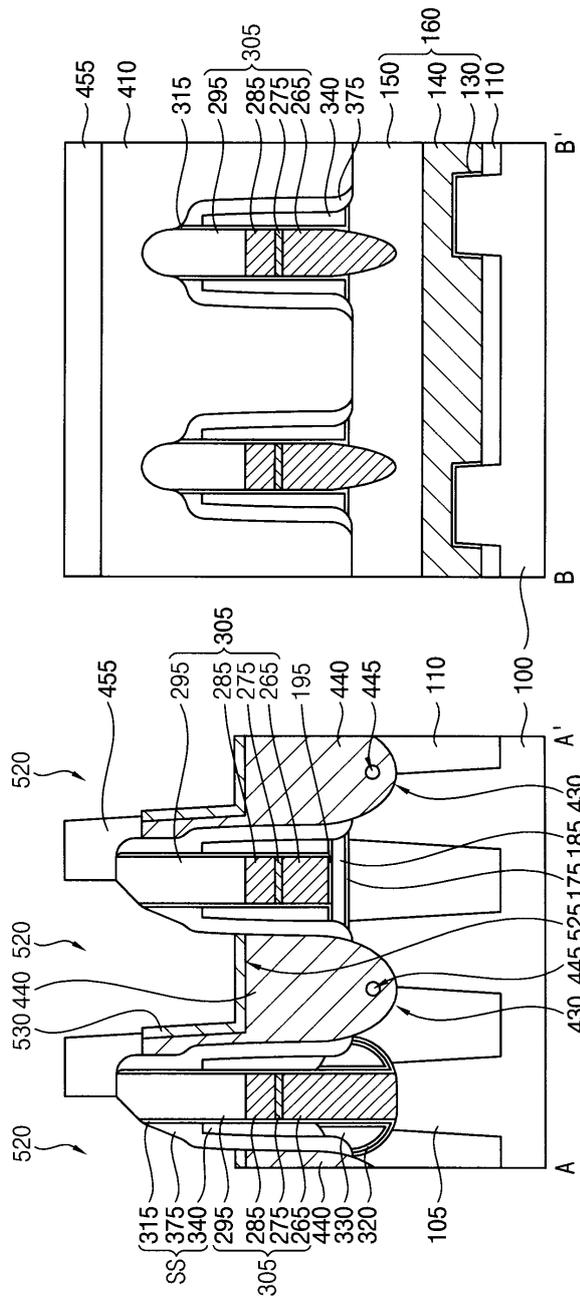


도면26



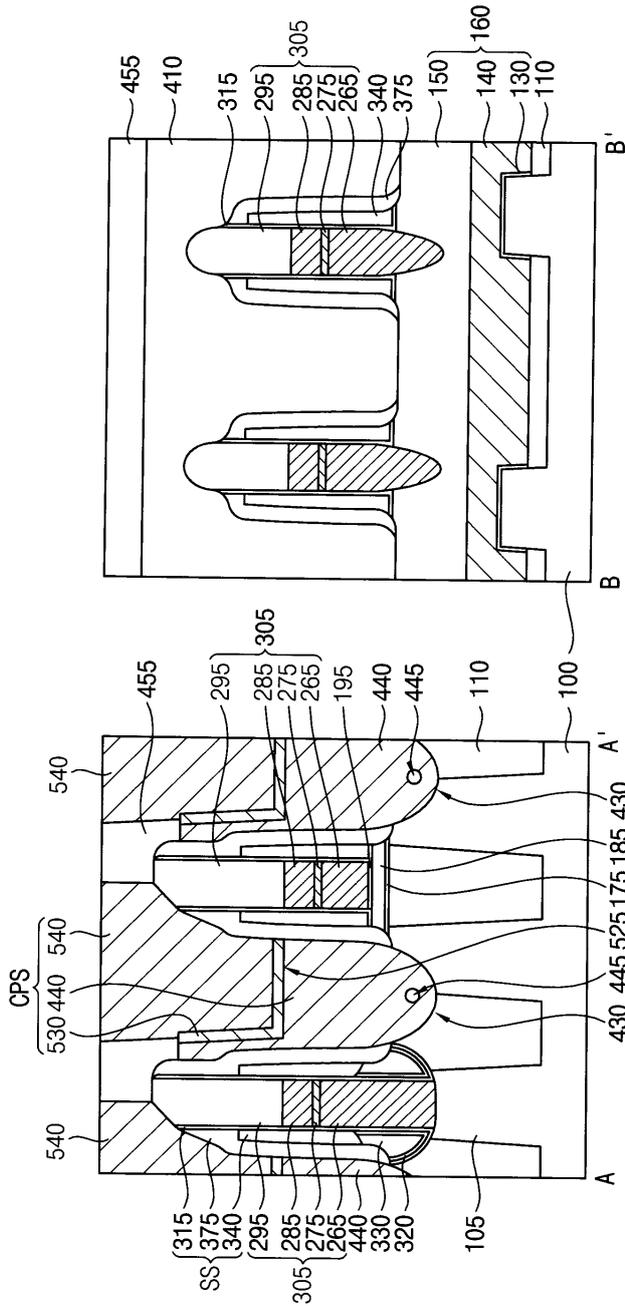
제2 방향
⊗ → 제1 방향

도면27



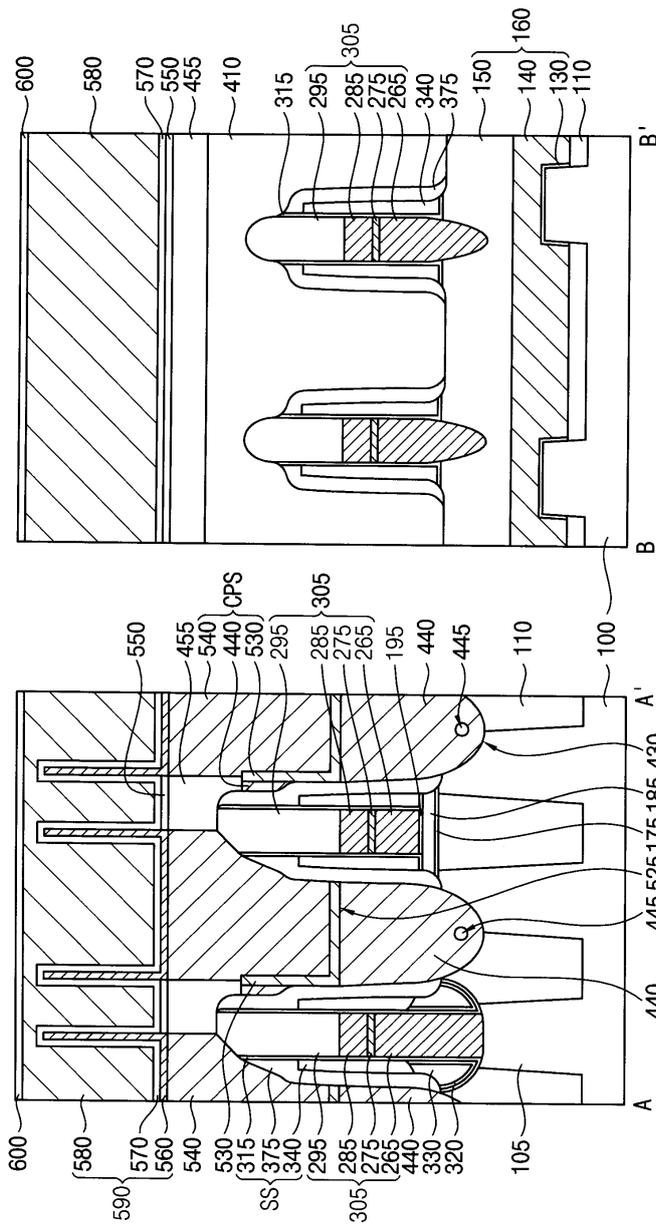
제2 방향 ⊗ 제1 방향

도면28



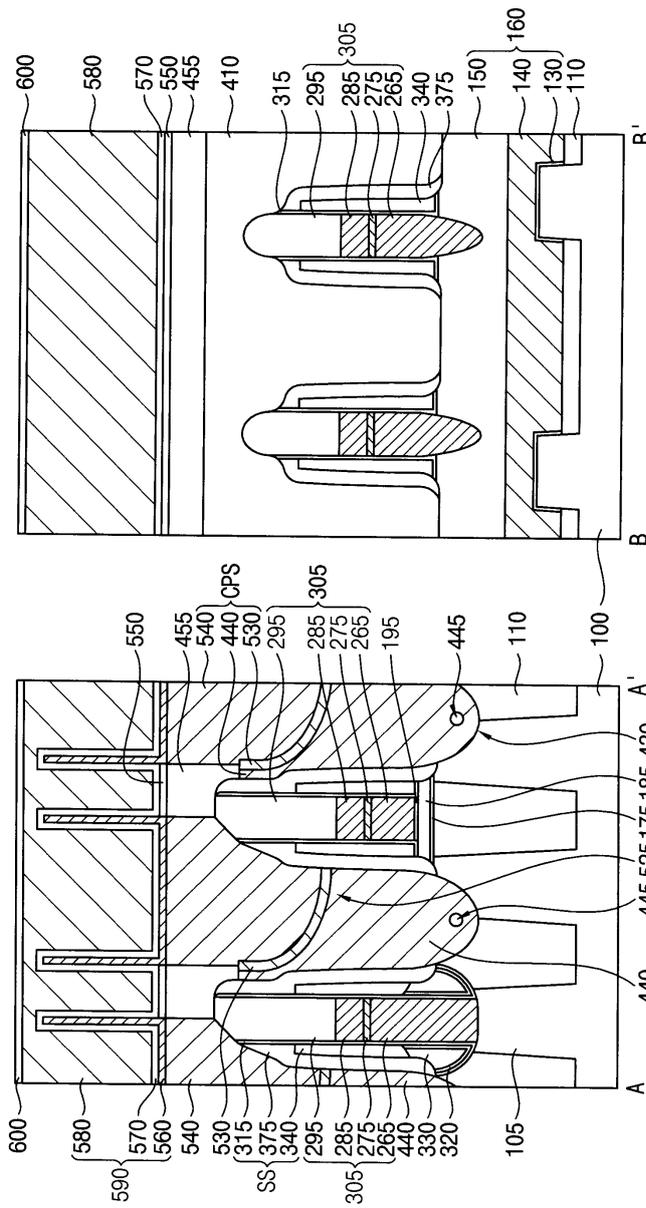
제2 방향
 ⊗ → 제1 방향

도면29



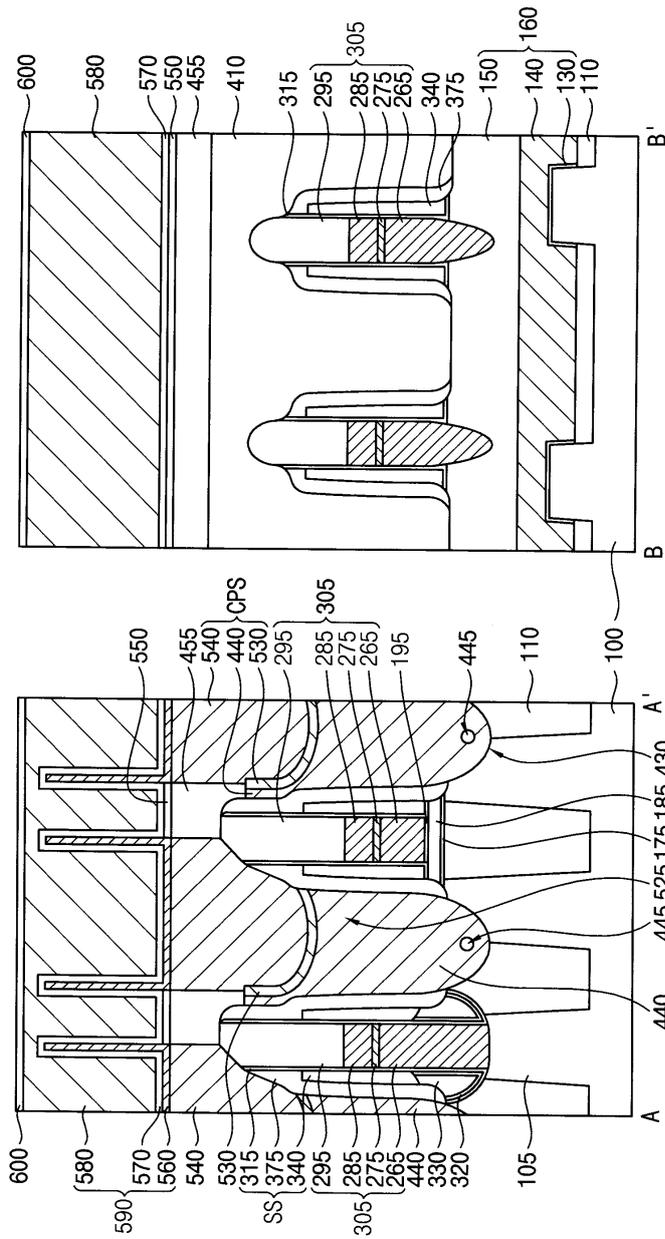
제2 방향
 ⊗ ← 제1 방향

도면30



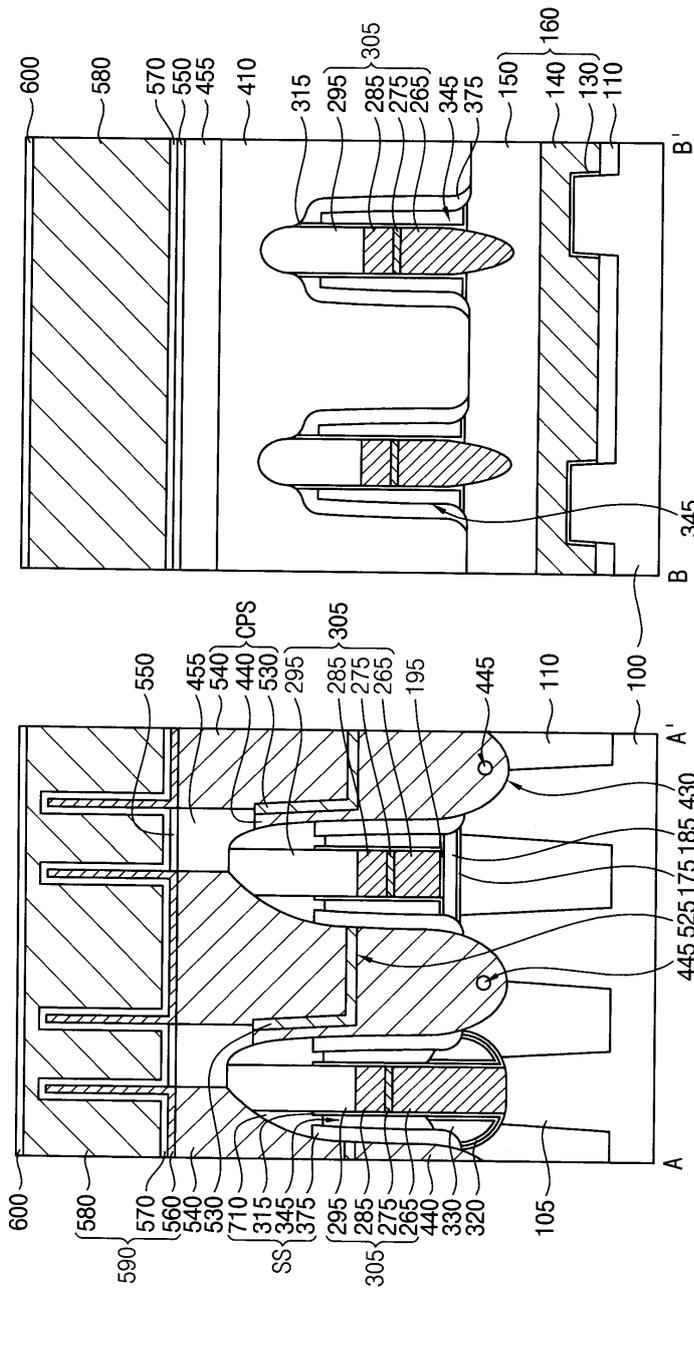
제2 방향
 ⊗ → 제1 방향

도면31

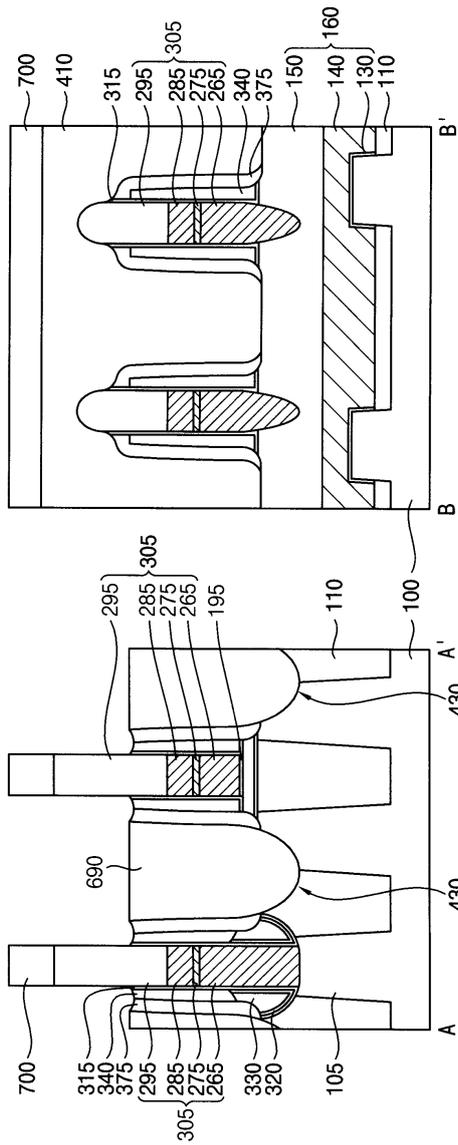


제2 방향
⊗ → 제1 방향

도면32

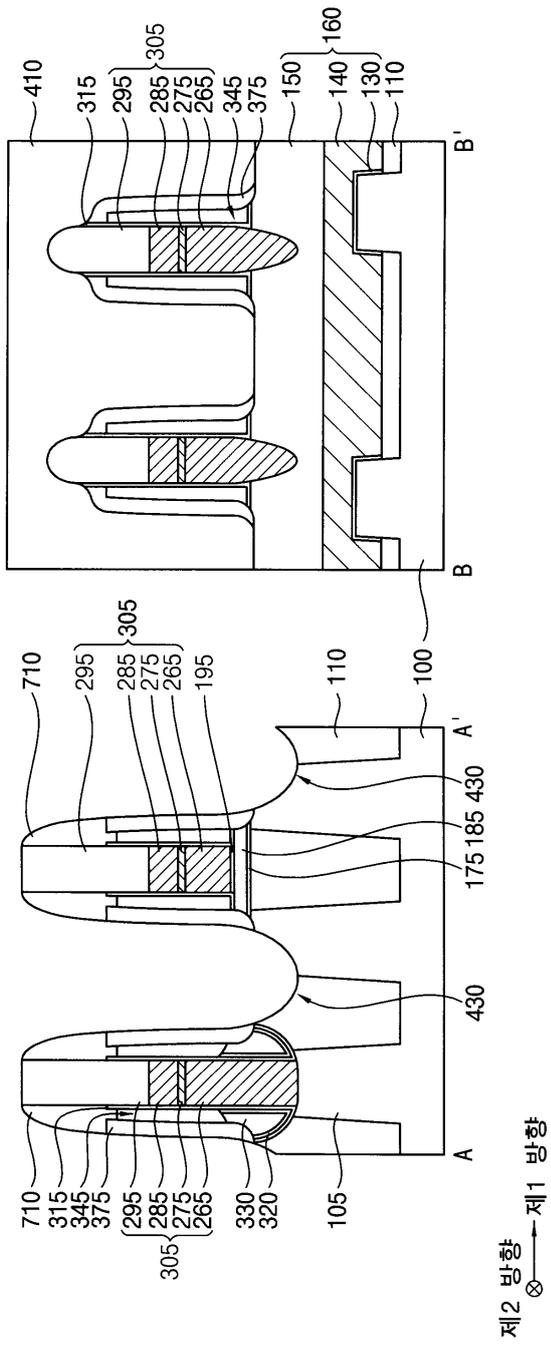


도면33

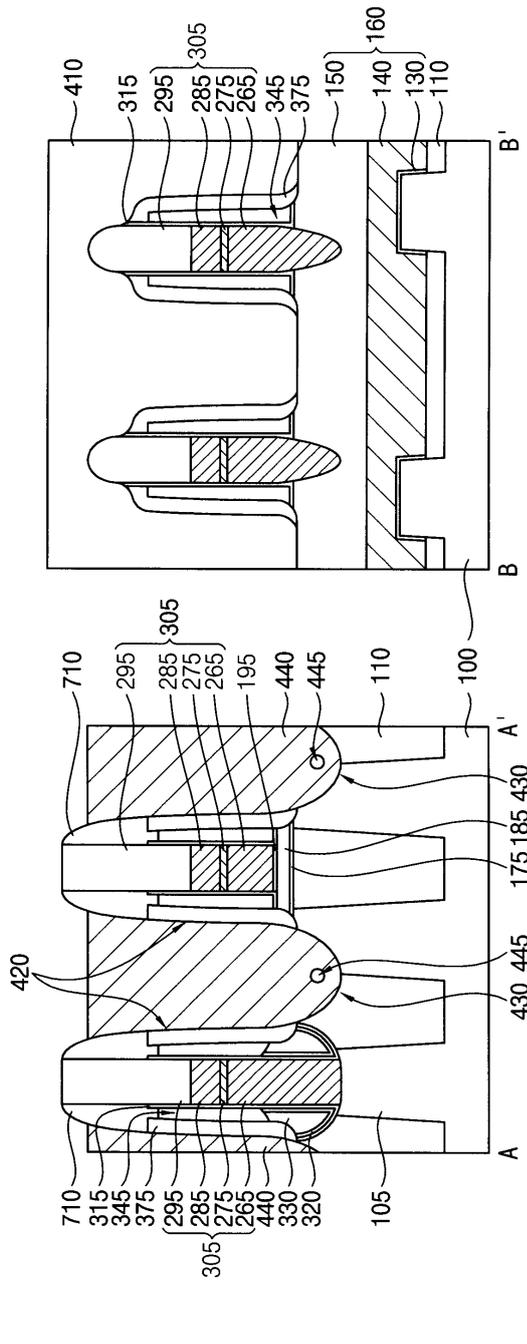


제2 방향 ⊗ 제1 방향

도면34



도면35



제2 방향
 ⊗ → 제1 방향

도면36

