



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2023년05월03일
(11) 등록번호 10-2528843
(24) 등록일자 2023년04월28일

- (51) 국제특허분류(Int. Cl.)
H01L 33/02 (2010.01) H01L 33/00 (2023.01)
H01L 33/38 (2010.01) H01L 33/50 (2010.01)
H01L 33/54 (2010.01)
- (52) CPC특허분류
H01L 33/02 (2013.01)
H01L 33/0008 (2013.01)
- (21) 출원번호 10-2016-0086362
- (22) 출원일자 2016년07월07일
심사청구일자 2021년05월28일
- (65) 공개번호 10-2017-0015145
- (43) 공개일자 2017년02월08일
- (30) 우선권주장
JP-P-2015-150828 2015년07월30일 일본(JP)
JP-P-2016-100165 2016년05월19일 일본(JP)
- (56) 선행기술조사문헌
US20130020554 A1
US20150179873 A1
US20150207051 A1

- (73) 특허권자
니치아 카가쿠 고교 가부시키키가이샤
일본 도쿠시마켄 아난시 가미나카쵸 오카 491번지 100
- (72) 발명자
다케나가 코이치
일본 도쿠시마켄 아난시 가미나카쵸 오카 491-100
니치아 카가쿠 고교 가부시키키가이샤 내
에무라 게이치
일본 도쿠시마켄 아난시 가미나카쵸 오카 491-100
니치아 카가쿠 고교 가부시키키가이샤 내
- (74) 대리인
이광직, 윤승환

전체 청구항 수 : 총 14 항

심사관 : 배성주

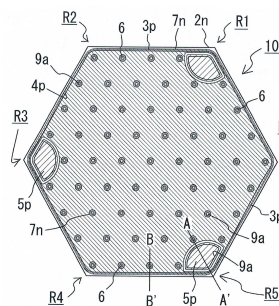
(54) 발명의 명칭 발광 소자 및 이를 이용한 발광 장치

(57) 요약

본 발명은, 휘도 분포의 편중을 없게 하고 균일한 발광을 얻을 수 있는 발광 소자 및 이를 이용한 발광 장치를 제공하는 것을 목적으로 한다.

본 발명에 따르면, 평면 형상이 육각형인 발광 소자로서, n층 반도체층(2n)과, n층 반도체층(2n) 위에 설치된 p층 반도체층(3p)과, 평면에서 볼 때 p층 반도체층(3p)의 서로 대각의 위치에 있는 3개의 각부(R2, R4, R6)를 제외한 영역에 설치되며, n층 반도체층(2n)을 노출시키는 복수의 구멍(6)과, p층 반도체층(3p)에 접하여 설치된 제1 p전극(4p)과, 제1 p전극(4p) 위의 3개의 각부(R1, R3, R5)에 각각 설치된 제2 p전극(5n)과, 제1 p전극(4p) 위에 설치되며, 복수의 구멍(6)을 통해서 n층 반도체층(2n)과 전기적으로 접속된 n전극(7n)을 구비하는 발광 소자가 제공된다.

대표도



(52) CPC특허분류

H01L 33/387 (2013.01)

H01L 33/50 (2013.01)

H01L 33/54 (2013.01)

H01L 2924/12041 (2013.01)

명세서

청구범위

청구항 1

평면 형상이 육각형인 발광 소자로서,

n층 반도체층과,

상기 n층 반도체층 위에 설치된 p층 반도체층과,

평면에서 볼 때, 상기 발광 소자의 6개의 각부(角部) 중, 상기 p층 반도체층의 서로 대각의 위치에 있는 적어도 3개의 각부를 제외한 영역에 설치되며, 상기 n층 반도체층을 노출시키는 복수의 구멍과,

상기 p층 반도체층에 접하여 설치된 제1 p전극과,

상기 제1 p전극 위의 상기 적어도 3개의 각부에 각각 설치된 제2 p전극과,

상기 제1 p전극 위에 설치되며, 상기 복수의 구멍을 통해서 상기 n층 반도체층과 전기적으로 접속된 n전극을 구비하는 것을 특징으로 하는 발광 소자.

청구항 2

평면 형상이 육각형인 발광 소자로서,

n층 반도체층과,

상기 n층 반도체층 위에 설치된 p층 반도체층과,

평면에서 볼 때, 상기 발광 소자의 6개의 각부 중, 상기 p층 반도체층의 가장 먼 위치에 있는 적어도 2개의 각부를 제외한 영역에 설치되며, 상기 n층 반도체층을 노출시키는 복수의 구멍과,

상기 p층 반도체층에 접하여 설치된 제1 p전극과,

상기 제1 p전극 위의 상기 적어도 2개의 각부에 각각 설치된 제2 p전극과,

상기 제1 p전극 위에 설치되며, 상기 복수의 구멍을 통해서 상기 n층 반도체층과 전기적으로 접속된 n전극을 구비하는 것을 특징으로 하는 발광 소자.

청구항 3

제1항 또는 제2항에 있어서,

상기 복수의 구멍은, 상기 6개의 각부에 설치되어 있지 않은, 발광 소자.

청구항 4

제3항에 있어서,

상기 제2 p전극은, 상기 제1 p전극 위의 상기 6개의 각부에 각각 설치되어 있는, 발광 소자.

청구항 5

제1항 또는 제2항에 있어서,

상기 제2 p전극은, 각각 설치된 상기 각부를 구성하는 2변 중 일방에 평행한 2변을 갖는 부채꼴인, 발광 소자.

청구항 6

제1항 또는 제2항에 있어서,

상기 복수의 구멍은, 상기 p층 반도체층의 변을 따라 배치되어 있는, 발광 소자.

청구항 7

제1항 또는 제2항에 있어서,

상기 n전극은, 상기 n층 반도체층과 전기적으로 접속된 부분으로부터, 절연층을 거쳐서 상기 제1 p전극 위에 걸쳐 설치되어 있는, 발광 소자.

청구항 8

제7항에 있어서,

상기 절연층은, 유전체 다층막인, 발광 소자.

청구항 9

제1항 또는 제2항에 있어서,

상기 제1 p전극은, 상기 p층 반도체층에 접하는 은(Ag)함유층을 포함하는, 발광 소자.

청구항 10

제1항 또는 제2항에 있어서,

상기 제1 p전극은, 투광성 도전막인, 발광 소자.

청구항 11

제1항 또는 제2항에 있어서,

상기 n전극은, 상기 복수의 구멍 내에 있어서, 각각 상기 n층 반도체층에 접하는 투광성 도전막을 개재하여 상기 n층 반도체층과 전기적으로 접속되어 있는, 발광 소자.

청구항 12

발광 장치로서,

제1항 또는 제2항에 따른 발광 소자와,

상기 발광 소자가 설치되는 기체(基體)와,

상기 발광 소자를 덮는 반구상(半球狀)의 투광성 부재를 구비하는, 발광 장치.

청구항 13

제12항에 있어서,

상기 발광 소자와 상기 투광성 부재와의 사이에 형광체층을 더 구비하는, 발광 장치.

청구항 14

제12항에 있어서,

상기 투광성 부재를 덮는 광학 부재를 더 구비하는, 발광 장치.

발명의 설명

기술 분야

[0001] 본 발명은 발광 소자 및 이를 이용한 발광 장치에 관한 것이다.

배경 기술

[0002] 종래부터, 광 추출 효율이 양호하며, 균일한 발광을 얻기 위한 발광 소자에 대해서, 여러 가지 연구가 이루어지고 있다(예를 들면, 특허문헌 1 내지 3 등을 참조).

선행기술문헌

특허문헌

- [0003] (특허문헌 0001) 일본특허공개 제2010-251481호 공보
- (특허문헌 0002) 일본특허공개 제2006-203058호 공보
- (특허문헌 0003) 일본특허공개 제2008-524831호 공보

발명의 내용

해결하려는 과제

[0004] 본 발명의 실시형태는, 발광 소자의 각부(角部) 및 그 주변부에 있어서의 발광을 최소한으로 하고, 상면으로부터의 광 취출을 한층 더 향상시킬 수 있는 발광 소자 및 이를 이용한 발광 장치를 제공하는 것을 목적으로 한다.

과제의 해결 수단

- [0005] 본 발명의 실시형태에 관한 발광 소자는,
- [0006] (1) 평면 형상이 육각형인 발광 소자로서,
- [0007] n층 반도체층과,
- [0008] 상기 n층 반도체층 위에 설치된 p층 반도체층과,
- [0009] 평면에서 볼 때 상기 p층 반도체층의 서로 대각의 위치에 있는 3개의 각부를 제외한 영역에 설치되며, 상기 n층 반도체층을 노출시키는 복수의 구멍과,
- [0010] 상기 p층 반도체층에 접하여 설치된 제1 p전극과,
- [0011] 상기 제1 p전극 위의 상기 3개의 각부에 각각 설치된 제2 p전극과,
- [0012] 상기 제1 p전극 위에 설치되며, 상기 복수의 구멍을 통해서 상기 n층 반도체층과 전기적으로 접속된 n전극을 구비하는 것을 특징으로 한다.
- [0013] (2) 평면 형상이 육각형인 발광 소자로서,
- [0014] n층 반도체층과,
- [0015] 상기 n층 반도체층 위에 설치된 p층 반도체층과,
- [0016] 평면에서 볼 때 상기 p층 반도체층의 서로 마주보는, 가장 먼 위치에 있는 2개의 각부를 제외한 영역에 설치되며, 상기 n층 반도체층을 노출시키는 복수의 구멍과,
- [0017] 상기 p층 반도체층에 접하여 설치된 제1 p전극과,
- [0018] 상기 제1 p전극 위의 상기 3개의 각부에 각각 설치된 제2 p전극과,
- [0019] 상기 제1 p전극 위에 설치되며, 상기 복수의 구멍을 통해서 상기 n층 반도체층과 전기적으로 접속된 n전극을 구비하는 것을 특징으로 한다.
- [0020] 본 발명의 실시형태에 관한 발광 장치는,
- [0021] (3) 상기 발광 소자와,
- [0022] 상기 발광 소자가 설치되는 기체(基體)와,
- [0023] 상기 발광 소자를 덮는 반구상(半球狀)의 투광성 부재를 구비한다.

발명의 효과

[0024] 본 발명의 실시형태에 따르면, 발광 소자의 각부 및 그 주변부에 있어서의 발광을 최소한으로 하고, 상면으로부터의 광 취출을 한층 더 향상시킬 수 있는 발광 소자 및 이를 이용한 발광 장치를 실현할 수 있다.

도면의 간단한 설명

[0025] 도 1a는 본 발명의 일 실시형태에 관한 발광 소자의 구성을 모식적으로 나타내는 개략 평면도이다.
 도 1b는 도 1a에 있어서의 발광 소자의 요부를 확대한 평면도이다.
 도 1c는 도 1a에 있어서의 A-A' 선을 따른 단면도이다.
 도 1d는 도 1a에 있어서의 B-B' 선을 따른 단면도이다.
 도 1e는 도 1a의 발광 소자를 포함하는 본 발명의 일 실시형태에 관한 발광 장치의 부분 구성을 모식적으로 나타내는 개략 평면도이다.
 도 1f는 도 1e에 있어서의 A-A' 선을 따른 단면도이다.
 도 2는 본 발명의 다른 실시형태에 관한 발광 소자의 구성을 모식적으로 나타내는 개략 평면도이다.
 도 3은 본 발명의 또 다른 실시형태에 관한 발광 소자의 구성을 모식적으로 나타내는 개략 평면도이다.
 도 4a는 본 발명의 또 다른 실시형태에 관한 발광 소자의 구성을 모식적으로 나타내는 개략 평면도이다.
 도 4b는 도 4a에 있어서의 발광 소자의 요부를 확대한 평면도이다.
 도 4c는 도 4a에 있어서의 A-A' 선을 따른 단면도이다.
 도 5는 본 발명의 실시형태에 관한 발광 소자의 전류밀도분포의 시뮬레이션 결과를 나타내는 도면이다.
 도 6의 A 및 도 6의 B는, 참고를 위한 발광 소자의 전류밀도분포의 시뮬레이션 결과를 나타내는 도면이다.
 도 7의 A~도 7의 F는, 본 발명의 실시형태에 관한 발광 소자에 있어서의 제2 p전극의 위치를 설명하기 위한 개략 평면도이다.
 도 8a는 본 발명의 일 실시형태에 관한 발광 소자를 이용한 발광 장치의 구성을 모식적으로 나타내는 평면도이다.
 도 8b는 도 8a에 있어서의 A-A' 선을 따른 단면도이다.
 도 9a는 본 발명의 일 실시형태에 관한 발광 소자를 이용한 다른 발광 장치의 구성을 모식적으로 나타내는 평면도이다.
 도 9b는 도 9a에 있어서의 A-A' 선을 따른 단면도이다.
 도 10a는 본 발명의 일 실시형태에 관한 도 9a의 발광 장치를 이용한 광원 유닛의 구성을 모식적으로 나타내는 평면도이다.
 도 10b는 도 10a에 있어서의 A-A' 선을 따른 단면도이다.
 도 11a는 본 발명의 일 실시형태에 관한 도 9a의 발광 장치를 이용한 다른 광원 유닛의 구성을 모식적으로 나타내는 평면도이다.
 도 11b는 도 11a에 있어서의 A-A' 선을 따른 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0026] 이하의 설명에서는, 필요에 따라 특정 방향이나 위치를 나타내는 용어(예를 들면, 「위」, 「아래」, 「오른쪽」, 「왼쪽」 및 이러한 용어를 포함하는 다른 용어)를 사용한다. 이러한 용어의 사용은 도면을 참조한 발명의 이해를 용이하게 하기 위한 것으로, 이러한 용어의 의미에 의해 본 발명의 기술적 범위가 한정되는 것은 아니다. 복수의 도면에 나타내는 동일 부호는 동일한 부분 또는 부재를 나타낸다. 발명을 이해하기 쉽게 하기 위해서, 복수의 실시형태에 대해 설명하지만, 이러한 실시형태는 각각 독립한 것은 아니며, 공유할 수 있는 것은 다른 실시형태의 설명을 적용한다.

[0027] 실시형태 1 : 발광 소자

- [0028] 본 실시형태의 발광 소자(10)는, 도 1a에 나타내는 바와 같이, 평면 형상이 육각형이다. 발광 소자(10)는, 도 1a 및 도 1b에 나타내는 바와 같이, n층 반도체층(2n)과, n층 반도체층(2n) 위에 설치된 p층 반도체층(3p)과, p층 반도체층(3p)에 있어서 특정한 위치에 설치된 복수의 구멍(6)과, p층 반도체층(3p)에 접하여 설치된 제1 p전극(4p)과, 제1 p전극(4p) 위에 있으며 복수의 구멍(6)이 배치되어 있지 않은 각부(R1, R3 및 R5)에 각각 설치된 제2 p전극(5p)과, 복수의 구멍(6)을 거쳐서 n층 반도체층(2n)과 전기적으로 접속된 n전극(7n)을 구비한다. 복수의 구멍(6)은, 평면에서 볼 때 p층 반도체층의 서로 대각의 위치에 있는 3개의 각부, 예를 들면, 도 1a에 있어서의 R1, R3 및 R5를 제외한 영역(바꾸어 말하면, 도 1a에 있어서 각부(R2, R4, R6), 각 변에 인접하는 영역 및 이들보다도 내측의 영역)에 설치되어 있다.
- [0029] 발광 소자(10)는, 외부와 접속되는 제2 p전극(5p)이, p층 반도체층(3p)에 있어서의 서로 대각의 위치에 있는 3개의 각부의 영역 위에 배치된다. 한편, 이 제2 p전극이 배치된 3개의 각부(R1, R3 및 R5)를 제외한 영역에 복수의 구멍(6)이 설치됨과 함께, 복수의 구멍(6)을 거쳐서 n전극(7n)이 n층 반도체층(2n)과 전기적으로 접속된다. 이에 의해, 반도체층에 공급되는 전류 중, 제2 p전극(5p)이 배치된 각부(R1, R3, R5)에 공급되는 전류가 억제되는 한편으로, 이들 각부 이외의 영역, 즉 복수의 구멍(6)이 배치된 p층 반도체층의 변에 인접하는 영역, 및 각부(R1, R3, R5)보다도 내측의 영역에 공급되는 전류를 증가시킬 수 있다. 그 결과, 발광 소자(10)의 각부(R1, R3, R5) 및 그 주변의 영역에 있어서의 발광을 최소한으로 하고, 그 이외의 발광 소자(10)의 상면(특히, 각부(R1, R3, R5)에 둘러싸인 내측의 영역)으로부터의 광 취출을 한층 더 향상시킬 수 있다.
- [0030] 이와 같은 발광 소자(10)의 평면 형상은, 정육각형인 것이 바람직하지만, 6개의 각부의 각도가, 120도±5도 정도 변동하는 것도 허용된다. 육각형을 구성하는 각 변은, 통상 직선이지만, 반도체층의 가공 정밀도 등에 따라 다소 만곡 또는 굴곡되어 있어도 좋다. 따라서, 발광 소자의 평면 형상은, 이를 고려하여, 정육각형 및 이에 근사한 형상도 포함한다.
- [0031] 이러한 평면 형상이 육각형인 발광 소자는, 예를 들면, 한 변이 300~2000 μ m 정도의 길이를 들 수 있다. 바꾸어 말하면, 가장 먼 위치에 있는 각부를 연결하는 대각선이 600~4000 μ m 정도의 길이를 들 수 있다. 또 바꾸어 말하면, 발광 소자의 평면적은, 0.2~10 mm^2 정도를 들 수 있다.
- [0032] (반도체층)
- [0033] 반도체층은, 적어도 n층 반도체층(2n)과 p층 반도체층(3p)을 포함한다. 또한, 이들 사이에 활성층을 포함하는 것이 바람직하다. n층 반도체층(2n) 및/또는 p층 반도체층(3p)은, 발광 소자의 평면 형상을 육각형으로 하기 위해서, 그 외주의 평면 형상이 육각형인 것이 바람직하다. 다만, n층 반도체층(2n) 및/또는 p층 반도체층(3p)은, 외주의 일부 및/또는 내측에 있어서, 막 두께 방향의 일부 또는 전부에 있어서 제거된 부분이 존재하여도 좋다. 또한, 발광 영역(본 실시형태에서는 활성층이 이에 상당함)을 기준으로 하여, n전극이 접속되는 층의 반도체가 n층 반도체층(2n)이며, p 전극이 접속되는 층의 반도체가 p층 반도체층(3p)이다.
- [0034] 이들 n층 반도체층, 활성층 및 p층 반도체층으로서는, 예를 들면, $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x, 0 \leq y, x+y < 1$)로 나타내는 질화물 반도체를 이용할 수 있다. 반도체층을 구성하는 각 층의 막 두께 및 층 구조는, 해당 분야에서 공지된 것을 이용할 수 있다.
- [0035] 반도체층은, 반도체 성장용 기판 위에 형성되어 있다. 반도체층에 질화물 반도체를 이용하는 경우는, 사파이어(Al_2O_3)로 이루어진 기판을 이용할 수 있다.
- [0036] (구멍)
- [0037] 복수의 구멍(6)은, 평면에서 볼 때, p층 반도체층의 서로 대각의 위치에 있는 3개의 각부를 제외한 영역에 설치되며, n층 반도체층을 노출시킨다.
- [0038] 여기서, 서로 대각의 위치에 있는 각부란, 서로 인접하지 않으며, 서로 마주 보는 위치에 있는 것을 의미한다. 또한, 서로 대각의 위치에 있는 3개의 각부란, 평면 형상이 육각형인 p층 반도체층의 경우에는, 1개 걸러서의 3개의 각부를 가리킨다.
- [0039] 구멍(6)은, 이 서로 대각의 위치에 있는 3개의 각부를 제외한 영역에 설치되어 있으면, p층 반도체층의 어느 영역에 형성되어 있어도 좋다. 바꾸어 말하면, 1개 걸러서의 3개의 각부에만 형성되어 있지 않으면, 1개 걸러서의 3개의 각부를 포함한 4개의 각부에 형성되어 있지 않아도 좋고, 1개 걸러서의 3개의 각부를 포함한 5개의 각부에 형성되어 있지 않아도 좋고, 모든 각부에 형성되어 있지 않아도 좋다. 이들 어느 경우도, 각부 이외의 p

측 반도체층의 영역, 특히, 적어도 3개의 각부에 둘러싸이는 내측의 영역에 구멍이 설치되어 있는 것이 바람직하고, 발광 소자의 상면으로부터 취출되는 광을 증가시킬 수 있다.

- [0040] 예를 들면, 도 7의 A에 나타내는 발광 소자(A)에 있어서, 구멍(6)은, 1개 걸러서의 3개의 각부인 R2, R4 및 R6로 나타내는 3개의 각부에 형성되어 있고, 서로 대각의 위치에 있는 R1, R3 및 R5로 나타내는 3개의 각부에 형성되어 있지 않다. 도 7의 B에 나타내는 발광 소자(B)에 있어서, 구멍(6)은, 서로 대각의 위치에 있는 R1, R3 및 R5로 나타내는 3개의 각부에 더하여, R2로 나타내는 각부에도 형성되지 않고, R4와 R6로 나타내는 2개의 각부에는 형성되어 있다. 도 7의 C에 나타내는 발광 소자(C)에 있어서, 구멍(6)은, 서로 대각의 위치에 있는 R1, R3, R4 및 R6로 나타내는 각부에는 형성되지 않고, R2와 R5로 나타내는 2개의 각부에는 형성되어 있다. 도 7의 D에 나타내는 발광 소자(D)에 있어서, 구멍(6)은, R6로 나타내는 1개의 각부에는 형성되어 있지만, 서로 대각의 위치에 있는 R1, R3 및 R5로 나타내는 3개의 각부에 더하여, R2 및 R4로 나타내는 2개의 각부에는 형성되어 있지 않다. 다만, 여기서는, 구멍(6)이 형성되어 있는 각부는, R1에서 R6 중 어느 것이라도 좋다. 또한, 도 7의 E에 나타내는 발광 소자(E)에 있어서, 구멍(6)은, 서로 대각의 위치에 있는 R1, R3 및 R5로 나타내는 3개의 각부를 포함한 어느 각부에도 형성되어 있지 않다.
- [0041] 본원 명세서에 있어서, 각부란, 상술한 바와 같이, 평면에서 볼 때, 발광 소자 및/또는 n층 반도체층 및/또는 p층 반도체층의 외연을 구성하는 2개의 선이, $120\text{도} \pm 5\text{도}$ 로 교차하고, 그 2개의 선을 2변으로 하여 형성되는 부채꼴(扇形)의 영역(도 1b 중, 7ni 참조)을 가리킨다. 다만, 그 부채꼴의 영역을 포함하는 한, 약간 내측을 향해서 연장하는 부위가 포함된 영역(도 2 중, 27n 및 도 4b 중, 47ni 참조)이어도 좋다. 그 2개의 선은, 육각형을 형성하는 변의 1/3 정도 이하의 길이로 하는 것이 바람직하고, 1/4 정도 이하의 길이로 하는 것이 보다 바람직하다.
- [0042] 상술한 바와 같이, 구멍(6)은, n층 반도체층을 노출시키는 구멍이다. 구멍에 의해 노출되는 복수의 n층 반도체층은, 후술하는 n전극에 의해 일체적으로 n층 반도체층과 전기적으로 접속하기 위해 이용할 수 있다.
- [0043] 구멍의 수, 크기, 형상, 위치는, 의도하는 발광 소자의 크기, 형상, 접속 상태 등에 따라 적절히 설정할 수 있다.
- [0044] 구멍은, 모두가 같은 크기, 같은 형상으로 배열되어 있는 것이 보다 바람직하다. 이에 의해, 전류의 공급량의 균일화를 실현할 수 있다. 그 결과, 발광 소자 전체로서, 발광 강도를 균일화하고, 휘도 불균일을 억제할 수 있다.
- [0045] 구멍의 형상은, 평면에서 볼 때 원 또는 타원, 삼각형, 직사각형, 육각형 등의 다각형 등을 들 수 있고, 그 중에서도, 원형 또는 타원형이 바람직하다. 구멍의 크기는, 반도체층의 크기, 요구되는 발광 소자의 출력, 휘도 등에 따라 적절히 조정할 수 있다. 구멍은, 예를 들면, 직경(한 변)이 수십~수백 μm 정도의 길이가 바람직하다. 다른 관점에서, 직경이, 반도체층의 한 변의 1/20~1/5 정도의 길이인 것이 바람직하다. 또 다른 관점에서, 예를 들면, 구멍에 접해지는 총평면적에 따라 적절히 조정할 수 있다. 구체적으로는, 총평면적이, 상술한 발광 소자의 평면적에 대하여, 1/100~1/20 정도를 들 수 있다. 바꾸어 말하면, $2000\mu\text{m}^2 \sim 0.5\text{mm}^2$ 정도를 들 수 있다. 구멍의 수는, 예를 들면, 2~100개 정도를 들 수 있고, 4~80개 정도가 바람직하다.
- [0046] 구멍은, 예를 들면 도 1a에 나타낸 바와 같이, 평면에서 볼 때 p층 반도체층의 변을 따라 복수 나란히 배치하고 있는 것이 바람직하다. 이 경우, 인접하는 구멍끼리를 등간격으로 배치하고 있는 것이 보다 바람직하다. 다만, 일부의 구멍 사이에서, 그 간격이 달리 되어 있어도 좋다. 여기서, 등간격이란, 구멍끼리가 모두 같은 간격으로 배치되어 있는 것뿐만 아니라, 그러한 간격은 $\pm 5\%$ 정도의 범위 내에서의 차이가 허용되는 것을 의미한다. 구멍 사이의 최단 거리(이하, 구멍의 중심간 거리)는, 예를 들면, 구멍의 크기(예를 들면, 직경)의 2~8배 정도를 들 수 있고, 4~6배 정도의 거리가 바람직하다. 구체적으로는, 직경 $50\mu\text{m}$ 정도의 구멍을 p층 반도체층이 갖는 경우, 최단 거리는, $100 \sim 400\mu\text{m}$ 정도를 들 수 있고, $200 \sim 300\mu\text{m}$ 정도가 바람직하다.
- [0047] 이러한 구멍의 배치에 의해, n층 반도체층에 주입되는 전류를 제어하여, 발광 효율의 개선을 도모할 수 있다.
- [0048] (제1 p전극, 제2 p전극 및 n전극)
- [0049] 발광 소자는, 적어도 제1 p전극(4)과, 제2 p전극(5)과, n전극(7)을 포함한다.
- [0050] 이들 전극은, 예를 들면, Ag, Au, Pt, Pd, Rh, Ni, W, Mo, Cr, Ti, Al 및 Cu 등의 금속 또는 이들의 합금에 의해 형성해도 좋고, 또한 예를 들면, Zn, In, Sn, Ga 및 Mg를 포함하는 군으로부터 선택되는 적어도 1종의 원소를 포함한 투광성 도전막 등의 단층막 또는 적층막에 의해 형성해도 좋다. 투광성 도전막으로서, 예를 들면,

ITO, ZnO, IZO, GZO, In₂O₃ 및 SnO₂ 등을 들 수 있다.

- [0051] 제1 p전극(4)은, p층 반도체층 위에 있어서, p층 반도체층에 접하여 설치되어 있다. 제1 p전극은 오믹 전극층이지만, 예를 들면 광반사 전극층으로서 기능시킬 수도 있다. 그 때문에, 제1 p전극은, p층 반도체층과의 접촉면적이 클수록 바람직하고, 예를 들면, 반도체층의 평면적의 50% 이상, 60% 이상, 70% 이상으로 형성되어 있는 것이 보다 바람직하고, 상술한 각부를 포함하는 대략 전면(全面)에 형성되어 있는 것이 보다 바람직하다.
- [0052] 광반사 전극층으로서, Ag 또는 Ag합금 등을 갖는 층(Ag함유층)에 의해 형성할 수 있다. Ag 또는 Ag합금에 의한 층은, 반도체층에 접촉하여 또는 반도체층에 가장 가까운 위치에 배치되어 있는 것이 바람직하다. Ag합금으로서, 해당 분야에서 공지의 재료 중 어느 것을 이용해도 좋다. 광반사 전극층의 두께는, 특히 한정되는 것은 아니고, 반도체층으로부터 출사되는 광을 효과적으로 반사하는 것이 가능한 두께, 예를 들면, 20nm~1 μ m 정도를 들 수 있다. Ag의 마이그레이션(migration)을 방지하기 위해, 그 상면(바람직하게는, 상면 및 측면)을 피복하는 추가의 도전층 또는 절연층이 배치되어 있는 것이 바람직하다.
- [0053] 이와 같은 추가의 도전층은, 상술한 전극 재료로서 열거된 금속 또는 이들의 합금으로 이루어지는 단층막이나 적층막에 의해 형성할 수 있다. 예를 들면, Al, Cu 또는 Ni 등의 금속을 적어도 함유하는 단층막이나, Ni/Ti/Ru 또는 Ni/Ti/Pt 등의 적층막을 들 수 있다. 또한, 도전층의 두께는, 효과적으로 Ag의 마이그레이션을 방지하기 위해, 수백 nm~수 μ m 정도를 들 수 있다.
- [0054] 또한, 추가의 절연층은, 예를 들면, 광반사 전극층의 상면에서 부분적으로 개구하고, 또한 광반사 전극층의 측면을 피복하도록, SiN 또는 SiO₂ 등의 절연층을 형성함으로써, Ag의 마이그레이션을 방지할 수 있다. 또한, 절연층은, 단층막 또는 적층막 중 어느 것이어도 좋다.
- [0055] 오믹 전극층으로서, 상술한 투광성 도전막으로 이루어지는 단층막 또는 적층막을 들 수 있다.
- [0056] 제2 p전극은, 제1 p전극 위이며, 평면에서 볼 때 각부에 배치되어 있다. 다만, 제2 p전극은, 구멍이 배치되어 있는 영역에는 배치되어 있지 않다. 제2 p전극은, 상술한 바와 같이, 구멍이 배치되어 있지 않은, 서로 대각의 위치에 있는 3개의 각부에 배치된다. 다만, 제2 p전극은, 이들 서로 대각의 위치에 있는 3개의 각부에 배치되는 한, 나아가 구멍이 배치되어 있지 않은 각부에 배치되어 있어도 좋다.
- [0057] 즉, 제2 p전극은, 발광 소자의 6개의 각부 중에서, 3개 이상의 각부에 배치되는 것이 바람직하다. 제2 p전극이 3개의 각부에 배치되는 경우는, 도 7의 A에 나타내는 바와 같이, 서로 인접하지 않는 3개의 각부, 바꾸어 말하면, 서로 대각의 위치에 있는 3개의 각부에 배치되는 것이 바람직하다. 제2 p전극이 4개의 각부에 배치되는 경우에는, 도 7의 B에 나타내는 바와 같이, 서로 대각의 위치에 있는 3개의 각부에 더하여, 임의의 하나의 각부에 배치되는 것이 바람직하다. 제2 p전극이 5개 또는 6개의 각부에 배치되는 경우에는, 도 7의 D 및 도 7의 E에 나타내는 바와 같이, 어느 각부에 배치하여도 좋으며, 제2 p전극이 배치되지 않는 2개의 각부가 서로 인접하지 않도록 배치되는 것이 바람직하다(도 7의 B 및 도 7의 C 참조). 그 중에서도, 제2 p전극은, 전류밀도분포의 균일성이 우수한, 서로 인접하지 않는 3개의 각부 또는 6개의 각부에 배치되는 것이 보다 바람직하고, 특히 6개의 각부에 배치된 경우, 각부에 둘러싸인 내측의 영역으로부터의 광 취출을 한층 더 향상시킬 수 있으므로 바람직하다.
- [0058] 제2 p전극은, 예를 들면, 평면에서 볼 때, 각부, 즉, 120도 \pm 5도로 2개의 선이 교차하고, 그 2개의 선을 2번으로 하여 형성되는 부채꼴, 이에 근사하는 형상 또는 이들 형상을 포함한 형상(이하 「부채꼴 등」이라고 기재하는 일이 있음)을 갖는 것이 바람직하다. 2개의 선은, 육각형을 형성하는 변의 40% 이하의 길이로 하는 것을 들 수 있고, 35% 정도 이하, 30% 정도 이하, 25% 정도 이하, 20% 정도 이하, 15% 정도 이하가 바람직하다. 바꾸어 말하면, 30~300 μ m 정도의 한 변 또는 100~300 μ m 정도의 한 변을 갖는 부채꼴 등의 형상을 들 수 있다.
- [0059] n전극은, 제1 p전극 위에 설치되어 있다. n전극은, 제2 p전극 위에 설치되지 않고, 평면에서 볼 때 제2 p전극과 이간하여 배치되어 있다. 또한, n전극은, 상술한 복수의 구멍을 통해서 n층 반도체층과 전기적으로 접속되어 있다. n전극은, 복수로 분할되어 있어도 좋지만, 실장할 때의 접속 영역을 넓혀 전류를 균일하게 공급할 수 있도록, 1개의 n전극이, 복수의 구멍을 통해서 n층 반도체층에 접속되어 있는 것이 바람직하다.
- [0060] 제2 p전극 및/또는 n전극은, 구체적으로는, 반도체층 측으로부터 Ti/Rh/Au, Ti/Pt/Au, W/Pt/Au, Rh/Pt/Au, Ni/Pt/Au, Al-Cu합금/Ti/Pt/Au, Al-Si-Cu합금/Ti/Pt/Au, Ti/Rh, Ti/Rh/Ti/Pt/Au, Ag/Ni/Ti/Pt, Ti/ASC/Ti/Rt/Au(여기서, ASC란, Al/Si/Cu합금이다) 등에 의해 형성할 수 있다. 또한, 이러한 적층 구조의 반도체층 측에, 상술한 투광성 도전막이 배치되어 있어도 좋다.

- [0061] n전극은, 상술한 p층 반도체층에 설치된 구멍의 저면인 n층 반도체층의 노출면의 일부로부터, 구멍의 측면(활성층 및 p층 반도체층의 측면), p층 반도체층 위에 이르는 영역에 배치된 절연막을 거쳐서, 구멍 내로부터 p층 반도체층 위에 걸쳐서 배치되어 있는 것이 바람직하다. 여기서의 절연막은, 해당 분야에서 공지 재료막을, 단층막 또는 적층막으로, 전기적인 절연성을 확보할 수 있는 두께로 이용하는 것이 바람직하다.
- [0062] n전극은, 평면에서 볼 때, 일부 또는 전부가, n층 반도체층보다 약간 작아도, 동등하여도, 약간 커도 좋다. 또한, n전극은, 평면에서 볼 때 제2 p전극과 이간하도록 부채꼴 등에 대응하는 개구를 갖는 것이 바람직하다.
- [0063] 또한, n전극 및 제2 p전극과, n층 반도체층 및 p층 반도체층과의 각각의 사이에, 유전체 다층막, 예를 들면 DBR(분포 브래그 반사기)막이 포함되어 있어도 좋다.
- [0064] **실시형태 2 : 발광 소자**
- [0065] 이 실시형태 2에서는, 발광 소자에 있어서의 복수의 구멍(6)의 위치와, 제2 p전극의 위치가 일부 다른 것을 제외하고는, 실질적으로 실시형태 1의 발광 소자와 마찬가지로 구성을 갖는다.
- [0066] (구멍)
- [0067] 이 발광 소자에서는, 복수의 구멍은, 도 7의 F에 나타내는 바와 같이, 평면에서 볼 때 p층 반도체층의 가장 먼 위치에 있는 2개의 각부, 예를 들면, 도 7의 F에 있어서의 R1과 R4를 제외한 영역에 설치되고, n층 반도체층을 노출시킨다.
- [0068] 여기서, 가장 먼 위치에 있는 2개의 각부란, 최장의 대각선의 양단에 배치되는 각부를 의미한다.
- [0069] 구멍(6)은, 이 가장 먼 위치에 있는 2개의 각부를 제외한 영역에 설치되어 있으면, p층 반도체층의 어느 영역에 형성되어 있어도 좋다. 바꾸어 말하면, 이 가장 먼 위치에 있는 2개의 각부에만 형성되어 있지 않으면, 이 2개의 각부 중 어느 것에 인접하는 각부에 형성되어 있지 않아도 좋고, 이 가장 먼 위치에 있는 2개의 각부를 포함하는 5개의 각부에 형성되어 있지 않아도 좋고, 모든 각부에 형성되어 있지 않아도 좋다. 이들 어느 경우도, 각부 이외의 p층 반도체층의 영역, 특히, 적어도 2개의 각부 사이에 끼이는 내측의 영역에 구멍이 설치되어 있는 것이 바람직하고, 발광 소자의 상면(특히, 2개의 각부 사이에 끼이는 내측의 영역)으로부터 취출되는 광을 증가시킬 수 있다.
- [0070] 예를 들면, 도 7의 F에 나타내는 발광 소자 F에 있어서, 구멍(6)은, 가장 먼 위치에 있는 R2 및 R5로 나타내는 2개의 각부에 형성되지 않으며, R1, R3, R4 및 R6로 나타내는 4개의 각부에는 형성되어 있다. 또한, 도 7의 B에 나타내는 발광 소자 B에 있어서, 구멍(6)은, 가장 먼 위치에 있는 R2 및 R5로 나타내는 2개의 각부에 더하여, R1 및 R3로 나타내는 각부에도 형성되지 않고, R4와 R6로 나타내는 2개의 각부에는 형성되어 있다. 또한, 도 7의 C에 나타내는 발광 소자 C에 있어서, 구멍(6)은, 가장 먼 위치에 있는 R3 및 R6로 나타내는 2개의 각부에 더하여, R1 및 R4로 나타내는 각부에도 형성되지 않고, R2와 R5로 나타내는 2개의 각부에는 형성되어 있다. 또한, 도 7의 D에 나타내는 발광 소자 D에 있어서, 구멍(6)은, R6로 나타내는 1개의 각부에는 형성되어 있지만, 가장 먼 위치에 있는 R2 및 R5 또는 R1 및 R4로 나타내는 4개의 각부에 더하여 R3로 나타내는 각부에는 형성되어 있지 않다. 다만, 여기서, 구멍(6)이 형성되어 있는 각부는, R1에서 R6 중 어느 것이더라도 좋다. 또한, 도 7의 E에 나타내는 발광 소자 E에 있어서, 구멍(6)은, 가장 먼 위치에 있는 R2 및 R5, R1 및 R4 또는 R3 및 R6로 나타내는 6개의 각부를 포함한 어느 각부에도 형성되어 있지 않다.
- [0071] (제2 p전극)
- [0072] 제2 p전극은, 제1 p전극 위에 있어서, 각부에 배치되어 있다. 다만, 제2 p전극은, 구멍이 배치되어 있는 영역에는 배치되어 있지 않다. 제2 p전극은, 상술한 바와 같이, 구멍이 배치되어 있지 않은, 가장 먼 위치에 있는 2개의 각부에 배치된다. 다만, 제2 p전극은, 가장 먼 위치에 있는 2개의 각부에 배치되는 한, 또한, 구멍이 배치되어 있지 않은 각부에 배치되어 있어도 좋다.
- [0073] 즉, 제2 p전극은, 발광 소자의 6개의 각부 중, 2개 이상의 각부에 배치되는 것이 바람직하다. 제2 p전극이 2개의 각부에 배치되는 경우는, 도 7의 F에 나타내는 바와 같이, 가장 먼 위치에 있는 2개의 각부에 배치되는 것이 바람직하다. 제2 p전극이 4개의 각부에 배치되는 경우에는, 도 7의 B 및 도 7의 C에 나타내는 바와 같이, 가장 먼 위치에 있는 2개의 각부에 더하여, 이 2개의 각부 중 어느 것에 인접하는 각부의 임의의 2개의 각부에 배치되는 것이 바람직하다. 즉, 제2 p전극이 배치되지 않는 2개의 각부가 서로 인접하지 않도록, 제2 p전극이 배치되는 것이 바람직하다. 제2 p전극이 5개 또는 6개의 각부에 배치되는 경우에는, 도 7의 D 및 도 7의 E에 나타내는 바와 같이, 어느 각부에 배치하여도 좋다. 그 중에서도, 제2 p전극은, 6개의 각부에 배치되는 것이 보다

바람직하다.

- [0074] 이상의 구성을 갖는 실시형태 2의 발광 소자는, 제2 p전극이 배치된 영역에 있어서의 각부 및 그 주변 영역에 있어서의 발광을 최소한으로 하고, 발광 소자의 상면으로부터의 광 취출을 한층 더 향상시킬 수 있다.
- [0075] **실시형태 3: 발광 장치**
- [0076] 본 발명의 일 실시형태의 발광 장치는, 도 8a 및 도 8b에 나타내는 바와 같이, 상술한 발광 소자(70)와, 발광 소자(70)가 설치되는 기체(80)와, 발광 소자를 덮는 반구상의 투광성 부재(90)를 구비한다.
- [0077] 또한, 이 발광 장치에 있어서는, 임의로, 발광 소자 등의 측면, 상면 또는 하면 등(또한, 기체의 측면, 상면 또는 하면 등)에, 광반사성, 투광성, 차광성, 과장 변환성 등을 갖는 기능성 부재를 배치하고 있어도 좋다. 예를 들면, 발광 소자의 측면 및 상면에, 형광체층을 전착(電着), 스프레이 등에 의해 형성해도 좋다. 또한, 투광성 부재(90)를 더 덮는 광학 부재(예를 들면, 렌즈)를 배치하여도 좋다.
- [0078] (기체)
- [0079] 기체는, 예를 들면, 금속, 세라믹, 수지, 유전체, 펄프, 유리, 종이 또는 이들의 복합 재료(예를 들면, 복합 수지), 혹은 이들 재료와 도전 재료(예를 들면, 금속, 카본 등)와의 복합 재료 등으로 이루어지는 기체의 표면에, 임의로 내부 및/또는 이면에, 복수의 배선 패턴을 갖는다.
- [0080] 배선 패턴은, 발광 소자에게 전류를 공급할 수 있는 것이면 좋고, 해당 분야에서 통상 이용되고 있는 재료, 두께, 형상 등으로 형성되어 있다. 또한, 배선 패턴은, 발광 소자의 전극(제2 p전극 및 n전극)과 접속되는 정부(正負) 한 쌍의 패턴을 포함하는 것이면, 정부 한 쌍의 패턴과는 독립하여 배치된 다른 패턴을 갖고 있어도 좋다.
- [0081] 또한, 기체에의 발광 소자의 실장은, 예를 들면, 범프, 뿔납 등의 접합 부재에 의해 행하는 것이 바람직하다. 접합 부재는, 해당 분야에서 공지의 재료 중 어느 것이라도 이용할 수 있다.
- [0082] (투광성 부재)
- [0083] 투광성 부재는, 발광 소자를 피복하는 것이며, 렌즈로서의 역할도 한다. 그러므로, 반구 형상인 것이 바람직하다. 다만, 이 반구 형상은, 엄밀한 구, 엄밀한 절반이 아니어도 되며, 편구(扁球), 장구(長球),란형(卵型), 방추 형상 등의 일부의 절단체 등이어도 좋다.
- [0084] 투광성 부재는, 유리 등에 의해 형성되어 있어도 좋지만, 수지에 의해 형성되어 있는 것이 바람직하다. 수지로서는, 열경화성 수지, 열가소성 수지, 이들의 변성 수지 또는 이들 수지를 1종 이상 포함하는 하이브리드(hybrid) 수지 등등을 들 수 있다.
- [0085] (기능성 부재)
- [0086] 기능성 부재로서는, 예를 들면, 렌즈, 형광체층 등, 여러 가지 기능을 부가할 수 있는 부재를 들 수 있다. 기능성 부재는, 1개의 발광 소자에 대해서 1개 또는 복수 배치하여도 좋고, 복수의 발광 소자에 대하여 1개 배치하여도 좋다.
- [0087] 렌즈로서는, 예를 들면, 오목 볼록 렌즈, 프레넬 렌즈 등을 들 수 있다. 이들 렌즈는, 해당 분야에서 공지의 재료에 의해서, 공지의 제조 방법에 따라 제조한 것을 이용할 수 있다. 렌즈는, 광확산재 등이 함유되어 있어도 좋다. 광확산재로서는, 유리 섬유, 율라스토나이트 등의 섬유상 필러, 질화알루미늄, 카본 등의 무기 필러, 실리카, 산화티탄, 산화지르코늄, 산화마그네슘, 유리, 형광체의 결정 또는 소결체, 형광체와 무기물의 결합체와의 소결체 등을 들 수 있다.
- [0088] 렌즈의 광입사면 및/또는 광출사면에는, 보호막, 반사막, 반사 방지막 등이 형성되어 있어도 좋다. 반사 방지막으로서, 이산화규소와, 이산화지르코늄으로 이루어지는 4층 구조의 것 등이 적용될 수 있다.
- [0089] 형광체는, 해당 분야에서 공지의 것을 사용할 수 있다. 예를 들면, 세륨으로 활성화된 이트륨·알루미늄·가넷(YAG)계 형광체, 세륨으로 활성화된 루테튬·알루미늄·가넷(LAG), 유토포 및/또는 크롬으로 활성화된 질소함유 알루미늄규산칼슘(CaO-Al₂O₃-SiO₂)계 형광체, 유토포으로 활성화된 실리게이트((Sr, Ba)₂SiO₄)계 형광체, β 사이얼론 형광체, CASN계 또는 SCASN계 형광체 등의 질화물계 형광체, KSF계 형광체(K₂SiF₆:Mn), 황화물계 형광체, 이른바 나노크리스탈, 양자점으로 칭해지는 발광 물질이어도 좋다. 발광 물질로서는, 반도체 재료, 예를

들면, II-VI족, III-V족, IV-VI족 반도체, 구체적으로는, CdSe, 코어 쉘 형의 CdS_xSe_{1-x}/ZnS , GaP 등의 나노 사이즈의 고분산 입자를 들 수 있다. 형광체는 1종 또는 2종 이상을 조합하여 이용할 수 있다.

[0090] 근년의 발광 장치의 소형화, 또한 발광 소자를 피복하는 투광성 부재의 소형화에 수반하여, 투광성 부재의 표면이 발광 소자에 근접한 결과, 투광성 부재에 의한 렌즈 효과를 얻지 못하고 발광 장치의 측방으로 그대로 빠져나가는 광이 증대하고, 발광 장치의 상방으로부터 취출되는 광을 소망한 효율로 얻을 수 없는 것이 염려된다. 이에 대해서, 본 실시형태와 같이, 평면 형상이 육각형인 발광 소자를 투광성 부재로 피복하는 경우, 같은 평면적을 갖는 평면 형상이 사각형인 발광 소자와 비교하여, 발광 소자와 투광성 부재의 표면과의 거리를 보다 확보할 수 있다. 따라서, 투광성 부재에 의한 렌즈 효과를 유효하게 이용할 수 있다. 또한, 본 실시형태에 관한 발광 소자는, 그 각부에 있어서의 발광을 억제하는 구조, 바꾸어 말하면, 각부에 있어서의 반도체층에의 전류 공급을 억제하는 대신에, 그 각부 이외의 영역에 공급되는 전류를 증가시키는 구조를 갖는다. 이에 의해, 투광성 부재의 표면에 근접하기 쉬운 발광 소자의 각부로부터 발광 장치의 측방으로 그대로 빠져나가는 광을 저감하여, 투광성 부재에 의한 렌즈 효과를 보다 유효하게 이용하고 발광 장치의 상방으로 광을 효율 좋게 취출할 수 있다.

[0091] 이하, 발광 소자 및 이를 이용한 발광 장치의 실시예를 도면에 기초하여 상세하게 설명한다.

[0092] **실시예 1 : 발광 소자**

[0093] 이 실시예의 발광 소자(10)는, 도 1a 내지 도 1d에 나타내는 바와 같이, 평면 형상이 육각형이다. 이러한 발광 소자(10)는, n층 반도체층(2n) 및 p층 반도체층(3p)과, 제1 p전극(4p), 제2 p전극(5p) 및 n전극(7n)을 구비한다. 발광 소자(10)의 한 변 길이는 약 1.2mm이다.

[0094] 반도체층은, 육각형의 사파이어 기판(8) 위에, n층 반도체층(2n), 활성층(Ac), p층 반도체층(3p)이 이 순서로 적층되어 구성되어 있다. 반도체층은, 그 최외주에 있어서, p층 반도체층(3p) 및 활성층(Ac)의 일부가 제거되어 n층 반도체층(2n)을 노출시킨 영역을 갖고 있다.

[0095] p층 반도체층(3p)은, 복수의 구멍(6)을 갖고 있다. 구멍(6)에 있어서는, 그 하방에 존재하는 활성층(Ac)도 제거되어, n층 반도체층(2n)을 노출시키고 있다. 다만, 여기서의 p층 반도체층(3p)은, 육각형의 서로 인접하지 않는 3개의 각부 및 그 주변에는, 구멍이 배치되지 않고, 이러한 각부 및 그 주변을 제외한 영역에 있어서, 복수의 구멍(6)을 갖고 있다.

[0096] 구멍(6)은, 대략 원형이며, 그 직경이 약 $27\mu\text{m}$ 이며, 예를 들면, 58개 형성되어 있다. 구멍(6)은, 평면에서 볼 때, 육각형의 변에 대하여 거의 평행으로 병렬되어 있고, 그 중심간 거리는 약 $300\mu\text{m}$ 이다. 구멍(6)의 총면적은, 반도체층의 평면적의 0.92% 정도이며, 약 $33000\mu\text{m}^2$ 이다.

[0097] p층 반도체층(3p)에 접하여, 복수의 구멍(6)을 제외한 대략 전면에, 제1 p전극(4p)이 배치되어 있다. 여기서 대략 전면이란, p층 반도체층(3p)의 상면에 있어서의 외연 및 구멍(6) 근방인 내연 이외의 영역을 말한다. 예를 들면, 제1 p전극(4p)은, p층 반도체층(3p)의 상면 중 90% 이상의 면에 설치되어 있는 것이 바람직하다. 제1 p전극(4p)은, p층 반도체층(3p) 위의 대략 전면에 형성된, Ag함유층과, 이 Ag함유층의 상면을 피복하는 층과, 또한 Ag함유층의 상면의 일부 및 측면을 피복하는 SiN으로 이루어지는 절연층(4a)을 갖는다. Ag함유층을 피복하는 층은, 반도체층 측으로부터 Ni층, Ti층 및 Pt층의 적층막에 의해 형성되어 있다. 이러한 적층 구조에 의해, 활성층(Ac)으로부터 출사되는 광을 사파이어 기판(8) 측으로 반사할 수 있어서, 광 취출 효율을 향상시킬 수 있다. 또한, Ag함유층을 피복하는 층 및 절연층(4a)에 의해, Ag의 마이그레이션을 효과적으로 방지할 수 있다.

[0098] 제1 p전극(4p) 위에 있으며, 상술한 구멍(6)이 배치되어 있지 않은 3개의 각부 및 그 주변을 포함한 영역에, 제2 p전극(5p)이 배치되어 있다. 제2 p전극(5p)은, 설치된 각부 및 그 주변을 포함한 영역을 구성하는 p층 반도체층(3p)의 2개의 변 중 일방에 실질적으로 평행한 2변을 갖는 부채꼴을 갖는다. 부채꼴의 2 변은, 각각, p층 반도체층(3p)의 한 변의 길이의 1/5 정도이며, 약 $300\mu\text{m}$ 이다.

[0099] 제1 p전극(4p) 위에는, 복수의 구멍(6)을 통해서 n층 반도체층(2n)에 전기적으로 접속된 n전극(7n)이 배치되어 있다. 도 1b에 있어서, n전극(7n)의 외주를 $7n_o$, 내주를 $7n_i$ 로 나타내고 있다. 제1 p전극(4p)은, 제2 p전극(5p) 및 그 주변 이외의 제1 p전극(4p)의 상방에, SiO_2 로 이루어지는 절연막(9)을 거쳐 배치되어 있다. 절연막(9)은, 구멍(6)의 측면과, 노출된 n층 반도체층(2n)의 일부 영역(n층 반도체층(2n) 상면) 위에 배치되어 있다. 절연막(9)은, p층 반도체층(3p) 위에 배치된 제1 p전극(4p) 위의 일부 영역 위, 즉, 제1 p전극(4p)과 제2 p전극

(5p)과의 접촉 부위에 있어서, 제1 p전극(4p)의 상면을 노출하는 개구(9a)를 갖고 있다. 또한, 절연막(9)은, 발광 소자(10)의 최외주에 있어서, p측 반도체층(3p) 및 활성층(Ac)의 일부가 제거되어 노출된 n측 반도체층(2n)도 피복하고 있다.

[0100] 제2 p전극(5p) 및 n전극(7n)은, 모두, 반도체층 측으로부터 Ti/Al-Si-Cu합금/Ti/Pt/Au의 적층막에 의해 형성되어 있다.

[0101] 이와 같은 발광 소자(10)를 이용하여 발광 장치를 제조하는 경우, 도 1e 및 도 1f에 나타내는 바와 같이, 제2 p전극(5p)에 접속하는 범프 전극(BP)을, 각 제2 p전극(5p)에 대하여 1개, n전극(7n)에 접속하는 범프 전극(BP)을, 전면에 걸쳐 균일하게 복수개 형성한다. n전극(7n)에 접속하는 범프 전극(BP)은, 발광 소자(10)를 실장할 때의 과중 부하에 의해 절연막(9)이 파괴되지 않도록, 평면에서 볼 때 구멍(6)과 중첩하지 않는 위치에 형성하는 것이 바람직하다.

[0102] **실시예 2 : 발광 소자**

[0103] 실시예 2의 발광 소자(20)는, 도 2에 나타내는 바와 같이, 제2 p전극(25p)이 부채꼴은 아니고, 부채꼴로부터 내측으로 약간 연장시킨 2개의 부위를 갖는 형상을 갖는 것을 제외하고는, 실시예 1의 발광 소자(10)와 실질적으로 마찬가지로의 구성을 갖는다.

[0104] **실시예 3 : 발광 소자**

[0105] 실시예 3의 발광 소자(30)는, 도 3에 나타내는 바와 같이, 부채꼴의 제2 p전극(5p)이 모든 각부 및 그 주변을 포함한 영역에 배치되어 있다. 이에 수반하여, p측 반도체층(3p)의 6개의 각부 및 그 주변을 포함한 영역에 구멍(6)이 배치되지 않고, 구멍의 수가 55개로 되어 있다. 따라서, 구멍(6)의 총면적은, 반도체층의 평면적의 0.87% 정도이며, 약 $3100\mu\text{m}^2$ 이다.

[0106] 상술한 구성을 제외하고는, 실시예 1의 발광 소자(10)와 실질적으로 마찬가지로의 구성을 갖는다.

[0107] **실시예 4 : 발광 소자**

[0108] 실시예 4의 발광 소자(40)는, 도 4에 나타내는 바와 같이, 그 최외주에 있어서, p측 반도체층(3p) 및 활성층(Ac)의 일부가 제거되어 n측 반도체층(2n)을 노출시킨 영역을 갖고 있지만, 절연막(9)으로 피복되어 있지 않은 영역을 각부에 갖는다. 또한, 외측이 우묵하게 들어간 대략 부채꼴의 제2 p전극(45p)이, 모든 각부 및 그 주변을 포함한 영역에 배치되어 있다. 그리고, 제2 p전극(45p)이 배치된 각부에 있어서는, 절연막(9)으로 피복되어 있지 않은 영역에 있어서, n전극(7n)의 일부가 n측 반도체층(2n)과 접촉하여 전기적으로 접속되어 있다.

[0109] 상술한 구성을 제외하고는, 실시예 3의 발광 소자(30)와 실질적으로 마찬가지로의 구성을 갖는다.

[0110] <발광 소자의 평가>

[0111] 실시예 1~3의 발광 소자(10, 20, 30)에 있어서의 전류밀도의 분포를, 유한 요소법을 이용한 시뮬레이션 소프트웨어에 의해 해석하였다. 그 결과를 도 5a 내지 도 5c에 각각 나타낸다. 도 5a 내지 도 5c에 있어서, 농담이 진할수록 전류 밀도가 높은 것을 나타낸다.

[0112] 또한, 참고를 위해, 도 6의 A에 나타내는 바와 같이, 한 쌍의 대각선을 따라 제2 p전극(55)을 배치하는 이외, 발광 소자(10)와 실질적으로 마찬가지로의 구성을 갖는 발광 소자(40)에 대하여도, 전류밀도의 분포를 해석하였다. 그 결과를, 도 6의 B에 나타낸다.

[0113] 도 5a 내지 도 5c에 따르면, 발광 소자(10, 20, 30)는 모두, 제2 p전극(5)이 배치된 영역에 있어서의 전류밀도를, 반도체층의 변에 인접하는 영역 및 내측의 영역에 있어서의 전류밀도보다도 저감시킬 수 있음을 알았다.

[0114] 특히, 발광 소자(20)에 있어서는, 발광 소자(10)보다도 제2 p전극(25)의 면적을 크게 하였던 것에 따라, 제2 p전극(25)이 배치된 각부에 있어서의 전류 밀도를 저감시킬 수 있는 한편, 내측의 영역, 특히 반도체층의 중앙 영역에 있어서 전류밀도를 향상시킬 수 있다.

[0115] 또한, 발광 소자(30)에 있어서는, 제2 p전극(35)의 수를 6개로 늘렸던 것에 수반하여, 제2 p전극(35)이 배치된 각부에 있어서 전류 밀도를 저감시킬 수 있는 한편, 내측 전체에 있어서 보다 균일하게 전류밀도를 향상시킬 수 있다.

[0116] 이러한 현상은, 발광 소자(50)에 있어서의 반도체층의 각부 및 외주 부분의 전류밀도분포보다도, 보다

현저하게, 전류밀도분포를 반도체층의 내측의 영역에 있어서 증대시킬 수 있었음을 나타낸다.

[0117] 또한, 발광 소자(10, 20, 30)에 관해서, 전류 350mA의 전류를 인가한 순방향 전압 V_f 를, 유한 요소법을 이용한 시뮬레이션에 의해 해석하였다. 그 결과를, 구멍의 개수, 구멍을 거쳐 n전극이 n층 반도체층과 접촉된 영역의 총면적(n층 콘택트 영역의 면적), 제1 p전극의 면적(p층 콘택트 영역의 면적)과 함께 표 1에 나타낸다. 또한, n층 콘택트 영역 및 p층 콘택트 영역의 면적은, 모두 발광 소자(10)에 있어서의 면적을 100%로 하여 그 상대값을 나타낸다.

표 1

	발광 소자(10)	발광 소자(20)	발광 소자(30)
순방향 전압 V_f (V)	0.344	0.333	0.332
구멍의 개수(개)	58	58	55
n층 콘택트 영역의 면적 (%)	100	100	94.8
p층 콘택트 영역의 면적 (%)	100	100	99.8

[0119] 표 1에 나타내는 바와 같이, 발광 소자(10)에 대해서 발광 소자(20, 30)에서는, 각각 V_f 값이 0.011V(약 3.1%), 0.012V(약 3.5%)만큼 저감되어 있는 것이 확인되었다. 발광 소자(20)는, 발광 소자(10)에 비하여 p층 콘택트 영역의 면적은 같지만, 제2 p전극의 면적이 크고, 제2 p전극 근방의 전류 집중이 완화되는 결과, V_f 값이 저감하고 있다고 생각된다. 또한, 발광 소자(30)는, 발광 소자(10) 및 발광 소자(20)보다도, 제2 p전극의 수가 3개에서 6개로 늘어나서, 전류가 보다 균등하게 반도체층에 공급되기 때문에, V_f 값이 저감하고 있다고 생각된다.

[0120] **실시예 5 : 발광 장치**

[0121] 실시예 5의 발광 장치(60)는, 도 8a 및 도 8b에 나타내는 바와 같이, 실시형태 1의 발광 소자(10)와 마찬가지로 평면 형상이 육각형인 발광 소자(70)와, 표면에 정부 한 쌍의 배선 패턴(도시하지 않음)을 갖는 기체(80)를 구비한다.

[0122] 발광 소자(70)는, 기체(80)에 페이스다운 실장되어 있으며, 발광 소자(70)의 n전극 및 p전극이, 접합 부재를 거쳐서 기체(80)의 배선 패턴에 접속되어 있다. 또한, 발광 소자(70)는, 실리콘 수지 등으로 이루어지는 반구상의 투광성 부재(90)에 의해 덮여 있다. 투광성 부재(90)는, 발광 소자(70)와 함께 기체(80)의 상면의 일부도 덮고 있다.

[0123] 이와 같은 발광 장치는, 투광성 부재(90)에 의한 렌즈 효과를 보다 유효하게 이용하여 발광 장치의 상방으로 광을 효율 좋게 추출할 수 있다.

[0124] **실시예 6 : 발광 장치**

[0125] 실시예 6의 발광 장치(61)는, 도 9a 및 도 9b에 나타내는 바와 같이, 실시형태 1의 발광 소자(10)와 마찬가지로 평면 형상이 육각형인 발광 소자(70)와, 표면에 정부 한 쌍의 배선 패턴(도시하지 않음)을 갖는 기체(80)를 구비한다. 발광 소자(70)는, 기체(80)에 페이스다운 실장되어 있고, 그 측면 및 광 추출면인 상면이, YAG 등으로 이루어지는 형광체층(92)에 의해 피복되어 있다. 또한, 형광체층(92)으로 피복된 발광 소자(70)의 표면은, 실리콘 수지 등으로 이루어지는 투광성 부재(91)에 의해 거의 사각형의 형상으로 덮여 있다.

[0126] 이와 같은 발광 장치는, 형광체층(92)에 의한 파장 변환 효과를 이용하여, 임의의 색의 광을 효율 좋게 추출할 수 있다.

[0127] **실시예 7 : 광원 유닛**

[0128] 실시예 7의 광원 유닛(65)은, 도 10a 및 도 10b에 나타내는 바와 같이, 회로 기관(81)과, 이 회로 기관(81) 위에 서로 이간하여 탑재된 실시예 6의 복수의 발광 장치(61)와, 개개의 발광 장치(61)를 피복하는 렌즈(93)를 구비한다. 여기서의 렌즈(93)는, 예를 들면, 도 10a에 나타내는 바와 같이, 발광 장치(61)로부터의 광을 유효하게 이용할 수 있는 대략 원 형상을 갖는다. 또한, 발광 장치(61)의 상방이며, 렌즈(93)의 발광 장치(61)와 대향하는 하면의 반대측에 있는 상면에는, 도 10b에 나타내는 바와 같이, 발광 장치(61)로부터 출사되는 광을 넓힐 수 있는 오목부를 갖고 있어도 좋다.

[0129] 이와 같은 광원 유닛에서는, 발광 장치는 종 및/또는 횡으로, 랜덤으로 또는 규칙적으로 배치함으로써, 백 라이

트의 광원, 조명용의 광원으로서 이용할 수 있다.

[0130] 실시예 8 : 광원 유닛

[0131] 실시예 8의 광원 유닛(66)은, 도 11a 및 도 11b에 나타내는 바와 같이, 회로 기관(81)과, 이 회로 기관(81) 위에 서로 이간하여 탑재된 실시예 6의 발광 장치(61)와, 이 발광 장치(61)를 피복하는 프레넬 렌즈(94)를 구비한다. 여기서의 프레넬 렌즈(94)는, 예를 들면, 발광 장치(61) 내에 배치되는 발광 소자 또는 그 위에 배치되는 형광체층의 외측으로부터의 시인성을 저감시킬 수 있는 형상을 구비한다.

[0132] 이와 같은 광원 유닛에서는, 카메라 등의 플래시 라이트로서 이용할 수 있다.

산업상 이용가능성

[0133] 본 발명의 실시형태 및 실시예에 관한 발광 소자는, 조명 기구, 카메라의 플래시, 액정 디스플레이의 백라이트 광원, 각종 인디케이터용 광원, 차량 탑재용 광원, 센서용 광원, 신호기, 차량 탑재 부품, 간판용 채널 레터 등, 여러 가지 광원에 사용할 수 있다.

부호의 설명

[0134] 10, 20, 30, 40, 50, 70, A, B, C, D, E : 발광 소자

2n : n층 반도체층

3p : p층 반도체층

4p : 제1 p전극

4a : 절연막

5p, 25p, 45p, 5, 15, 25, 35, 45, 55 : 제2 p전극

6 : 구멍

7n, 27n, 47n : n전극

7no, 47no : n전극의 외주

7ni, 47ni : n전극의 내주

8 : 사파이어 기관

9 : 절연막

9a : 개구

Ac : 활성층

R1, R2, R3, R4, R5, R6 : 각부

BP : 범프

60, 61 : 발광 장치

65, 66 : 광원 유닛

80 : 기체

81 : 회로 기관

90, 91 : 투광성 부재

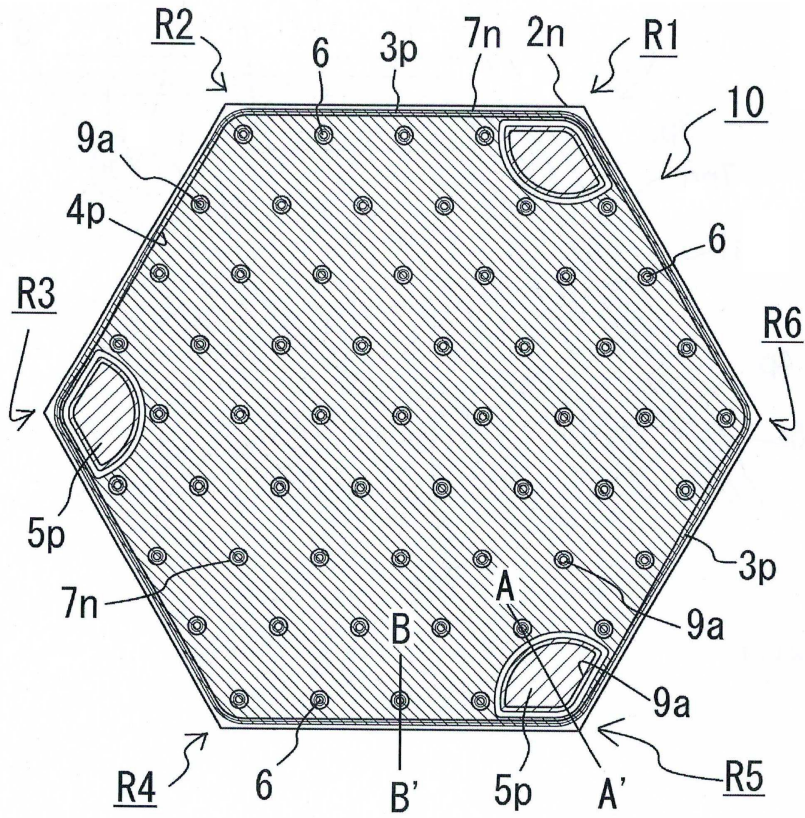
92 : 형광체층

93 : 렌즈

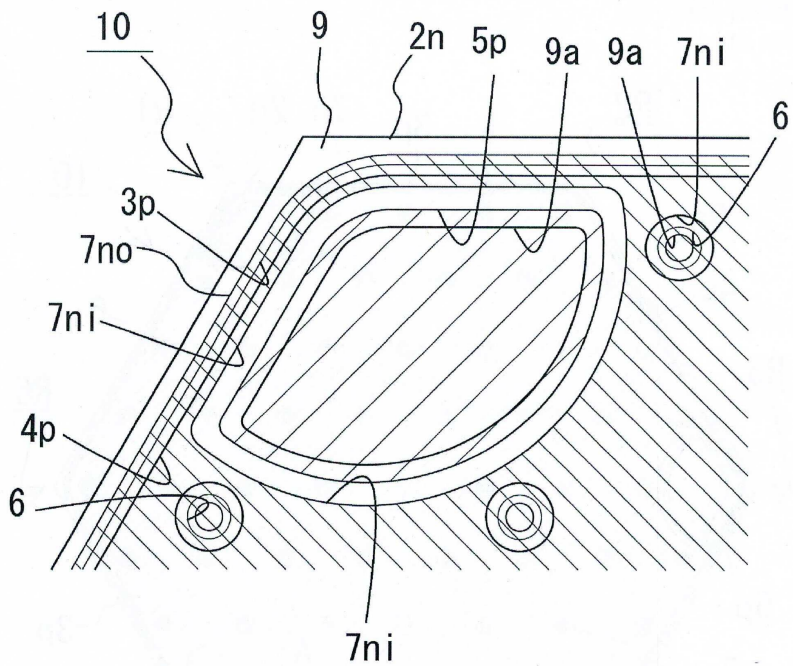
94 : 프레넬 렌즈

도면

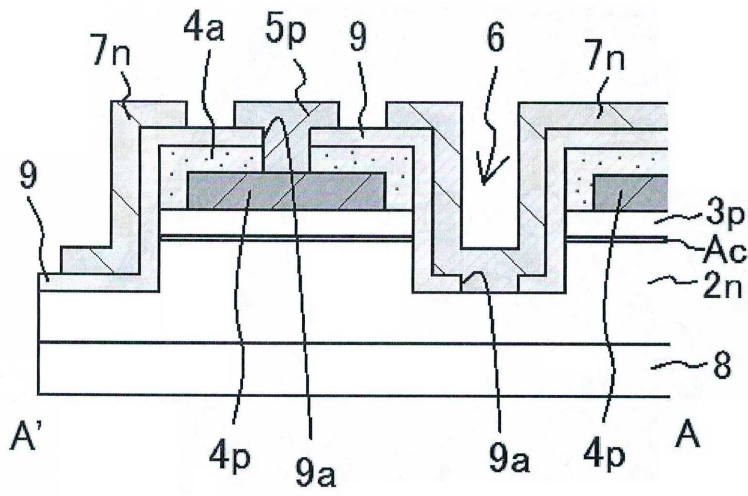
도면1a



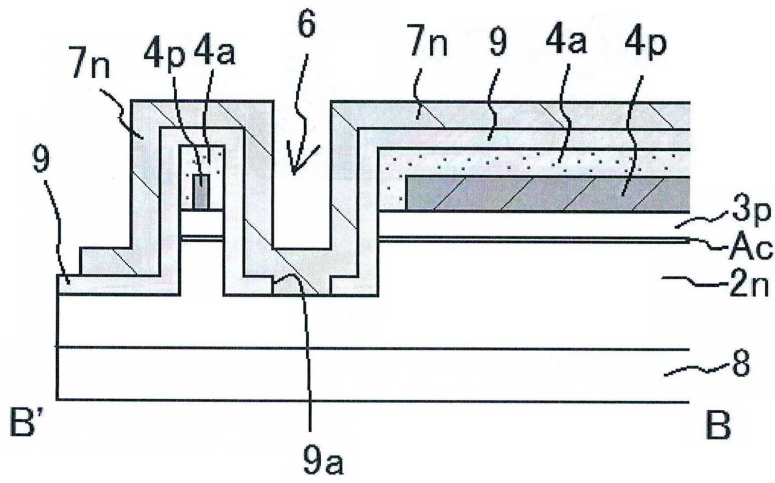
도면1b



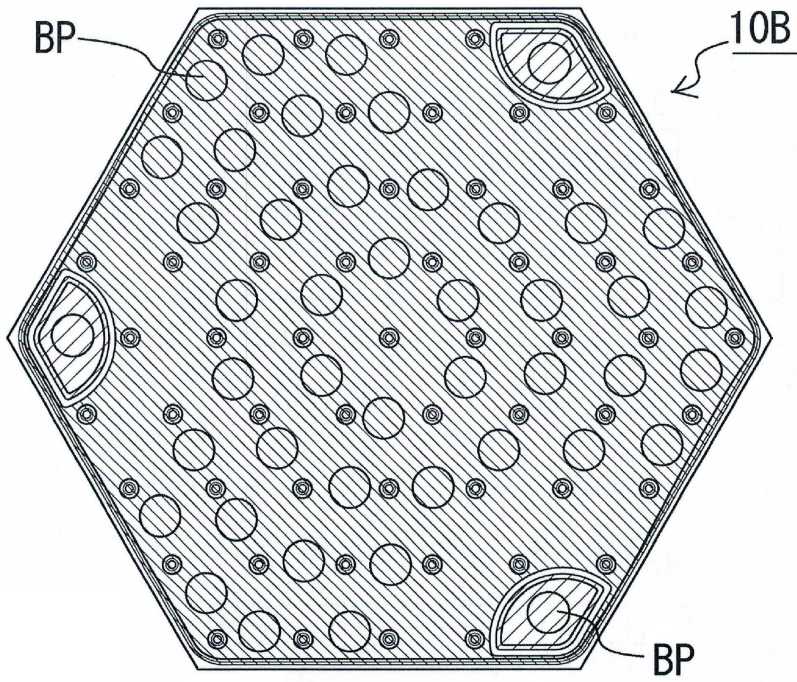
도면1c



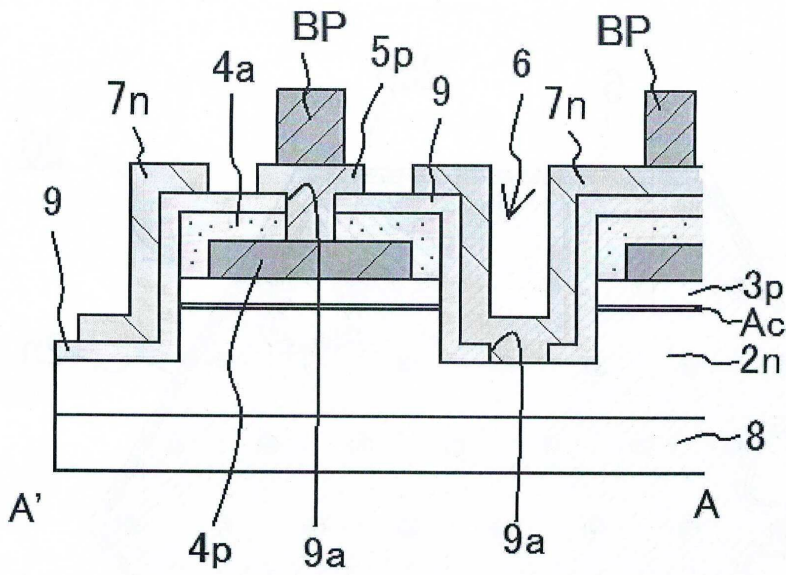
도면1d



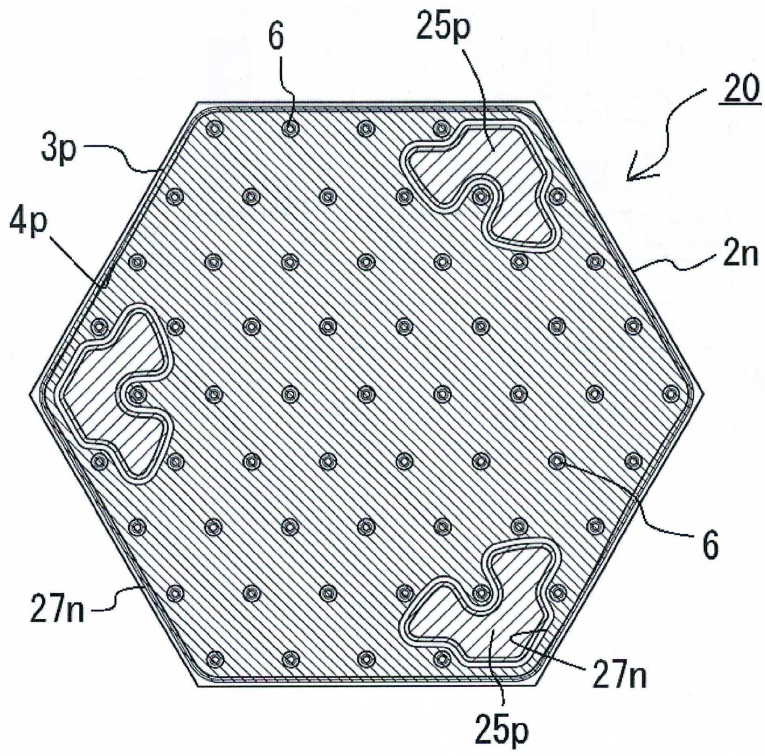
도면1e



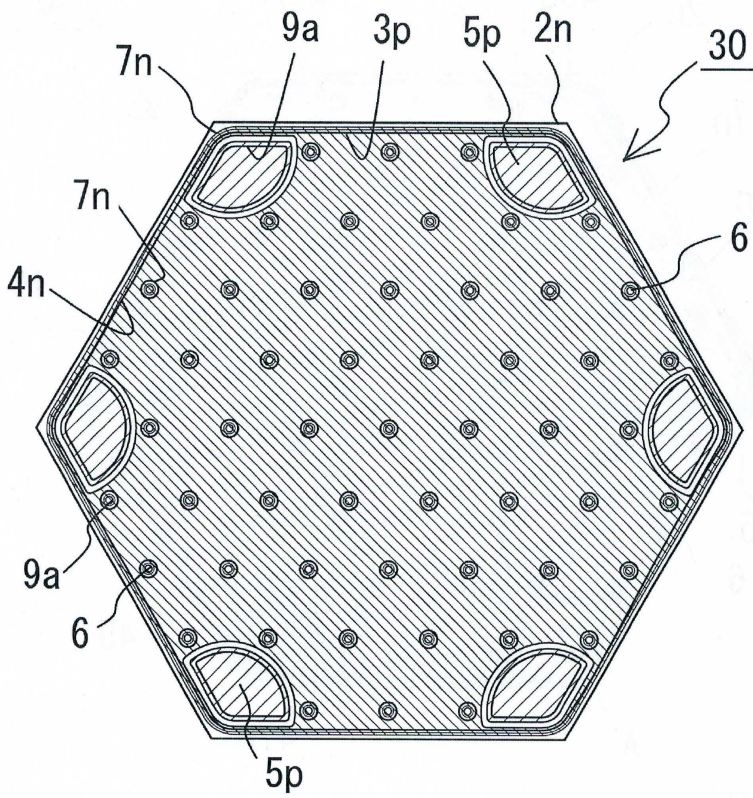
도면1f



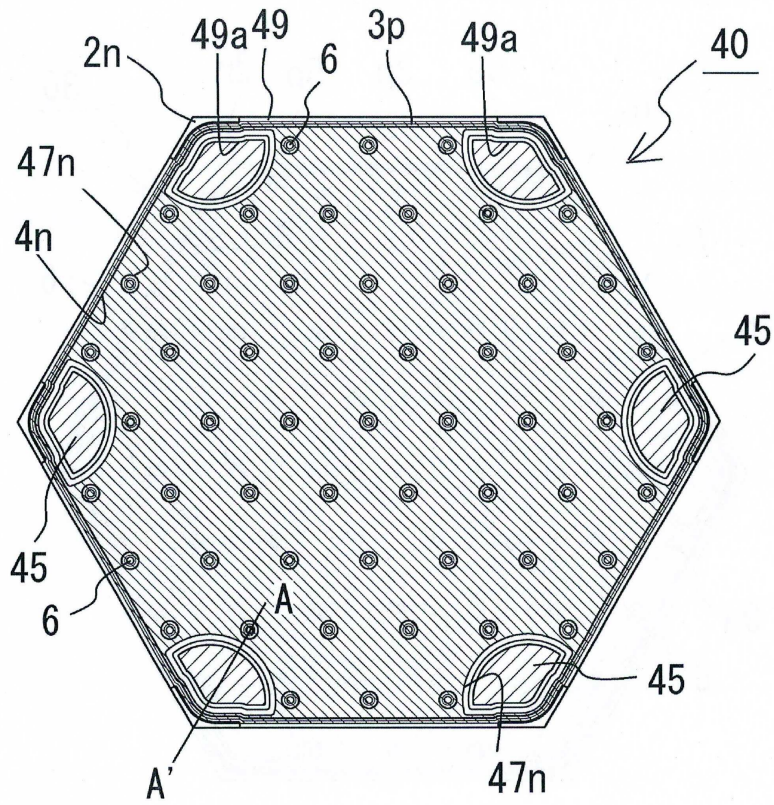
도면2



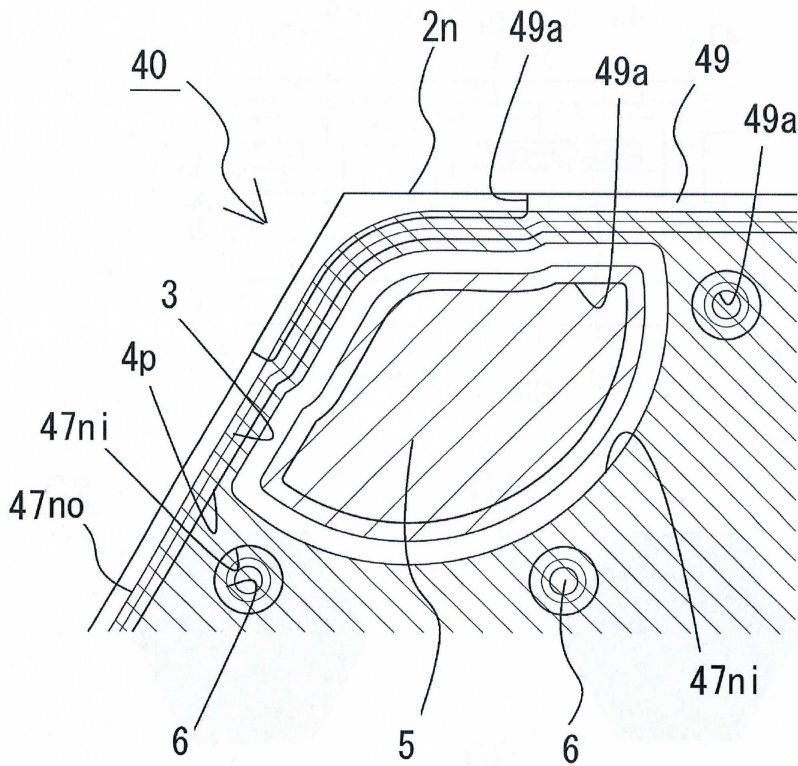
도면3



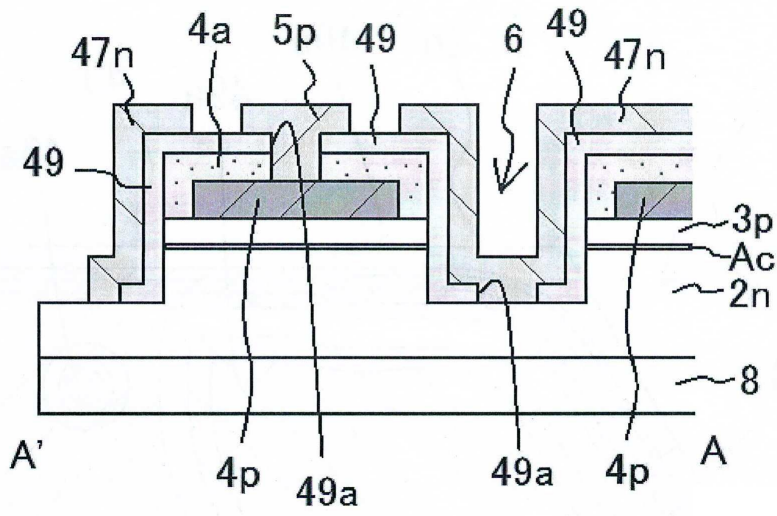
도면4a



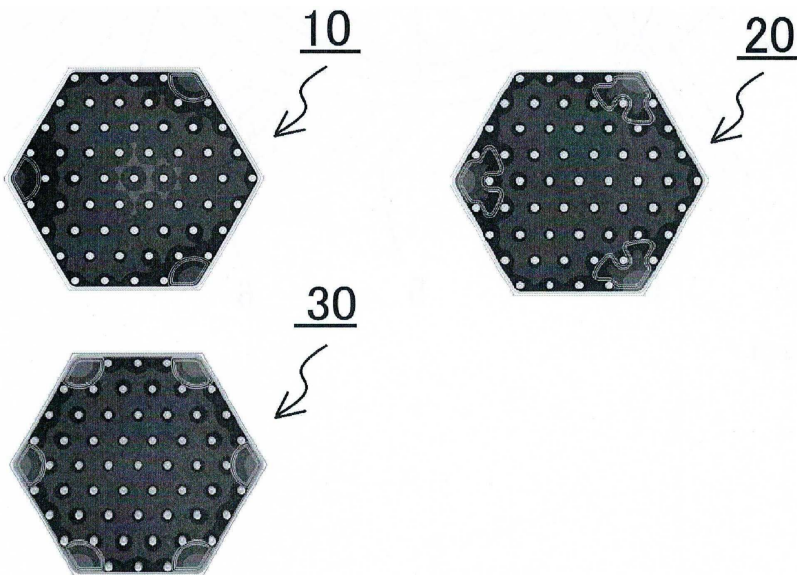
도면4b



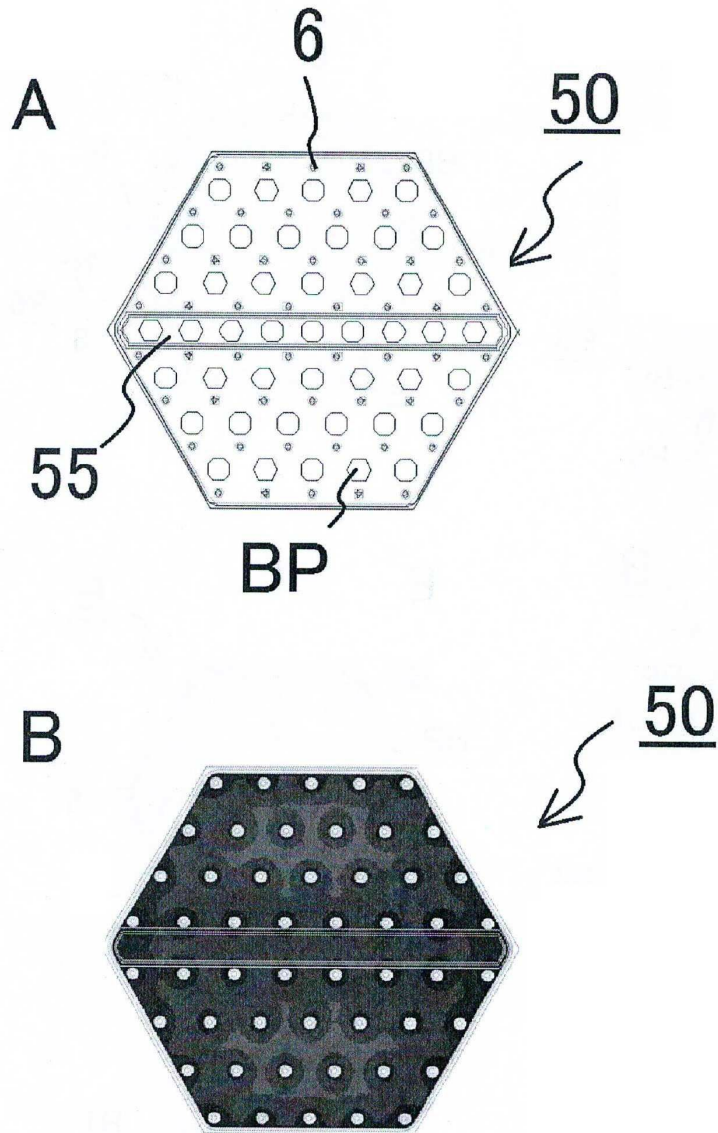
도면4c



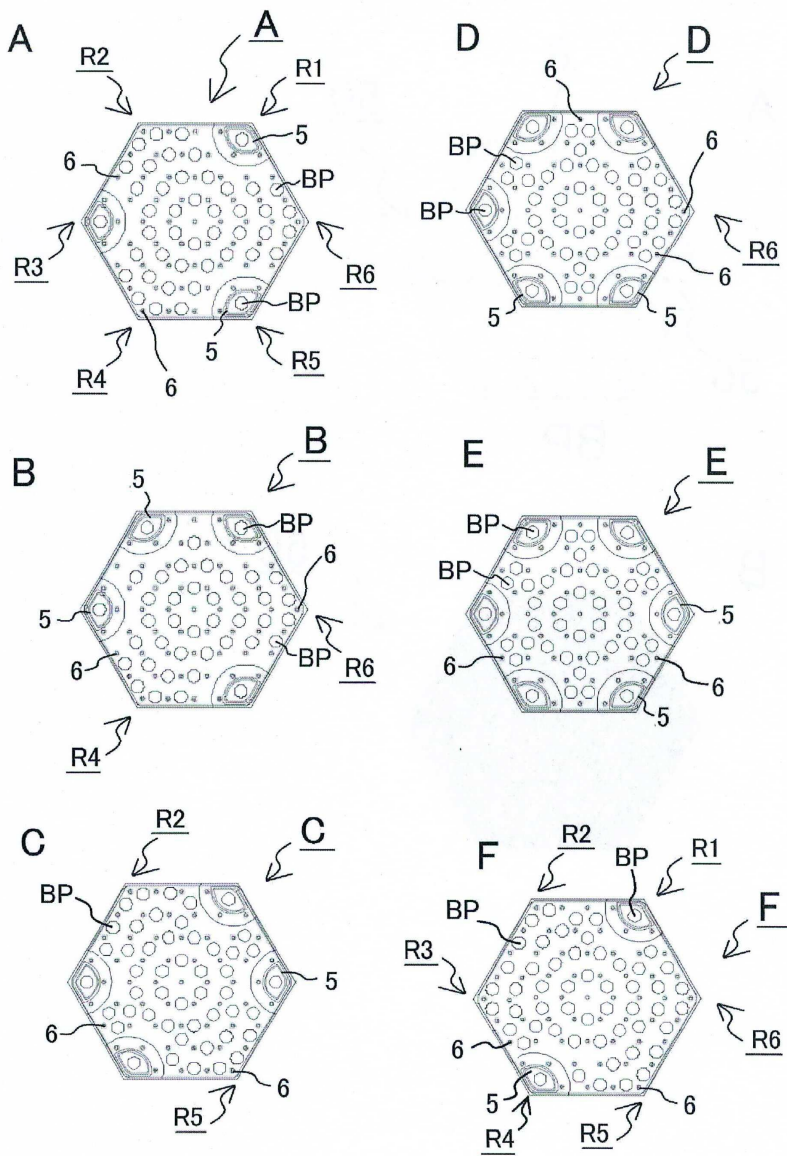
도면5



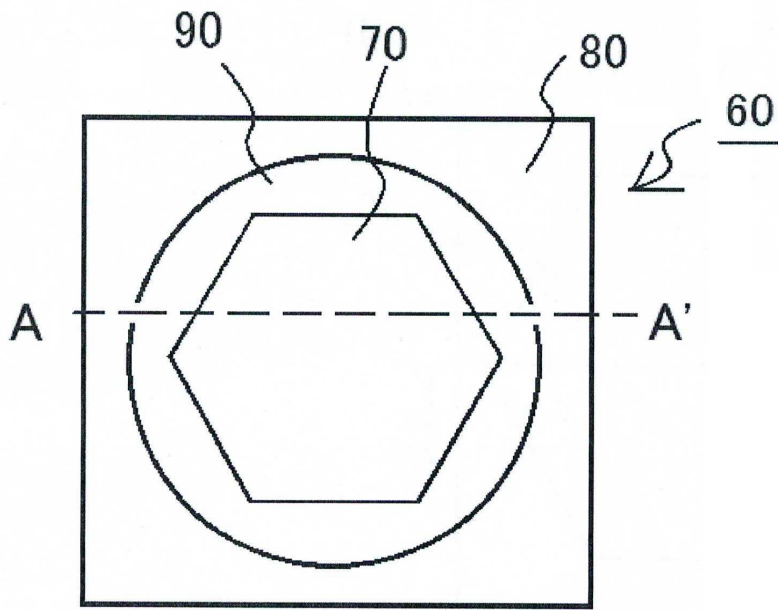
도면6



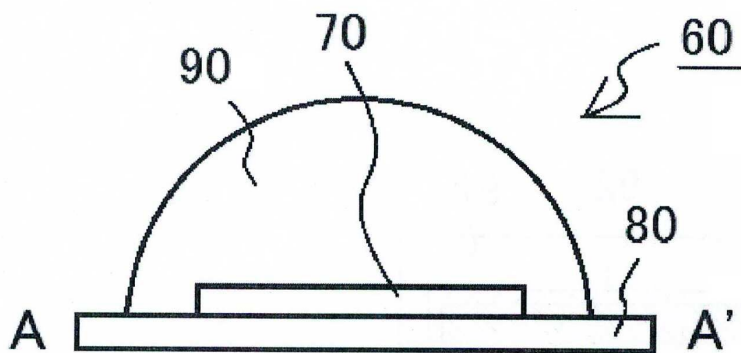
도면7



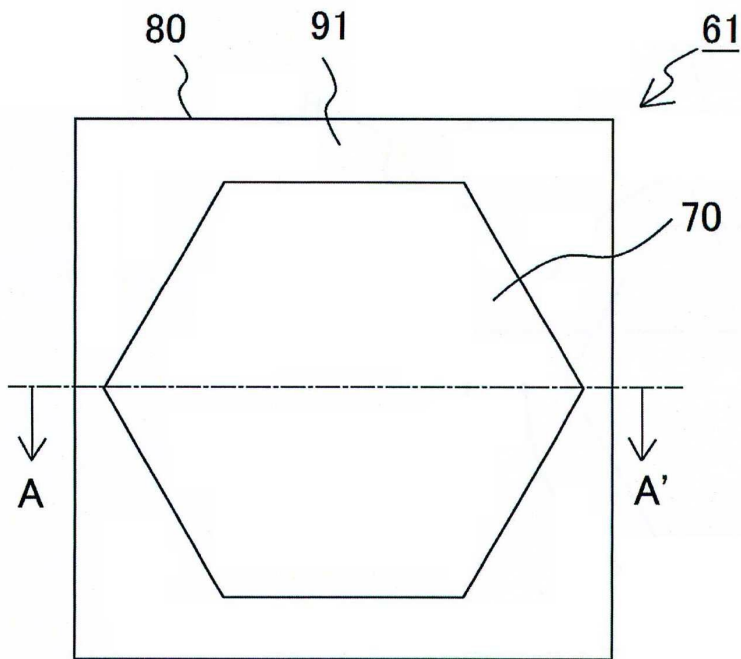
도면8a



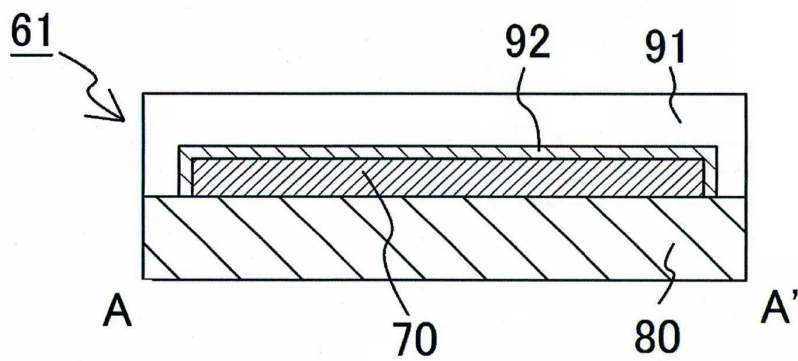
도면8b



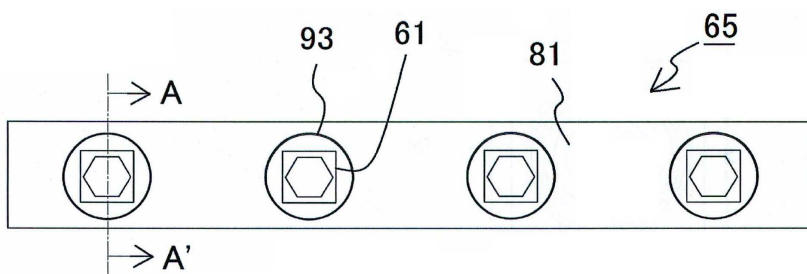
도면9a



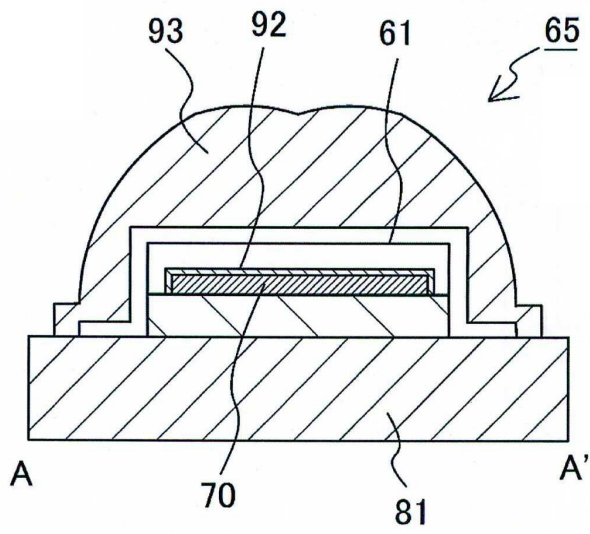
도면9b



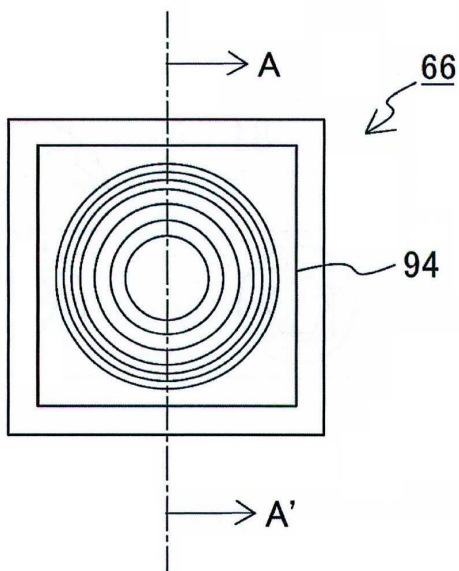
도면10a



도면10b



도면11a



도면11b

