



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2007-0092896
(43) 공개일자 2007년09월14일

(51) Int. Cl.

G02F 1/1343(2006.01)

(21) 출원번호 10-2006-0022304

(22) 출원일자 2006년03월09일

심사청구일자 없음

(71) 출원인

엘지.필립스 엘시디 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

탁영미

서울 관악구 남현동 602-54(9/5) 2층 201호

(74) 대리인

김용인, 심창섭

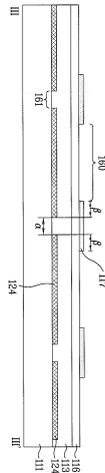
전체 청구항 수 : 총 11 항

(54) 액정표시소자

(57) 요약

본 발명은 화소전극 하부에 플레이트형 공통전극이 구비되는 액정표시소자에 있어서 필요이상으로 커진 화소영역 내에서의 스토리지 커패시턴스를 줄임으로써 TFT 크기를 적정한 크기로 형성하여 충전특성을 향상시키고자 하는 액정표시소자에 관한 것으로, 기판 상에서 수직교차하여 화소영역을 정의하는 게이트 배선 및 데이터 배선과, 상기 게이트 배선 및 데이터 배선의 교차 지점에 배치되는 박막트랜지스터와, 상기 게이트 배선에 평행하는 공통배선과, 상기 박막트랜지스터에 연결되고 상기 공통배선에 절연되어 복수개의 슬릿을 가지는 화소전극과, 상기 공통배선에 콘택되고 상기 화소전극으로부터 절연되며 상기 슬릿과 슬릿 사이의 영역에 개구부를 가지는 플레이트형의 공통전극을 포함하여 구성되는 것을 특징으로 한다.

대표도 - 도5



특허청구의 범위

청구항 1

기관 상에서 수직교차하여 화소영역을 정의하는 게이트 배선 및 데이터 배선과,
 상기 게이트 배선 및 데이터 배선의 교차 지점에 배치되는 박막트랜지스터와,
 상기 게이트 배선에 평행하는 공통배선과,
 상기 박막트랜지스터에 연결되고 상기 공통배선에 절연되어 복수개의 슬릿을 가지는 화소전극과,
 상기 공통배선에 콘택되고 상기 화소전극으로부터 절연되며 상기 슬릿과 슬릿 사이의 영역에 개구부를 가지는
 플레이트형의 공통전극을 포함하여 구성되는 것을 특징으로 하는 액정표시소자.

청구항 2

제 1 항에 있어서,
 상기 공통전극의 개구부는 상기 화소전극에 오버랩되도록 형성되는 것을 특징으로 하는 액정표시소자.

청구항 3

제 1 항에 있어서,
 상기 공통전극의 개구부는 2 μ m이상의 폭을 가지는 것을 특징으로 하는 액정표시소자.

청구항 4

제 1 항에 있어서,
 상기 공통전극의 개구부와 화소전극의 슬릿 사이의 거리가 1.5 μ m이상인 것을 특징으로 하는 액정표시소자.

청구항 5

제 1 항에 있어서,
 상기 공통전극의 개구부 상부에 오버랩되는 상기 화소전극의 폭은 5 μ m이상인 것을 특징으로 하는 액정표시소자.

청구항 6

제 5 항에 있어서,
 상기 화소전극의 폭은 식각 바이어스를 고려하지 않은 것을 특징으로 하는 액정표시소자.

청구항 7

제 1 항에 있어서,
 상기 화소전극은, 상기 공통전극 및 공통배선 상부에 구비된 게이트 절연막 및 보호막 상에 형성되는 것을 특
 징으로 하는 액정표시소자.

청구항 8

제 1 항에 있어서,
 상기 공통전극 및 화소전극은 투명한 도전물질로 형성되는 것을 특징으로 하는 액정표시소자.

청구항 9

제 1 항에 있어서,
 상기 공통배선은 상기 게이트 배선과 동일층에 형성되는 것을 특징으로 하는 액정표시소자.

청구항 10

제 1 항에 있어서,

상기 화소전극의 슬릿은 상기 게이트 배선 또는 데이터 배선 방향으로 배치되는 것을 특징으로 하는 액정표시소자.

청구항 11

제 1 항에 있어서,

상기 화소영역 내의 플레이트형의 공통전극과 화소전극 사이에 스토리지 커패시턴스가 형성되는 것을 특징으로 하는 액정표시소자.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <12> 본 발명은 액정표시소자(LCD ; Liquid Crystal Display Device)에 관한 것으로, 특히 필요이상으로 커진 스토리지 커패시턴스를 줄임으로써 TFT 크기를 적절한 크기로 형성하고자 하는 액정표시소자에 관한 것이다.
- <13> 최근, 액티브 매트릭스 액정표시소자는 그 성능이 급속하게 발전함에 따라, 평판 TV, 휴대용 컴퓨터, 모니터 등에 광범위하게 사용되고 있다.
- <14> 상기 액티브 매트릭스 액정표시소자 중 트위스티드 네마틱(TN : Twisted Nematic) 방식의 액정표시소자가 주로 사용되고 있는데, 트위스티드 네마틱 방식은 두 기관에 각각 전극을 설치하고 액정 방향자가 90° 트위스트 되도록 배열한 다음, 전극에 전압을 가하여 액정 방향자를 구동하는 기술이다.
- <15> 트위스티드 네마틱 방식 액정표시소자는 우수한 콘트라스트(contrast)와 색상 재현성을 제공한다는 이유로 각광 받고 있지만, 시야각이 좁다는 고질적인 문제를 안고 있다.
- <16> 이러한 TN방식의 시야각 문제를 해결하기 위해서, 한 기관 상에 두개의 전극을 형성하여 액정의 방향자가 배향막의 나란한 평면에서 꼬이게 하는 IPS 모드(In-Plane Switching Mode)와, 공통전극과 화소전극을 투명전도체로 형성하면서 공통전극과 화소전극 사이의 간격을 좁게 형성하여 상기 공통전극과 화소전극 사이에서 형성되는 프리젯 필드에 의해 액정분자를 동작시키는 FFS 모드(Fringe Field Switching)가 도입되었다.
- <17> 최근에는 상기 두가지 모드가 더욱 개발되어 전극의 구조가 조금씩 변형되고 있지만, 하나의 기관 상에 화소전극과 공통전극을 동시에 구비하고 두 전극 사이에 형성되는 전계에 의해 액정을 구동하는 원리는 동일하다.
- <18> 이러한 액정표시소자에 대해 구체적으로 살펴보면 다음과 같다.
- <19> 도 1은 종래 기술에 의한 액정표시소자의 평면도이고, 도 2는 도 1의 I-I'선상에서의 절단면도이다.
- <20> 종래 액정표시소자의 TFT 어레이 기관(11)에는, 도 1 및 도 2에 도시된 바와 같이, 불투명한 금속으로 형성되고 서로 수직교차하여 서브픽셀을 정의하는 게이트 배선(12) 및 데이터 배선(15)과, 상기 게이트 배선(12)에 평행하게 배치되는 공통배선(25)과, 상기 두 배선의 교차지점에서 전압의 온/오프를 스위칭하는 박막트랜지스터와, 투명한 금속으로 형성되고 게이트 절연막(13) 및 보호막(16)의 적층막에 의해 절연되며 화소영역 내에서 서로 오버랩되는 공통전극(24) 및 화소전극(17)이 형성되어 있다. 이 때, 상기 공통전극(24)과 공통배선(25)은 서로 콘택된다.
- <21> 상기와 같은 TFT 어레이 기관은 컬러필터층이 구비된 대향기관에 의해 대향합착되고 그 사이에 액정층이 구비된다.
- <22> 구체적으로, 상기 공통전극(24)은 화소영역 내에서 플레이트형으로 형성되어 있으며, 상기 화소전극(17)은 데이터 배선 방향으로 다수개 분기되고 서로 분기된 화소전극 사이에는 슬릿(60)이 존재하는 구조로 형성되어 있다. 이 때, 공통전극(24)에는 Vcom 신호가 전달되고, 화소전극(17)에는 박막트랜지스터를 통과한 픽셀신호가 전달되어, 공통전극(24)과 화소전극(17) 사이에 전계가 발생한다.

- <23> 상기 슬릿(60)의 폭은 대략 2-6 μ m 사이의 값을 가지며, 화소전극(17)과 공통전극(24) 사이에 형성되는 전계에 의하여 액정이 구동된다. 즉, 전압 무인가시 러빙에 의해 초기 배향되어 있던 액정들이 전계에 의해 회전하여 빛을 투과하게 된다.
- <24> 이때, 기생용량에 의한 화질저하를 방지하기 위해 대응하는 박막트랜지스터의 턴오프 구간에서 액정 커패시터에 충전된 전압을 유지시켜 주는 스토리지 커패시턴스(storage capacitance)가 요구되는데, 상기 스토리지 커패시턴스는 서로 오버랩되는 공통전극과 화소전극 사이에서 형성된다. 즉, 도 2에 도시된 바와 같이, 화소영역 가장자리에서 공통배선(25)과 화소전극(17)이 오버랩되어 스토리지 커패시턴스(Cst1)를 형성하고, 화소영역 내부에서 공통전극(24)과 화소전극(17)이 오버랩되어 스토리지 커패시턴스(Cst2)를 형성한다.

발명이 이루고자 하는 기술적 과제

- <25> 그러나, 상기와 같은 종래의 액정표시소자는 다음과 같은 문제점이 있다.
- <26> 즉, 화소영역 내부에서 플레이트형의 공통전극과 슬릿을 가지는 화소전극이 서로 오버랩되고, 서로 오버랩된 부분에서 스토리지 커패시턴스(Cst2)가 형성되는데, 서로 오버랩되는 면적이 넓어 스토리지 커패시턴스가 커지게 된다.
- <27> 구체적으로, 일반적인 IPS 모드 액정표시소자의 경우, 화소영역 가장자리에서 공통배선과 화소전극이 오버랩되는 것에 의한 스토리지 커패시턴스만 형성된다. 그러나, 화소전극 하부에 플레이트형의 공통전극이 구비되는 액정표시소자의 경우, 화소영역 가장자리 이외에 화소영역 내부에서도 공통전극과 화소전극이 오버랩되는 것에 의한 스토리지 커패시턴스가 추가발생하여 필요량 이상으로 스토리지 커패시턴스가 커지게 된다.
- <28> 이와같이, 스토리지 커패시턴스가 커지게 되면 ΔV_p 에서 기인되는 플리커 등의 특성 향상에 이점으로 작용하지 만, 스토리지 커패시터를 충전하기 위해서 TFT의 크기가 커져야 한다는 문제점이 있다. 즉, 스토리지 커패시터의 크기가 커지게 되면 상기 스토리지 커패시터를 충전하기 위해 충분한 시간동안 TFT를 구동시켜야 하는데, 시간을 늘이는데는 한계가 있으므로 TFT의 크기를 크게 형성해야 하는 것이다.
- <29> 그러나, TFT는 빛이 투과되지 못하는 부분이므로 TFT의 사이즈가 커지면 커질수록 소자의 개구율이 낮아지게 된다.
- <30> 본 발명은 상기와 같은 문제점을 해결하기 위하여 안출한 것으로, 화소전극 하부에 플레이트형 공통전극이 구비되는 액정표시소자에 있어서 필요이상으로 커진 화소영역 내에서의 스토리지 커패시턴스를 줄임으로써 TFT 크기를 적정한 크기로 형성하여 충전특성을 향상시키고자 하는 액정표시소자를 제공하는데 그 목적이 있다.

발명의 구성 및 작용

- <31> 상기와 같은 목적을 달성하기 위한 본 발명에 의한 액정표시소자는 기관 상에서 수직교차하여 화소영역을 정의하는 게이트 배선 및 데이터 배선과, 상기 게이트 배선 및 데이터 배선의 교차 지점에 배치되는 박막트랜지스터와, 상기 게이트 배선에 평행하는 공통배선과, 상기 박막트랜지스터에 연결되고 상기 공통배선에 절연되어 복수개의 슬릿을 가지는 화소전극과, 상기 공통배선에 콘택되고 상기 화소전극으로부터 절연되며 상기 슬릿과 슬릿 사이의 영역에 개구부를 가지는 플레이트형의 공통전극을 포함하여 구성되는 것을 특징으로 한다.
- <32> 이때, 상기 화소전극과 플레이트형의 공통전극 사이에 스토리지 커패시턴스가 형성되는데, 상기 플레이트형의 공통전극에 개구부가 형성되므로 플레이트형의 공통전극의 면적이 줄어들어 스토리지 커패시턴스도 낮아지게 된다.
- <33> 따라서, 필요량 이상으로 스토리지 커패시턴스가 형성되어 TFT의 채널을 크게 형성했던 종래와 달리, 스토리지 커패시턴스가 적정량 형성되어 TFT의 크기를 기존보다 작게 형성할 수 있게 된다. 결국, TFT의 크기가 작아져 화소영역 내의 차광면적이 줄어들므로 소자의 개구율이 향상된다.
- <34> 이하, 첨부된 도면을 참조하여 본 발명에 의한 액정표시소자를 상세히 설명하면 다음과 같다.
- <35> 도 3은 본 발명에 의한 액정표시소자의 평면도이고, 도 4는 도 3의 II-II'선상에서의 절단면도이며, 도 5는 도 3의 III-III'선상에서의 절단면도이다.
- <36> 먼저, 본 발명에 의한 액정표시소자의 TFT 어레이 기관(111)에는, 도 3 및 도 4에 도시된 바와 같이, 게이트 절연막(113)에 의해 서로 절연되고 서로 수직 교차되는 게이트 배선(112) 및 데이터 배선(115)에 의해 화소영역이 정의되고, 상기 게이트 배선과 데이터 배선의 교차 지점에는 박막트랜지스터(TFT)가 형성되며, 상기 화소영역

내부에는 통자로 형성되고 부분적으로 개구부(161)를 가지는 플레이트형의 공통전극(124) 및 상기 박막트랜지스터의 드레인 전극(115b)에 콘택되어 픽셀전압이 인가되고 상기 공통전극(124)과 절연되어 복수개의 슬릿(160)을 가지는 화소전극(117)이 형성된다.

- <37> 그리고, 상기 공통전극(124)은 공통배선(125)에 콘택되어 Vcom 신호를 전달받는데, 상기 공통배선(125)은 상기 게이트 배선에 평행하고 상기 게이트 배선과 동일층에 형성되는 게이트 배선에 평행하도록 형성되어 액티브 영역 외곽부에서 Vcom 신호를 인가받는다.
- <38> 상기 화소전극(117)은 보호막(116)을 관통하여 박막트랜지스터의 드레인 전극(115b)에 콘택되어 픽셀 신호를 전달받는다.
- <39> 이때, 상기 슬릿(160)을 통해 Vcom 신호가 인가되는 공통전극과 픽셀전압이 인가되는 화소전극 사이에 전계가 형성되어 액정층을 구동하게 된다.
- <40> 그와 동시에, 상기 공통전극과 화소전극 사이에는 스토리지 커패시턴스(Cst1, Cst2)도 형성되는데, 상기 개구부(161)에 의해 공통전극의 면적이 작아지므로 기존에 비해 스토리지 커패시턴스도 줄어들게 된다.
- <41> 즉, 화소영역 가장자리에서 공통배선(125)과 화소전극(117)이 오버랩되어 스토리지 커패시턴스(Cst1)를 형성하고, 화소영역 내부에서 공통전극(124)과 화소전극(117)이 오버랩되어 스토리지 커패시턴스(Cst2)를 형성하는바, 화소영역 내부에서의 공통전극 면적이 작아져 스토리지 커패시턴스(Cst2)가 작아지게 된다.
- <42> 일반적으로, 스토리지 커패시턴스는 전도성의 커패시터 상, 하부전극과 상기 두 전극 사이에 구비된 절연막으로 구성되는데, 상기 커패시터 상, 하부전극의 면적이 작아질수록 상기 절연막의 두께가 두꺼워질수록 스토리지 커패시턴스가 작아진다.
- <43> 따라서, 전체 스토리지 커패시턴스(Cst1, Cst2)가 불필요하게 과잉되는 것이 방지되고 적정량의 스토리지 커패시턴스만 공급할 수 있게 된다. 스토리지 커패시턴스가 증가하게 되면 ΔV_p 에서 기인되는 화면의 깜빡임(flicker), 이미지 고착(image sticking), 화면 밝기의 불균일성 등이 방지되어 화질이 상당히 향상되므로 좋으나, 그만큼의 스토리지 커패시턴스를 충전시켜야 하므로 충전시간 또는 TFT 채널영역의 크기가 커져야 하는 단점이 있다. 결국, 상기와 같은 요인들을 반영한 적정량의 스토리지 커패시턴스가 요구되며, 스토리지 커패시턴스가 크다고 해서 무조건 좋은 것은 아니다. 스토리지 커패시턴스를 적정량 형성함으로써 ΔV_p 에서 기인되는 화면의 깜빡임(flicker), 이미지 고착(image sticking), 화면 밝기의 불균일성 등을 방지함과 동시에 개구율 향상, 휘도 향상, 콘트라스트비 향상, 구동전압 감소의 효과를 얻을 수 있다.
- <44> 구체적으로, 상기 공통전극(124) 상부에 화소전극(117)이 오버랩되는데, 상기 공통전극의 개구부(161)는 상기 화소전극의 슬릿과 슬릿 사이에서 상기 화소전극에 오버랩되도록 형성한다. 즉, 화소전극과 오버랩되는 공통전극을 제거하여 개구부를 형성한다.
- <45> 이때, 도 5에 도시된 바와 같이, 상기 공통전극의 개구부의 폭은 $2\mu\text{m}$ 이상으로 형성하며, 상기 공통전극의 개구부(161)와 화소전극의 슬릿(160) 사이의 거리(β)는 $1.5\mu\text{m}$ 이상이 되도록 형성한다. 따라서, 상기 공통전극의 개구부 상부에 오버랩되는 화소전극(117)의 폭은 $(\alpha+2\beta)$ 가 되어야 하며 $\alpha \geq 2\mu\text{m}$, $\beta \geq 1.5\mu\text{m}$ 이므로 $(\alpha+2\beta) \geq 5\mu\text{m}$ 의 관계식을 만족하여야 한다.
- <46> 그러나, 상기 관계식은 화소전극의 식각 바이어스를 고려하지 않았을 경우의 화소전극 폭 설계치이며, 화소전극의 식각 바이어스 폭(γ)을 고려하였을 경우에는 화소전극의 폭은 $(\alpha+2\beta+\gamma)$ 으로 설계한다. 즉, 화소전극을 식각하는 동안 γ 만큼 화소전극의 폭이 작아질 것이기 때문에, 설계치에 식각 바이어스를 고려해야 하는 것이다.
- <47> 한편, 상기 공통전극(124) 및 화소전극(117)은 ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide)와 같은 투명도전물질층을 증착하고 패터닝하여 형성한다. 이때, 상기 공통전극은 상기 게이트 배선층 하부에 구비되거나 또는 상기 데이터 배선층 상부에 구비될 수 있으며, 상기 데이터 배선 상부에 구비되는 경우 절연막을 통해 상기 화소전극과 절연되도록 형성한다. 상기 공통전극을 상기 게이트 배선층 하부에 형성하는 경우에는 상기 공통전극 및 공통배선 상부에 게이트 절연막(113) 및 보호막(116)의 적층막을 사이에 두고 화소전극과 오버랩된다.
- <48> 상기 화소전극의 슬릿(160)은 그 장축이 상기 게이트 배선 또는 데이터 배선 방향으로 배치되도록 형성할 수 있으며, 좌우시야각을 좁히기 위해서 데이터 배선 방향으로 형성할 수 있다. 전 화소영역에 대해서 동일한 방향으로 화소전극의 슬릿이 배치될 수 있도록 한다.

- <49> 그리고, 박막트랜지스터는 전압의 온/오프를 제어하는 스위칭 역할을 하는데, 상기 박막트랜지스터는 상기 게이트 배선(112)에서 분기된 게이트 전극과, 상기 게이트 배선(112)을 포함한 전면에 형성된 게이트 절연막(113)과, 상기 게이트 전극 상부의 게이트 절연막 상에 비정질 실리콘(a-Si)을 증착하여 형성된 반도체층과, 상기 데이터 배선(115)에서 분기되어 상기 반도체층 상에 형성되는 소스/드레인 전극으로 구성되어 전압의 온/오프를 제어하는 스위칭 역할을 하게 된다. 상기 박막트랜지스터를 포함한 전면에는 보호막이 구비된다.
- <50> 이때, 상기 게이트 배선(112), 게이트 전극, 데이터 배선(115) 및 소스/드레인 전극은 알루미늄(Al), 구리(Cu), 텅스텐(W), 몰리브덴(Mo), 티타늄(Ti), 탄탈륨(Ta), Al 합금 등의 저저항의 금속을 스퍼터링(sputtering) 방법으로 증착하고 사진식각(photolithography) 방법으로 패터닝하여 형성한다.
- <51> 상기 게이트 절연막(113)은 실리콘질화물(SiNx) 또는 실리콘산화물(SiOx) 등의 무기절연막을 증착하여 형성하고, 상기 보호막(116)은 실리콘질화물(SiNx) 또는 실리콘산화물(SiOx) 등의 무기절연막을 증착하여 형성하거나 또는 BCB, 아크릴 수지 등의 유기절연막을 도포하여 형성하며, 상기 반도체층은 비정질실리콘을 증착하여 형성한다.
- <52> 전술한 바와 같이, 스토리지 커패시터의 사이즈가 커지면 그만큼 스토리지 커패시턴스를 충전시키기 위해서 상기 반도체층을 포함한 박막트랜지스터를 크게 형성하여야 하는데, 상기 박막트랜지스터의 구성요소인 게이트전극, 소스/드레인 전극 등이 차광물질로 형성되어 빛을 투광시키지 못하는바, 스토리지 커패시턴스를 줄여서 상기 박막트랜지스터의 크기를 줄일 수 있고 결국, 소자의 개구율, 휘도, 콘트라스트비를 향상시킴과 동시에 구동 전압을 낮출 수 있다.
- <53> 이러한 박막트랜지스터 어레이 기판은, 도시하지 않았으나, 액정층을 사이에 두고 컬러필터층 어레이 기판에 대향합착되는데, 상기 컬러필터층 어레이 기판에는 R,G,B 셀 사이의 구분과 광차단 역할을 하는 블랙 매트릭스와, 일정한 순서로 배열되어 색상을 구현하는 적색(Red), 녹색(Green), 청색(Blue)의 컬러필터층이 구비된다.
- <54> 이상에서 설명한 본 발명은 상술한 실시예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

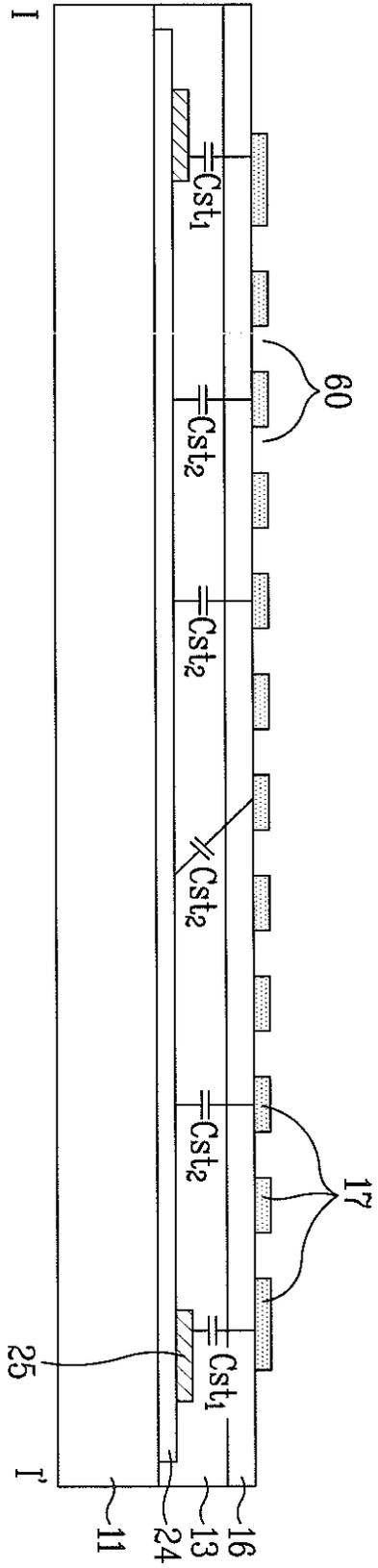
발명의 효과

- <55> 상기와 같은 본 발명에 의한 액정표시소자는 다음과 같은 효과가 있다.
- <56> 첫째, 화소영역 내에서 오버랩되는 플레이트형의 공통전극과 화소전극 사이에 스토리지 커패시턴스가 형성되는데, 상기 플레이트형의 공통전극에 개구부를 형성하여 면적을 줄임으로써 필요량 이상의 스토리지 커패시턴스가 형성되지 않도록 할수 있다.
- <57> 둘째, 스토리지 커패시턴스를 적정량 형성할 수 있으므로 필요량 이상의 스토리지 커패시턴스를 충전시키기 위해 불필요하게 크게 형성했던 TFT의 사이즈를 줄일 수 있게 된다.
- <58> 따라서, TFT의 크기가 작아져 화소영역 내의 차광면적이 줄어들므로 소자의 개구율, 휘도, 콘트라스트비가 향상된다.

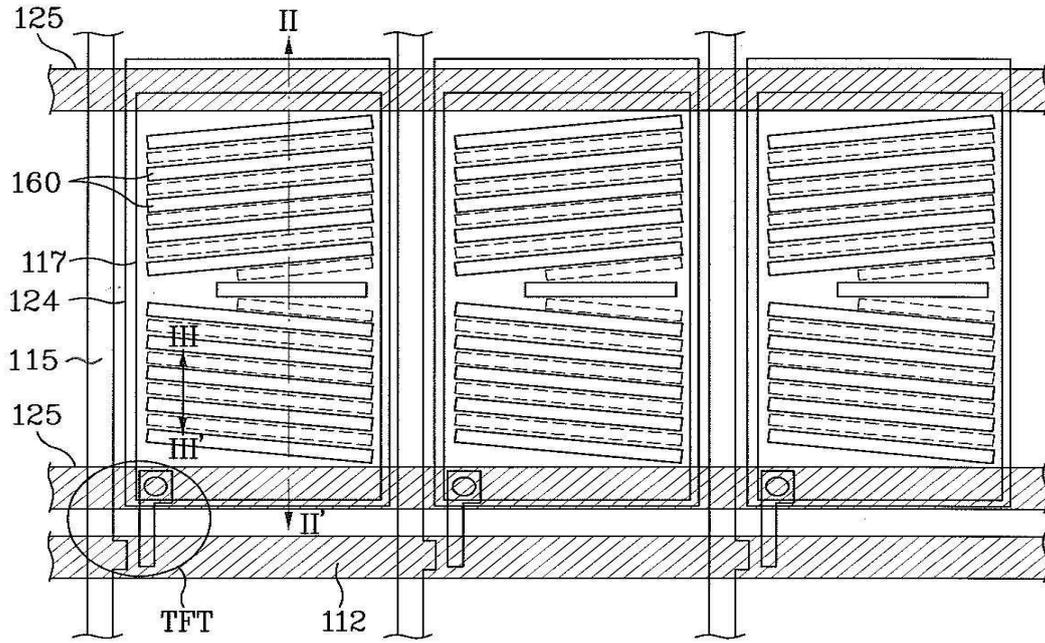
도면의 간단한 설명

- <1> 도 1은 종래 기술에 의한 액정표시소자의 평면도.
- <2> 도 2는 도 1의 I-I'선상에서의 절단면도.
- <3> 도 3은 본 발명에 의한 액정표시소자의 평면도.
- <4> 도 4는 도 3의 II-II'선상에서의 절단면도.
- <5> 도 5는 도 3의 III-III'선상에서의 절단면도.
- <6> *도면의 주요 부분에 대한 부호설명
- <7> 111 : TFT 어레이 기판 112 : 게이트 배선
- <8> 113 : 게이트 절연막 115 : 데이터 배선

도면2



도면3



도면5

