

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-267328

(P2010-267328A)

(43) 公開日 平成22年11月25日(2010.11.25)

(51) Int.Cl.	F I	テーマコード (参考)
G 1 1 C 11/4091 (2006.01)	G 1 1 C 11/34 3 5 3 F	5 F 0 8 3
H 0 1 L 21/8242 (2006.01)	H 0 1 L 27/10 6 8 1 E	5 M 0 2 4
H 0 1 L 27/108 (2006.01)	G 1 1 C 11/34 3 5 4 D	
G 1 1 C 11/407 (2006.01)		

審査請求 未請求 請求項の数 11 O L (全 18 頁)

(21) 出願番号	特願2009-117889 (P2009-117889)	(71) 出願人	302062931 ルネサスエレクトロニクス株式会社 神奈川県川崎市中原区下沼部 1 7 5 3 番地
(22) 出願日	平成21年5月14日 (2009. 5. 14)	(74) 代理人	100103894 弁理士 冢入 健
		(72) 発明者	高橋 弘行 神奈川県川崎市中原区下沼部 1 7 5 3 番地 NECエレクトロニクス株式会社内
		(72) 発明者	福士 哲夫 神奈川県川崎市中原区下沼部 1 7 5 3 番地 NECエレクトロニクス株式会社内
		F ターム (参考)	5F083 AD00 GA01 LA03 LA05 LA09 LA25 ZA07 ZA12 5M024 AA45 BB08 BB15 BB35 CC23 CC35 CC63 PP01 PP02 PP03 PP07

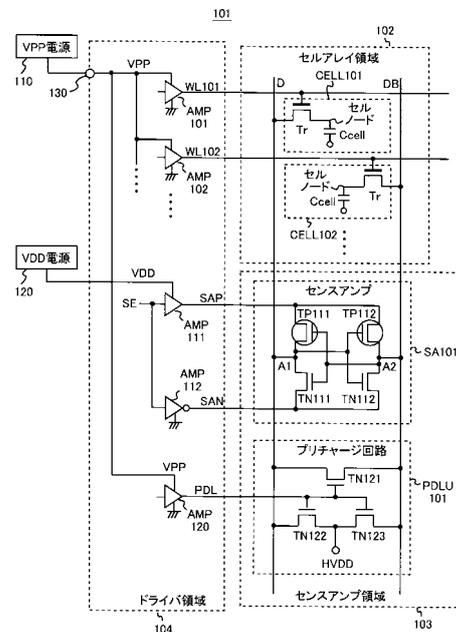
(54) 【発明の名称】 半導体集積装置

(57) 【要約】

【課題】プリチャージ回路の高速化に限界があった。

【解決手段】本発明は、半導体記憶回路と、前記半導体記憶回路の周辺回路とを有する半導体集積装置であって、前記周辺回路は、ゲート酸化膜の耐圧が第1の電圧である第1のトランジスタを有し、前記半導体記憶回路は、いずれか一方に、メモリセルのゲートトランジスタが接続されるビット線対と、前記第1のトランジスタと実質的に同じ耐圧のトランジスタで構成され、活性化信号に応じて前記ビット線対を所定の電圧にプリチャージするプリチャージ回路と、を有し、前記プリチャージ回路の活性化信号に前記第1の電圧よりも高い第2の電圧が用いられる半導体集積装置である。

【選択図】 図2



## 【特許請求の範囲】

## 【請求項 1】

半導体記憶回路と、前記半導体記憶回路の周辺回路とを有する半導体集積装置であって、

前記周辺回路は、ゲート酸化膜の耐圧が第 1 の電圧である第 1 のトランジスタを有し、前記半導体記憶回路は、

いずれか一方に、メモリセルのゲートトランジスタが接続されるビット線対と、

前記第 1 のトランジスタと実質的に同じ耐圧のトランジスタで構成され、活性化信号に応じて前記ビット線対を所定の電圧にプリチャージするプリチャージ回路と、を有し、

前記プリチャージ回路の活性化信号に前記第 1 の電圧よりも高い第 2 の電圧が用いられる

10

半導体集積装置。

## 【請求項 2】

前記メモリセルのゲートトランジスタを活性化するワード信号に前記第 2 の電圧が用いられる

請求項 1 に記載の半導体集積装置。

## 【請求項 3】

前記ワード信号を駆動する第 1 のドライバアンプと、前記プリチャージ回路の活性化信号を駆動する第 2 のドライバアンプを有し、

前記第 1、第 2 のドライバアンプの電源端子は、それぞれ前記第 2 の電圧を供給する電圧供給端子と接続される

20

請求項 2 に記載の半導体集積装置。

## 【請求項 4】

前記ビット線対のプリチャージ電圧は、前記第 1 の電圧の実質的に  $1/2$  の電圧である請求項 1 ~ 請求項 3 のいずれか 1 項に記載の半導体集積装置。

## 【請求項 5】

前記第 1 の電圧が  $1.0\text{V}$  以下である

請求項 1 ~ 請求項 4 のいずれか 1 項に記載の半導体集積装置。

## 【請求項 6】

前記第 2 の電圧が  $1.5\text{V}$  以下である

30

請求項 1 ~ 請求項 5 のいずれか 1 項に記載の半導体集積装置。

## 【請求項 7】

当該半導体集積装置は、ワンチップ化されており、

前記周辺回路は、前記半導体記憶回路のアドレスデコーダを含むロジック回路である

請求項 1 ~ 請求項 6 のいずれか 1 項に記載の半導体集積装置。

## 【請求項 8】

前記ゲートトランジスタは、前記第 1 のトランジスタと実質的に同じ耐圧のトランジスタで構成される

請求項 1 ~ 請求項 7 のいずれか 1 項に記載の半導体集積装置。

## 【請求項 9】

40

前記ビット線対の電位差を前記第 1 の電圧で増幅するセンスアンプを有し、

前記センスアンプを構成するトランジスタは、前記第 1 のトランジスタと実質的に同じ耐圧のトランジスタである

請求項 1 ~ 請求項 8 のいずれか 1 項に記載の半導体集積装置。

## 【請求項 10】

前記ワード信号の活性化タイミングと、前記プリチャージ回路の活性化信号の活性化タイミングが異なる

請求項 2 ~ 請求項 9 のいずれか 1 項に記載の半導体集積装置。

## 【請求項 11】

電源電圧で駆動される第 1 の酸化膜厚の第 1 のトランジスタを有するセンスアンプと、

50

前記電源電圧よりも高い第1電圧で駆動される前記第1の酸化膜厚よりも厚い第2の酸化膜厚の第2トランジスタを有するメモリセルと、

そのいずれか一方に前記メモリセルが結合するビット線対と、

前記ビット線対を前記メモリセルのアクセス前後に接地電圧よりも高い所定電圧に設定するプリチャージ回路とを備え、

前記プリチャージ回路を構成するトランジスタは、前記第1電圧で駆動され、前記プリチャージ回路は前記第1の酸化膜厚の第1トランジスタで構成される

半導体回路。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は、半導体集積装置に関するものである。

【背景技術】

【0002】

従来半導体記憶回路1を図12に示す。図12に示すように、半導体記憶回路1は、セルアレイ領域2と、センスアンプ領域3と、ドライバ領域4とを有する。

【0003】

セルアレイ領域2は、複数のメモリセルCELL(CELL1、CELL2、・・・)を有している。

【0004】

20

各メモリセルは、ビット線対D、DBのいずれかに接続される。各メモリセルには、ゲートトランジスタTrと、セル容量Ccellとを有している。ゲートトランジスタTrは、ドレインもしくはソースの一方がビット線D、DBの一方、ドレインもしくはソースの他方がセル容量Ccellと接続される。このゲートトランジスタTrとセル容量Ccellとの接続点がセルノードとなる。セル容量Ccellのセルノードと反対側の端子は、HVDD端子に接続される。HVDD端子は、1/2VDD(VDD:電源電圧)の電圧が供給されている。また、ゲートトランジスタTrは、ゲートがワード線WL(WL1、WL2、・・・)と接続される。

【0005】

センスアンプ領域3は、センスアンプSA1と、プリチャージ回路PDLU1とを有する。

30

【0006】

センスアンプSA1は、PMOSTランジスタTP11、TP12と、NMOSTランジスタTN11、TN12とを有する。PMOSTランジスタTP11とNMOSTランジスタTN11は、センスアンプ制御線SAP、SAN間で直列に接続される。また、PMOSTランジスタTP12とNMOSTランジスタTN12も、センスアンプ制御線SAP、SAN間で直列に接続される。PMOSTランジスタTP11とNMOSTランジスタTN11の接続ノードA1は、ビット線D及びPMOSTランジスタTP12とNMOSTランジスタTN12のゲートに接続される。また、PMOSTランジスタTP12とNMOSTランジスタTN12の接続ノードA2は、ビット線DB及びPMOSTランジスタTP11とNMOSTランジスタTN11のゲートに接続される。

40

【0007】

プリチャージ回路PDLU1は、NMOSTランジスタTN21、TN22、TN23を有する。NMOSTランジスタTN21は、ビット線対D、DB間に接続される。NMOSTランジスタTN22がHVDD端子とビット線D、NMOSTランジスタTN23がHVDD端子とビット線DBに接続される。NMOSTランジスタTN21、TN22、TN23のゲートには、プリチャージ制御線PDLが接続される。なお、便宜上、符号「WL」「SAP」「SAN」「PDL」は、配線名を示すと同時に、その配線に印加される信号名を示すものとする。

【0008】

50

ドライバ領域 4 は、ドライバアンプ AMP 1、AMP 2、・・・を有する。更に、ドライバアンプ AMP 1 1、AMP 1 2、AMP 2 0 を有する。アンプ AMP 1、AMP 2、・・・は、それぞれワード線 WL 1、WL 2、・・・にワード信号 WL 1、WL 2、・・・を印加する。ドライバアンプ AMP 1、AMP 2、・・・の電源電圧は、VPP 電源 10 から供給される。VPP 電源 10 が供給する電圧 VPP は、電源電圧 VDD より高電位である。

【0009】

ドライバアンプ AMP 1 1、AMP 1 2 は、制御信号 SE に応じて、それぞれセンスアンプ制御線 SAP、SAN にセンスアンプ信号 SAP、SAN を印加する。アンプ AMP 1 1 の電源電圧は、VDD 電源 20 から供給される。VDD 電源 20 は、電源電圧 VDD を供給する。なお、ドライバアンプ AMP 1 2 は、制御信号 SE に応じて、センスアンプ制御線 SAN に接地電圧 GND を供給する。

10

【0010】

ドライバアンプ AMP 2 0 は、プリチャージ制御線 PDL にプリチャージ制御信号 PDL を印加する。ドライバアンプ AMP 2 0 の電源電圧は、VPDL 電源 30 から供給される。VPDL 電源 30 が供給する電圧 VPDL は、電源電圧 VDD より高電位である。電圧 VPDL を電源電圧 VDD より高くする理由には、以下のようなものがある。まず、上述のようにビット線対 D、DB のプリチャージ電圧が  $1/2 VDD$  である。このため、仮にハイレベルのプリチャージ制御信号 PDL の電位を電源電圧 VDD とした場合、ゲート・ドレイン（もしくはソース）間の電位差が  $1/2 VDD$  程度となる。このため、NMOS トランジスタ TN 2 1 ~ TN 2 3 が素早く、且つ、十分に活性化できない可能性がある。特に、この現象は、電源電圧 VDD の低電圧化が進むと顕著になる。このため、プリチャージ回路の動作速度を上げるためにも、電源電圧 VDD よりも高電位（例えば、 $VDD + 0.5 V$  程度）の電圧を NMOS トランジスタ TN 2 1 ~ TN 2 3 のゲートにかける必要がある。

20

【0011】

ここで、通常電源電圧 VDD の範囲の耐圧を有するゲート酸化膜厚のトランジスタを薄膜トランジスタと称し、その薄膜トランジスタのゲート酸化膜厚よりも厚いゲート酸化膜を備えるトランジスタを厚膜トランジスタと称す。従来の半導体記憶回路 1 では、図 1 2 に示すように、構成するトランジスタに厚膜トランジスタが用いられる。このような厚膜トランジスタは、比較的高電圧（例えば、 $1.5 V$  以上）の耐圧特性を有する。但し、トランジスタのゲート酸化膜が厚いほど大きなチャンネル長が必要となるため、厚膜トランジスタは、レイアウト面積を大きくとる問題を有する。

30

【0012】

図 1 3 に半導体記憶回路 1 の動作を説明するタイミングチャートを示す。但し、本例は、ハイレベルの情報を保持するメモリセル CELL 1 が選択され、その情報がビット線に読み出される場合を示している。また、ビット線対 D、DB は、 $1/2 VDD$  でプリチャージされているものとする。

【0013】

図 1 3 に示すように、時刻  $t_1$  にワード信号 WL 1 が立ち上がり、電圧 VPP となる。このとき、メモリセル CELL 1 にハイレベルの情報が保持されているため、ビット線 D の電位が僅かに上昇する。時刻  $t_2$  に制御信号 SE がハイレベルとなり、センスアンプ制御信号 SAP が電源電圧 VDD、センスアンプ制御信号 SAN が接地電圧 GND となる。このため、センスアンプ SA 1 がセンス動作を開始し、ビット線対 D、DB の電位差を電源電圧 VDD、接地電圧 GND に増幅する。そして、この増幅されたビット線対 D、DB の電位差が外部回路に読み出される。

40

【0014】

その後、時刻  $t_3$  では、ワード信号 WL 1 が接地電圧 GND に立ち下がる。このため、メモリセル CELL 1 のセルノードとビット線 D とが電氣的に遮断される。更に、制御信号 SE も接地電圧 GND に立ち下がる。このため、センスアンプ SA 1 がセンス動作を停

50

止する。そして、時刻  $t_4$  に、プリチャージ制御信号  $PDL$  が電圧  $V_{PDL}$  に立ち上がり、ビット線対  $D$ 、 $DB$  が再び  $1/2 V_{DD}$  にプリチャージされる。以上が、従来の半導体記憶回路 1 の動作の説明である。

【0015】

ここで、近年、システム  $LSI$  等、半導体集積装置の高集積化、高性能化が要求されている。このため、高速動作可能なように半導体集積装置の製造プロセスの微細化が進み、それに伴い電源電圧の低電位化も進んでいる。このようなシステム  $LSI$  では、ロジック回路と  $DRAM$  等の記憶回路が混載される。よって、上述したような半導体記憶回路 1 のような回路も高速動作するロジック回路と共にワンチップ化される。このため、半導体記憶回路 1 も高速化、高集積化が要求され、チップ面積の削減及び高速化のため、構成するトランジスタのゲート酸化膜の薄膜化が進んでいる。

10

【0016】

ここで、センスアンプ  $SA1$  を構成する  $NMOS$  トランジスタ  $TP11$ 、 $TP12$ 、 $TN11$ 、 $TN12$  には、最大でも電源電圧  $V_{DD}$  程度の耐圧しか要求されない。このため、 $NMOS$  トランジスタ  $TP11$ 、 $TP12$ 、 $TN11$ 、 $TN12$  には、低電位化された電源電圧用の低耐圧の薄膜トランジスタを用いることができる。しかし、上述したように、メモリセルのゲートトランジスタ  $Tr$  のゲートには高電位の  $V_{PP}$  が印加される。このような、ゲートトランジスタ  $Tr$  には、ゲート酸化膜の薄膜化が難しく、相対的にゲート酸化膜が厚い厚膜トランジスタを使用しなければならない。

20

【0017】

また、このような半導体記憶回路 1 を組み込んだシステム  $LSI$  では、上述したように半導体記憶回路 1 の周辺回路としてロジック回路を有する。このロジック回路は、半導体記憶回路 1 が保持するデータを利用して論理処理を行う。このようなロジック回路は、高速動作が要求され、システム  $LSI$  のような半導体集積装置内でも最も薄膜化されたトランジスタが用いられる。このシステム  $LSI$  のように、1 つの半導体集積装置内でゲート酸化膜の厚みが異なるトランジスタが用いられている例として、特許文献 1 のような技術がある。

【先行技術文献】

【特許文献】

【0018】

30

【特許文献 1】特開 2001-15704 号公報

【発明の概要】

【発明が解決しようとする課題】

【0019】

特許文献 1 の技術では、メモリセルのセルトランジスタに厚膜トランジスタを用い、プリチャージ用  $MOS$  トランジスタ、センスアンプにロジック回路でも使用されている薄膜トランジスタを用いている。また、特許文献 1 には、このような薄膜のプリチャージ用  $MOS$  トランジスタに、高電圧が印加されないと記載されている。しかし、プリチャージ回路に用いられるトランジスタに、半導体記憶回路 1 のような電源電圧より高い電圧がかかれば、プリチャージ回路の動作速度を上げることができない。このため、特許文献 1 の技術により構成される半導体集積装置では、高速動作に限界が生じる問題がある。

40

【課題を解決するための手段】

【0020】

本発明は、半導体記憶回路と、前記半導体記憶回路の周辺回路とを有する半導体集積装置であって、前記周辺回路は、ゲート酸化膜の耐圧が第 1 の電圧である第 1 のトランジスタを有し、前記半導体記憶回路は、いずれか一方に、メモリセルのゲートトランジスタが接続されるビット線対と、前記第 1 のトランジスタと実質的に同じ耐圧のトランジスタで構成され、活性化信号に応じて前記ビット線対を所定の電圧にプリチャージするプリチャージ回路と、を有し、前記プリチャージ回路の活性化信号に前記第 1 の電圧よりも高い第 2 の電圧が用いられる半導体集積装置である。

50

## 【 0 0 2 1 】

本発明にかかる半導体集積装置は、プリチャージ回路に、ロジック回路等の周辺回路で使用され、耐圧が第1の電圧の第1のトランジスタと実質的に同じ耐圧のトランジスタを用いている。このプリチャージ回路の活性化信号に第1の電圧より高い第2の電圧を用いており、プリチャージ回路の高速化を行っている。

## 【 発明の効果 】

## 【 0 0 2 2 】

本発明にかかる半導体集積装置は、高速動作が可能になる。

## 【 図面の簡単な説明 】

## 【 0 0 2 3 】

【 図 1 】 実施の形態 1 にかかる半導体集積装置である。

【 図 2 】 実施の形態 1 にかかる半導体記憶回路である。

【 図 3 】 実施の形態 1 にかかる半導体記憶回路の動作を示すタイミングチャートである。

【 図 4 】 実施の形態 1 にかかるプリチャージ回路を構成する薄膜トランジスタのゲート - ドレイン電圧の関係を示す模式図である。

【 図 5 】 実施の形態 1 にかかるプリチャージ回路を構成する薄膜トランジスタのゲート - ドレイン電圧の関係を示す模式図である。

【 図 6 】 従来技術と実施の形態 1 にかかる半導体記憶回路との相違点を示す表である。

【 図 7 】 実施の形態 2 にかかる半導体記憶回路である。

【 図 8 】 実施の形態 2 にかかる半導体記憶回路の動作を示すタイミングチャートである。

【 図 9 】 実施の形態 2 にかかるプリチャージ回路を構成する薄膜トランジスタのゲート - ドレイン電圧の関係を示す模式図である。

【 図 1 0 】 実施の形態 2 にかかるプリチャージ回路を構成する薄膜トランジスタのゲート - ドレイン電圧の関係を示す模式図である。

【 図 1 1 】 従来技術と実施の形態 1、2 にかかる半導体記憶回路との相違点を示す表である。

【 図 1 2 】 従来技術の半導体記憶回路である。

【 図 1 3 】 従来技術の半導体記憶回路の動作を示すタイミングチャートである。

## 【 発明を実施するための形態 】

## 【 0 0 2 4 】

発明の実施の形態 1

## 【 0 0 2 5 】

以下、本発明を適用した具体的な実施の形態 1 について、図面を参照しながら詳細に説明する。この実施の形態 1 は、本発明をシステム L S I 等の半導体集積装置 1 0 0 に、適用したものである。半導体集積装置 1 0 0 のシステム L S I チップの模式図を図 1 に示す。図 1 に示すように、半導体集積装置 1 0 0 は、半導体記憶回路 1 0 1 と、ロジック回路 1 0 5 とを有する。

## 【 0 0 2 6 】

ロジック回路 1 0 5 には、半導体集積装置 1 0 0 の C P U 等の制御回路、及び、半導体記憶回路 1 0 1 のアドレスデコーダ等、ロジック動作を行う論理ゲートが集積されている。ここで、システム L S I のような半導体集積装置 1 0 0 には高性能化が要求される。このため、ロジック回路 1 0 5 を構成する論理ゲートによるロジック動作も高速動作が求められる。よって、ロジック回路 1 0 5 では、論理ゲートが可能な限り高速動作できるように、論理ゲートを構成するトランジスタの製造プロセスの微細化が進められる。この微細化では、トランジスタのゲート酸化膜の薄膜化が行われる。このため、このロジック回路 1 0 5 を構成するトランジスタが半導体集積装置 1 0 0 内でも最も微細化され、薄膜化が進められる。

## 【 0 0 2 7 】

また、このゲート酸化膜の薄膜化に伴い、トランジスタの耐圧も当然低下する。よって、論理ゲートの動作電圧も低化させなければならず、電源電圧 V D D の低化も進められる

10

20

30

40

50

。このため、ロジック回路105の電源電圧VDDは、例えば1.0V以下となるように低電圧化されている。

【0028】

以後、特に断らない限り、本実施の形態1での電源電圧VDDは、このロジック回路105で利用される低電圧化された電源電圧(例えば1.0V以下)であるものとする。更に、ロジック回路105で使用されるような、低電圧化された電源電圧VDD程度の耐圧を有するゲート酸化膜を備えるトランジスタを薄膜トランジスタと称するものとする。一方、電源電圧VDDより高電位の電圧の耐圧を有するトランジスタは、上述した薄膜トランジスタよりもゲート酸化膜を厚くする必要がある。このため、このようなトランジスタを厚膜トランジスタと称するものとする。

10

【0029】

半導体記憶回路101は、半導体集積装置100の組み込みDRAMである。半導体記憶回路101は、ロジック回路105で処理されるデータ等が保持される。図1に示すように、半導体記憶回路101は、セルアレイ領域102と、センスアンプ領域103と、ドライバ領域104とを有する。このような半導体記憶回路101の回路構成の一例を図2に示す。但し、本実施の形態1では、図が煩雑になるのを避けるため、図2に示す半導体記憶回路101は1つのビット線対からなるDRAM回路として記載する。なお、半導体記憶回路101は、更に複数のビット線対と、そのビット線対に接続されるメモリセル、センスアンプ、プリチャージ回路等を有する構成としてもかまわない。また、半導体記憶回路101は、DRAMに限らずSRAM等であってもよい。

20

【0030】

セルアレイ領域102は、複数のメモリセルCELL(CELL101、CELL102、・・・)を有している。

【0031】

各メモリセルは、ビット線対D、DBのどちらかに接続される。各メモリセルには、ゲートトランジスタTrと、セル容量Ccellとを有している。ゲートトランジスタTrは、ドレインもしくはソースの一方がビット線D、DBの一方、ドレインもしくはソースの他方がセル容量Ccellと接続される。このゲートトランジスタTrとセル容量Ccellとの接続点がセルノードとなる。セル容量Ccellのセルノードと反対側の端子は、HVDD端子に接続される。HVDD端子は、 $1/2VDD$ (VDD:電源電圧)の電圧が供給されている。また、各ゲートトランジスタTrは、ゲートがワード線WL(WL101、WL102、・・・)と接続される。なお、便宜上、符号「WL101」「WL102」・・・は、ワード線名を示すと同時に、そのワード線に印加されるワード信号名を示すものとする。

30

【0032】

例えば、ワード信号WL101がハイレベルとなると、メモリセルCELL101のゲートトランジスタがオン状態となり、セルノードとビット線Dとが電氣的に接続される。また、ワード信号WL102がハイレベルとなると、メモリセルCELL102のゲートトランジスタがオン状態となり、セルノードとビット線Dとが電氣的に接続される。なお、ワード信号WL101、WL102、・・・のうち1つが選択され、ハイレベルとなると、その他のワード線は、全てロウレベルとなる。よって、選択されたあるワード信号線のワード信号がハイレベルとなると、このワード信号線に接続されているメモリセルが保持する情報がビット線に読み出される。それ以外のメモリセルは非選択となる。なお、後述するが、ハイレベル時の各ワード信号は、電源電圧VDDよりも高電位のVPPとなる。これは、ゲートトランジスタの活性化速度の高速化と、オン抵抗を小さくするためである。よって、各ゲートトランジスタTrには、高耐圧が要求されるため、厚膜トランジスタで構成される。

40

【0033】

センスアンプ領域103は、センスアンプSA101と、プリチャージ回路PDLU101とを有する。

50

## 【0034】

センスアンプSA101は、PMOSトランジスタTP111、TP112と、NMOSトランジスタTN111、TN112とを有する。PMOSトランジスタTP111とNMOSトランジスタTN111は、センスアンプ制御線SAP、SAN間で直列に接続される。また、PMOSトランジスタTP112とNMOSトランジスタTN112も、センスアンプ制御線SAP、SAN間で直列に接続される。PMOSトランジスタTP111とNMOSトランジスタTN111の接続ノードA1は、ビット線D及びPMOSトランジスタTP112とNMOSトランジスタTN112のゲートに接続される。また、PMOSトランジスタTP112とNMOSトランジスタTN112の接続ノードA2は、ビット線DB及びPMOSトランジスタTP111とNMOSトランジスタTN111のゲートに接続される。なお、便宜上、符号「SAP」「SAN」は、センスアンプ制御線名を示すと同時に、そのセンスアンプ制御線に印加されるセンスアンプ制御信号名を示すものとする。なお、後述するが、制御信号SEがハイレベル時のセンスアンプ制御信号SAPは電源電圧VDD、センスアンプ制御信号SANは接地電圧GNDとなる。よって、PMOSトランジスタTP111、TP112と、NMOSトランジスタTN111、TN112は、ゲート-ドレイン(もしくはソース)間の電圧は、最大でも電源電圧VDD程度となる。このため、低電圧化した電源電圧VDDに対する耐圧程度の薄膜トランジスタで構成される。

10

## 【0035】

プリチャージ回路PDLU101は、NMOSトランジスタTN121、TN122、TN123を有する。NMOSトランジスタTN121は、ビット線対D、DB間に接続される。NMOSトランジスタTN122がHVDD端子とビット線D、NMOSトランジスタTN123がHVDD端子とビット線DBに接続される。NMOSトランジスタTN121、TN122、TN123のゲートには、プリチャージ制御線PDLが接続される。なお、便宜上、符号「PDL」は、プリチャージ制御線名を示すと同時に、そのプリチャージ制御線に印加されるプリチャージ制御信号名を示すものとする。

20

## 【0036】

ドライバ領域104は、ドライバアンプAMP101、AMP102、・・・を有する。更に、ドライバアンプAMP111、AMP112、AMP120を有する。

## 【0037】

ドライバアンプAMP101、AMP102、・・・は、それぞれワード線WL101、WL102、・・・にワード信号WL101、WL102、・・・を印加する。ドライバアンプAMP101、AMP102、・・・の高電位側の電源電圧は、VPP電源110から供給される。よって、ドライバアンプAMP101、AMP102、・・・の高電位側の電源端子が端子130に接続される。また、低電位側の電源電圧は接地端子GNDに接続される。VPP電源110が供給する電圧VPPは、電源電圧VDDより高電位である。例えば、電源電圧VDDの1.5倍程度であるとする。このことから、電源電圧VDDが1.0Vの場合、1.5V程度となり、電源電圧VDDが0.8Vの場合、1.2V程度となる。

30

## 【0038】

ドライバアンプAMP111、AMP112は、制御信号SEに応じて、それぞれセンスアンプ制御線SAP、SANにセンスアンプ制御信号SAP、SANを印加する。アンプAMP111の電源電圧は、VDD電源120から供給される。VDD電源120は、電源電圧VDDを供給する。なお、ドライバアンプAMP112は、制御信号SEに応じて、センスアンプ制御線SANに接地電圧GNDを供給する。

40

## 【0039】

ドライバアンプAMP120は、プリチャージ制御線PDLにプリチャージ制御信号PDLを印加する。ドライバアンプAMP103の高電位側の電源電圧は、VPP電源110から供給される。よって、ハイレベルのプリチャージ制御信号PDLの電位はVPPとなる。ドライバアンプAMP120の電源端子は、ドライバアンプAMP101、AMP

50

102、・・・と同様、端子130に接続される。また、低電位側の電源電圧は接地端子GNDに接続される。よって、ロウレベルのプリチャージ制御信号PDLの電位は接地電位GNDとなる。なお、便宜上、符号「VDD」、「GND」は、電源電圧、接地電圧を示すと同時に、それぞれの端子名を示すものとする。

【0040】

図3に半導体記憶回路101の動作を説明するタイミングチャートを示す。但し、本例は、ハイレベルの情報を保持するメモリセルCELL101が選択され、その情報がビット線Dに読み出される場合を示している。また、時刻t1以前のビット線対D、DBは、1/2VDDでプリチャージされているものとする。

【0041】

図3に示すように、時刻t1にワード信号WL101が立ち上がり、接地電圧GNDから電圧VPPとなる。よって、メモリセルCELL101のゲートトランジスタがオンし、セルノードとビット線Dが電氣的に接続される。セルノードは、ハイレベルのデータを保持しており、電荷がビット線Dに流出する。このため、セルノードの電位は低下するが、ビット線Dの電位は僅かに上昇する。

【0042】

次に、時刻t2に制御信号SEがハイレベルとなる。このため、センスアンプ制御信号SAPが電源電圧VDD、センスアンプ制御信号SANが接地電圧GNDとなる。よって、センスアンプSA101がセンス動作を開始する。そして、センスアンプSA101は、上述した僅かに開いたビット線対D、DB間の電位差を電源電圧VDD、接地電圧GNDに増幅する。なお、この増幅されたビット線対D、DBの電位差は、外部回路によりハイレベルのデータとして半導体記憶回路101の読み出しデータとして読み出され、ロジック回路105のデータ処理等に利用される。また、メモリセルCELL101のセルノードの電位も上昇する。

【0043】

その後、時刻t3では、ワード信号WL101及び制御信号SEが接地電圧GNDに立ち下がる。このため、メモリセルCELL101のゲートトランジスタがオフし、メモリセルCELL101のセルノードとビット線Dとが電氣的に遮断される。また、センスアンプSA101がセンス動作を停止する。

【0044】

そして、時刻t4に、プリチャージ制御信号PDLが接地電圧GNDから電圧VPPに立ち上がる。このため、プリチャージ回路PDLU101のNMOSTランジスタTN121、TN122、TN123がオンする。よって、ビット線対D、DBがイコライジング及び1/2VDDに充電され、再び1/2VDDにプリチャージされる。以上が、半導体記憶回路101の動作の説明である。

【0045】

ここで、電源電圧VDDよりも高電位のVPPが、電源電圧VDDの耐圧しか有さない薄膜トランジスタのNMOSTランジスタTN121、TN122、TN123のゲートとドレイン（もしくはソース）間に印加されている。このため、NMOSTランジスタTN121、TN122、TN123が絶縁破壊されることが考えられる。ここで、NMOSTランジスタTN121、TN122、TN123のゲートとドレイン（もしくはソース）間の電圧の関係を、プリチャージ制御信号PDLがハイレベル、ロウレベルの場合に分けて図4(a)(b)、図5(a)(b)の模式図に示す。なお、図4(a)(b)の模式図には、NMOSTランジスタTN121、図5(a)(b)には、NMOSTランジスタTN122の模式図を例に示す。

【0046】

まず、図4(a)に示すように、プリチャージ制御信号PDLがロウレベルでは、プリチャージ制御線PDLに接地電圧GNDが印加される。なお、このプリチャージ制御信号PDLがロウレベルの期間は、図3の時刻t1～t3の期間に相当する。このため、ビット線Dに最大電圧として電源電圧VDD、ビット線DBに最低電圧として接地電圧GND

10

20

30

40

50

が印加される。よって、NMOSトランジスタTN121のゲートとドレイン（もしくはソース）間の電圧は、最大で電源電圧VDD程度となる。

【0047】

また、図4(b)に示すように、プリチャージ制御信号PDLがハイレベルでは、プリチャージ制御線PDLに電圧VPPが印加される。なお、このプリチャージ制御信号PDLがハイレベルの期間は、図3の時刻t4以降の期間に相当する。このとき、ビット線対D、DBは、 $1/2VDD$ にプリチャージされる。このため、NMOSトランジスタTN121のドレイン（もしくはソース）には、 $1/2VDD$ が印加されており、ゲートに電圧VPPが印加されても、 $(VPP - 1/2VDD)$ の電位差しかゲートとドレイン（もしくはソース）間にかからない。

10

【0048】

以上、図4(a)(b)からわかるように、例えば、電源電圧VDDが1.0V、電圧VPPが1.5Vである場合、NMOSトランジスタTN121のゲートとドレイン（もしくはソース）間にかかる電圧は、最大でも1.0V程度である。このため、電源電圧VDD程度の耐圧を有する薄膜トランジスタをプリチャージ回路PDLU101に用いてもトランジスタの絶縁破壊が発生しない。更に、ワード信号WL101が活性化するタイミングと、プリチャージ制御信号PDLが活性化するタイミングは、図3からわかるように重なる期間がほとんどない。このため、VPP電源110の充放電ピーク電流の発生期間が重なることがない。

【0049】

次に、図5(a)に示すように、プリチャージ制御信号PDLがロウレベルでは、プリチャージ制御線PDLに接地電圧GNDが印加される。このため、ビット線Dに最大電圧として電源電圧VDD、HVDD端子には、 $1/2VDD$ が印加される。よって、NMOSトランジスタTN122のゲートとドレイン（もしくはソース）間の電圧は、最大で電源電圧VDD程度となる。

20

【0050】

また、図5(b)に示すように、プリチャージ制御信号PDLがハイレベルでは、プリチャージ制御線PDLに電圧VPPが印加される。このとき、ビット線Dは、 $1/2VDD$ にプリチャージされる。このため、NMOSトランジスタTN122のドレイン（もしくはソース）には、 $1/2VDD$ が印加されており、ゲートに電圧VPPが印加されても、 $(VPP - 1/2VDD)$ の電位差しかゲートとドレイン（もしくはソース）間にかからない。

30

【0051】

以上、図5(a)(b)からわかるように、例えば、電源電圧VDDが1.0Vで、電圧VPPが1.5Vである場合、NMOSトランジスタTN122のゲートとドレイン（もしくはソース）間にかかる電圧は、最大でも1.0Vとなり、NMOSトランジスタTN121と同様、電源電圧VDDに対応する耐圧を有する薄膜トランジスタを用いることができる。これは、NMOSトランジスタTN123に対しても同様である。

【0052】

以上のことを踏まえ、図6に、従来 of 半導体記憶回路1、特許文献1の技術、実施の形態1の半導体記憶回路101の関係をまとめた表を示す。まず、従来 of 半導体記憶回路1は、電源電圧VDDが高い電圧（1.0Vより高い）である。電圧VPP、VPDLは、電源電圧VDDを昇圧してVPP電源10、VPDL電源30から供給される。このため、メモセルのゲートトランジスタ、センスアンプのトランジスタ、プリチャージ回路のトランジスタが全て高耐圧の厚膜トランジスタを用いる。プリチャージ回路のトランジスタが厚膜トランジスタであるなら、昇圧された電圧VPDLによりプリチャージ回路の高速化が可能である。しかし、厚膜トランジスタは、レイアウト面積を削減することができない。このため、回路規模の低減化、回路動作の高速化が難しくなる。

40

【0053】

また、仮に製造プロセスの微細化が進み、低電圧化した電源電圧VDD程度の耐圧しか

50

要求されないセンスアンプ S A 1 0 1 のトランジスタの薄膜化が行えても、プリチャージ回路のトランジスタのゲート酸化膜の薄膜化を進めることができない。よって、いずれセンスアンプ S A 1 0 1 のピッチに、プリチャージ回路 P D L U 1 0 1 のピッチが収まらなくなる可能性があり、問題となる。

【 0 0 5 4 】

製造プロセスの微細化、電源電圧 V D D の低電圧化（例えば 1 . 0 V 程度）が進み、半導体集積装置を構成するトランジスタに低耐圧の薄膜トランジスタが利用されるようになる。このため、特許文献 1 の技術では、メモリセルのゲートトランジスタには高耐圧の厚膜トランジスタが使用されるが、センスアンプのトランジスタ、プリチャージ回路のトランジスタには、ロジック回路に使用される低耐圧の薄膜トランジスタを使用している。このため、半導体記憶回路 1 のようなセンスアンプのピッチに、プリチャージ回路ピッチが収まらなくなるような問題は解決される。しかし、特許文献 1 の技術では、プリチャージ回路のトランジスタに高電圧がかからないため、プリチャージ回路の動作速度の高速化に限界があった。

10

【 0 0 5 5 】

このため、本実施の形態 1 の半導体記憶回路 1 0 1 では、プリチャージ回路を構成するトランジスタに低電圧化した電源電圧 V D D 程度の耐圧を有する薄膜トランジスタを使用しつつ、電源電圧 V D D よりも高電位のワード信号を生成する電圧 V P P をプリチャージ制御信号 P D L にも利用している。この電圧 V P P は、電源電圧 V D D が低電圧化されることにより低電圧化されてきている。これら V D D 、 V P P がある程度以下（例えば、V D D が 1 . 0 V 以下、V P P が 1 . 5 V 以下）となると、図 4 ( a ) ( b )、図 5 ( a ) ( b ) で説明したように、電源電圧 V D D 程度の耐圧を有する薄膜トランジスタが絶縁破壊を起こさずに使用できる。よって、ゲート酸化膜の絶縁破壊を起こさず、電源電圧 V D D より高電位の V P P をプリチャージ制御信号 P D L に使用し、プリチャージ回路の動作速度の高速化が可能となる。

20

【 0 0 5 6 】

更に、この電圧 V P P は、図 2 に示すように、V P P 電源 1 1 0 が端子 1 3 0 からドライバアンプ A M P 1 0 1、A M P 1 0 2、・・・、及びドライバアンプ A M P 1 2 0 に供給する。このため、半導体記憶回路 1 のように V P D L 電源 3 0 を設ける必要がなく、V P P 電源 1 1 0 のみでよい。このため、半導体記憶回路 1 0 1 では、半導体記憶回路 1 と比較して電源を 1 つ減らすことができ、回路規模の削減が可能となる。

30

【 0 0 5 7 】

また、半導体記憶回路 1 では、V P P 電源 1 0 と V P D L 電源 3 0 が別であったため、電源配線網の分離が必要であり、チップの配線層を増加しなければならなかった。更に、この配線網同士のクロストーク防止のためのデカップリング容量等も必要であった。しかし、本実施の形態 1 の半導体記憶回路 1 0 1 では、V P P 電源 1 1 0 のみであるため、上述した 2 重の配線層やデカップリング容量が必要なく、このことも回路規模の削減に寄与する。

【 0 0 5 8 】

また、上述したように、V P P 電源 1 1 0 の充放電ピーク電流の発生期間が重なることがないため、特に V P P 電源 1 1 0 の電源強化を行う必要がなく回路規模の増加要因もない。このため、回路設計も容易となり、設計期間の短縮、設計ミスの低減、設計コストの削減等も可能となる。

40

【 0 0 5 9 】

発明の実施の形態 2

【 0 0 6 0 】

以下、本発明を適用した具体的な実施の形態 2 について、図面を参照しながら詳細に説明する。本実施の形態 2 は、実施の形態 1 と同様、本発明をシステム L S I 等の半導体集積装置に適用したものである。本実施の形態 2 の半導体集積装置 2 0 0 は、実施の形態 1 の半導体記憶回路部分の構成が異なる。この実施の形態 2 の半導体記憶回路を半導体記憶

50

回路 201 とする。つまり、本実施の形態 2 の半導体集積装置 200 は、図 1 の半導体集積装置 100 の半導体記憶回路 101 を、半導体記憶回路 201 に置き換えた構成となる。

半導体集積装置 200 は、半導体記憶回路 201 と、ロジック回路 105 とを有する。半導体記憶回路 201 は、実施の形態 1 と同様、システム L S I の組み込み D R A M である。また、本実施の形態 2 では、半導体記憶回路 201 の周辺回路であるロジック回路 105 を構成するトランジスタの薄膜化、低電源電圧化が、実施の形態 1 より更に進んだ状態（例えば、 $V D D = 0.8 V$  以下）を想定している。

#### 【0061】

図 7 に本実施の形態 2 にかかる半導体記憶回路 201 の構成を示す。図 7 に示すように、半導体記憶回路 201 は、セルアレイ領域 202 と、センスアンプ領域 103 と、ドライバ領域 204 とを有する。なお、図 7 に示された符号のうち、図 2 と同じ符号を付した構成は、図 2 と同じか又は類似の構成を示している。実施の形態 1 と異なるのは、セルアレイ領域 202 と、ドライバ領域 204 である。本実施の形態 2 ではその相違点を重点的に説明し、その他実施の形態 1 と同様の構成部分の説明は省略する。

10

#### 【0062】

セルアレイ領域 202 は、複数のメモリセル C E L L ( C E L L 201、C E L L 202、・・・) を有している。各メモリセルは、実施の形態 1 と同様、ビット線 D、D B が接続される。各メモリセルには、ゲートトランジスタ T r と、セル容量 C c e l l とを有している。ここで、本実施の形態 2 のメモリセルが実施の形態 1 と異なるのは、ゲートトランジスタ T r が、ロジック回路 105 と同様の薄膜トランジスタで構成されている点である。このため、セルアレイ領域 202 の回路規模を削減することができる。その他の構成は、実施の形態 1 と同様である。

20

#### 【0063】

ドライバ領域 204 は、ドライバアンプ A M P 201、A M P 202、・・・を有する。更に、ドライバアンプ A M P 111、A M P 112、A M P 120 を有する。ドライバアンプ A M P 201、A M P 202、・・・は、ワード信号 W L 201、W L 202、・・・を生成する。このワード信号 W L 201、W L 202、・・・に応じて、メモリセル C E L L 201、C E L L 202、・・・のゲートトランジスタ T r が活性化する。ここで、本実施の形態 2 のメモリセルが実施の形態 1 と異なるのは、ドライバアンプ A M P 201、A M P 202、・・・の高電位側の電源電圧に V P P 電源 110 から供給される電圧 V P P L、低電位側の電源電圧に V K K 電源 140 から供給される電圧 V K K を使用している点である。よって、選択ワード信号（ハイレベル）の電位が電圧 V P P L、非選択ワード信号（ロウレベル）の電位が電圧 V K K となる。

30

#### 【0064】

上述したように、電源電圧 V D D を実施の形態 1 よりも低電圧化しており、自ずと電圧 V P P も低電圧化される。また、メモリセルのゲートトランジスタ T r が薄膜トランジスタとなっており、実施の形態 1 よりゲート酸化膜が薄膜化している。このため、V P P 電源 110 は、ゲートトランジスタ T r の絶縁破壊を防止するため、実施の形態 1 の電圧 V P P よりもより低電圧化した電圧 V P P L を供給する。例えば、電圧 V P P L は、電源電圧 V D D が 0.8 V の場合、その 1.5 倍程度の 1.2 V 程度が考えられる。なお、この場合、電源電圧 V D D よりも高い電圧が、薄膜トランジスタのゲートトランジスタ T r にかかることになる。しかし、半導体記憶回路 201 は、微細化により高速動作が可能となり、選択メモリセルのゲートトランジスタ T r にハイレベルのワード信号が印加される期間も短い。また、複数あるメモリセル C E L L 101、C E L L 102、・・・において、常に同じメモリセルが選択される確率は非常に低い。更に、V P P L が 1.2 V 程度まで低電圧化している。これらのことから、電源電圧 V D D よりも高い電圧 V P P L が、薄膜トランジスタのゲートトランジスタ T r にかかっても絶縁破壊が起こる可能性は非常に低く、薄膜化したゲートトランジスタ T r を本実施の形態 2 のように用いても問題がない。

40

50

## 【 0 0 6 5 】

一方、V K K 電源 1 4 0 が供給する電圧 V K K は、接地電圧 G N D より低い負電圧である。例えば、V K K 電源 1 4 0 が供給する電圧 V K K として、 $-0.3\text{ V}$ 以下の電圧がある。この電圧 V K K が、端子 2 3 0 を経てドライバアンプ A M P 2 0 1、A M P 2 0 2、  
 ・ ・ ・ の低電位側電源端子に供給される。このため、非選択のワード線の電位をネガティブ化することができる。このネガティブ化により、V P P 電源 1 1 0 の供給する電圧 V P P L を更に低下させることができる。例えば、V P P 電源 1 1 0 の供給する電圧 V P P L を  $1.0\text{ V}$  程度に低下させることができる。このため、セルアレイ領域 2 0 2 における各メモリセルのゲートトランジスタ T r の更なる薄膜化を行うことができる。また、ゲートトランジスタ T r の絶縁破壊の可能性をより一層低下させることができる。なお、同時にゲートトランジスタ T r のバックゲート電位のネガティブ化を行ってもよい。

10

## 【 0 0 6 6 】

図 8 に半導体記憶回路 2 0 1 の動作を説明するタイミングチャートを示す。但し、本例は、ハイレベルの情報を保持するメモリセル C E L L 2 0 1 が選択され、その情報がビット線 D に読み出される場合を示している。また、時刻  $t_1$  以前のビット線対 D、D B は、 $1/2\text{ VDD}$  でプリチャージされているものとする。なお、電源電圧 V D D を  $0.8\text{ V}$ 、電圧 V P P L を  $1.0\text{ V}$ 、電圧 V K K を  $-0.3\text{ V}$  とする。

## 【 0 0 6 7 】

図 8 に示すように、時刻  $t_1$  にワード信号 W L 2 0 1 が立ち上がり、電圧 V K K から電圧 V P P となる。よって、メモリセル C E L L 2 0 1 のゲートトランジスタがオンし、セルノードとビット線 D が電氣的に接続される。セルノードは、ハイレベルのデータを保持しており、電荷がビット線 D に流出する。このため、セルノードの電位は低下するが、ビット線 D の電位は僅かに上昇する。

20

## 【 0 0 6 8 】

次に、時刻  $t_2$  に制御信号 S E がハイレベルとなる。このため、センスアンプ制御信号 S A P が電源電圧 V D D、センスアンプ制御信号 S A N が接地電圧 G N D となる。よって、センスアンプ S A 1 0 1 がセンス動作を開始する。そして、センスアンプ S A 1 0 1 は、上述した僅かに開いたビット線対 D、D B 間の電位差を電源電圧 V D D、接地電圧 G N D に増幅する。なお、この増幅されたビット線対 D、D B の電位差は、外部回路によりハイレベルのデータとして半導体記憶回路 2 0 1 の読み出しデータとして読み出され、ロジック回路 1 0 5 のデータ処理等に利用される。また、メモリセル C E L L 2 0 1 のセルノードの電位も上昇する。

30

## 【 0 0 6 9 】

その後、時刻  $t_3$  では、ワード信号 W L 2 0 1 が電圧 V K K、制御信号 S E が接地電圧 G N D に立ち下がる。このため、メモリセル C E L L 2 0 1 のゲートトランジスタがオフし、メモリセル C E L L 2 0 1 のセルノードとビット線 D とが電氣的に遮断される。また、センスアンプ S A 1 0 1 がセンス動作を停止する。

## 【 0 0 7 0 】

そして、時刻  $t_4$  に、プリチャージ制御信号 P D L が接地電圧 G N D から電圧 V P P に立ち上がる。このため、プリチャージ回路 P D L U 1 0 1 の N M O S トランジスタ T N 1 2 1、T N 1 2 2、T N 1 2 3 がオンする。よって、ビット線対 D、D B が平滑化及び  $1/2\text{ VDD}$  に充電され、再び  $1/2\text{ VDD}$  にプリチャージされる。以上が、半導体記憶回路 2 0 1 の動作の説明である。

40

## 【 0 0 7 1 】

ここで、N M O S トランジスタ T N 1 2 1、T N 1 2 2、T N 1 2 3 のゲートとドレイン（もしくはソース）間の電圧の関係を、プリチャージ制御信号 P D L がロウレベルのときを図 9 ( a )、図 1 0 ( a )、プリチャージ制御信号 P D L がハイレベルのときを図 9 ( b )、図 1 0 ( b ) に分けて模式図に示す。これら模式図からもわかるように、実施の形態 1 と同様、N M O S トランジスタ T N 1 2 1、T N 1 2 2、T N 1 2 3 のゲートとドレイン（もしくはソース）間の電圧は、最大でも電源電圧 V D D 以下となる。なお、本例

50

ではビット線対のプリチャージ電圧が  $1/2 V_{DD}$  ( $0.4 V$ ) であるため、図 9 (b)、図 10 (b) からわかるように、プリチャージ制御信号 PDL がハイレベル時のゲートとドレイン (もしくはソース) 間電圧が  $0.6 V$  である。このため、プリチャージ電圧を  $0.2 V$  に低下させた場合であっても、ゲートとドレイン (もしくはソース) 間電圧が電源電圧  $V_{DD}$  以下に収めることが可能である。よって、ビット線対 D、DB のプリチャージ電圧を  $1/2 V_{DD}$  以下にすることも可能である。

#### 【0072】

図 11 に、従来の半導体記憶回路 1、特許文献 1 の技術、実施の形態 1 の半導体記憶回路 101、半導体記憶回路 201 の関係をまとめた表を示す。本表は、図 6 の表に半導体記憶回路 201 の関係を追加している。図 11 に示すように、半導体記憶回路 201 は、メモリセルのゲートトランジスタ、センスアンプのトランジスタ、プリチャージ回路のトランジスタが全て低耐圧の薄膜トランジスタを用いる。そして、ゲートトランジスタ  $T_r$ 、プリチャージ回路のトランジスタのゲートにかかる最大電圧も  $V_{PPL}$  ( $< V_{PP}$ ) となっている。

10

#### 【0073】

以上、実施の形態 2 の半導体記憶回路 201 では、メモリセルのゲートトランジスタ  $T_r$ 、センスアンプ SA101、プリチャージ回路 PDLU101 のトランジスタの全てを、微細化、低電源電圧化されたロジック回路 105 と同じ薄膜トランジスタで構成する。このことは、LSI チップを製造する際、トランジスタのゲート酸化膜を厚膜もしくは薄膜に分けて製造する必要がなくなり、製造工程の簡略化が可能となる。また、製造工程の簡略化に伴う製造コストの削減や期間の短縮化が可能となる。また、実施の形態 2 の半導体記憶回路 201 では、ワード信号のネガティブ化等を行い、電圧  $V_{PP}$  の低電圧化を行っている。このような構成であっても、実施の形態 1 と同様、電源電圧  $V_{DD}$  程度の耐性を有する薄膜トランジスタをプリチャージ回路で使用し、プリチャージ制御信号 PDL にワード信号で使用される電圧  $V_{PP}$  を利用できる。この実施の形態 2 では、セルアレイ領域 202 の回路規模の削減が可能である。また、 $V_{PP}$  電源 110 の供給電圧を更に低電圧化することが可能であり、プリチャージ回路のトランジスタのゲート酸化膜を更に薄膜化してトランジスタサイズの縮小を行うことができる。また、電源電圧の低下により、消費電力の削減も可能となる。その他の効果は実施の形態 1 と同様である。

20

#### 【0074】

なお、本発明は上記実施の形態に限られたものでなく、趣旨を逸脱しない範囲で適宜変更することが可能である。例えば、上述したセンスアンプの回路構成は、一般的な電源電圧で駆動するタイプを記載したが、もちろんこれに限られるわけではなく、様々なセンスアンプのバリエーションが適用可能であることはいうまでもない。一例として、センスアンプの電源に、降圧した電源を用いてもよい。更に、動作開始時のみ、その降圧した電源より高い電圧 (例えば、降圧前の電源電圧) を使用するオーバードライブタイプの回路構成を用いてもよい。あるいは、降圧しない電源を用いて、動作開始時のオーバードライブ時の非常に短い期間のみ、前述した電源電圧よりも少し高い電圧で動作させてもよい。

30

#### 【符号の説明】

#### 【0075】

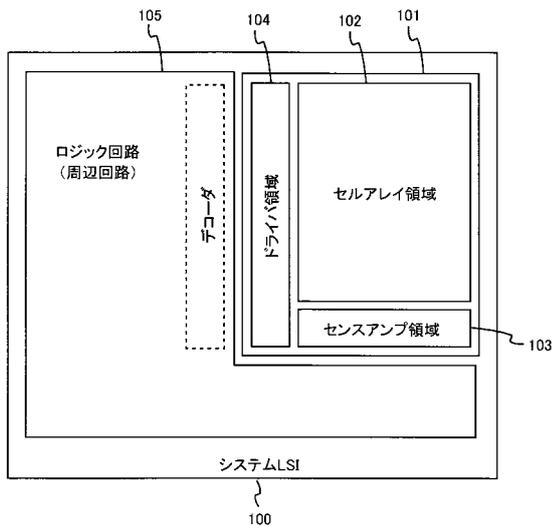
100、200 半導体集積装置  
 101、201 半導体記憶回路  
 102 セルアレイ領域  
 103 センスアンプ領域  
 104 ドライバ領域  
 105 ロジック回路  
 110  $V_{PP}$  電源  
 120  $V_{DD}$  電源  
 240  $V_{KK}$  電源  
 CELL101、CELL102、CELL201、CELL202 メモリセル

40

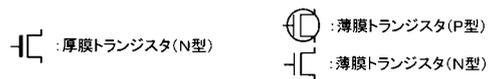
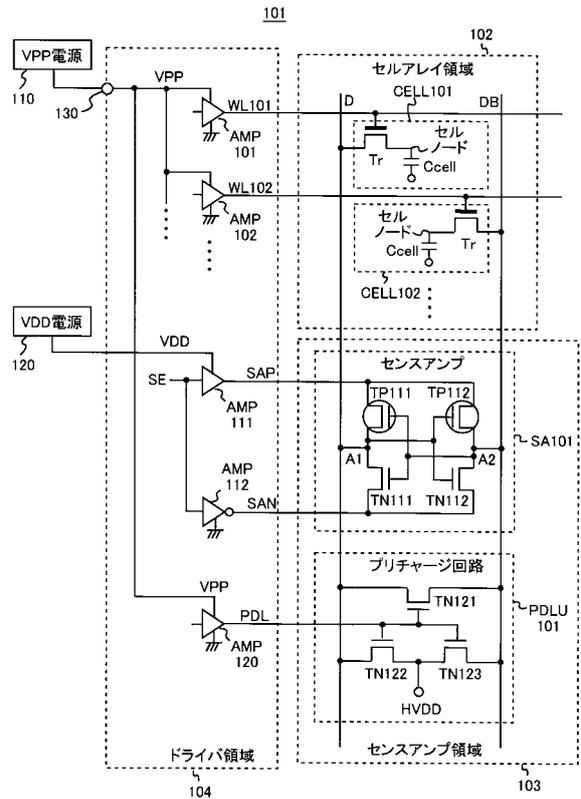
50

- Tr ゲートトランジスタ
- Ccell セル容量
- D、DB ビット線対
- SA101 センスアンプ
- PDLU プリチャージ回路
- TP111、TP112 PMOSTランジスタ
- TN111、TN112、TN121~TN123 NMOSTランジスタ
- AMP101、AMP102、AMP111、AMP112、AMP120、AMP201、AMP202 ドライバアンプ

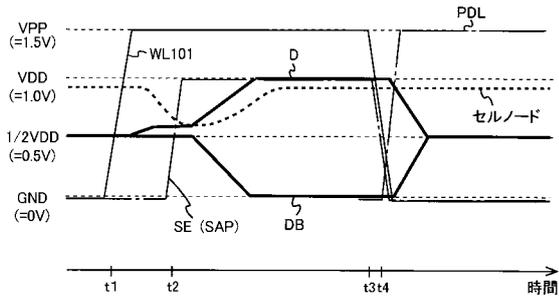
【図1】



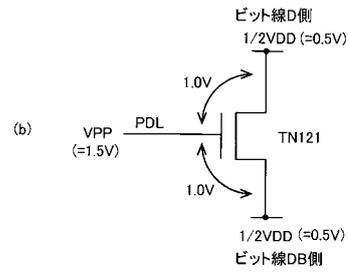
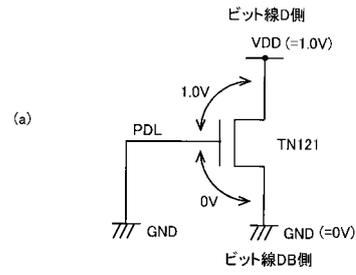
【図2】



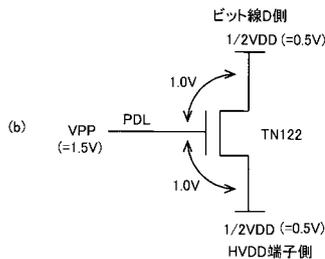
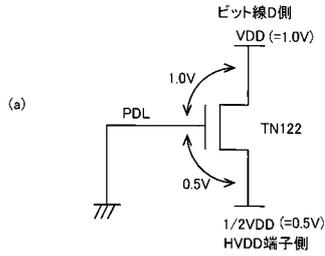
【 図 3 】



【 図 4 】



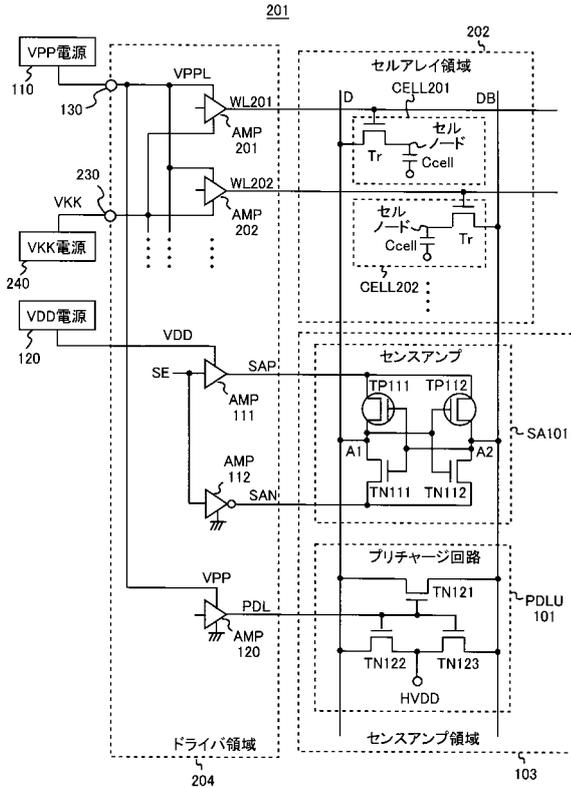
【 図 5 】



【 図 6 】

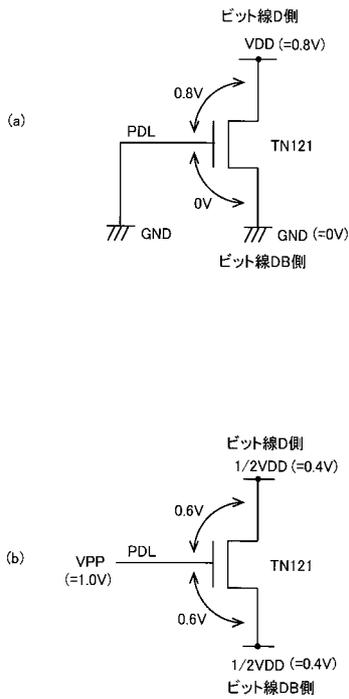
	半導体記憶回路100 (実施の形態1)	
	トランジスタの種類	最大ゲート電圧
メモリセルのゲートトランジスタ	厚膜トランジスタ	VPP
センスアンプのトランジスタ	薄膜トランジスタ	VDD
プリチャージ回路のトランジスタ	薄膜トランジスタ	VDDL
特許文献1で実用可能な技術		最大ゲート電圧
トランジスタの種類	厚膜トランジスタ	VDD
トランジスタの種類	薄膜トランジスタ	VDD程度
半導体記憶回路1 (従来技術)		最大ゲート電圧
トランジスタの種類	厚膜トランジスタ	VPP
トランジスタの種類	厚膜トランジスタ	VDD
トランジスタの種類	厚膜トランジスタ	VDDL

【 図 7 】

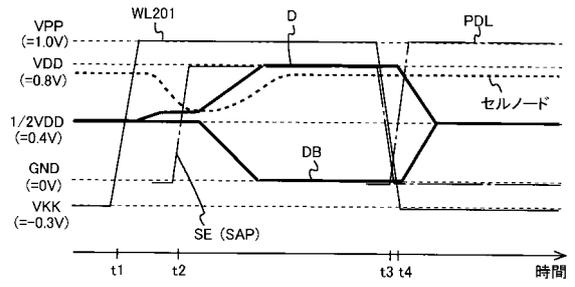


: 薄膜トランジスタ(P型)  
 : 薄膜トランジスタ(N型)

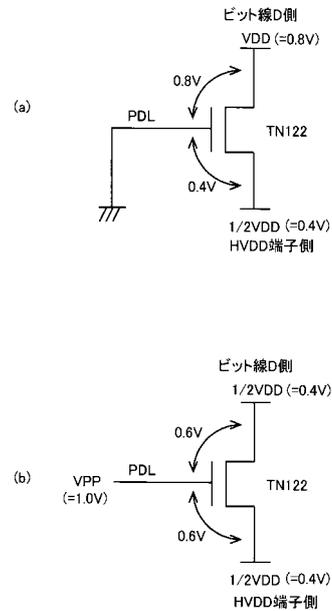
【 図 9 】



【 図 8 】



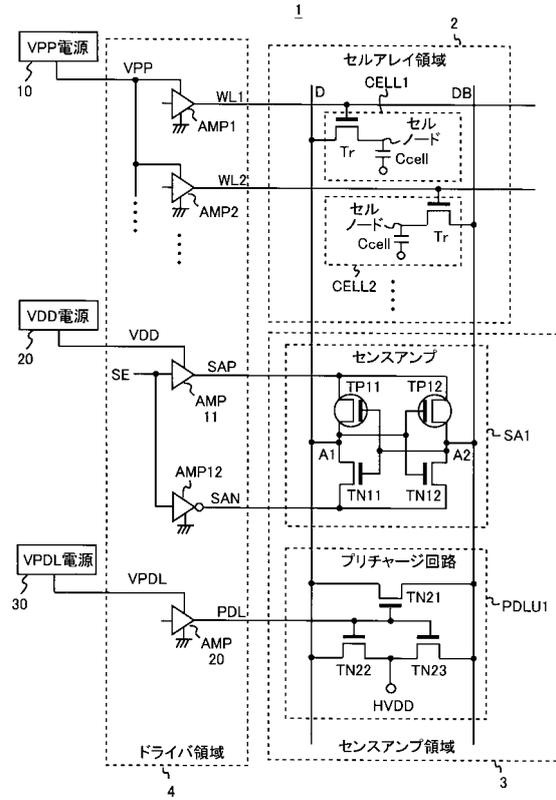
【 図 10 】



【 図 1 1 】

	半導体記憶回路1 (従来技術)	特許文献1 の技術	半導体記憶回路100 (実施の形態1)	半導体記憶回路200 (実施の形態2)
	トランジスタの種類	トランジスタの種類	トランジスタの種類	トランジスタの種類
メモリセルのゲートトランジスタ	厚膜トランジスタ	厚膜トランジスタ	厚膜トランジスタ	厚膜トランジスタ
センスアンプのトランジスタ	厚膜トランジスタ	薄膜トランジスタ	薄膜トランジスタ	薄膜トランジスタ
プリチャージ回路のトランジスタ	厚膜トランジスタ	薄膜トランジスタ	薄膜トランジスタ	薄膜トランジスタ
	最大ゲート電圧	最大ゲート電圧	最大ゲート電圧	最大ゲート電圧
	VPP	VPP	VPP	VPPPL
	VDD	VDD	VDD	VDD
	VPDL	VDD	VPP	VPPPL

【 図 1 2 】



: 厚膜トランジスタ(P型)  
 : 厚膜トランジスタ(N型)

【 図 1 3 】

