

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-16355
(P2010-16355A)

(43) 公開日 平成22年1月21日(2010.1.21)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 2 7 D	5 F 1 1 0
HO 1 L 29/786 (2006.01)	HO 1 L 27/12 B	5 F 1 5 2
HO 1 L 21/02 (2006.01)	HO 1 L 29/78 6 2 6 A	
HO 1 L 27/12 (2006.01)	HO 1 L 29/78 6 5 2 R	
HO 1 L 21/76 (2006.01)	HO 1 L 29/78 6 1 3 A	

審査請求 未請求 請求項の数 7 O L (全 31 頁) 最終頁に続く

(21) 出願番号 特願2009-122749 (P2009-122749)
 (22) 出願日 平成21年5月21日 (2009. 5. 21)
 (31) 優先権主張番号 特願2008-149716 (P2008-149716)
 (32) 優先日 平成20年6月6日 (2008. 6. 6)
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷 3 9 8 番地
 (72) 発明者 加藤 翔
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 鳥海 聡志
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 井坂 史人
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 大沼 英人
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内
 最終頁に続く

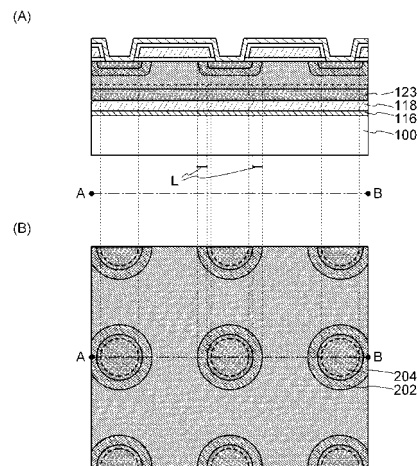
(54) 【発明の名称】 半導体装置の作製方法

(57) 【要約】

【課題】 量産に適した半導体基板、及び当該半導体基板を用いた半導体装置を作製することを目的の一とする。

【解決手段】 支持基板上に絶縁層、第1の電極、第1の不純物半導体層を少なくとも有する積層体を形成し、第1の不純物半導体層上に一導電型を付与する不純物元素が添加された第1の半導体層を形成し、第1の半導体層上に、一導電型を付与する不純物元素が添加された第2の半導体層を、第1の半導体層とは異なる条件により形成し、固相成長法により、第1の半導体層及び第2の半導体層の結晶性を向上させて、第2の不純物半導体層を形成し、第2の不純物半導体層に、一導電型を付与する不純物元素を添加し、一導電型とは異なる導電型を付与する不純物元素を添加し、ゲート絶縁層を介してゲート電極層を形成し、ソース電極層又はドレイン電極層を形成する。

【選択図】 図9



【特許請求の範囲】**【請求項 1】**

一導電型を付与する不純物元素が添加された単結晶半導体基板にイオンを照射して、前記単結晶半導体基板中に損傷領域を形成し、

前記単結晶半導体基板の表面上に、第 1 の電極及び絶縁層を形成し、

前記絶縁層と支持基板を密着させて前記単結晶半導体基板と前記支持基板を貼り合わせ

、
前記損傷領域において前記単結晶半導体基板を分離させることにより、前記支持基板上に前記絶縁層、前記第 1 の電極、第 1 の不純物半導体層を少なくとも有する積層体を形成し、

前記第 1 の不純物半導体層上に前記一導電型を付与する不純物元素が添加された第 1 の半導体層を形成し、

前記第 1 の半導体層上に、前記一導電型を付与する不純物元素が添加された第 2 の半導体層を、前記第 1 の半導体層とは異なる条件により形成し、

固相成長法により、前記第 1 の半導体層及び前記第 2 の半導体層の結晶性を向上させて、第 2 の不純物半導体層を形成し、

前記第 2 の不純物半導体層に、前記一導電型を付与する不純物元素を添加してソース領域又はドレイン領域を形成し、前記一導電型とは異なる導電型を付与する不純物元素を添加してチャンネル形成領域を形成し、

前記チャンネル形成領域上にゲート絶縁層を介してゲート電極層を形成し、

前記ソース領域又はドレイン領域と電気的に接続するソース電極層又はドレイン電極層を形成することを特徴とする半導体装置の作製方法。

【請求項 2】

請求項 1 において、

前記第 1 の不純物半導体層は高濃度不純物半導体層であり、

前記第 2 の不純物半導体層は低濃度不純物半導体層であることを特徴とする半導体装置の作製方法。

【請求項 3】

請求項 1 又は 2 において、

前記第 2 の半導体層の結晶性より前記第 1 の半導体層の結晶性が高くなるように、前記第 1 の半導体層及び前記第 2 の半導体層を形成することを特徴とする半導体装置の作製方法。

【請求項 4】

請求項 1 乃至 3 のいずれか一において、

前記第 2 の半導体層の水素濃度より前記第 1 の半導体層の水素濃度が低くなるように、前記第 1 の半導体層及び前記第 2 の半導体層を形成することを特徴とする半導体装置の作製方法。

【請求項 5】

請求項 1 乃至 4 のいずれか一において、

前記第 1 の半導体層は、その厚さが 10 nm 以上 50 nm 以下となるように形成され、

前記第 2 の半導体層は、その厚さが 300 nm 以上となるように形成されることを特徴とする半導体装置の作製方法。

【請求項 6】

請求項 1 乃至 5 のいずれか一において、

前記イオンとして、水素を含む原料ガスにより生成されるイオンを用いることを特徴とする半導体装置の作製方法。

【請求項 7】

請求項 1 乃至 6 のいずれか一において、

前記第 1 の半導体層の形成は、シラン系ガスに対する水素ガスの流量比を 50 倍以上とするプラズマ化学気相成長法により行われることを特徴とする半導体装置の作製方法。

10

20

30

40

50

【発明の詳細な説明】

【技術分野】

【0001】

技術分野は、半導体装置の作製方法に関する。

【背景技術】

【0002】

近年では、高性能デバイス用の半導体装置向けにSOI (Silicon On Insulator) 基板が用いられている。絶縁層上に形成された薄い単結晶シリコン層の特長を生かすことで、集積回路中のトランジスタ同士を完全に分離して形成することができ、またトランジスタを完全空乏型とすることができるため、高集積、高速駆動、低消費電力など付加価値の高い半導体集積回路が実現できる。

10

【0003】

上記のようなSOI基板を製造する方法の1つに、水素イオン注入と剥離を組み合わせた、いわゆる水素イオン注入剥離法が知られている。水素イオン注入剥離法の代表的な工程を以下に示す。

【0004】

はじめに、シリコン基板に水素イオンを注入することによって、基板表面から所定の深さにイオン注入層を形成する。次に、ベース基板(支持基板)となる別のシリコン基板を酸化して酸化シリコン層を形成する。その後、水素イオンを注入したシリコン基板と、ベース基板となる別のシリコン基板の酸化シリコン層とを密着させて、2枚のシリコン基板を貼り合わせる。そして、加熱処理を行うことにより、イオン注入層において一方のシリコン基板を分割して薄い単結晶シリコン層を形成する。

20

【0005】

上述のような方法で形成される単結晶シリコン層は、通常、50nm乃至300nm程度であって、非常に薄い。このため、上述のような方法で形成される単結晶シリコン層は、高集積、低消費電力が要求されるトランジスタの用途には極めて適している。一方で、パワーデバイスや光電変換装置などの用途を考える場合、耐圧の向上、光電変換効率の向上などの観点から、単結晶シリコン層に対して一定の厚さが要求されることになる。

【0006】

イオン注入剥離法を用いて形成される単結晶シリコン層の厚さは、主として、イオン注入の際の加速電圧に依存する。加速電圧を小さくすればイオン注入層は浅い領域に形成されるため、単結晶シリコン層は薄くなる。反対に、加速電圧を大きくすれば、単結晶半導体層は厚くなる。

30

【0007】

このことから、単結晶半導体層を厚くするためには、単純に加速電圧を大きくすれば良いことが分かる。しかしながら、現実には、加速電圧を大きくして厚い単結晶半導体層を形成することは容易ではない。これは、量産に適した(大電流が実現可能な装置)イオンの注入装置を用いる場合、その制限から、加速電圧を一定以上に大きくすることができないことによる。電流が小さい装置を用いる場合には加速電圧を高めることが可能だが、所定のイオンの注入量を得るためには時間を要することになり、生産性の面で好ましくない。また、100kVを超える高電圧でイオンを加速させる場合には、有害な放射線が発生することもあり、安全性の面で問題がある。

40

【0008】

上述のような問題を解消するため、エピタキシャル成長によって単結晶半導体層を厚膜化する方法が検討されている(例えば、特許文献1参照)。

【先行技術文献】

【特許文献】

【0009】

【特許文献1】特開2000-30995号公報

【発明の概要】

50

【発明が解決しようとする課題】**【0010】**

特許文献1に記載の方法は、水素イオン注入剥離法を用いて形成した単結晶半導体層に対して、CVD (Chemical Vapor Deposition) 法などの方法を用いて単結晶半導体層を気相成長 (気相エピタキシャル成長) により形成するというものである。しかしながら、このような方法で単結晶半導体層を形成する場合、その成膜速度を一定以上に高めることが難しい。これは、半導体装置の量産を考える場合には大きな問題となる。

【0011】

上述のような問題点に鑑み、量産に適した方法で半導体基板を提供することを目的の一とする。または、資源を有効に活用しつつ、優れた特性の半導体基板を提供することを目的の一とする。または、当該半導体基板を用いて半導体装置 (例えばパワーデバイス) を作製することを目的の一とする。

10

【課題を解決するための手段】**【0012】**

明細書等 (少なくとも明細書、特許請求の範囲、図面を含む) において開示する発明の一態様では、固相成長 (固相エピタキシャル成長) 法を用いることで、生産性良く半導体基板を作製する。より具体的には、次のような工程により半導体基板を作製する。まず、単結晶半導体基板を薄片化して形成した単結晶半導体層に対し、結晶性が高い半導体層を薄く形成する。そして、この結晶性が高い半導体層上に、結晶性が低い半導体層を厚く形成する。その後、上述の積層構造に対して加熱処理などを施して、固相成長による厚い単結晶半導体層を形成する。

20

【0013】

上記の「結晶性が高い半導体層」は、シラン系ガスと水素との混合ガスを用いて、プラズマCVD法により形成することができる。例えば、シラン系ガスに対して、流量比で50倍以上、好ましくは100倍以上の水素を含ませることで形成することができる。なお、上記「結晶性が高い半導体層」は、薄片化して形成された単結晶半導体層の結晶性の影響を大きく受けることになるため、上記の作製方法を特に気相成長 (気相エピタキシャル成長) 法と呼ぶこともできる。しかし、その結晶性は単結晶であることに限定されず、後に形成される「結晶性が低い半導体層」との関係において結晶性が高ければよい。

30

【0014】

「結晶性が低い半導体層」は、どのような方法を用いて形成しても良い。例えば、上記「結晶性が高い半導体層」と同様に、シラン系ガスと水素との混合ガスを用いて、プラズマCVD法により形成することができる。この場合、上記の「結晶性が高い半導体層」の場合と比較して、成膜速度が高い条件を用いることが好ましい。例えば、シラン系ガスに対して、流量比で2倍以上20倍以下 (好ましくは5倍以上15倍以下) の水素を含ませた原料ガスを用いて形成することができる。

【0015】

そして、上記の半導体基板を用いて半導体装置、例えばパワーデバイスを作製する。ここでパワーデバイスとは、電力変換などに用いられる半導体装置であって、高耐圧化、大電流化、高速化されたものをいう。パワーデバイスとしては、例えば、パワーMOSFETを挙げることができる。パワーMOSFETは、他のパワーデバイスと比較して、スイッチング速度が大きく、比較的低電圧での変換効率が高いという特徴を有している。なお、パワーデバイスとしては他にも、整流ダイオード、パワートランジスタ、絶縁ゲートバイポーラトランジスタ (IGBT)、サイリスタ、ゲートターンオフサイリスタ (GTO)、トライアックなどがある。

40

【0016】

開示する発明の一態様である半導体装置の作製方法の詳細は以下の通りである。

【0017】

開示する発明の一態様である半導体装置の作製方法の一は、一導電型を付与する不純物元

50

素が添加された単結晶半導体基板にイオンを照射して、単結晶半導体基板中に損傷領域を形成し、単結晶半導体基板の表面上に、第1の電極及び絶縁層を形成し、絶縁層と支持基板を密着させて単結晶半導体基板と支持基板を貼り合わせ、損傷領域において単結晶半導体基板を分離させることにより、支持基板上に絶縁層、第1の電極、第1の不純物半導体層を少なくとも有する積層体を形成し、第1の不純物半導体層上に一導電型を付与する不純物元素が添加された第1の半導体層を形成し、第1の半導体層上に、一導電型を付与する不純物元素が添加された第2の半導体層を、第1の半導体層とは異なる条件により形成し、固相成長法により、第1の半導体層及び第2の半導体層の結晶性を向上させて、第2の不純物半導体層を形成し、第2の不純物半導体層に、一導電型を付与する不純物元素を添加してソース領域又はドレイン領域を形成し、一導電型とは異なる導電型を付与する不純物元素を添加してチャンネル形成領域を形成し、チャンネル形成領域上にゲート絶縁層を介してゲート電極層を形成し、ソース領域又はドレイン領域と電氣的に接続するソース電極層又はドレイン電極層を形成することを特徴としている。

10

20

30

40

50

【0018】

上記において、第1の不純物半導体層は高濃度不純物半導体層とし、第2の不純物半導体層は低濃度不純物半導体層とすることが好ましい。

【0019】

上記において、第2の半導体層の結晶性より第1の半導体層の結晶性が高くなるように、第1の半導体層及び第2の半導体層を形成することが好ましい。第2の半導体層の水素濃度より第1の半導体層の水素濃度が低くなるように、第1の半導体層及び第2の半導体層を形成しても良い。

【0020】

また、上記において、第1の半導体層は、その厚さが10nm以上100nm以下となるように形成され、第2の半導体層は、その厚さが300nm以上となるように形成されることが好ましい。

【0021】

また、上記イオンとしては、水素を含む原料ガスにより生成されるイオンを用いると良い。第1の半導体層の形成は、シラン系ガスに対する水素ガスの流量比を50倍以上とするプラズマ化学気相成長法により行われることが好ましい。

【0022】

なお、明細書等において、単結晶とは、結晶構造が一定の規則性を持って形成されており、どの部分においても結晶軸が一定の方向を向いているものをいう。もっとも、開示する発明の一態様において、欠陥や格子歪みなどの規則性の乱れを除外するものではない。

【発明の効果】**【0023】**

開示する発明の一態様では、結晶性が低い半導体層（又は水素濃度が高い半導体層）を形成し、これを固相成長させることで、単結晶半導体層を厚膜化している。これにより、気相成長のみにより単結晶半導体層を形成する場合と比較して、成膜速度を高めることが可能であり、半導体装置の生産性が向上する。また、開示する発明の一態様では、単結晶半導体基板を薄片化して形成した単結晶半導体層上に結晶性半導体層（バッファ層と呼ばれる）を形成した後、結晶性が低い半導体層（例えば非晶質半導体層など）を形成している。これにより、固相成長の際の加熱処理などにおける半導体層の剥離を防止することができる。つまり、十分な厚さを有する単結晶半導体層を歩留まり良く形成することができる。

【0024】

また、開示する発明の一態様では、単結晶半導体基板から単結晶半導体層を厚く分離する必要がないため、イオン照射の際の加速電圧に起因する諸問題を解消することができる。また、単結晶半導体層を分離した後の単結晶半導体基板は繰り返し利用することができるため、半導体装置の製造コストを抑えることができる。

【0025】

このように、開示する発明の一態様によって、優れた特性を有する半導体装置を生産性良く提供することができる。

【図面の簡単な説明】

【0026】

【図1】半導体基板の作製工程を示す図である。

【図2】半導体基板の作製工程を示す図である。

【図3】半導体基板の作製工程を示す図である。

【図4】半導体基板の作製工程を示す図である。

【図5】半導体基板の作製工程を示す図である。

【図6】半導体基板の作製工程を示す図である。

【図7】半導体基板の作製工程を示す図である。

【図8】半導体装置の作製工程を示す図である。

【図9】半導体装置の平面図及び断面図である。

【図10】半導体装置の作製工程を示す図である。

【図11】半導体装置の作製工程を示す図である。

【図12】実施例における観察結果を示す図である。

【発明を実施するための形態】

【0027】

以下、実施の形態について、図面を用いて詳細に説明する。但し、発明は以下に示す実施の形態の記載内容に限定されず、明細書等において開示する発明の趣旨から逸脱することなく形態および詳細を様々に変更し得ることは当業者にとって自明である。また、異なる実施の形態に係る構成は、適宜組み合わせることで実施することが可能である。なお、以下に説明する発明の構成において、同一部分または同様な機能を有する部分には同一の符号を用い、その繰り返しの説明は省略する。

【0028】

(実施の形態1)

本実施の形態では、半導体装置に用いることができる半導体基板の作製方法の基本的な一例について、図1乃至図3を参照して説明する。

【0029】

はじめに、支持基板100を用意する(図1(A)参照)。支持基板100には、液晶表示装置などに使用されている透光性を有するガラス基板を用いることができる。ガラス基板としては、歪み点が580以上680以下(好ましくは、600以上700以下)であるものを用いると良い。また、ガラス基板は無アルカリガラス基板であることが好ましい。無アルカリガラス基板には、例えば、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスなどのガラス材料が用いられている。

【0030】

なお、支持基板100としては、ガラス基板の他、セラミック基板、石英基板やサファイア基板などの絶縁体となる基板、珪素などの半導体となる基板、金属やステンレスなどの導電体となる基板などを用いることもできる。

【0031】

本実施の形態においては示さないが、支持基板100の表面に絶縁層を形成しても良い。該絶縁層を設けることにより、支持基板100に不純物(アルカリ金属やアルカリ土類金属など)が含まれている場合には、当該不純物が半導体層へ拡散することを防止できる。絶縁層は単層構造でも良いし積層構造でも良い。絶縁層を構成する材料としては、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコンなどを挙げることができる。

【0032】

ここで、酸化窒化物とは、その組成において、窒素よりも酸素の含有量(原子数)が多いものを示し、例えば、酸化窒化シリコンとは、酸素が50原子%以上70原子%以下、窒素が0.5原子%以上15原子%以下、シリコンが25原子%以上35原子%以下、水素

10

20

30

40

50

が0.1原子%以上10原子%以下の範囲に含まれるものをいう。また、窒化酸化物とは、その組成において、酸素よりも窒素の含有量(原子数)が多いものを示し、例えば、窒化酸化シリコンとは、酸素が5原子%以上30原子%以下、窒素が20原子%以上55原子%以下、シリコンが25原子%以上35原子%以下、水素が10原子%以上25原子%以下の範囲に含まれるものをいう。但し、上記範囲は、ラザフォード後方散乱法(RBS: Rutherford Backscattering Spectrometry)や、水素前方散乱法(HFS: Hydrogen Forward Scattering)を用いて測定した場合のものである。また、構成元素の含有比率の合計は100原子%を超えない。

【0033】

次に、単結晶半導体基板110を用意する。単結晶半導体基板110としては、例えば、シリコン、ゲルマニウム、シリコンゲルマニウム、炭化シリコンなどの第4属元素でなる半導体基板を用いることができる。もちろん、ガリウムヒ素、インジウムリンなどの化合物半導体でなる基板を用いてもよい。本実施の形態においては、単結晶半導体基板110として、単結晶シリコン基板を用いることとする。単結晶半導体基板110のサイズに制限は無いが、例えば、8インチ(200mm)、12インチ(300mm)、18インチ(450mm)といった円形の半導体基板を、矩形に加工して用いることができる。

【0034】

上記の単結晶半導体基板110に対して各種処理を施して、損傷領域114、絶縁層116を形成する(図1(B)参照)。各種処理の詳細については図3を用いて後に説明する。なお、損傷領域114はイオンが導入された領域であり、該領域において単結晶半導体基板110を分離することが可能になる。このため、損傷領域114が形成される深さにより、単結晶半導体基板110から分離される単結晶半導体層の厚さが決定されることになる。本発明においては、損傷領域114を単結晶半導体基板110の表面から50nm以上300nm以下の深さに形成する。

【0035】

また、絶縁層116は、貼り合わせに係る層であるから、その表面は、高い平坦性を有することが好ましい。このような絶縁層116としては、例えば、有機シランガスを用いて化学気相成長法により形成される酸化シリコン膜を用いることができる。また、酸化窒化シリコン膜や窒化酸化シリコン膜、酸化アルミニウム膜などを用いても良い。

【0036】

その後、上記の支持基板100と単結晶半導体基板110とを貼り合わせる(図1(C)参照)。具体的には、支持基板100及び絶縁層116の表面を超音波洗浄などの方法で洗浄した後、支持基板100の表面と絶縁層116の表面とが接触するように配置する。そして、支持基板100の表面と絶縁層116の表面とが貼り合わせられるように、加圧処理を施す。貼り合わせのメカニズムとしては、ファン・デル・ワールス力が関わるメカニズムや、水素結合が関わるメカニズムなどが考えられる。

【0037】

なお、上記の貼り合わせを行う前に、支持基板100又は絶縁層116の表面を酸素プラズマ処理又はオゾン処理して、その表面を親水性にしても良い。この処理によって、支持基板100又は絶縁層116表面の有機物等のゴミを除去することができる。また、支持基板100又は絶縁層116の表面に水酸基が付加されるため、貼り合わせに係る界面に水素結合を形成することができる。

【0038】

ここで、オゾン処理の一例を説明する。例えば、酸素を含む雰囲気下で紫外線(UV)を照射することにより、被処理体表面にオゾン処理を行うことができる。酸素を含む雰囲気下で紫外線を照射するオゾン処理は、UVオゾン処理または紫外線オゾン処理などとも言われる。酸素を含む雰囲気下において、紫外線のうち200nm未満の波長を含む光と200nm以上の波長を含む光を照射することにより、オゾンを生成させるとともに、オゾンから一重項酸素を生成させることができる。紫外線のうち180nm未満の波長を含む

10

20

30

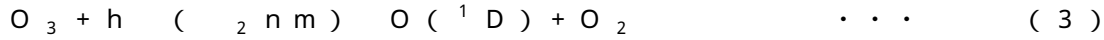
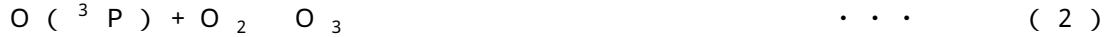
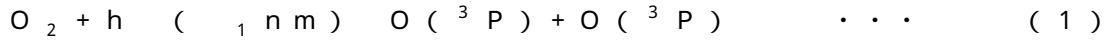
40

50

光を照射することにより、オゾンを生成させるとともに、オゾンから一重項酸素を生成させることもできる。

【0039】

酸素を含む雰囲気下で、200 nm未満の波長を含む光および200 nm以上の波長を含む光を照射することにより起きる反応例を示す。



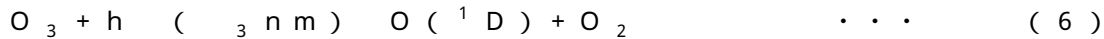
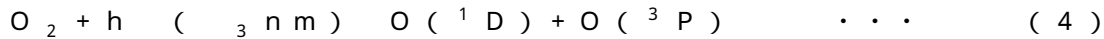
【0040】

上記反応式(1)において、酸素(O_2)を含む雰囲気下で200 nm未満の波長(λ_1 nm)を含む光(h)を照射することにより基底状態の酸素原子($\text{O}({}^3\text{P})$)が生成する。次に、反応式(2)において、基底状態の酸素原子($\text{O}({}^3\text{P})$)と酸素(O_2)とが反応してオゾン(O_3)が生成する。そして、反応式(3)において、生成されたオゾン(O_3)を含む雰囲気下で200 nm以上の波長(λ_2 nm)を含む光が照射されることにより、励起状態の一重項酸素 $\text{O}({}^1\text{D})$ が生成される。酸素を含む雰囲気下において、紫外線のうち200 nm未満の波長を含む光を照射することによりオゾンを生成させるとともに、200 nm以上の波長を含む光を照射することによりオゾンを分解して一重項酸素を生成する。上記のようなオゾン処理は、例えば、酸素を含む雰囲気下での低圧水銀ランプの照射($\lambda_1 = 185 \text{ nm}$ 、 $\lambda_2 = 254 \text{ nm}$)により行うことができる。

10

【0041】

また、酸素を含む雰囲気下で、180 nm未満の波長を含む光を照射することにより起きる反応例を示す。



20

【0042】

上記反応式(4)において、酸素(O_2)を含む雰囲気下で180 nm未満の波長(λ_3 nm)を含む光を照射することにより、励起状態の一重項酸素 $\text{O}({}^1\text{D})$ と基底状態の酸素原子($\text{O}({}^3\text{P})$)が生成する。次に、反応式(5)において、基底状態の酸素原子($\text{O}({}^3\text{P})$)と酸素(O_2)とが反応してオゾン(O_3)が生成する。反応式(6)において、生成されたオゾン(O_3)を含む雰囲気下で180 nm未満の波長(λ_3 nm)を含む光が照射されることにより、励起状態の一重項酸素と酸素が生成される。酸素を含む雰囲気下において、紫外線のうち180 nm未満の波長を含む光を照射することによりオゾンを生成させるとともにオゾンまたは酸素を分解して一重項酸素を生成する。上記のようなオゾン処理は、例えば、酸素を含む雰囲気下でのXeエキシマUVランプの照射($\lambda_3 = 172 \text{ nm}$)により行うことができる。

30

【0043】

200 nm未満の波長を含む光により被処理体表面に付着する有機物などの化学結合を切断し、オゾンまたはオゾンから生成された一重項酸素により被処理体表面に付着する有機物、または化学結合を切断した有機物などを酸化分解して除去することができる。上記のようなオゾン処理を行うことで、被処理体表面の親水性および清浄性を高めることができ、接合を良好に行うことができる。

40

【0044】

酸素を含む雰囲気下で紫外線を照射することによりオゾンが生成される。オゾンは、被処理体表面に付着する有機物の除去に効果を奏する。また、一重項酸素も、オゾンと同等またはそれ以上に、被処理体表面に付着する有機物の除去に効果を奏する。オゾン及び一重項酸素は、活性状態にある酸素の例であり、総称して活性酸素とも言われる。上記反応式等で説明したとおり、一重項酸素を生成する際にオゾンが生じる、またはオゾンから一重項酸素を生成する反応もあるため、ここでは一重項酸素が寄与する反応も含めて、便宜的にオゾン処理と称する。

50

【0045】

次に、貼り合わせられた支持基板100及び単結晶半導体基板110に対して加熱処理を施して、貼り合わせを強化する。この際の加熱温度は、損傷領域114における分離が進行しない温度とする必要がある。例えば、400未満、好ましくは300以下とすることができる。加熱処理時間については特に限定されず、処理速度と貼り合わせ強度との関係から最適な条件を適宜設定すればよい。本実施の形態においては、200、2時間の加熱処理を施すこととする。ここで、貼り合わせに係る領域にマイクロ波を照射して、貼り合わせに係る領域のみを局所的に加熱することも可能である。なお、貼り合わせ強度に問題がない場合は、上記加熱処理を省略しても良い。

【0046】

次に、単結晶半導体基板110を、損傷領域114にて、第1の単結晶半導体層120と単結晶半導体基板130とに分離する(図1(D)参照)。単結晶半導体基板110の分離は、加熱処理により行う。該加熱処理の温度は、支持基板100の耐熱温度を目安にすることができる。例えば、支持基板100としてガラス基板を用いる場合には、加熱温度は400以上650以下とすることが好ましい。なお、上記加熱温度の上限は、支持基板100の耐熱性に応じて適宜設定することが可能である。例えば、支持基板100が750までの熱処理に耐えるのであれば、750以下の温度で加熱処理を行えばよい。本実施の形態においては、600、2時間の加熱処理を施すこととする。

【0047】

上述のような加熱処理を行うことにより、損傷領域114に形成された微小な空孔の体積変化が生じ、損傷領域114に亀裂が生ずる。その結果、損傷領域114において単結晶半導体基板110が分離する。絶縁層116は支持基板100と貼り合わせられているので、支持基板100上には単結晶半導体基板110から分離された第1の単結晶半導体層120が残存することになる。また、この加熱処理で、支持基板100と絶縁層116の貼り合わせに係る界面が加熱されるため、当該界面に共有結合が形成され、支持基板100と絶縁層116の結合力が一層向上する。なお、分離後の単結晶半導体基板130は、再生処理を行った後、再利用することができる。再生処理後の単結晶半導体基板130は、単結晶半導体層を得るための基板として用いてもよいし、その他の用途に用いても良い。単結晶半導体層を得るための基板として用いる場合には、1枚の単結晶半導体基板から複数の半導体基板を作製することができることになる。

【0048】

上述のようにして形成された半導体基板において、第1の単結晶半導体層120の表面には、分離工程やイオン照射工程による欠陥が存在し、また、その平坦性は損なわれている。そこで、第1の単結晶半導体層120の欠陥修復処理又は表面平坦化処理を行っても良い。なお、以下に示す欠陥修復処理又は表面平坦化処理は必須の工程ではない。

【0049】

欠陥修復処理や、表面平坦化処理としては、例えば、レーザ光照射を用いることができる。レーザ光を第1の単結晶半導体層120の上方から照射することで、第1の単結晶半導体層120上部が溶融し、その後、冷却、固化することで、欠陥が修復され、また、表面の平坦性が向上する。レーザ光の照射の際には、支持基板の耐熱温度の範囲内での加熱処理を伴うようにしても良い。支持基板を加熱することにより、欠陥の低減を効果的に進めることができる。

【0050】

なお、上記レーザ光の照射による第1の単結晶半導体層120の溶融は、部分溶融とする。完全溶融とする場合には、液相となった後の無秩序な核発生により微結晶化し、結晶性が低下する可能性が高まるためである。一方で、部分溶融させることにより、溶融されていない固相部分から結晶成長が進行する。これにより、半導体層中の欠陥を減少させることができる。ここで、完全溶融とは、第1の単結晶半導体層120が下部界面付近まで溶融されて、液相となることをいう。他方、部分溶融とは、この場合、第1の単結晶半導体層120の上部は溶融して液相となるが、下部は溶融せずに固相のままであることをいう

10

20

30

40

50

。

【0051】

上記レーザー光の照射には、パルス発振レーザー光（パルスレーザー光）を用いることが好ましい。高エネルギーのパルスレーザー光を用いることで、部分熔融状態を作り出すことが容易となるためである。発振周波数は、1 Hz以上10 MHz以下程度とすることが好ましい。より好ましくは、10 Hz以上1 MHz以下である。上述のパルス発振レーザーとしては、Arレーザー、Krレーザー、エキシマ（ArF、KrF、XeCl）レーザー、CO₂レーザー、YAGレーザー、YVO₄レーザー、YLFレーザー、YAlO₃レーザー、GdVO₄レーザー、Y₂O₃レーザー、ルビーレーザー、アレキサンドライトレーザー、Ti：サファイアレーザー、銅蒸気レーザー、金蒸気レーザー等を用いることができる。なお、部分熔融させるためにはパルスレーザー光を用いることが好ましいが、開示する発明の一態様はこれに限定して解釈されるものではない。すなわち、連続発振レーザー光（CWレーザー光）の使用を除外するものではない。なお、CWレーザー光の発振器としては、Arレーザー、Krレーザー、CO₂レーザー、YAGレーザー、YVO₄レーザー、YLFレーザー、YAlO₃レーザー、GdVO₄レーザー、Y₂O₃レーザー、ルビーレーザー、アレキサンドライトレーザー、Ti：サファイアレーザー、ヘリウムカドミウムレーザー等がある。

10

【0052】

レーザー光の波長は、第1の単結晶半導体層120に吸収される波長とする必要がある。その波長は、レーザー光の表皮深さ（skin depth）などを考慮して決定すればよい。例えば、250 nm以上700 nm以下の範囲とすることができ。また、レーザー光のエネルギー密度は、レーザー光の波長、レーザー光の表皮深さ、第1の単結晶半導体層120の膜厚などを考慮して決定することができる。レーザー光のエネルギー密度は、例えば、300 mJ/cm²以上800 mJ/cm²以下の範囲とすればよい。なお、上記エネルギー密度の範囲は、第1の単結晶半導体層120の膜厚を200 nm程度とし、パルスレーザー光の発振器としてXeClエキシマレーザー（波長：308 nm）を用いた場合の一例である。

20

【0053】

レーザー光の照射は、大気雰囲気のような酸素を含む雰囲気、または窒素雰囲気のような不活性雰囲気で行うことができる。不活性雰囲気中でレーザー光を照射するには、気密性のあるチャンパー内でレーザー光を照射し、このチャンパー内の雰囲気を制御すればよい。チャンパーを用いない場合は、レーザー光の被照射面に窒素ガスなどの不活性ガスを吹き付けることで、窒素雰囲気を形成することもできる。

30

【0054】

なお、窒素などの不活性雰囲気中でレーザー光の照射を行う方が、大気雰囲気で行うよりも第1の単結晶半導体層120の平坦性を向上させる効果は高い。また、大気雰囲気よりも不活性雰囲気の方がクラックやリッジの発生を抑える効果が高く、レーザー光の使用可能なエネルギー密度の範囲が広がる。なお、レーザー光の照射は、真空中で行ってもよい。真空中でレーザー光を照射した場合には、不活性雰囲気における照射と同様の効果を得ることができる。

40

【0055】

なお、本実施の形態においては、レーザー光の照射により欠陥の回復、表面の平坦化等を行う例について説明しているが、開示する発明の一態様はこれに限定されない。例えば、第1の単結晶半導体層120の表面をエッチング処理して欠陥を除去し、平坦性を向上させても良い。エッチング処理以外にも、例えば、CMP（Chemical Mechanical Polishing）などの研磨処理を適用することができる。

【0056】

以上により、単結晶半導体基板110から分離して形成された第1の単結晶半導体層120を有する半導体基板を作製することができる。なお、以下の説明においては、上記の欠陥修復処理又は表面平坦化処理を施していない半導体基板を用いる場合について説明する（図1（E）参照）。

50

【0057】

次に、第1の単結晶半導体層120上に第1の半導体層122Aをエピタキシャル成長（気相成長、気相エピタキシャル成長）させる（図2（A）参照）。すなわち、第1の半導体層122Aは、第1の単結晶半導体層120の結晶性の影響を受けた半導体層である。ここで、第1の半導体層122Aは、第1の単結晶半導体層120に合わせて材料を選択し、形成すればよい。第1の半導体層122Aとしてシリコン層を形成する場合には、例えば、シラン系ガス（代表的にはシラン）と水素ガスとの混合ガスを原料として、プラズマCVD法により形成することができる。また、第1の半導体層122Aは、5nm以上100nm以下、好ましくは10nm以上50nm以下程度の厚さとなるように形成する。

10

【0058】

上記原料ガスは、シラン系ガスに対する水素ガスの流量比を50倍以上（好ましくは100倍以上）とする混合ガスである。例えば、シラン（ SiH_4 ）を4sccm、水素を400sccmで混合させて用いれば良い。水素ガスの流量を高めることにより、結晶性の高い半導体層を形成することができる。これにより、半導体層中の水素含有量を低減することができる。

【0059】

なお、シラン系ガスとしては、上記のシランを用いることに限定されず、ジシラン（ Si_2H_6 ）その他を用いても良い。また、上記の原料ガスには、希ガスを添加してもよい。

20

【0060】

プラズマCVD法を用いて第1の半導体層122Aを形成する際のその他の条件は、周波数が10MHz乃至200MHz、電力が5W以上50W以下、チャンパー内圧力が10Pa以上 10^3 Pa以下、電極間隔（平行平板型の場合）が15mm以上30mm以下、支持基板100の温度が200以上400以下であり、代表的には、それぞれ、60MHz、15W、100Pa、20mm、280である。なお、上記の成膜条件は一例に過ぎず、開示する発明の一態様はこれに限定して解釈されるものではない。ここで重要な点は、第1の半導体層122Aとして結晶性の高い半導体層（又は水素濃度が低い半導体層、水素含有量が小さい半導体層）を形成することであるから、この目的を達成することができれば、どのような形成方法で第1の半導体層122Aを形成しても構わない。

30

【0061】

なお、第1の半導体層122Aのエピタキシャル成長を行う前に、第1の単結晶半導体層120表面に形成されている自然酸化層などは除去しておくことが好ましい。これは、第1の単結晶半導体層120の表面に酸化層が存在する場合には、第1の単結晶半導体層120の結晶性の影響を受けたエピタキシャル成長を進行させることができず、第1の半導体層122Aの結晶性が低下してしまうためである。ここで、上記の酸化層の除去は、フッ酸系の溶液などを用いて行うことができる。

【0062】

次に、第1の半導体層122A上に第2の半導体層122Bを形成する（図2（B）参照）。ここで、第2の半導体層122Bは、第1の半導体層122Aに合わせて材料を選択し、形成する。また、第2の半導体層122Bは、200nm以上（好ましくは400nm以上）の厚さとなるように形成する。この場合においても、第1の半導体層122A表面に形成されている酸化層は除去しておくことが好ましい。

40

【0063】

第2の半導体層122Bは、第1の半導体層122Aと比較して結晶性が低い半導体層とする。または、第2の半導体層122Bは、第1の半導体層122Aと比較して水素濃度が高い半導体層（水素含有量が大きい半導体層）とする。このような第2の半導体層122Bとしては、例えば、非晶質半導体層を形成すればよい。

【0064】

第2の半導体層122Bの形成方法は任意であるが、少なくとも第1の半導体層122Aより成膜速度が高い条件で形成することが好ましい。例えば、シラン系ガス（代表的には

50

シラン)と水素ガスとの混合ガスを原料として、プラズマCVD法により第2の半導体層122Bを形成する場合には、シラン系ガスに対する水素ガスの流量比を2倍以上20倍以下(好ましくは5倍以上15倍以下)とすればよい。また、周波数を10MHz乃至200MHz、電力を5W以上50W以下、チャンパー内圧力を10Pa以上 10^3 Pa以下、電極間隔(平行平板型の場合)を15mm以上30mm以下、支持基板100の温度を200以上400以下とすると良い。代表的には、シラン(SiH_4)の流量を25sccm、水素の流量を150sccm、周波数を27MHz、電力を30W、圧力を66.6Pa、電極間隔を25mm、基板温度を280とする。なお、上記の成膜条件は一例に過ぎず、開示する発明の一態様はこれに限定して解釈されるものではない。ここで重要な点は、第2の半導体層122Bとして結晶性は低くとも(又は水素濃度が高くとも)成膜速度の高い半導体層を形成することであるから、この目的を達成することができれば、どのような形成方法で第2の半導体層122Bを形成しても構わない。

10

【0065】

その後、熱処理を行い、固相エピタキシャル成長(固相成長)による第2の単結晶半導体層124を形成する(図2(C)参照)。なお、第1の半導体層122Aは第2の単結晶半導体層124の下層領域124Aに対応し、第2の半導体層122Bは第2の単結晶半導体層124の上層領域124Bに対応する。

【0066】

上記の熱処理は、RTA(Rapid Thermal Anneal)、炉(ファーンズ)、ミリ波加熱装置などの熱処理装置を用いて行うことができる。熱処理装置の加熱方式としては抵抗加熱式、ランプ加熱式、ガス加熱式、電磁波加熱式などが挙げられる。レーザービームの照射や、熱プラズマジェットの照射を行っても良い。

20

【0067】

一般的に、炉は外熱式であり、チャンパー内と被処理物は熱的に平衡状態となる。一方、RTAは、被処理物に直接エネルギーを与えることで瞬間的な加熱(急速加熱)を行うものであり、チャンパー内と被処理物は熱的に非平衡状態である。RTA装置としては、ランプ加熱式のRTA(LRTA; Lamp Rapid Thermal Anneal)装置、加熱された気体を用いるガス加熱式のRTA(GRTA; Gas Rapid Thermal Anneal)装置、又はランプ加熱式とガス加熱式の両方を備えたRTA装置等が挙げられる。

30

【0068】

RTA装置を用いる場合には、処理温度500以上750以下、処理時間0.5分以上10分以下とすることが好ましい。炉を用いる場合は、処理温度500以上650以下、処理時間1時間以上4時間以下とすることが好ましい。もちろん、支持基板100の耐熱温度等が許せばこの限りではない。

【0069】

以上により、第1の単結晶半導体層120と第2の単結晶半導体層124の積層構造が形成される。ここで、第2の単結晶半導体層124を厚く(例えば、500nm以上)形成するために、気相成長法のみを用いることは、成膜速度の点から好ましくない。一方で、固相成長法のみを用いて第2の単結晶半導体層124を形成する場合には、熱処理に起因する半導体層の剥離の問題が生じることになる。これは、成膜直後の半導体層(例えば、非晶質半導体層)が多量の水素を含有することに起因するものと考えられる。

40

【0070】

本実施の形態では、気相成長により第1の半導体層122A(結晶性が高い半導体層、水素濃度が低い半導体層、または成膜速度が低い製法による半導体層)を薄く形成した後、第2の半導体層122B(結晶性が低い半導体層、水素濃度が高い半導体層、または成膜速度が高い製法による半導体層)を厚く形成し、その後、固相成長を行うことで第2の単結晶半導体層124を形成している。これにより、成膜速度を確保しつつ、半導体層の剥離の問題を解消することができる。つまり、生産性良く、且つ、歩留まり良く、所定の厚さを有する単結晶半導体層を形成することができる。

50

【0071】

このように、単結晶半導体層上に結晶性の高い半導体層と結晶性の低い半導体層の積層構造を形成し、その後固相成長させることで剥離の問題が低減されるのは、隣接する層同士の結晶性の差が小さくなることで、界面における原子同士の結合が強化され、密着性が高まることによると考えられる。

【0072】

なお、本実施の形態においては、単結晶半導体層（第1の単結晶半導体層120）と結晶性が低い半導体層（第2の半導体層122B）との間に結晶性が高い半導体層（第1の半導体層122A）を一層形成しているが、上述の理由を考えた場合、開示する発明の一態様をこれに限定して解釈する必要はない。つまり、単結晶半導体層と結晶性が低い半導体層との間に、結晶性が異なる半導体層を複数設ける構成としても良い。例えば、単結晶半導体層上に、結晶性が高い半導体層を形成し、その上に結晶性がやや高い半導体層を形成し、その上に結晶性が低い半導体層を形成する。このような構成とすることで、密着性をより向上させることが可能である。

10

【0073】

また、界面における密着力という観点からは、上記積層構造は、できるだけ大気などに触れないように形成することが好ましい。例えば、第1の半導体層122Aと第2の半導体層122Bを同一のチャンパー内で連続的に成膜しても良い。

【0074】

以上により、厚膜化された単結晶半導体層を有する半導体基板を作製することができる。なお、本実施の形態においては第1の単結晶半導体層120の表面に平坦化処理を施していないため、第2の単結晶半導体層124の表面は、第1の単結晶半導体層120の表面の影響を強く受けたものとなっている。このため、必要がある場合には、第2の単結晶半導体層124の表面を平坦化しても良い。

20

【0075】

また、本実施の形態では、支持基板100上に絶縁層116を介して第1の単結晶半導体層120及び第2の単結晶半導体層124を形成する方法について説明しているが、開示する発明の一態様はこれに限定して解釈されるものではない。例えば、第1の単結晶半導体層120の下部に各種の機能を持たせた層（以下、機能層と呼ぶ）を設けても良い。例えば、導電性材料を含む層や、不純物元素を含有する層（不純物元素を含有する半導体層）などを機能層として形成することができる。

30

【0076】

次に、図3を用いて、本実施の形態において用いる単結晶半導体基板110の加工方法について説明する。

【0077】

まず、単結晶半導体基板110を用意する（図3（A）参照）。単結晶半導体基板110の詳細については、図1の説明部分を参照することができるため、ここでは省略する。

【0078】

単結晶半導体基板110を洗浄した後、単結晶半導体基板110の表面に絶縁層112を形成する。絶縁層112を設けない構成とすることもできるが、後のイオン打ち込みの際の単結晶半導体基板110の汚染及び表面の損傷を防ぐためには、絶縁層112を設けることが好ましい。絶縁層112の厚さは10nm以上400nm以下とすると良い。

40

【0079】

絶縁層112を構成する材料としては、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコンなどを挙げることができる。絶縁層112の形成方法としては、CVD法、スパッタ法、単結晶半導体基板110の酸化（又は窒化）による方法などがある。

【0080】

次に、絶縁層112を介して、電界で加速されたイオンでなるイオンビーム140を単結晶半導体基板110に照射し、単結晶半導体基板110の表面から所定の深さの領域に、損傷領域114を形成する（図3（B）参照）。損傷領域114が形成される領域の深さ

50

は、イオンビーム140の加速エネルギーとイオンビーム140の入射角によって制御することができる。なお、損傷領域114は、イオンの平均侵入深さと同程度の深さの領域に形成されることになる。

【0081】

上述の損傷領域114が形成される深さにより、単結晶半導体基板110から分離される単結晶半導体層の厚さが決定される。損傷領域114が形成される深さは、単結晶半導体基板110の表面から500nm以下であり、好ましくは400nm以下であり、より好ましくは50nm以上300nm以下である。損傷領域114を浅く形成することで、分離後の単結晶半導体基板が厚く残存するため、単結晶半導体基板の繰り返し利用回数を増加させることができる。ただし、損傷領域114を浅く形成する場合には、加速電圧を低くすることになるため、生産性などについての考慮が必要となる。

10

【0082】

上記イオンの照射は、イオンドーピング装置やイオン注入装置を用いて行うことができる。イオン注入装置では、ソースガスを励起してイオン種を生成し、生成されたイオン種を質量分離して、所定の質量を有するイオン種を被処理物に照射する。イオンドーピング装置は、プロセスガスを励起してイオン種を生成し、生成されたイオン種を質量分離せずに被処理物に照射する。なお、質量分離機構を備えているイオンドーピング装置では、イオン注入装置と同様に、質量分離を伴うイオンの照射を行うこともできる。

【0083】

イオンドーピング装置を用いる場合のイオンの照射工程は、例えば、以下の条件で行うことができる。

20

- ・加速電圧 10kV以上100kV以下（好ましくは30kV以上80kV以下）
- ・ドーズ量 $1 \times 10^{16} / \text{cm}^2$ 以上 $4 \times 10^{16} / \text{cm}^2$ 以下
- ・ビーム電流密度 $2 \mu\text{A} / \text{cm}^2$ 以上（好ましくは $5 \mu\text{A} / \text{cm}^2$ 以上、より好ましくは $10 \mu\text{A} / \text{cm}^2$ 以上）

【0084】

イオンドーピング装置を用いる場合、イオン照射工程のソースガスには水素を含むガスを用いることができる。該ガスを用いることによりイオン種として H^+ 、 H_2^+ 、 H_3^+ を生成することができる。水素ガスをソースガスとして用いる場合には、 H_3^+ を多く照射することが好ましい。具体的には、例えば、イオンビーム140に、 H^+ 、 H_2^+ 、 H_3^+ の総量に対して H_3^+ イオンが70%以上含まれるようにすることが好ましい。また、 H_3^+ イオンの割合を80%以上とすることがより好ましい。このように H_3^+ の割合を高めておくことで、損傷領域114に $1 \times 10^{20} \text{ atoms} / \text{cm}^3$ 以上の濃度で水素を含ませることが可能である。これにより、損傷領域114における分離が容易になる。また、 H_3^+ イオンを多く用いることで、 H^+ 、 H_2^+ を用いる場合よりもイオンの照射効率が向上する。つまり、イオン照射にかかる時間を短縮することができる。なお、ここでは H_3^+ を多く用いる場合について説明しているが、 H^+ や H_2^+ の割合を高めて用いても問題はない。

30

【0085】

イオン注入装置を用いる場合には、質量分離により、 H_3^+ イオンが注入されるようにすることが好ましい。もちろん、 H^+ や H_2^+ を注入してもよい。ただし、イオン注入装置を用いる場合には、イオン種を選択して注入するため、イオンドーピング装置を用いる場合と比較して、イオン照射の効率が低下する場合がある。

40

【0086】

イオン照射工程のソースガスには水素を含むガスの他に、ヘリウムやアルゴンなどの希ガス、フッ素ガスや塩素ガスに代表されるハロゲンガス、フッ素化合物ガス（例えば、 BF_3 ）などのハロゲン化合物ガスから選ばれた一種または複数種類のガスを用いることができる。ソースガスにヘリウムを用いる場合は、質量分離を行わないことで、 He^+ イオンの割合が高いイオンビーム140を作り出すことができる。このようなイオンビーム140を用いることで、損傷領域114を効率よく形成することができる。

50

【0087】

また、複数回の照射工程を行うことで、損傷領域114を形成することもできる。この場合、イオン照射工程毎にソースガスを異ならせても良いし、同じソースガスを用いてもよい。例えば、ソースガスとして希ガスを用いてイオン照射を行った後、水素を含むガスをソースガスとして用いてイオン照射を行うことができる。また、初めにハロゲンガス又はハロゲン化合物ガスを用いてイオン照射を行い、次に、水素ガスを含むガスをを用いてイオン照射を行うこともできる。

【0088】

上記の損傷領域114を形成した後、絶縁層112を除去し、絶縁層116を形成する(図3(C)参照)。絶縁層116は、貼り合わせに係る層であるから、その表面は、高い平坦性を有することが好ましい。このような絶縁層116としては、例えば、有機シランガスを用いて化学気相成長法により形成される酸化シリコン層を用いることができる。また、窒化シリコン層を用いても良い。

10

【0089】

ここで、絶縁層112を除去するのは、上記イオンの照射によって絶縁層112が損傷する可能性が高いためである。したがって、イオンの照射による絶縁層112の損傷が問題とならない場合には、絶縁層112上に絶縁層116を形成しても良い。又は、絶縁層112を絶縁層116として用いることもできる。

【0090】

以上により、図1(B)に示される半導体基板が得られる。

20

【0091】

(実施の形態2)

本実施の形態では、第1の単結晶半導体層の下部に、電極(又は配線)として機能する導電層を設ける場合の単結晶半導体基板の加工方法の一例について図4を参照して説明する。なお、実施の形態1と重複する部分についての詳細は省略する。

【0092】

まず、単結晶半導体基板110を用意する(図4(A)参照)。単結晶半導体基板110の詳細については、実施の形態1を参照することができるため、ここでは省略する。

【0093】

単結晶半導体基板110を洗浄した後、単結晶半導体基板110の表面に絶縁層112を形成する。絶縁層112の詳細についても実施の形態1と同様である。

30

【0094】

次に、絶縁層112を介して、電界で加速されたイオンでなるイオンビーム140を単結晶半導体基板110に照射し、単結晶半導体基板110の表面から所定の深さの領域に、損傷領域114を形成する(図4(B)参照)。詳細については実施の形態1を参照すればよい。

【0095】

上記の損傷領域114を形成した後、絶縁層112を除去し、導電層118を形成する(図4(C)参照)。導電層118は、後の工程における熱処理に耐え得るものとする必要がある。このため、導電層118は、高融点金属材料を用いて形成することが好ましい。例えば、チタン、モリブデン、タングステン、タンタル、クロム、ニッケルなどを用いることができる。もちろん、アルミニウム、銅などの低抵抗材料を用いて導電層118を形成しても良い。また、前述の金属材料と、金属材料の窒化物との積層構造としても良い。例えば、窒化チタン層とチタン層の積層構造、窒化タンタル層とタンタル層の積層構造、窒化タングステン層とタングステン層の積層構造などを用いることができる。なお、導電層118は、蒸着法やスパッタリング法を用いて形成することができる。また、電極(又は配線)として用いる場合には、その厚さを100nm以上とすることが好ましい。

40

【0096】

次に、導電層118上に絶縁層116を形成する(図4(D)参照)。絶縁層116は、貼り合わせに係る層であるから、その表面は、高い平坦性を有することが好ましい。この

50

ような絶縁層 116 としては、例えば、有機シランガスを用いて化学気相成長法により形成される酸化シリコン層を用いることができる。また、窒化シリコン層を用いても良い。

【0097】

絶縁層 116 を形成した後の工程については、実施の形態 1 と同様である（図 1 及び図 2 参照）。

【0098】

なお、図 4 においては、単結晶半導体基板 110 上に絶縁層 112 を形成した後、イオンを照射して損傷領域 114 を形成し、その後、絶縁層 112 を除去して、導電層 118 及び絶縁層 116 を形成する場合について説明しているが、開示する発明の一態様はこれに限定されない。

10

【0099】

例えば、単結晶半導体基板の表面上に導電層を形成し、該導電層の表面にイオンを照射して単結晶半導体基板の所定の深さの領域に損傷領域を形成した後、導電層上に絶縁層を形成することもできる。このように、イオン照射の前に導電層を形成することで、導電層を保護層として機能させることが可能であり、絶縁層 112 を別途設ける必要がなく、工程の短縮につながる。

【0100】

以上により、単結晶半導体層の下部に電極（又は配線）として機能する導電層を有する半導体基板を提供することができる。なお、上記の導電層は、電極（又は配線）として機能させることに限定されない。例えば、その遮光機能を利用して、遮光層として用いても良い。また、上記導電層の形成と同様の方法で、不純物元素を含有する半導体層を形成しても良い。本実施の形態は、実施の形態 1 と組み合わせて用いることができる。

20

【0101】

（実施の形態 3）

本実施の形態では、不純物半導体領域（第 1 の不純物半導体領域）と導電層の積層構造を形成する場合の単結晶半導体基板の加工方法について、図 5 を参照して説明する。なお、実施の形態 1 と重複する部分についての詳細は省略する。

【0102】

まず、単結晶半導体基板 110 を用意する（図 5（A）参照）。単結晶半導体基板 110 の詳細については、実施の形態 1 を参照することができるため、ここでは省略する。

30

【0103】

単結晶半導体基板 110 を洗浄した後、単結晶半導体基板 110 の表面に絶縁層 112 を形成する。絶縁層 112 の詳細についても実施の形態 1 と同様である。

【0104】

次に、単結晶半導体基板 110 に一導電型を付与する不純物元素を添加して、第 1 の不純物半導体領域 119 を形成する（図 5（B）参照）。なお、単結晶半導体基板 110 上には絶縁層 112 が形成されているため、一導電型を付与する不純物元素は絶縁層 112 を通過して単結晶半導体基板 110 に添加されることになる。ここで、第 1 の不純物半導体領域 119 の厚さは、30 nm 乃至 200 nm、好ましくは 50 nm 乃至 100 nm 程度とする。

40

【0105】

上記一導電型を付与する不純物元素としては、例えば、リンなどを用いる。これにより、n 型の第 1 の不純物半導体領域 119 を形成することができる。もちろん、ボロンなどを用いて p 型の第 1 の不純物半導体領域 119 を形成しても良い。なお、ここでは、イオンビーム 142 を照射して第 1 の不純物半導体領域 119 を形成する場合について示したが、開示する発明の一態様はこれに限定して解釈されない。例えば、第 1 の不純物半導体領域 119 を熱拡散法により形成しても良い。ただし、熱拡散法では 900 程度又はそれ以上の高温処理が行われるため、損傷領域を形成する前に行うことが必要となる。又は、あらかじめ一導電型を付与する不純物元素が添加された単結晶半導体基板を用いて、上記不純物元素の添加を省略しても良い。

50

【0106】

なお、不純物元素の濃度については特に限定しないが、例えば、 1×10^{19} atoms/cm³以上 5×10^{21} atoms/cm³以下程度とすると良い。また、上記の方法により作製された第1の不純物半導体領域119は実質的に単結晶半導体である。

【0107】

次に、絶縁層112を介して、電界で加速されたイオンでなるイオンビーム140を単結晶半導体基板110に照射し、単結晶半導体基板110の表面(第1の不純物半導体領域119の表面)から所定の深さの領域に、損傷領域114を形成する(図5(C)参照)。詳細については実施の形態1を参照すればよい。

【0108】

上記の損傷領域114を形成した後、絶縁層112を除去し、導電層118を形成する(図5(D)参照)。導電層118は、後の工程における熱処理に耐え得るものとする必要がある。このため、導電層118は、高融点金属材料を用いて形成することが好ましい。例えば、チタン、モリブデン、タングステン、タンタル、クロム、ニッケルなどを用いることができる。また、前述の金属材料と、金属材料の窒化物との積層構造としても良い。例えば、窒化チタン層とチタン層の積層構造、窒化タンタル層とタンタル層の積層構造、窒化タングステン層とタングステン層の積層構造などを用いることができる。なお、導電層118は、蒸着法やスパッタリング法を用いて形成することができる。また、電極(又は配線)として用いる場合には、その厚さを100nm以上とすることが好ましい。

【0109】

次に、導電層118上に絶縁層116を形成する(図5(E)参照)。絶縁層116は、貼り合わせに係る層であるから、その表面は、高い平坦性を有することが好ましい。このような絶縁層116としては、例えば、有機シランガスを用いて化学気相成長法により形成される酸化シリコン層を用いることができる。また、窒化シリコン層を用いても良い。

【0110】

なお、図5においては、単結晶半導体基板110上に絶縁層112を形成した後、単結晶半導体基板110に一導電型を付与する不純物元素を添加して第1の不純物半導体領域119を形成し、その後、イオンを照射して損傷領域114を形成し、絶縁層112を除去して、導電層118及び絶縁層116を形成する場合について説明しているが、開示する発明の一態様はこれに限定されない。

【0111】

例えば、以下に示すいずれの方法を採用することもできる。

【0112】

(1)単結晶半導体基板の表面に絶縁層を形成し、該絶縁層を介して単結晶半導体基板にイオン照射してその所定の深さの領域に損傷領域を形成した後、一導電型を付与する不純物元素を照射して第1の不純物半導体領域を形成する。絶縁層を除去した後、第1の不純物半導体領域上に導電層を形成し、該導電層上に絶縁層を形成する。この場合、不純物元素が添加されていない単結晶半導体基板にイオンを照射して損傷領域を形成することになるため、損傷領域のばらつき低減が実現される。

【0113】

(2)単結晶半導体基板の表面に導電層を形成する。該導電層を介して単結晶半導体基板に一導電型を付与する不純物元素を照射して、第1の不純物半導体層を形成する。さらに、導電層を介して単結晶半導体基板にイオンを照射してその所定の深さの領域に損傷領域を形成した後、導電層上に絶縁層を形成する。この場合、導電層が保護層として機能するため、保護層として機能する絶縁層を別途設ける必要がなく、工程の短縮につながる。

【0114】

(3)単結晶半導体基板の表面に導電層を形成する。導電層を介して単結晶半導体基板にイオンを照射してその所定の深さの領域に損傷領域を形成した後、一導電型を付与する不純物元素を照射して第1の不純物半導体領域を形成する。そして、導電層上に絶縁層を形成する。この場合にも、導電層が保護層として機能するため、保護層として機能する絶縁

10

20

30

40

50

層を別途設ける必要がなく、工程の短縮につながる。

【0115】

以上により、不純物半導体領域（第1の不純物半導体領域）と導電層の積層構造を有する単結晶半導体基板を作製することができる。本実施の形態は、実施の形態1又は実施の形態2と適宜組み合わせ用いることができる。

【0116】

（実施の形態4）

本実施の形態では、半導体装置に用いることができる半導体基板の作製方法の一例について、図6及び図7を参照して説明する。なお、本実施の形態では、実施の形態3において作製した単結晶半導体基板を用いる。また、以下の説明において、実施の形態1乃至実施の形態3と重複する部分の詳細については省略する。

10

【0117】

はじめに、支持基板100を用意する（図6（A）参照）。支持基板100の詳細については、実施の形態1を参照すればよい。

【0118】

次に、単結晶半導体基板110を用意する（図6（B）参照）。ここで用意される単結晶半導体基板110には、実施の形態3で示す加工が施されている。すなわち、単結晶半導体基板110には、損傷領域114、第1の不純物半導体領域119、導電層118、絶縁層116が設けられている。

20

【0119】

その後、上記の支持基板100と単結晶半導体基板110とを貼り合わせる（図6（C）参照）。具体的には、支持基板100及び絶縁層116の表面を超音波洗浄などの方法で洗浄した後、支持基板100の表面と絶縁層116の表面とが接触するように配置する。そして、支持基板100の表面と絶縁層116の表面とが貼り合わせられるように、加圧処理を施す。その他の詳細については、実施の形態1を参照することができる。

【0120】

次に、単結晶半導体基板110を、損傷領域114にて、第1の不純物半導体層121と単結晶半導体基板130とに分離する（図6（D）参照）。単結晶半導体基板110の分離は、加熱処理により行う。詳細については、実施の形態1を参照すればよい。

30

【0121】

上述のようにして形成された第1の不純物半導体層121の表面には、分離工程やイオン打ち込み工程による欠陥が存在し、また、その平坦性は損なわれている（図6（E）参照）。そこで、本実施の形態では、第1の不純物半導体層121の欠陥修復処理又は表面平坦化処理を行う。なお、当該欠陥修復処理又は表面平坦化処理が不要な場合には適宜省略しても良い。

【0122】

欠陥修復処理や、表面平坦化処理としては、例えば、レーザ光照射を用いることができる。レーザ光を第1の不純物半導体層121の上方から照射することで、第1の不純物半導体層121上部が溶融し、その後、冷却、固化することで、欠陥が修復され、また、表面の平坦性が向上する。レーザ光の照射の際には、支持基板の耐熱温度の範囲内における加熱を行う構成としても良い。支持基板を加熱することにより、欠陥の低減を効果的に進めることができる。

40

【0123】

なお、上記レーザ光の照射による第1の不純物半導体層121の溶融は、部分溶融とする。完全溶融とする場合には、液相となった後の無秩序な核発生により微結晶化し、結晶性が低下する可能性が高まるためである。一方で、部分溶融させることにより、溶融されていない固相部分から結晶成長が進行する。これにより、半導体層中の欠陥を減少させることができる。ここで、完全溶融とは、第1の不純物半導体層121が下部界面付近まで溶融されて、液相となることをいう。他方、部分溶融とは、この場合、第1の不純物半導体層121の上部は溶融して液相となるが、下部は溶融せずに固相のままであることをいう

50

。なお、その他の条件などについては実施の形態 1 を参照することができる。

【0124】

以上により、欠陥が修復され、表面が平坦化された第 1 の不純物半導体層 123 を有する半導体基板を作製することができる（図 6（F）参照）。

【0125】

次に、第 1 の不純物半導体層 123 上に第 1 の半導体層 122A をエピタキシャル成長（気相成長、気相エピタキシャル成長）させる（図 7（A）参照）。すなわち、第 1 の半導体層 122A は、第 1 の不純物半導体層 123 の結晶性の影響を受けた半導体層である。ここで、第 1 の半導体層 122A は、第 1 の不純物半導体層 123 に合わせて材料を選択し、形成すればよい。第 1 の半導体層 122A としてシリコン層を形成する場合には、例えば、シラン系ガス（代表的にはシラン）と水素ガスとの混合ガスを原料として、プラズマ CVD 法により形成することができる。なお、上記の原料ガスには、第 1 の不純物半導体層 123 と同じ導電型を付与する不純物元素を添加しておくことが好ましい。もちろん、第 1 の半導体層 122A を形成した後に不純物元素を添加しても良い。第 1 の半導体層 122A 中の不純物濃度については特に限定しないが、第 1 の不純物半導体層 123 より低濃度とすることが好ましく、例えば、 $1 \times 10^{15} \text{ atoms/cm}^3$ 以上 $1 \times 10^9 \text{ atoms/cm}^3$ 以下程度とすると良い。また、第 1 の半導体層 122A は、5 nm 以上 100 nm 以下、好ましくは 10 nm 以上 50 nm 以下程度の厚さとなるように形成する。

10

【0126】

上記原料ガスは、シラン系ガスに対する水素ガスの流量比を 50 倍以上（好ましくは 100 倍以上）とする混合ガスである。例えば、シラン（ SiH_4 ）を 4 sccm、水素を 400 sccm で混合させて用いれば良い。水素ガスの流量を高めることにより、結晶性の高い半導体層を形成することができる。これにより、半導体層中の水素含有量を低減することができる。詳細な条件については、実施の形態 1 を参照することができる。

20

【0127】

次に、第 1 の半導体層 122A 上に第 2 の半導体層 122B を形成する（図 7（B）参照）。ここで、第 2 の半導体層 122B は、第 1 の半導体層 122A に合わせて材料を選択し、形成する。また、第 2 の半導体層 122B には、第 1 の半導体層 122A と同様の不純物元素を添加する。不純物元素の濃度については、第 1 の半導体層 122A と同程度とすることが好ましい。また、第 2 の半導体層 122B は、200 nm 以上（好ましくは 400 nm 以上）の厚さとなるように形成する。

30

【0128】

第 2 の半導体層 122B は、第 1 の半導体層 122A と比較して結晶性が低い半導体層とする。または、第 2 の半導体層 122B は、第 1 の半導体層 122A と比較して水素濃度が高い半導体層（水素含有量大きい半導体層）とする。このような第 2 の半導体層 122B としては、例えば、非晶質半導体層を形成すればよい。詳細については、実施の形態 1 を参照することができる。

【0129】

その後、熱処理を行い、固相エピタキシャル成長（固相成長）による第 2 の不純物半導体層 125 を形成する（図 7（C）参照）。なお、第 1 の半導体層 122A は第 2 の不純物半導体層 125 の下層領域 125A に対応し、第 2 の半導体層 122B は第 2 の不純物半導体層 125 の上層領域 125B に対応する。また、第 2 の不純物半導体層 125 は実質的に単結晶半導体である。熱処理の詳細についても、実施の形態 1 を参照することができる。

40

【0130】

以上により、第 1 の不純物半導体層 123 と第 2 の不純物半導体層 125 の積層構造が形成される。ここで、第 2 の不純物半導体層 125 を厚く（例えば、500 nm 以上）形成するために、気相成長法のみを用いることは、成膜速度の点から好ましくない。一方で、固相成長法のみを用いて第 2 の不純物半導体層 125 を形成する場合には、熱処理に起因

50

する半導体層の剥離の問題が生じることになる。これは、成膜直後の半導体層（例えば、非晶質半導体層）が多量の水素を含有することに起因するものと考えられる。

【0131】

本実施の形態では、気相成長により第1の半導体層122A（結晶性が高い半導体層、水素濃度が低い半導体層）を薄く形成した後、第2の半導体層122B（結晶性が低い半導体層、水素濃度が高い半導体層）を厚く形成し、その後、固相成長を行うことで第2の不純物半導体層125を形成している。これにより、成膜速度を確保しつつ、半導体層の剥離の問題を解消することができる。つまり、生産性良く、且つ、歩留まり良く、所定の厚さを有する不純物半導体層（単結晶の不純物半導体層）を形成することができる。本実施の形態は、実施の形態1乃至実施の形態3と適宜組み合わせ用いることができる。

10

【0132】

（実施の形態5）

本実施の形態では、半導体装置の一例として、パワーMOSFETの構成について図8及び図9を用いて説明する。なお、本実施の形態においては、実施の形態4に示す方法で作製した半導体基板を用いる場合について説明するが、開示する発明の一態様はこれに限定して解釈されるものではない。

【0133】

はじめに、図7（C）において示した半導体基板を用意する（図8（A）参照）。該半導体基板は、支持基板100上に絶縁層116、導電層118、第1の不純物半導体層123、第2の不純物半導体層125が順に積層された構造を有している。第2の不純物半導体層125の厚さは、素子に要求される耐圧によって適宜変更することができ、一例としては1 μ m以上である。また、第2の不純物半導体層125の不純物濃度は、第1の不純物半導体層123の不純物濃度より低くしておくことが望ましい。

20

【0134】

なお、本実施の形態においは、導電層118を第1の不純物半導体層123の下部全面に設ける構成としたが、開示する発明の一態様はこれに限られず、導電層118を選択的に設ける構成としても良い。本実施の形態に示すパワーMOSFETにおいて、導電層118はドレイン電極層（又はソース電極層）として機能する。また、第1の不純物半導体層123はドレイン領域（又はソース領域）として機能する。

【0135】

次に、第2の不純物半導体層125にp型を付与する不純物元素（例えばボロンなど）及びn型を付与する不純物元素（例えばリンなど）を選択的に添加して、第2の不純物半導体層とは異なる導電型の領域202及び第2の不純物半導体層と同じ導電型の領域204を形成する（図8（B）参照）。ここで、領域202の一部は後のチャネル形成領域として機能し、領域204は後のソース領域（又はドレイン領域）として機能する。また、領域204の不純物濃度は第2の不純物半導体層の不純物濃度より高くなっている。

30

【0136】

領域202及び領域204を形成した後に、第2の不純物半導体層125上にゲート絶縁層206を形成し、該ゲート絶縁層206上にゲート電極層208を選択的に形成する。そして、該ゲート電極層208を覆うように絶縁層210を形成する（図8（C）参照）。ここで、ゲート電極層208は、少なくともその一部が領域204と重なりを有するように設けることが好ましい。これにより電界の集中が緩和されるため、耐圧を一層向上することができる。

40

【0137】

ゲート絶縁層206は、酸化シリコンや酸化窒化シリコン、窒化酸化シリコン、窒化珪素、酸化ハフニウム、酸化アルミニウム、酸化タンタル等の材料を用いて形成することができる。作製方法としては、プラズマCVD法やスパッタリング法、高密度プラズマ処理による酸化または窒化による方法などを挙げることができる。絶縁層210についても、ゲート絶縁層206と同様にして形成することができるが、ゲート絶縁層206とは異なる材料を用いても良い。例えば、有機材料を含む絶縁性材料などを用いることができる。

50

【0138】

ゲート電極層208は、導電層118と同様にして形成することができる。すなわち、チタン、モリブデン、タングステン、タンタル、クロム、ニッケル、アルミニウム、銅などの金属材料を用いて形成すると良い。または、前述の金属材料と、金属材料の窒化物との積層構造としても良い。

【0139】

続いて、絶縁層210及びゲート絶縁層206に開口を形成した後、領域204と電氣的に接続される導電層212を形成する(図8(D)参照)。なお、導電層212はソース配線(又はドレイン配線)として機能する。

【0140】

絶縁層210及びゲート絶縁層206の開口は、マスクを用いた選択的なエッチングにより形成することができる。また、導電層212は、導電層118やゲート電極層208と同様にして形成すれば良い。

【0141】

以上により、いわゆるパワーMOSFETを作製することができる。図9に、本実施の形態におけるパワーMOSFETの平面図と断面図の関係を示す。図9(A)は本実施の形態におけるパワーMOSFETの断面図であり、図9(B)は平面図である。ここで、図9(A)は、図9(B)のA-Bにおける断面に対応している。なお、図9(B)では簡単のため、ゲート絶縁層206、ゲート電極層208、絶縁層210、導電層212など、構成要素の一部を省略している。

【0142】

また、各層の位置関係や接続関係は、図9に示す構成に限定されない。例えば、ゲート電極層208の一部と導電層118を電氣的に接続して、ゲート電極層208の一部を導電層118についての配線として機能させることも可能である。

【0143】

なお、本実施の形態においては、領域202及び領域204を円形としている(図9(B)参照)が、開示する発明の一態様はこれに限定されない。矩形としても良いし、その他の形状であっても良い。本実施の形態において示したように、領域202及び領域204を円形にすることで、チャンネル長Lを均一にすることができる。これにより、チャンネル形成領域における電界の集中を緩和することができるため、トランジスタの耐圧向上につながる。また、導電層118は、大電流を伴うトランジスタの廃熱の効率を向上するという効果を有する。

【0144】

本実施の形態は、実施の形態1乃至実施の形態4と適宜組み合わせる用いることができる。

【0145】

(実施の形態6)

本実施の形態では、実施の形態1などに示す方法で作製した半導体基板を用いた半導体装置の作製方法について、図10及び図11を参照して説明する。ここでは特に、CMOS構造に用いられるn型FET及びp型FETを作製する場合について示すが、上記半導体基板を用いて作製される半導体素子はこれに限定されない。また、本実施の形態においては、実施の形態1に準ずる方法で作製した半導体基板を用いる場合について説明するが、開示する発明の一態様はこれに限定して解釈されるものではない。

【0146】

まず、実施の形態1などに従って半導体基板を得た後、第2の単結晶半導体層124上に素子分離絶縁層を形成するためのマスクとなる保護層300を形成する(10(A)参照)。保護層300には、酸化シリコン膜や窒化シリコン膜などを用いる。なお、本実施の形態において用いる半導体基板は、基本的に実施の形態1に従って作製されるものと同等であるが、第1の単結晶半導体層120と第2の単結晶半導体層124の界面、及び第2の単結晶半導体層124の表面が平坦化处理されている点において、実施の形態1に示す

10

20

30

40

50

半導体基板とは異なっている。もちろん、平坦化処理が不要である場合には、特に平坦化処理を行わなくとも良いし、第1の単結晶半導体層120と第2の単結晶半導体層124の界面、又は第2の単結晶半導体層124の表面のいずれか一方にのみ、平坦化処理を行っても良い。

【0147】

第1の単結晶半導体層120及び第2の単結晶半導体層124には、しきい値電圧を制御するために、硼素、アルミニウム、ガリウムなどのp型不純物や、リン、ヒ素などのn型不純物を添加しておいても良い。例えば、p型不純物として硼素を $5 \times 10^{17} \text{ cm}^{-3}$ 以上 $1 \times 10^{18} \text{ cm}^{-3}$ 以下の濃度で添加することができる。なお、本実施の形態においては上記単結晶半導体層として単結晶シリコンを用いる場合について説明することとする。

10

【0148】

次いで、保護層300をマスクとして用いてエッチングを行い、露出している領域の第2の単結晶半導体層124及び第1の単結晶半導体層120を除去する。もちろん、絶縁層116の一部を同時に除去する構成としてもよいし、第2の単結晶半導体層124の一部のみを除去する構成としても良い。そして、その後、絶縁層を堆積する。該絶縁層は、例えば、酸化シリコン膜とすることができる。この場合には、化学気相成長法をはじめとする各種成膜技術を用いて形成すればよい。該絶縁層は、第2の単結晶半導体層124に埋め込まれるように厚く堆積する。

【0149】

次に、単結晶半導体層124に重なる絶縁層の一部を研磨やエッチング等により除去する。そして、保護層300を除去した後、上記絶縁層の一部からなる素子分離絶縁層302を残存させる(図10(B)参照)。なお、本実施の形態においては、素子分離絶縁層302を設ける構成としているが、これに限定して解釈する必要はなく、素子分離絶縁層302を設けない構成としても良い。

20

【0150】

次に、絶縁層304を形成し、第1の絶縁膜上にゲート電極306を形成する(図10(C)参照)。絶縁層304は後のゲート絶縁層として機能する。絶縁層304は、PECVD法やスパッタリング法などを用いて形成することができる。また、絶縁層304は、酸化シリコン、窒化酸化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム又は酸化タンタルなどを用いて形成することが好ましい。なお、絶縁層304は、単層構造としても良いし、積層構造としても良い。ここでは、PECVD法を用いて第2の単結晶半導体層124の表面を覆う20nm程度の厚さの酸化珪素膜を単層構造で形成する。

30

【0151】

絶縁層304の形成方法としては、他にも、高密度プラズマ処理による第2の単結晶半導体層124表面の酸化又は窒化などがある。該高密度プラズマ処理は、例えば、He、Ar、Kr、Xeなどの希ガス、酸素、窒素、水素、酸化窒素、アンモニアなどの混合ガスを用いて行うことができる。この場合、マイクロ波を用いてプラズマを励起することで、低電子温度で高密度のプラズマを生成することができる。プラズマ中の酸素ラジカル(OHラジカルを含む)や窒素ラジカル(NHラジカルを含む)によって、第2の単結晶半導体層124の表面を酸化又は窒化することにより、1nm以上50nm以下(望ましくは5nm以上30nm以下)の絶縁層を第2の単結晶半導体層124表面に形成することができる。

40

【0152】

なお、本実施の形態においては、第2の単結晶半導体層124に対して平坦化処理を施しているため、厚さ20nm程度の絶縁層を用いても、十分なゲート耐圧を得ることができる。

【0153】

ゲート電極306には、耐熱性の高い材料を用いると好ましい。例えば、チタン、モリブデン、タングステン、タンタル、クロム、ニッケルなどを用いることができる。もちろん

50

、アルミニウム、銅などの低抵抗材料を用いてゲート電極 306 を形成しても良い。

【0154】

なお、本実施の形態においては、ゲート電極 306 を単層構造としているが、積層構造としても良い。また、上記の材料を組み合わせることもできる。この場合、例えば、チタンとアルミニウムの積層構造や、タングステンとアルミニウムの積層構造など、耐熱性の高い材料と低抵抗材料を組み合わせるとよい。また、上記金属材料と、金属材料の窒化物との積層構造としても良い。例えば、窒化チタン層とチタン層の積層構造、窒化タンタル層とタンタル層の積層構造、窒化タングステン層とタングステン層の積層構造などを用いることができる。なお、ゲート電極 306 は、蒸着法やスパッタリング法などを用いて形成すればよい。

10

【0155】

次に、ゲート電極 306 をマスクとして用いて絶縁層 304 をエッチングし、ゲート絶縁層 308 を形成する。このエッチングの際に、素子分離絶縁層 302 の一部がエッチングされる。その後、ゲート電極 306 を覆う絶縁層 310 を形成する（図 10 (D) 参照）。

【0156】

次に、後の n 型 FET となる領域に、リン (P) や砒素 (As) などを低濃度にドーピングして第 1 の不純物領域 312 を形成し、後の p 型 FET となる領域に、硼素 (B) などを低濃度にドーピングして第 2 の不純物領域 314 を形成する（図 11 (A) 参照）。なお、ここでは絶縁層 310 を形成した後、不純物領域を形成する構成としているが、先に不純物領域を形成してから絶縁層 310 を形成する構成としても良い。

20

【0157】

その後、サイドウォール絶縁層 316、及びサイドウォール絶縁層 318 を形成する（図 11 (B) 参照）。p 型 FET となる領域のサイドウォール絶縁層 318 は、n 型 FET となる領域のサイドウォール絶縁層 316 よりも幅を広くすると良い。

【0158】

次に、絶縁層 310 を部分的にエッチングして、第 1 の不純物領域 312 の表面及び第 2 の不純物領域 314 の表面を露出させる。この際、ゲート電極 306 の上面も露出されることになる。そして、n 型 FET となる領域にリン (P) や砒素 (As) などを高濃度にドーピングして第 3 の不純物領域 320 を形成し、p 型 FET となる領域に硼素 (B) などを高濃度にドーピングして第 4 の不純物領域 322 を形成する（図 11 (C) 参照）。なお、ここでは絶縁層 310 を部分的にエッチングした後、不純物領域を形成する構成としているが、先に上記の不純物領域を形成してから絶縁層 310 をエッチングする構成としても良い。

30

【0159】

次に、層間絶縁層 324 を形成し、第 3 の不純物領域 320 及び第 4 の不純物領域 322 に達するコンタクトプラグ 326 及びコンタクトプラグ 328 を形成する。以上により、支持基板 100 上に形成された単結晶半導体層を用いて、n 型 FET 330 と p 型 FET 332 を作製することができる（図 11 (D) 参照）。

【0160】

これらの n 型 FET 330 と p 型 FET 332 を相補的に組み合わせることによって CMOS 構造を構成することができる。また、このような半導体素子を用いることで、様々な半導体装置を作製することが可能である。

40

【0161】

なお、単結晶半導体層（単結晶シリコン層）の厚みが 300 nm 以上である部分空乏型の FET では、トランジスタのオン状態において形成されるチャネル領域の下部に、熱伝導度が絶縁体と比較して高い半導体（シリコン）が存在することになるため、チャネル領域が大電流によって発熱する場合であっても、熱を効果的に拡散することができる。これにより、チャネル領域の温度変化を抑え、トランジスタ特性の変化を抑制することができるため、大電流向けのデバイスとして好適である。また、単結晶半導体層（単結晶シリコン

50

層)の厚みが300nm以上になると、FETに限らず、高速に動作するバイポーラトランジスタの形成も容易である。

【0162】

本実施の形態は、実施の形態1乃至実施の形態5と適宜組み合わせ用いることができる。

【実施例1】

【0163】

本実施例では、開示する発明の一態様である方法を用いてガラス基板上に形成された単結晶シリコン層の特性について、図12を用いて説明する。

【0164】

まず、上記実施の形態において説明した方法を用いて、ガラス基板上に単結晶シリコン層を形成する。本実施例では、厚さ0.7mmのガラス基板上に、厚さ50nmの酸化シリコン層と、厚さ50nmの窒化酸化シリコン層と、厚さ120nmの単結晶シリコン層からなる積層構造を形成した。そして、その後、上記単結晶シリコン層上に、結晶性が高いシリコン層と、結晶性が低いシリコン層を順に形成した。

【0165】

結晶性が高いシリコン層の作製条件は、以下の通りである。

- ・成膜法：プラズマCVD
- ・原料ガス：シラン(4sccm) + 水素(400sccm)
- ・電力(周波数)：15W(60MHz)
- ・圧力：100Pa
- ・電極間隔：20mm
- ・ガラス基板温度：280
- ・膜厚：20nm

【0166】

また、結晶性が低いシリコン層の作製条件は、以下の通りである。

- ・成膜法：プラズマCVD
- ・原料ガス：シラン(25sccm) + 水素(150sccm)
- ・電力(周波数)：30W(27MHz)
- ・圧力：66.6Pa
- ・電極間隔：25mm
- ・ガラス基板温度：280
- ・膜厚：480nm

【0167】

上記結晶性が低いシリコン層を作製した段階で、該結晶性が低いシリコン層の特性を観察した。具体的には、顕微鏡による半導体層の表面観察、ラマンスペクトル観察、EBS P (Electron Back Scattering Pattern) 観察を行った。

【0168】

その後、固相成長(固相エピタキシャル成長)により、結晶性が高いシリコン層と結晶性が低いシリコン層を単結晶化した。具体的には、ガス加熱式のRTA(GRTA; Gas Rapid Thermal Anneal)装置を用いて、650、6分の熱処理を行った。なお、本実施例で形成した結晶性が高いシリコン層は、極めて単結晶シリコンに近い性質を有しているため、上記の加熱処理によって結晶性が大きく変化することはない。もちろん、結晶性が高いシリコン層が単結晶シリコンに近い性質を有しない場合には、固相成長により単結晶化されることになる。また、この段階では、上記シリコン層の剥離は発生しなかった。上記の熱処理後、再度、表面観察、ラマンスペクトル観察、EBS P 観察を行った。

【0169】

図12に上記観察結果をまとめて示す。左列は熱処理前の観察結果であり、右列は熱処理後の観察結果である。これらの比較から、加熱処理の前後において、シリコン層の特性が

10

20

30

40

50

大きく変化していることが分かる。例えば、加熱処理後のラマンスペクトルのピーク波数は 519.1 cm^{-1} であり、また、そのピークが急峻である（半値全幅で 5.33 cm^{-1} ）。さらに、EBSP観察より、結晶の配列が十分に整っており、実質的に単結晶化していることが分かる。

【0170】

以上の観察結果から、開示する発明の一態様において示した方法を用いることで、優れた特性の半導体装置を提供できると言える。

【0171】

（比較例）

比較のため、単結晶シリコン層に結晶性が低いシリコン層を直接形成して加熱処理を行った。なお、本比較例では、結晶性が高いシリコン層と結晶性が低いシリコン層の積層構造に代えて、結晶性が低いシリコン層（膜厚：500nm）を用いているが、それ以外の条件については、上記実施例と同じ条件を採用した。

10

【0172】

加熱処理の結果、本比較例において、結晶性が低いシリコン層の剥離が発生した。これは、単結晶シリコン層と、結晶性が低いシリコン層との密着性が低いためと考えられる。本比較例によって、開示する発明の一態様である作製方法の有効性が確認できる。

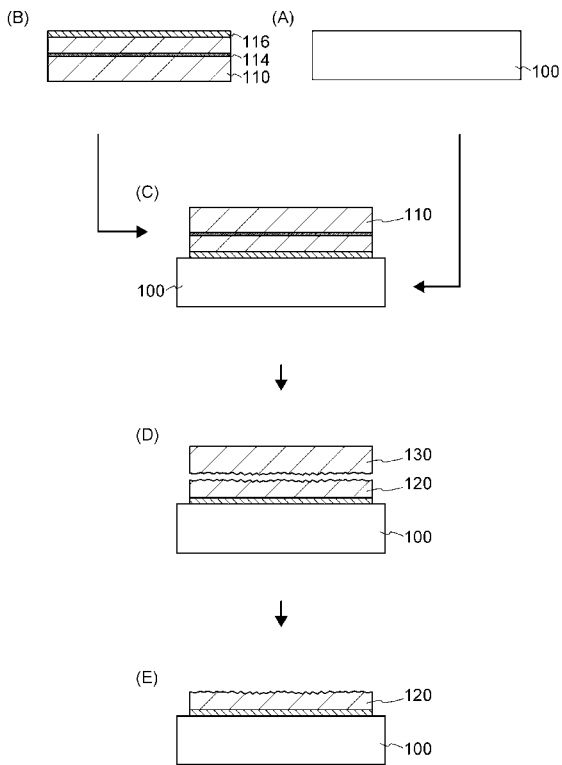
【符号の説明】

【0173】

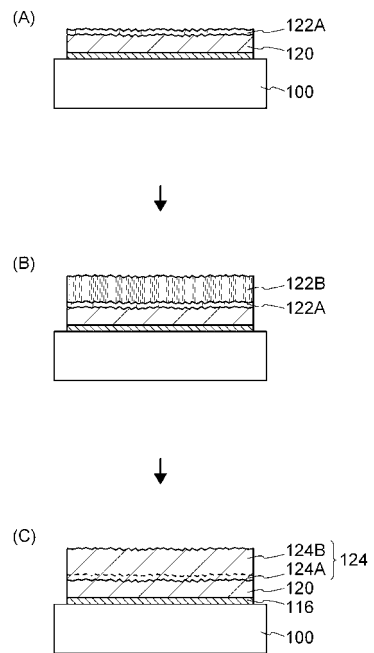
100	支持基板	20
110	単結晶半導体基板	
112	絶縁層	
114	損傷領域	
116	絶縁層	
118	導電層	
119	不純物半導体領域	
120	単結晶半導体層	
121	不純物半導体層	
122 A	半導体層	
122 B	半導体層	30
123	不純物半導体層	
124	単結晶半導体層	
124 A	下層領域	
124 B	上層領域	
125	不純物半導体層	
125 A	下層領域	
125 B	上層領域	
130	単結晶半導体基板	
140	イオンビーム	
142	イオンビーム	40
202	領域	
204	領域	
206	ゲート絶縁層	
208	ゲート電極層	
210	絶縁層	
212	導電層	
300	保護層	
302	素子分離絶縁層	
304	絶縁層	
306	ゲート電極	50

- 3 0 8 ゲート絶縁層
- 3 1 0 絶縁層
- 3 1 2 不純物領域
- 3 1 4 不純物領域
- 3 1 6 サイドウォール絶縁層
- 3 1 8 サイドウォール絶縁層
- 3 2 0 不純物領域
- 3 2 2 不純物領域
- 3 2 4 層間絶縁層
- 3 2 6 コンタクトプラグ
- 3 2 8 コンタクトプラグ
- 3 3 0 n型FET
- 3 3 2 p型FET

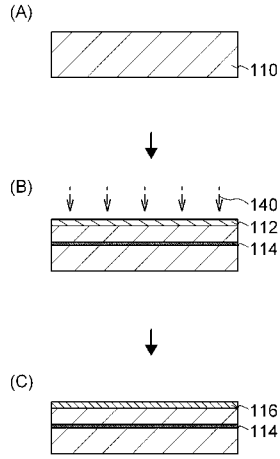
【図1】



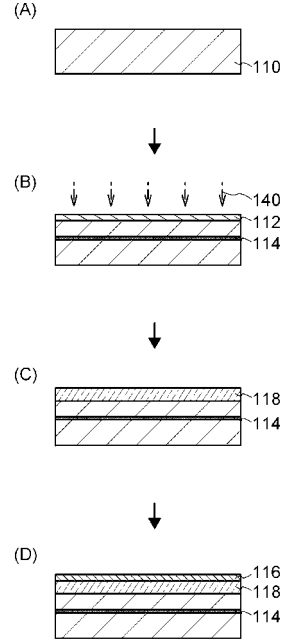
【図2】



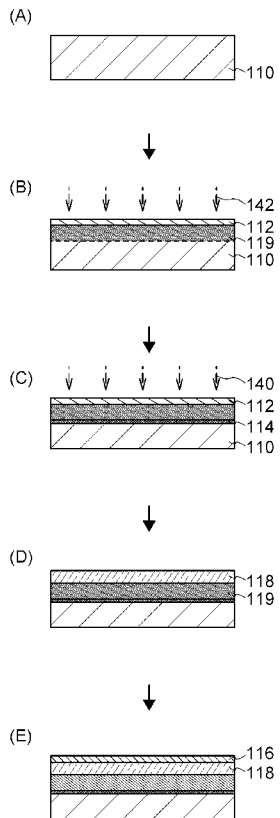
【 図 3 】



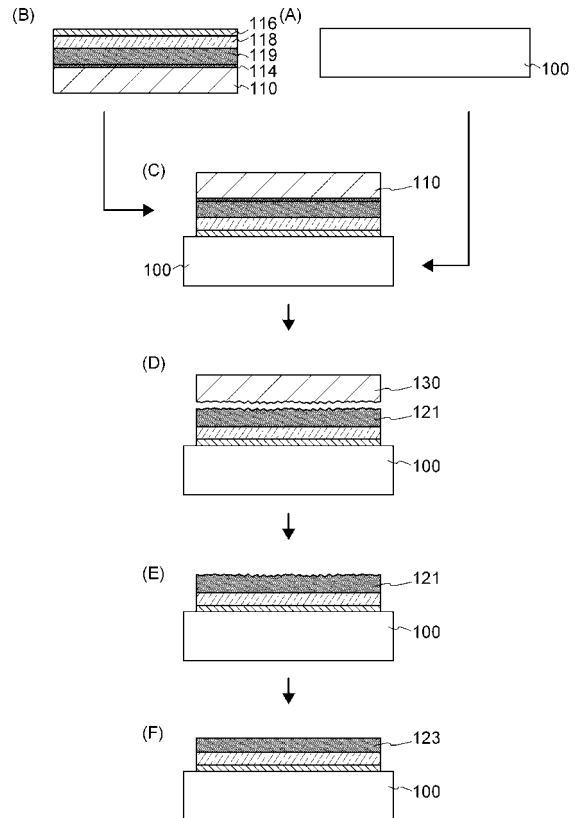
【 図 4 】



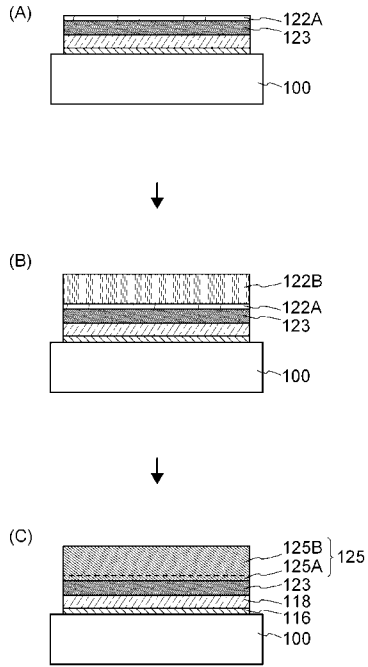
【 図 5 】



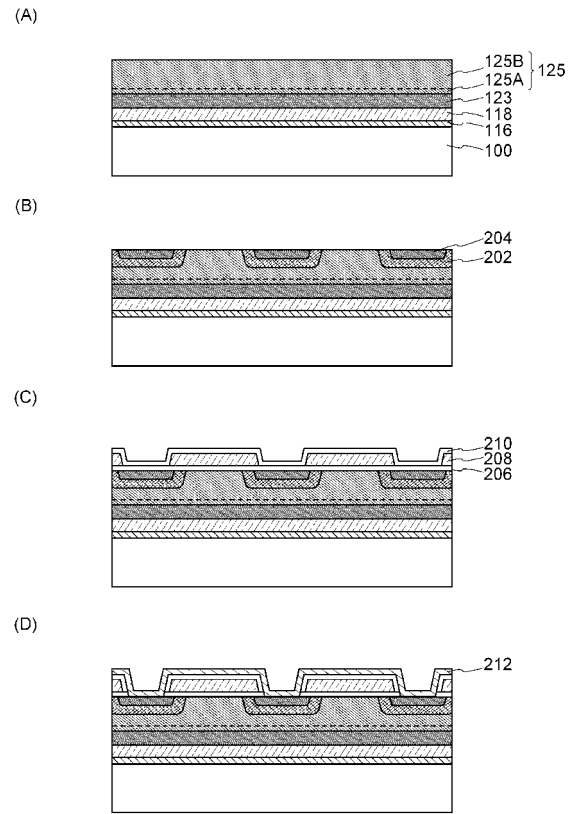
【 図 6 】



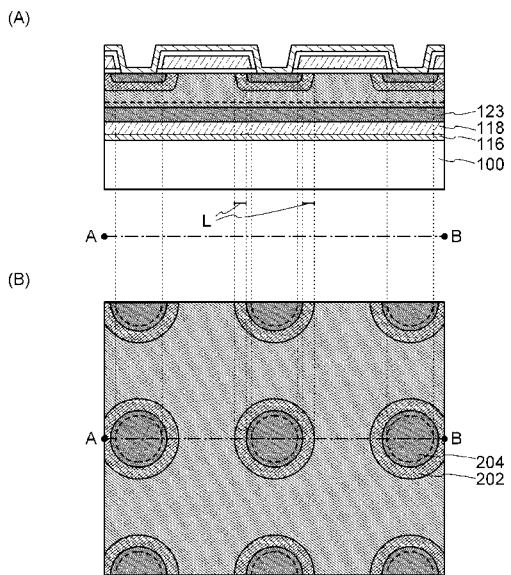
【 図 7 】



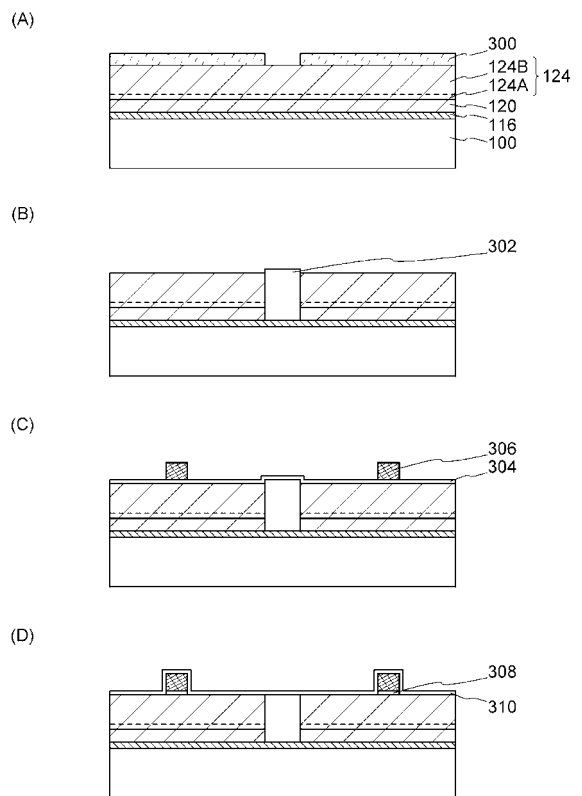
【 図 8 】



【 図 9 】

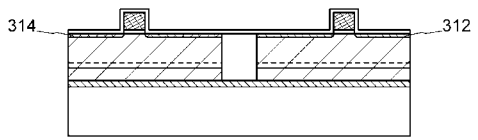


【 図 10 】

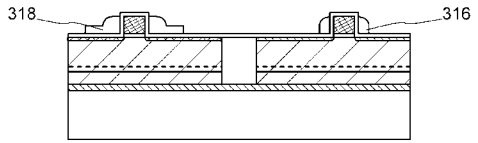


【図 11】

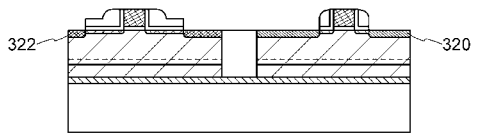
(A)



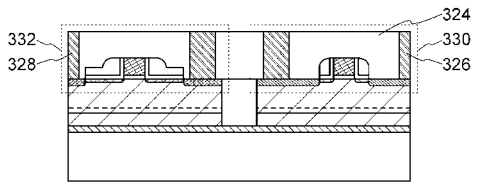
(B)



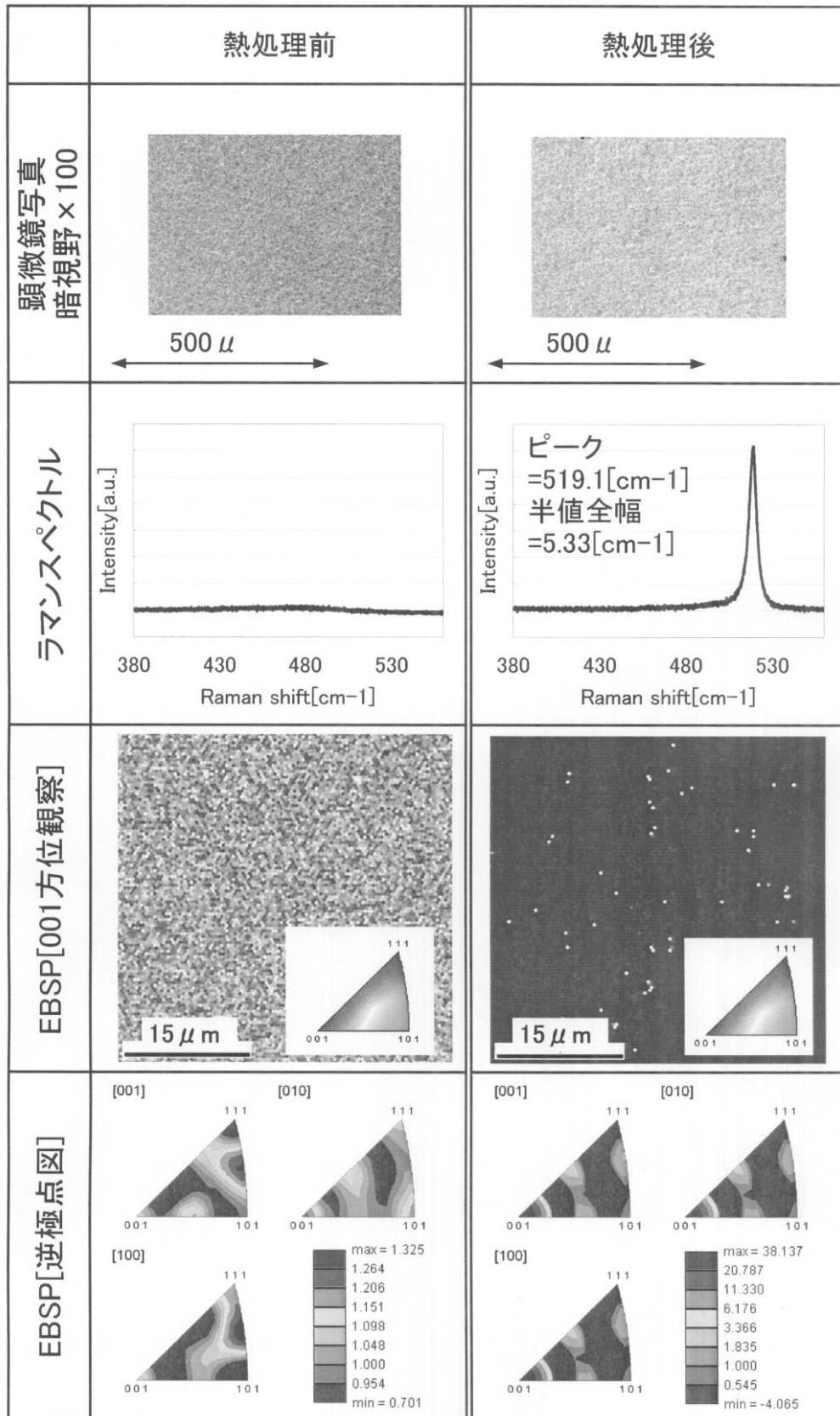
(C)



(D)



【 図 1 2 】



フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
H 0 1 L 29/78 (2006.01)	H 0 1 L 29/78	6 2 7 G
H 0 1 L 21/20 (2006.01)	H 0 1 L 27/12	R
	H 0 1 L 21/20	
	H 0 1 L 29/78	6 5 2 S
	H 0 1 L 29/78	6 5 2 L
	H 0 1 L 29/78	6 5 8 F
	H 0 1 L 29/78	6 5 8 K

Fターム(参考)	5F110	AA30	BB04	CC02	CC09	DD01	DD02	DD03	DD04	DD12	DD13
		DD14	DD15	DD17	EE02	EE03	EE04	EE32	EE43	EE44	FF01
		FF02	FF03	FF04	FF22	FF25	FF26	FF28	FF30	GG01	GG02
		GG03	GG04	GG12	GG24	GG32	GG34	GG42	GG45	HJ01	HJ12
		HM15	NN02	NN62	PP02	PP10	QQ11	QQ17	QQ19		
	5F152	AA12	AA13	BB01	BB02	BB04	CC02	CC03	CC05	CC06	CC07
		CC08	CD13	CD14	CD15	CE03	CE06	CE07	CE08	EE11	EE14
		EE16	FF02	FF03	FF04	FF06	FF07	FF08	FF11	FF21	FF22
		FF28	FF29	FG01	FG04	FG18	LL04	LL16	LL18	LM09	LP01
		LP07	MM02	MM04	MM07	NN01	NN03	NN12	NN13	NN14	NN16
		NN19	NP13	NP14	NQ02	NQ03	NQ04	NQ05	NQ06		