

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5836024号
(P5836024)

(45) 発行日 平成27年12月24日 (2015. 12. 24)

(24) 登録日 平成27年11月13日 (2015. 11. 13)

(51) Int. Cl.	F I	
G09G 3/36 (2006.01)	G09G 3/36	
G09G 3/30 (2006.01)	G09G 3/30	J
G09G 3/20 (2006.01)	G09G 3/20	6 2 2 E
G02F 1/133 (2006.01)	G09G 3/20	6 2 2 D
G11C 19/00 (2006.01)	G09G 3/20	6 1 1 J
請求項の数 4 (全 14 頁) 最終頁に続く		

(21) 出願番号 特願2011-193730 (P2011-193730)
 (22) 出願日 平成23年9月6日 (2011. 9. 6)
 (65) 公開番号 特開2013-54272 (P2013-54272A)
 (43) 公開日 平成25年3月21日 (2013. 3. 21)
 審査請求日 平成26年9月5日 (2014. 9. 5)

(73) 特許権者 502356528
 株式会社ジャパンディスプレイ
 東京都港区西新橋三丁目7番1号
 (74) 代理人 110000154
 特許業務法人はるか国際特許事務所
 (72) 発明者 官本 素明
 千葉県茂原市早野3300番地 株式会社
 日立ディスプレイズ内
 (72) 発明者 落合 孝洋
 千葉県茂原市早野3300番地 株式会社
 日立ディスプレイズ内
 審査官 西島 篤宏

最終頁に続く

(54) 【発明の名称】 駆動回路及び表示装置

(57) 【特許請求の範囲】

【請求項1】

複数の走査信号線に対してトランジスタを導通させる電位であるアクティブ電位を順に出力する表示装置の駆動回路であって、

前記複数の走査信号線に、それぞれ電氣的に接続された複数の出力回路を備え、

前記複数の出力回路は、

n番目 (nは奇数または偶数) の前記走査信号線に前記アクティブ電位を出力する n番目の出力回路と、

(n - 2) 番目の前記走査信号線に前記アクティブ電位を出力する (n - 2) 番目の出力回路とを有し、

前記複数の出力回路のうち、一の出力回路は、

前記複数の走査信号線のうちの一の走査信号線とクロック信号線との電氣的接続を制御する第1トランジスタと、

前記第1トランジスタのゲートに接続され、前記走査信号線に前記アクティブ電位が出力される期間を含む期間である第1期間にアクティブ電位となる第1ノードと、

トランジスタを導通させない電位である非アクティブ電位を保持する非アクティブ信号線と前記第1ノードとを、前記第1期間以外の期間である第2期間において電氣的に接続するように制御する第2トランジスタと、

前記第2トランジスタのゲートに接続された第2ノードと、

前記非アクティブ信号線と前記第2ノードとを前記第1期間において電氣的に接続する

第3トランジスタと、を有し、

前記n番目の出力回路についての前記第1期間は、

前記(n-2)番目の出力回路が出力するアクティブ電位により、前記n番目の出力回路の前記第1ノードがアクティブ電位となると共に、前記第3トランジスタが導通して前記第2ノードが非アクティブ電位となることで開始し、

前記第2トランジスタが導通して前記第1のノードが非アクティブ電位となることで終了し、

前記第2ノードは、アクティブ電位を保持するために第1充電期間と第2充電期間とに充電され、

前記クロック信号線は第1クロック信号を供給し、

前記第2ノードに接続される第1充電線は第2クロック信号を供給し、

前記第2ノードに接続される第2充電線は第3クロック信号を供給し、

前記第1、第2、第3のクロック信号はそれぞれ8相のクロックのいずれかであり、前記第1、第2、第3のクロック信号は同一周期でありかつ位相が互いに異なり、

前記第2のクロック信号は前記第1充電期間に前記第2ノードを充電し、

前記第3のクロック信号は前記第2充電期間に前記第2ノードを充電する、

ことを特徴とする駆動回路。

【請求項2】

請求項1に記載の駆動回路であって、

前記第2ノードのアクティブ電位を保持するために、

前記第1充電線は整流作用のある素子を介して前記第2ノードに接続され、

前記第2充電線は整流作用のある素子を介して前記第2ノードに接続される、ことを特徴とする駆動回路。

【請求項3】

請求項1に記載の駆動回路であって、

前記第1クロック信号または前記第2クロック信号は、前記第1トランジスタに接続された前記クロック信号線に入力されるクロック信号がアクティブ電圧となるタイミングの前2分の1周期の間にアクティブ電圧となるクロック信号である、ことを特徴とする駆動回路。

【請求項4】

画面に複数の画素を有する表示装置であって、

請求項1乃至3のいずれか一項に記載の駆動回路と、

前記複数の画素のそれぞれに配置され、階調値に基づく電圧を前記複数の画素の各々に保持するための画素トランジスタと、を備え、

前記駆動回路の走査信号線は、前記画面の一行分の前記画素の前記画素トランジスタのゲートに接続されている、ことを特徴とする表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、駆動回路及びその駆動回路を用いた表示装置に関する。

【背景技術】

【0002】

コンピュータ等の情報通信端末やテレビ受像機の表示デバイスとして、液晶表示装置が広く用いられている。また、有機EL表示装置(OLED)、電界放出ディスプレイ装置(FED)なども、薄型の表示装置として知られている。液晶表示装置は、2つの基板の間に封じ込められた液晶組成物の配向を、電界を変化させることにより変え、2つの基板と液晶組成物を通過する光の透過度合いを制御することにより画像を表示させる装置である。

【0003】

このような液晶表示装置を含め、所定の階調値に対応する電圧を画面の各画素に印加す

10

20

30

40

50

る表示装置では、各画素に階調値に対応する電圧を印加するための画素トランジスタが配置されている。一般に、画面の1ライン分の画素トランジスタのゲートは一つの信号線（以下「走査信号線」という。）に接続され、この走査信号線は、駆動回路により、各ライン毎に順にこの画素トランジスタを導通させるアクティブ電圧を出力するように制御されている。特許文献1には、貫通電流が生じることなく、より安定動作が可能な駆動回路の例が示されている。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2007-095190号公報

10

【発明の概要】

【発明が解決しようとする課題】

【0005】

図16には、駆動回路に複数含まれる出力回路の一例である走査信号線 G_n に出力するための出力回路910が示されている。図17は、図16の出力回路910の動作のタイミングチャートである。 V_n はクロック信号を表し、 V_{GPL} の電位はLow電位に固定されている。クロック信号 V_n は、周期が同じでタイミングの異なる8つのクロック信号である8相クロック信号であり、この回路では走査信号線 G_{n-2} がHigh電位になったことをトリガーとして、ノードN1及びN2の電位を変化させ、クロック信号 V_n はのHigh電位を走査信号線 G_n に出力するようになっている。

20

【0006】

図18は、出力回路910を動作させたときのノードN2の電圧の変化の詳細を概略的に示している。ノードN2は、走査信号線 G_n にHigh電位を出力しない期間では、トランジスタT2を導通させるためにHigh電位に維持されている必要があるが、トランジスタT3、T4及びT7からリークが起こり、少しずつ電位の低下が起こっている。これを補うためにクロック信号 V_{n+4} のHigh電位になるタイミングでダイオード接続されたトランジスタT3を介して充電を行い、ノードN2のHigh電位を維持するようにしている。

【0007】

上述のような駆動回路の出力回路において、トランジスタT5のドレイン側の電位変化によるトランジスタT5の充放電の回数を減らすために、より多相のクロックを用い、クロック信号 V_n の周波数を低くすることが考えられる。例えば、上述の出力回路910のクロック信号 V_n に16相クロックを用いた場合のタイミングチャートを図19に示す。この場合には、クロック信号 V_{n+4} の間隔が大きくなるため、ノードN2へ充電を行う機会が減少し、図20に示されるように、ノードN2の電位が維持されない恐れがある。

30

【0008】

本発明は、上述の事情に鑑みてされたものであり、より多相のクロックを用いた場合であっても、安定した走査信号を出力し、表示品質の高い表示装置を提供することを目的とする。

【課題を解決するための手段】

40

【0009】

本発明の駆動回路は、複数の走査信号線に対してトランジスタを導通させる電位であるアクティブ電位を順に出力する表示装置の駆動回路であって、前記複数の走査信号線に、それぞれ電氣的に接続された複数の出力回路を備え、前記複数の出力回路のうち、一の出力回路は、前記複数の走査信号線のうちの一の走査信号線とクロック信号線との電氣的接続を制御する第1トランジスタと、前記第1トランジスタのゲートに接続され、前記走査信号線に前記アクティブ電位が出力される期間を含む期間である第1期間にアクティブ電位となる第1ノードと、トランジスタを導通させない電位である非アクティブ電位を保持する非アクティブ信号線と前記第1ノードとを、前記第1期間以外の期間である第2期間において電氣的に接続するように制御する第2トランジスタと、前記第2トランジスタの

50

ゲートに接続された第2ノードと、を有し、前記第2ノードは、アクティブ電位を保持するための2種類の充電のタイミングを有している、ことを特徴とする駆動回路である。

【0010】

また、本発明の駆動回路において、前記一の出力回路には、前記第2ノードをアクティブ電位を保持するために、整流作用のある素子を介して接続される第1充電線と、整流作用のある素子を介して接続される第2充電線と、が共に接続されていてもよい。

【0011】

また、本発明の駆動回路において、前記第1充電線及び前記第2充電線のいずれか一方には、前記複数の出力回路に入力される同一周期の複数のクロック信号のうち、一のクロック信号が入力され、いずれか他方には、前記複数の出力回路のうち他の出力回路の一走査信号線が接続されていてもよい。

10

【0012】

また、本発明の駆動回路において、前記一のクロック信号は、前記複数の出力回路に入力される同一周期の複数のクロック信号のうち、前記第1トランジスタに接続された前記クロック信号線に入力されるクロック信号がアクティブ電圧となるタイミングの前2分の1周期の間にアクティブ電圧となるクロック信号とすることができる。ここで2分の1周期の周期はクロック信号の周期を意味している。

【0013】

また、本発明の駆動回路において、前記他の出力回路の一走査信号線は、前記一の出力回路の走査信号線への出力後に順に出力される出力のうち、直後の3出力のうちのいずれか一の出力としてもよい。

20

【0014】

また、本発明の駆動回路において、前記第1充電線及び前記第2充電線には、前記複数の出力回路に入力される同一周期の複数のクロック信号のうち、2つの異なるクロック信号が入力されることとしてもよい。

【0015】

本発明の表示装置は、画面に複数の画素を有する表示装置であって、上述した駆動回路のうちいずれかの駆動回路と、前記複数の画素のそれぞれに配置され、階調値に基づく電圧を前記複数の画素の各々に保持するための画素トランジスタと、を備え、前記駆動回路の走査信号線は、前記画面の一行分の前記画素の前記画素トランジスタのゲートに接続されている、ことを特徴とする表示装置である。

30

【図面の簡単な説明】

【0016】

【図1】本発明の一実施形態に係る表示装置を概略的に示す図である。

【図2】図1の表示パネルの構成を示す図である。

【図3】図2の出力回路の回路構成について示す図である。

【図4】図3の出力回路の動作のタイミングチャートである。

【図5】図3の出力回路を用いた動作のノードN2の電位の変化の詳細を概略的に示す図である。

【図6】第2実施形態の表示装置に係る出力回路の構成を示す図である。

40

【図7】図6の出力回路を用いた動作のノードN2の電位の変化の詳細を概略的に示す図である。

【図8】第3実施形態の表示装置に係る出力回路の構成を示す図である。

【図9】図8の出力回路を用いた動作のノードN2の電位の変化の詳細を概略的に示す図である。

【図10】第4実施形態の表示装置に係る出力回路の構成を示す図である。

【図11】図10の出力回路の動作のタイミングチャートである。

【図12】図10の出力回路を用いた動作のノードN2の電位の変化の詳細を概略的に示す図である。

【図13】図10の出力回路の変形例である出力回路を示す図である。

50

【図14】図13の出力回路の動作のタイミングチャートである。

【図15】図13の出力回路を用いた動作のノードN2の電位の変化の詳細を概略的に示す図である。

【図16】出力回路の一例を示す図である。

【図17】図16の出力回路の動作のタイミングチャートである。

【図18】図16の出力回路を用いた動作のノードN2の電位の変化の詳細を概略的に示す図である。

【図19】16相クロックを用いた場合のタイミングチャートである。

【図20】図19の場合のノードN2の電位の変化の詳細を概略的に示す図である。

【発明を実施するための形態】

10

【0017】

以下、本発明の第1～第4実施形態について、図面を参照しつつ説明する。なお、図面において、同一又は同等の要素には同一の符号を付し、重複する説明を省略する。

【0018】

[第1実施形態]

図1には、本発明の一実施形態に係る表示装置100が概略的に示されている。この図に示されるように、表示装置100は、上フレーム110及び下フレーム120に挟まれるように固定された表示パネル200等から構成されている。なお、本実施形態では、表示パネル200は液晶表示パネルであることとする。

【0019】

20

図2には、図1の表示パネル200の構成が示されている。表示パネル200は、TFT (Thin Film Transistor: 薄膜トランジスタ) 基板220とカラーフィルタ基板230の2枚の基板を有し、これらの基板の間には液晶組成物が封止されている。TFT基板220は、表示領域202の両側に配置され、走査信号線 $G_1 \sim G_{480}$ に対して順に所定の電圧を印加する駆動回路210と、表示領域202において走査信号線 $G_1 \sim G_{480}$ に垂直に交差するように延びる不図示の複数のデータ信号線に対して画素の階調値に対応する電圧を印加すると共に、駆動回路210を制御する駆動IC (Integrated Circuit) 260とを有している。また、駆動回路210は、走査信号線 G_n ($n = 1 \sim 480$) にそれぞれ接続された出力回路310を有している。表示領域202の一方の側の出力回路310は、奇数番号の走査信号線 G_n (n : 奇数) を制御し、他方の側の出力回路310

30

【0020】

図3は、出力回路310の回路構成について示す図であり、図4は、図3の出力回路310の動作のタイミングチャートである。出力回路310は、周期が同じでタイミングの異なる16のクロック信号である16相クロック信号で動作し、偶数番目の走査信号線を駆動する駆動回路と奇数番目の走査信号線を駆動する駆動回路が表示領域202の両側にそれぞれ配置されているため、表示領域202の片側に配置された駆動回路210のみについては、実質的に8相クロックで動作している。

【0021】

次に、出力回路310の動作について説明する。ここで、 V_n はクロック信号を表し、 V_{GPL} の電位はLow電位に固定されている。これらの信号はいずれも出力回路310の外部から入力される。まず、走査信号線 G_{n-2} がHigh電位になると、トランジスタT7のゲートがHigh電位となってトランジスタT7が導通することによりノードN2は V_{GPL} に接続されLow電位となる。また、この走査信号線 G_{n-2} は、ダイオード接続されたトランジスタT1にも入力されているため、これに接続されたノードN1はHigh電位 (アクティブ電位) となり、容量C1に電位差を生じさせると共に、トランジスタT5を導通させる。ノードN1はトランジスタT4のゲート信号にもなっているため、ノードN2はトランジスタT4によっても V_{GPL} と接続されLow電位にされる。

40

【0022】

次に、クロック信号 V_n がHigh電位になると、トランジスタT5が導通しているこ

50

とから容量 C_1 の一方の電極の電位がHigh電位となり、いわゆるブートストラップにより他方の電極側であるトランジスタ T_5 のゲート電位はより押し上げられる。これにより、走査信号線 G_n のHigh電位は確定される。走査信号線 G_n がHigh電位である書込み期間に、不図示のデータ信号線に各画素の階調値に基づくデータ信号電圧が印加され、後述する走査信号線 G_n の立ち下がりにより、印加された階調値に基づく電圧が画素に保持される。

【0023】

クロック信号 V_n がLow電位となると、走査信号線 G_n もLow電位となるが、これを確定させるため、High電位になるクロック信号 V_{n+4} をダイオード接続されたトランジスタ T_3 に入力し、ノード N_2 をHigh電位にし、High電位となったノード N_2 がゲートに接続されたトランジスタ T_6 は、走査信号線 G_n とVGPLとを導通させ、走査信号線 G_n をLow電位としている。一方、2水平駆動期間後にHigh電位になった走査信号線 G_{n+4} をトランジスタ T_9 のゲートに入力して、ノード N_1 とVGPLとを導通させ、ノード N_1 をLow電位としている。

10

【0024】

ここで、本実施形態においては、出力回路310は、整流素子として作用するダイオード接続されたトランジスタ T_3 を介してノード N_2 に接続され、クロック信号 V_{n+4} が印加される第1充電線361と、ダイオード接続されたトランジスタ T_3A を介してノード N_2 に接続され、クロック信号 $V_{n+1,2}$ が印加される第2充電線362とを有している。したがって、図5に示されるように、クロック信号 V_{n+4} に加えてクロック信号 $V_{n+1,2}$ がLow電位である期間にHigh電位となるクロック信号 $V_{n+1,2}$ を用いて充電しているため、ノード N_2 のHigh電位を維持することができ、駆動回路はより安定的な走査信号を出力することができ、表示装置の表示品質を高めることができる。ここで、第2充電線362に印加されるクロック信号は、クロック信号 $V_{n+1,2}$ としたが、クロック信号 V_n がHigh電位(アクティブ電位)となる前2分の1周期の期間にアクティブ電位となるクロック信号であればよい。

20

【0025】

[第2実施形態]

本発明の第2実施形態について説明する。第2実施形態に係る表示装置の構成は、第1実施形態の図1及び図2に示される構成と同様であるため、重複する説明を省略する。図6には、第2実施形態の表示装置に係る出力回路320の構成が示されている。第1実施形態における出力回路310と異なる点は、トランジスタ T_3 に入力される信号が、クロック信号 V_{n+4} ではなく、走査信号線 G_{n+4} の出力を入力している点である。

30

【0026】

図7には、図6の出力回路を用いた動作のタイミングの詳細が概略的に示されている。トランジスタ T_5 を導通させないためのノード N_2 のHigh電位は、クロック信号 V_n がHigh電位となるときに維持されていなければならないため、図7で示されるように、基本的に第2充電線362に入力されるクロック信号 $V_{n+1,2}$ におけるタイミングにおける充電があればよい。しかしながら、走査信号線 G_n へ出力を行った後のタイミングでは、ノード N_2 をLow電位に下げることがあるため、第1充電線361には、一垂直同期期間に一回High電位となる走査信号線 G_{n+4} の出力が印加されている。これにより、クロック信号 $V_{n+1,2}$ 以外のタイミングでノード N_2 への充電がほとんどなくなることから、例えばトランジスタ T_2 及び T_6 への負荷が減り、閾値のシフト等の発生を抑制することができると共に、クロック信号 V_n がHigh電位となるときにノード N_2 のHigh電位を維持することができるため、駆動回路はより安定的な走査信号を出力することができ、表示装置の表示品質を高めることができる。

40

【0027】

[第3実施形態]

本発明の第3実施形態について説明する。第3実施形態に係る表示装置の構成は、第1実施形態の図1及び図2に示される構成と同様であるため、重複する説明を省略する。図

50

8には、第3実施形態の表示装置に係る出力回路330の構成が示されている。第2実施形態における出力回路320と異なる点は、第1充電線361及びトランジスタT9のゲートに入力される信号が、走査信号線 G_{n+4} の出力ではなく、走査信号線 G_{n+3} の出力となっている点である。

【0028】

図9には、図8の回路を用いた動作のタイミングが概略的に示されている。第2実施形態と同様に、第1充電線361には、一垂直同期期間に一回High電位となる走査信号線 G_{n+3} の出力が印加されているが、走査信号線 G_{n+3} は、走査信号線 G_{n+4} より一つ早いタイミングでHigh電位となるため、図9に示されるように、より早くノードN2をHigh電位に上げる、つまりノードN1をLow電位に下げることができる。これにより、走査信号線 G_n に出力に直接関わるトランジスタT5のゲート電圧が高い期間を減らすことができ、トランジスタT5の閾値のシフトを抑制することができると共に、クロック信号 V_{n+12} 以外のタイミングでノードN2への充電がほとんどなくなることからトランジスタT2及びT6への負荷も減り、これらのトランジスタについても閾値のシフト等の発生を抑制することができる。また、クロック信号 V_n がHigh電位となるときにノードN2のHigh電位を維持することができるため、駆動回路はより安定的な走査信号を出力することができ、表示装置の表示品質を高めることができる。ここで、第1充電線361に印加される走査信号線の出力は、走査信号線 G_{n+3} の出力としたが、走査信号線 G_n の出力直後の他の走査信号線の3出力のうちのいずれか一の出力であればよい。

【0029】

[第4実施形態]

第4実施形態に係る表示装置の構成は、第1実施形態の図1及び図2に示される構成と同様であるため、重複する説明を省略する。図10には、第4実施形態の表示装置に係る出力回路410の構成が示されている。また、図11には、出力回路410を用いた場合の動作のタイミングチャートが示されている。第1実施形態における出力回路310と異なる点は、ダイオード接続されたトランジスタT3Aを用いておらず、トランジスタT3には、8相のクロック信号 V_{m+2} を入力している点である。このようにした場合であっても、図12に示されるように、ノードN2のHigh電位を維持することができるため、駆動回路はより安定的な走査信号を出力することができ、表示装置の表示品質を高めることができる。

【0030】

図13には、出力回路410の変形例である出力回路420が示されており、図14には出力回路420の動作のタイミングチャートが示されている。出力回路410と異なる点は、ダイオード接続されたトランジスタT3に入力される8相のクロック信号がクロック信号 V_{m+2} のタイミングとは異なるクロック信号 V_m である点と、トランジスタT9のゲートに入力される信号が走査信号線 G_{n+3} への出力信号である点である。このような構成にした場合には、図15に示されるように、より早くノードN1のHigh電位を下げることができ、走査信号線 G_n に出力に直接関わるトランジスタT5のゲート電圧が高い期間を減らすことができ、トランジスタT5の閾値のシフトを抑制することができる。また、ノードN2のHigh電位を維持することができるため、駆動回路はより安定的な走査信号を出力することができ、表示装置の表示品質を高めることができる。

【0031】

また、上述の各実施形態の表示装置においては、8相又は16相のクロック信号を用いることとしたが、これら以外のクロック信号も用いることができる。

【0032】

また、上述の各実施形態の液晶表示装置は、液晶表示装置に限らず、有機EL表示装置、電界放出ディスプレイ装置(FED)及び駆動回路としてシフトレジスタを用いるその他の表示装置に用いることができる。

【符号の説明】

10

20

30

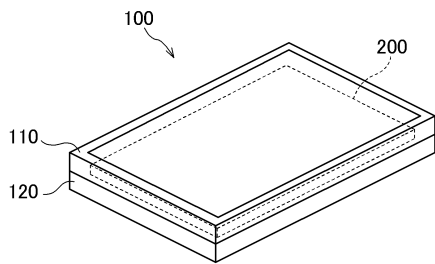
40

50

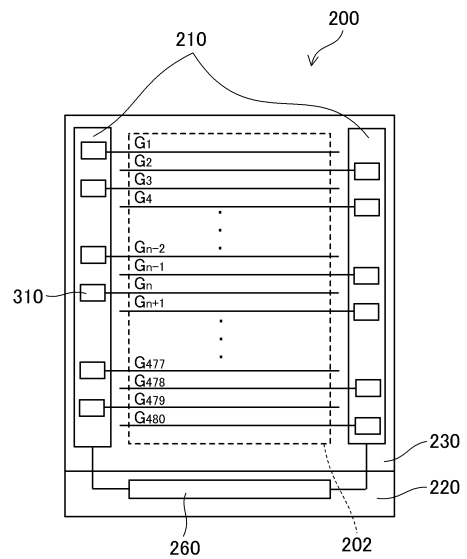
【 0 0 3 3 】

1 0 0 表示装置、1 1 0 上フレーム、1 2 0 下フレーム、2 0 0 表示パネル、
2 0 2 表示領域、2 1 0 駆動回路、2 2 0 T F T基板、2 3 0 カラーフィルタ基板、
2 6 0 駆動 I C、3 1 0 出力回路、3 2 0 出力回路、3 3 0 出力回路、3 6
1 第 1 充電線、3 6 2 第 2 充電線、4 1 0 出力回路、4 2 0 出力回路、9 1 0
出力回路。

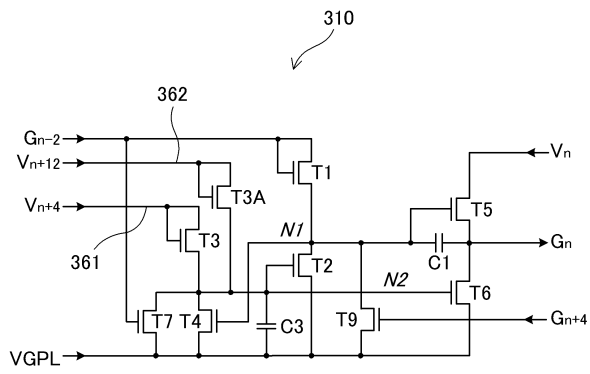
【 図 1 】



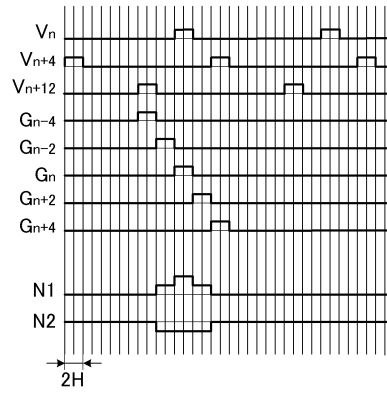
【 図 2 】



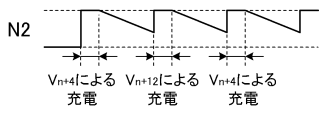
【図3】



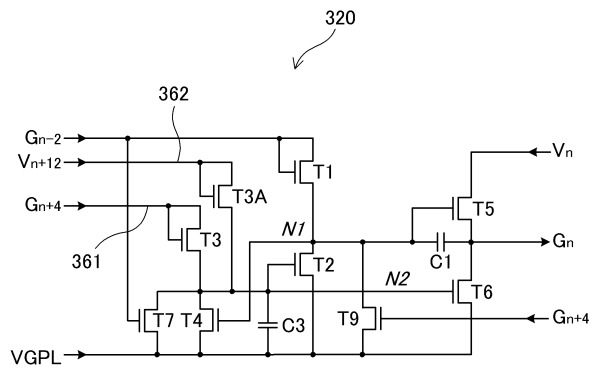
【図4】



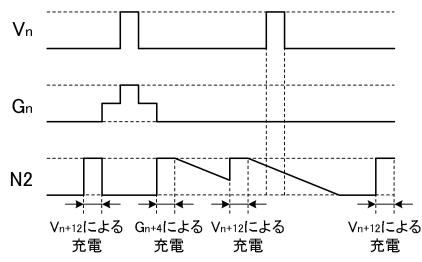
【図5】



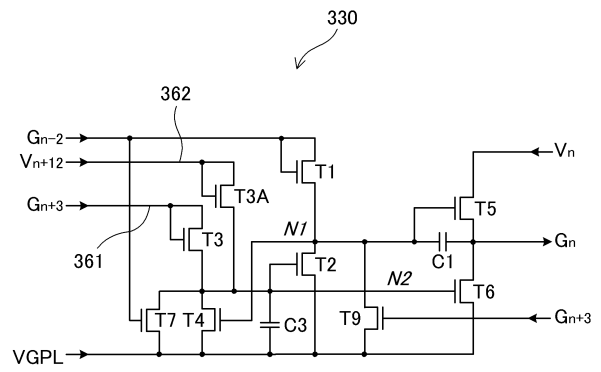
【図6】



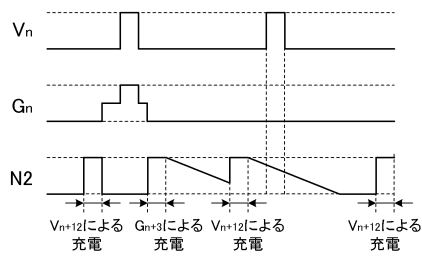
【図7】



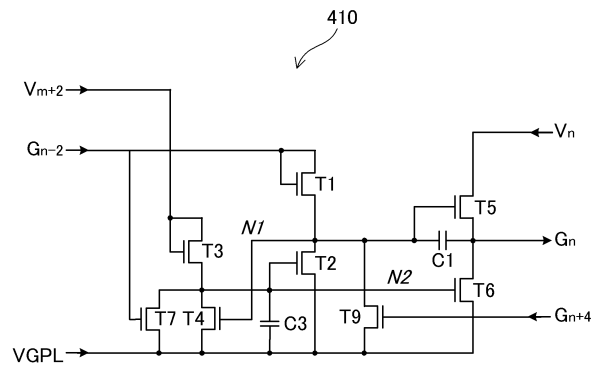
【図8】



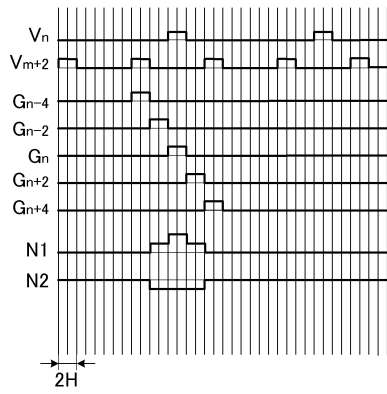
【図9】



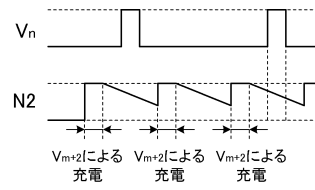
【図10】



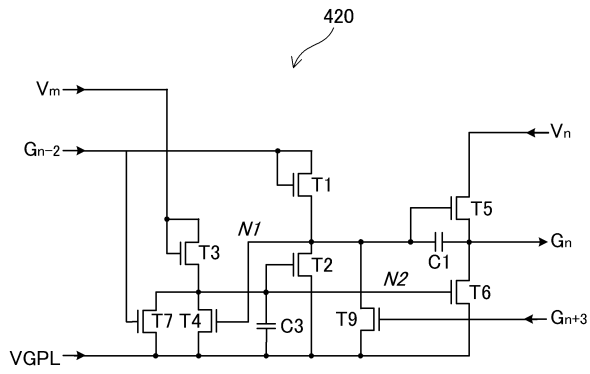
【図 1 1】



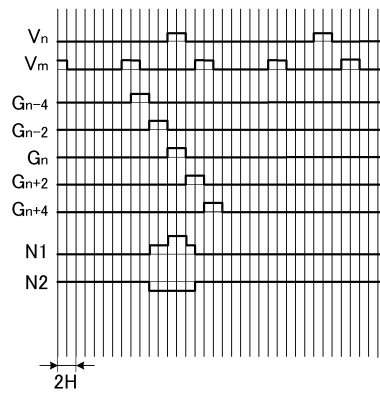
【図 1 2】



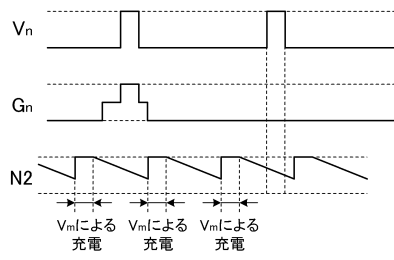
【図 1 3】



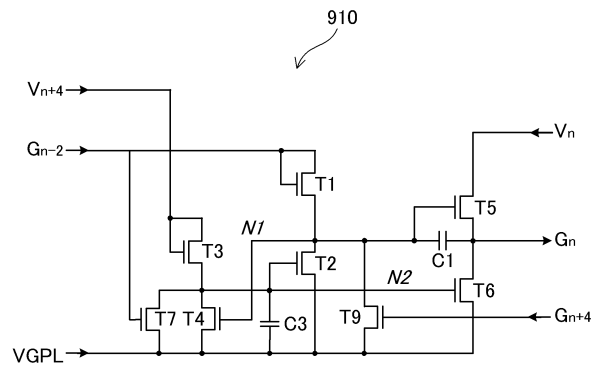
【図 1 4】



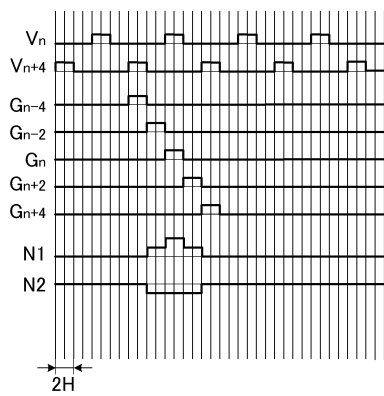
【図 15】



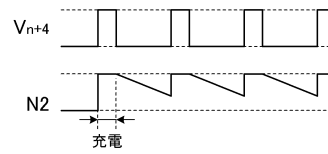
【図 16】



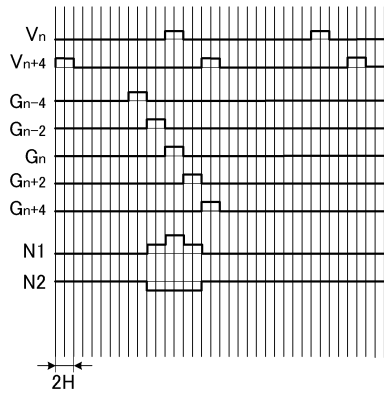
【図 17】



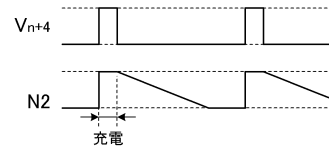
【図 18】



【図 19】



【図 20】



フロントページの続き

(51) Int.Cl. F I
G 1 1 C 19/28 (2006.01) G 0 9 G 3/20 6 7 0 E
G 0 9 G 3/20 6 1 2 K
G 0 2 F 1/133 5 5 0
G 1 1 C 19/00 J
G 1 1 C 19/28 D

(56) 参考文献 特開 2 0 1 1 - 1 3 3 8 2 6 (J P , A)
特開 2 0 1 1 - 0 7 6 7 0 8 (J P , A)
特開 2 0 1 1 - 0 0 8 1 0 4 (J P , A)

(58) 調査した分野(Int.Cl. , DB名)
G 0 9 G 3 / 0 0 - 3 / 3 8
G 0 2 F 1 / 1 3 3
G 1 1 C 1 9 / 0 0
G 1 1 C 1 9 / 2 8