



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0132104
 (43) 공개일자 2015년11월25일

- | | |
|---|---|
| (51) 국제특허분류(Int. Cl.)
<i>G11C 11/412</i> (2006.01) <i>G11C 8/16</i> (2006.01)
(52) CPC특허분류
<i>G11C 11/412</i> (2013.01)
<i>G11C 8/16</i> (2013.01)
(21) 출원번호 10-2015-7021845
(22) 출원일자(국제) 2014년02월27일
심사청구일자 없음
(85) 번역문제출일자 2015년08월12일
(86) 국제출원번호 PCT/US2014/019081
(87) 국제공개번호 WO 2014/149504
국제공개일자 2014년09월25일
(30) 우선권주장
13/842,086 2013년03월15일 미국(US) | (71) 출원인
인텔 코포레이션
미합중국 캘리포니아 95054 산타클라라 미션 칼리지 블러바드 2200
(72) 발명자
콜라, 프라모드
미국 97124 오리건주 힐스버러 노스웨스트 229번 애비뉴 2501
판디아, 군잔 에이치.
미국 97229 오리건주 포틀랜드 노스웨스트 프리미노 애비뉴 5307
(뒷면에 계속)
(74) 대리인
양영준, 백만기 |
|---|---|

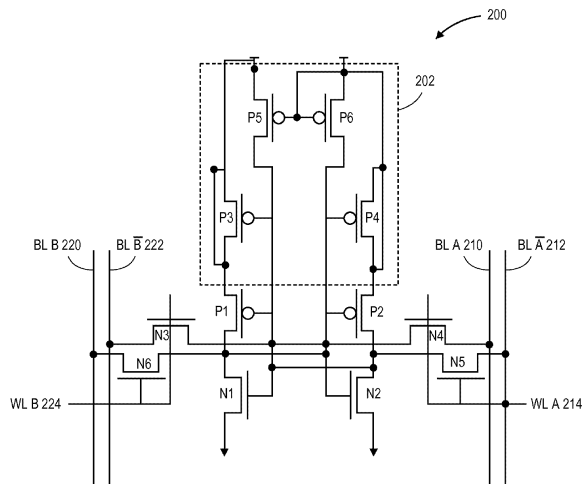
전체 청구항 수 : 총 22 항

(54) 발명의 명칭 **듀얼 포트 정적 랜덤 액세스 메모리(SRAM)**

(57) 요약

일 실시예에서, 데이터를 저장하기 위한 메모리 셀 회로는 메모리 셀 회로의 상태들을 저장하기 위한 한 쌍의 교차 결합된 인버터들을 포함한다. 액세스 디바이스들이 한 쌍의 교차 결합된 인버터들에 대한 액세스를 제공한다. 메모리 셀 회로는 한 쌍의 교차 결합된 인버터들에 결합되는 전기적 비활성 p형 금속 산화물 반도체 (PMOS) 디바이스들의 세트를 또한 포함한다. 전기적 비활성 PMOS 디바이스들의 세트는, 한 쌍의 교차 결합된 인버터들의 일부(예를 들어, PMOS 디바이스들)와 결합하여, 메모리 셀 회로에 대한 연속적인 p형 확산 층을 가능하게 한다.

대표도



(72) 발명자

브하타차르야, 우달락

미국 97007 오리건주 비버턴 사우스웨스트 알라바
스터 스트리트 15435

구오, 쟈

미국 97124 오리건주 힐스버러 노스웨스트 229번
애비뉴 2501

명세서

청구범위

청구항 1

데이터를 저장하기 위한 메모리 셀 회로로서,

상기 메모리 셀 회로의 상태들을 저장하기 위한 한 쌍의 교차 결합된 인버터들;

상기 한 쌍의 교차 결합된 인버터들에 결합된 복수의 액세스 디바이스 - 상기 복수의 액세스 디바이스는 상기 한 쌍의 교차 결합된 인버터들에 대한 액세스를 제공함 -; 및

상기 한 쌍의 교차 결합된 인버터들에 결합된 전기적 비활성 p형 금속 산화물 반도체(PMOS: p-type metal oxide semiconductor) 디바이스들의 세트 - 상기 전기적 비활성 PMOS 디바이스들의 세트는, 상기 한 쌍의 교차 결합된 인버터들의 일부와 결합하여, 상기 메모리 셀 회로에 대한 연속적인 p형 확산 층을 가능하게 함 -

를 포함하는 메모리 셀 회로.

청구항 2

제1항에 있어서,

상기 전기적 비활성 PMOS 디바이스들은 상기 p형 확산 층의 밀도를 증가시키는 메모리 셀 회로.

청구항 3

제1항에 있어서,

적어도 하나의 액세스 디바이스의 크기는 상기 메모리 셀 회로의 높이를 증가시키지 않으면서 한계까지 증가되는 메모리 셀 회로.

청구항 4

제1항에 있어서,

상기 전기적 비활성 PMOS 디바이스들의 세트는 4개의 PMOS 디바이스를 포함하는 메모리 셀 회로.

청구항 5

제1항에 있어서,

상기 복수의 액세스 디바이스에 결합된 제1 포트의 비트 라인과 제2 포트의 비트 라인 - 상기 비트 라인들은 상기 한 쌍의 교차 결합된 인버터들에 대한 판독 및 기입 동작 동안 데이터를 전송함 -; 및

상기 한 쌍의 교차 결합된 인버터들에 결합된 Vcc 라인 - 상기 Vcc 라인은 상기 제2 포트의 비트 라인으로부터 상기 제1 포트의 비트 라인을 격리시킴 -

을 더 포함하는 메모리 셀 회로.

청구항 6

제1항에 있어서,

적어도 하나의 액세스 디바이스의 크기는, 판독 액세스를 위해 판독 어시스트(read assist)를 이용하는 것과 함께, 상기 메모리 셀 회로의 높이를 증가시키지 않으면서 한계까지 증가되는 메모리 셀 회로.

청구항 7

제1항에 있어서,

상기 액세스 디바이스들 중 적어도 하나의 액세스 디바이스에 결합된 제1 포트의 워드 라인; 및

상기 액세스 디바이스들 중 적어도 하나의 액세스 디바이스에 결합된 제2 포트의 워드 라인 - 상기 워드 라인들은 상기 액세스 디바이스들을 제어하고, 상기 메모리 셀 회로는, 상기 제2 포트의 워드 라인으로부터의 상기 제1 포트의 워드 라인의 격리를 제공하는 4개의 폴리실리콘 트랙(polysilicon tracks)을 포함함 -

을 더 포함하는 메모리 셀 회로.

청구항 8

제1항에 있어서,

상기 메모리 셀 회로는 듀얼 포트 SRAM 셀을 포함하는 메모리 셀 회로.

청구항 9

데이터를 저장하기 위한 장치로서,

p형 금속 산화물 반도체(PMOS) 디바이스들 및 n형 금속 산화물 반도체(NMOS) 디바이스들을 갖는, 상기 장치의 상태들을 저장하는 수단;

상기 장치에 대한 액세스를 제공하는 수단; 및

상기 장치의 PMOS 디바이스들에 대한 연속적인 p형 확산 층을 가능하게 하는 전기적 비활성 PMOS 디바이스들의 세트

를 포함하는 장치.

청구항 10

제9항에 있어서,

상기 전기적 비활성 PMOS 디바이스들은 상기 p형 확산 층의 밀도를 증가시키는 장치.

청구항 11

제9항에 있어서,

상기 전기적 비활성 PMOS 디바이스들의 세트는 적어도 2개의 PMOS 디바이스를 포함하는 장치.

청구항 12

제9항에 있어서,

상기 NMOS 및 PMOS 디바이스들 중 적어도 하나에 결합된 제1 포트의 비트 라인; 및

상기 NMOS 및 PMOS 디바이스들 중 적어도 하나에 결합된 제2 포트의 비트 라인 - 상기 비트 라인들은 상기 PMOS 및 NMOS 디바이스들에 대한 판독 및 기입 동작 동안 데이터를 전송함 -

을 더 포함하는 장치.

청구항 13

제12항에 있어서,

상기 장치에 전력을 제공하며, 상기 제2 포트의 비트 라인으로부터 상기 제1 포트의 비트 라인을 격리시키는 Vcc 라인을 더 포함하는 장치.

청구항 14

제9항에 있어서,

상기 NMOS 및 PMOS 디바이스들 중 적어도 하나에 결합된 제1 포트의 워드 라인; 및

상기 NMOS 및 PMOS 디바이스들 중 적어도 하나에 결합된 제2 포트의 워드 라인 - 상기 워드 라인들은 상기 장치에 대한 액세스를 제공하는 수단을 제어하고, 상기 장치에 대한 액세스를 제공하는 수단은, 상기 제2 포트의 워드 라인으로부터의 상기 제1 포트의 워드 라인의 격리를 제공하는 4개의 폴리실리콘 트랙을 포함함 -

을 더 포함하는 장치.

청구항 15

컴퓨팅 디바이스로서,

프로세서;

상기 프로세서에 결합된 통신 칩; 및

복수의 메모리 셀 회로를 각각 포함하는 하나 이상의 어레이

를 포함하고,

각각의 메모리 셀 회로는,

각각의 메모리 셀 회로의 상태들을 저장하기 위한 한 쌍의 인버터들;

상기 한 쌍의 인버터들에 결합된 복수의 액세스 디바이스 - 상기 복수의 액세스 디바이스는 상기 한 쌍의 교차 결합된 인버터들에 대한 액세스를 제공함 -; 및

상기 한 쌍의 인버터들에 결합된 전기적 비활성 p형 금속 산화물 반도체(PMOS) 디바이스들의 세트 - 상기 전기적 비활성 PMOS 디바이스들의 세트는 각각의 메모리 셀 회로에 대한 연속적인 p형 확산 층을 가능하게 함 -

를 포함하는 컴퓨팅 디바이스.

청구항 16

제15항에 있어서,

상기 전기적 비활성 PMOS 디바이스들은 상기 p형 확산 층의 밀도를 증가시키는 컴퓨팅 디바이스.

청구항 17

제15항에 있어서,

적어도 하나의 액세스 디바이스의 크기는 대응하는 메모리 셀 회로의 높이를 증가시키지 않으면서 한계까지 증가되는 컴퓨팅 디바이스.

청구항 18

제15항에 있어서,

상기 전기적 비활성 PMOS 디바이스들의 세트는 4개의 PMOS 디바이스를 포함하는 컴퓨팅 디바이스.

청구항 19

제15항에 있어서,

상기 복수의 액세스 디바이스에 결합된 제1 포트의 비트 라인과 제2 포트의 비트 라인 - 상기 비트 라인들은 상기 한 쌍의 교차 결합된 인버터들에 대한 관독 및 기입 동작 동안 데이터를 전송함 -; 및

상기 한 쌍의 교차 결합된 인버터들에 결합된 Vcc 라인 - 상기 Vcc 라인은 상기 제2 포트의 비트 라인으로부터 상기 제1 포트의 비트 라인을 격리시킴 -

을 더 포함하는 컴퓨팅 디바이스.

청구항 20

제19항에 있어서,

적어도 하나의 액세스 디바이스의 크기는, 관독 액세스를 위해 관독 어시스트를 이용하는 것과 함께, 상기 메모리 셀 회로의 높이를 증가시키지 않으면서 한계까지 증가되는 컴퓨팅 디바이스.

청구항 21

제15항에 있어서,

상기 액세스 디바이스들 중 적어도 하나의 액세스 디바이스에 결합된 제1 포트의 워드 라인; 및

상기 액세스 디바이스들 중 적어도 하나의 액세스 디바이스에 결합된 제2 포트의 워드 라인 - 상기 워드 라인들은 상기 액세스 디바이스들을 제어하고, 적어도 하나의 메모리 셀 회로는, 상기 제2 포트의 워드 라인으로부터의 상기 제1 포트의 워드 라인의 격리를 제공하는 4개의 폴리실리콘 트랙을 포함함 -

을 더 포함하는 컴퓨팅 디바이스.

청구항 22

제15항에 있어서,

적어도 하나의 메모리 셀 회로는 듀얼 포트 SRAM 셀을 포함하는 컴퓨팅 디바이스.

발명의 설명

기술 분야

[0001] 본 명세서에 설명된 실시예들은 일반적으로 듀얼 포트 정적 랜덤 액세스 메모리(SRAM) 어레이들에 관한 것이다.

배경 기술

[0002] 정적 랜덤 액세스 메모리(SRAM) 어레이들과 같은 메모리 어레이들의 수율 및 신뢰성을 개선하는 것은 큰 온-다이 캐시들을 갖는 마이크로프로세서들 및 집적 회로들의 현재의 설계 과제들에 속한다. 임베디드 메모리는 판독 및 기입 동작들을 위해 하나의 액세스 포트를 갖는 싱글 포트 SRAM, 또는 고속 통신 및 이미지 처리를 제공할 수 있는 멀티 포트 SRAM을 포함할 수 있다. 멀티 포트 SRAM은 병렬 동작에 적합하며, 칩 성능을 개선한다. 고성능 및 저전력 멀티코어 프로세서들은 다이 내에 다수의 CPU를 갖는데, 이는 메모리 액세스의 수의 상당한 증가를 초래한다. 따라서, 메모리 액세스 속도는 제한 인자가 된다. 멀티 포트 SRAM에 대한 요구는 증가하고 있는데, 그 이유는 멀티 포트 SRAM이 동시에 다수의 포트로부터 액세스될 수 있기 때문이다.

[0003] 한가지 종래의 접근법은, 워드 라인(WL: word-lines) A 및 B 양쪽 모두가 온 상태일 때에 셀 안정성을 위해 바람직한 베타 비율(beta ratio)을 획득하기 위해서 조깅된 확산(jogged diffusion)을 갖는 2 폴리-트랙 비트셀(poly-track bitcell)(6 트랜지스터 비트 셀과 유사함)을 포함하는 듀얼 포트 비트셀 구현이다. 이것은 편향된 종횡비(skewed aspect ratio) 4:1을 갖는 도 1의 넓은 비트셀(100)을 초래한다. 그러나, 편향된 셀들은 바람직하지 않은데, 그 이유는 로컬 인터커넥트 저항 및 전체 WL 저항 커패시턴스(RC: resistance capacitance) 시상수가 악영향을 받기 때문이다. n형 확산 또는 p형 확산 층들의 조깅된 확산들(110, 120, 130 및 140)은 패터닝 및 신뢰성 관심사항이다. 금속 3(M3)에서의 2개의 WL은 2 폴리 트랙에 삽입되어야 한다. 이것은 좁은 저항성 M3 WL들을 초래한다. 성능 요건들을 충족시키기 위해서, 리피터들이 필요하다. 리피터들은 부가적인 면적 오버헤드를 부가하며, 비트 밀도를 감소시킨다. 또한, 2개의 WL은 그 사이에서의 차폐 없이 M3에서 서로 인접한다. 2개의 인접한 WL이 작동(fire)하는 경우에, WL들 사이에 상당한 교차 결합이 존재한다. 이것은 비트셀에 기입하는 능력 및/또는 판독 안정성에 악영향을 미칠 수 있다. 추가로, 낮은 p형 확산 층 밀도로 인해, 부가적인 필터 셀들이 주기적으로 추가될 필요가 있을 수 있다. 이것은 비트 밀도를 또한 감소시킨다.

도면의 간단한 설명

[0004] 개시된 실시예들은 첨부 도면들과 함께 취해진 다음의 상세한 설명의 관독으로부터 양호하게 이해될 것이다.

도 1은 종래의 접근법에 따른 듀얼 포트 SRAM의 넓은 비트셀(100)을 도시한다.

도 2는 일 실시예에 따른 듀얼 포트 SRAM 셀에 대한 메모리 셀 회로(예를 들어, 비트셀)(200)를 도시한다.

도 3은 일 실시예에 따른 듀얼 포트 SRAM 셀에 대한 메모리 셀 회로(예를 들어, 비트셀)의 트랜지스터 층 및 확산 층들의 레이아웃(300)을 도시한다.

도 4는 일 실시예에 따른 듀얼 포트 SRAM 셀에 대한 메모리 셀 회로(예를 들어, 비트셀)의 제1 금속 층(금속 1) 및 제1 비아 층의 레이아웃(400)을 도시한다.

도 5는 일 실시예에 따른 듀얼 포트 SRAM 셀에 대한 메모리 셀 회로(예를 들어, 비트셀)의 제1 금속 층(금속 1)

및 제2 비아 층(금속 2)의 레이아웃(500)을 도시한다.

도 6은 일 실시예에 따른 듀얼 포트 SRAM 셀에 대한 메모리 셀 회로(예를 들어, 비트셀)의 제3 금속 층(금속 3)의 레이아웃(600)을 도시한다.

도 7은 일 실시예에 따른 컴퓨팅 디바이스(1200)를 도시한다.

예시의 단순성 및 명료성을 위해, 도면들은 일반적인 구성 방식을 예시하며, 잘 알려진 특징들 및 기술들의 상세 및 설명은 본 발명의 설명된 실시예들의 논의를 불필요하게 모호하게 하는 것을 회피하기 위해서 생략될 수 있다. 추가로, 도면들에서의 엘리먼트들은 반드시 일정한 비율로 그려지지 않는다. 예를 들어, 도면들에서의 엘리먼트들 중 일부의 치수는 본 발명의 실시예들의 이해를 개선하는 것을 돕기 위해서 다른 엘리먼트들에 대하여 과장될 수 있다. 상이한 도면들에서의 동일한 참조 번호들은 동일한 엘리먼트들을 나타내는 한편, 유사한 참조 번호들은 유사한 엘리먼트들을 나타낼 수 있지만, 반드시 그러한 것은 아니다.

발명을 실시하기 위한 구체적인 내용

[0005]

일 실시예에서, 정보를 저장하기 위한 메모리 셀 회로는 메모리 셀 회로의 상태들을 저장하기 위한 한 쌍의 교차 결합된 인버터들을 포함한다. 액세스 디바이스들이 한 쌍의 교차 결합된 인버터들에 결합된다. 액세스 디바이스들은 한 쌍의 교차 결합된 인버터들에 대한 액세스를 제공한다. 메모리 셀 회로는 한 쌍의 교차 결합된 인버터들에 결합된 전기적 비활성 p형 금속 산화물 반도체(PMOS: p-type metal oxide semiconductor) 디바이스들의 세트를 또한 포함한다. 전기적 비활성 PMOS 디바이스들의 세트는, 한 쌍의 교차 결합된 인버터들의 일부(예를 들어, PMOS 디바이스들)와 결합하여, 메모리 셀 회로에 대한 연속적인 p형 확산 층을 가능하게 한다.

[0006]

메모리 셀 회로는 정보(예를 들어, 데이터)를 저장하기 위한 2 판독/기입(R/W) 듀얼 포트 SRAM 비트셀 설계일 수 있다. 이 설계는 동기식 또는 비동기식일 수 있다. 이 설계는 2 R/W 및 2 클록 동작들을 지원하기 위해 4 폴리실리콘 트랙 레이아웃 비트셀일 수 있다. 현재의 비트셀 설계는 듀얼 포트 SRAM 어레이에 대한 종래의 접근법에서의 이슈들을 다룬다. 이 설계는 일 실시예에서 종횡비를 개선한다. 이 설계는 어떠한 조그들이나 노치들 없이 연속적인 균일한 n형 또는 p형 확산 층들을 갖는데, 이는 수율 개선 및 신뢰성 우려의 감소를 도울 수 있다. 워드 라인들(WL들)은 더 넓을 수 있으며, 상이한 포트들의 WL들 사이에 격리가 존재할 수 있다. 리피터들에 대한 필요성은 상당히 감소된다. p형 확산 밀도는 처리 요건들을 충족시키기 위해서 본 설계의 고유 비트셀 회로에 대해 증가된다.

[0007]

이하, 도면들을 참조하면, 도 2는 일 실시예에 따른 데이터를 저장하기 위한 듀얼 포트 SRAM 셀에 대한 메모리 셀 회로(예를 들어, 비트셀)(200)를 도시한다. 메모리 셀(200)은 전기적 활성 PMOS 디바이스들(P1 및 P2), 전기적 비활성(더미) PMOS 디바이스들(202)(예를 들어, P3-P6), 풀 다운 NMOS 디바이스들(N1 및 N2), 및 액세스 디바이스들(예를 들어, 패스 게이트 NOMS 디바이스들(N3-N6))을 포함한다. PMOS 디바이스들(P1 및 P2) 및 NMOS 디바이스들(N1 및 N2)은 한 쌍의 교차 결합된 인버터들을 형성한다. 전기적 비활성 PMOS 디바이스들(202)의 세트는 셀 기능에 영향을 미치지 않는다. 이것은 연속적인 방식으로 설계 규칙들을 충족시키기 위해 증가된 p형 확산 밀도를 허용한다. SRAM에서의 각각의 비트는 교차 결합된 디바이스들(P1, P2, N1 및 N2) 상에 저장된다. 일반적으로, 각각의 SRAM 셀은 1 비트의 정보를 저장할 수 있으며, 로직 하이 또는 로직 로우 상태 중 어느 하나로 설정된다. 액세스 디바이스들(N3-N6)은 판독 및 기입 동작 중에 셀에 대한 액세스를 제어한다. 판독 동작을 위해 판독 어시스트(read assist)가 필요할 수 있다. 판독 어시스트는 판독 액세스 동안 셀 안정성을 증가시키도록 워드 라인 전압을 언더 드라이브(under drive)한다. 셀에 대한 액세스는 액세스 디바이스들(N4 및 N5)을 제어하는 포트 A의 워드 라인(WL) A(214)에 의해 인에이블되는데, 이 액세스 디바이스들은 다음에 셀이 비트 라인들 BL A(210) 및 BL /A(212)에 접속되어야 하는지를 제어한다. 셀에 대한 액세스는 액세스 디바이스들(N3 및 N6)을 제어하는 포트 B의 워드 라인(WL) B(224)에 의해 또한 인에이블되는데, 이 액세스 디바이스들은 다음에 셀이 비트 라인들 BL B(220) 및 BL /B(222)에 접속되어야 하는지를 제어한다. 비트 라인들은 판독 및 기입 동작들 양쪽 모두를 위해 데이터를 전송하는데 이용된다.

[0008]

도 1에서 예시하고 있는 종래의 접근법은 2 폴리 트랙 비트셀(즉, 비트셀의 하나의 차원(예를 들어, 높이) 내의 폴리실리콘 피쳐들의 2개의 로우)에 종속한다. 본 설계는 4 폴리 트랙(즉, 비트셀의 하나의 차원(예를 들어, 높이) 내의 폴리실리콘 피쳐들의 4개의 로우)을 이용한다. 이것은 교차 결합을 제거하는 상이한 포트들의 WL 사이의 격리를 허용한다. 추가로, 비활성 더미 PMOS 디바이스들(P3-P6)을 갖는 레이아웃은 연속적인 확산 스트림들을 허용하는데, 이는 제조성을 증대시킨다. 셀의 종횡비(폭:높이)는 일 실시예에서 2.67로 개선된다. 이것은 동일한 수의 컬럼에 대한 WL RC 로딩이 종래의 접근법에서의 것보다 양호하다는 것을 보장한다. 이러한

셀을 이용한 어레이 설계는 더 적은 리피터 이용을 가질 것이다. 메모리 셀은 양 패스 게이트가 동시에 ON일 때에 안정적이라도 크기가 정해진다. 패스 게이트 크기는 메모리 셀의 높이를 증가시키지 않으면서 한계까지 증가(예를 들어, 풀 다운 게이트 크기의 절반까지 증가)될 수 있다. 관독 어시스트와 함께 액세스 디바이스 크기(예를 들어, 패스 게이트 크기)에 대한 변경이 또한 행해질 수 있다. 더 넓은 액세스 디바이스들은 액세스 디바이스에서의 감소된 랜덤 변동(random variation)을 갖는데, 그 이유는 랜덤 변동이 디바이스 면적에 반비례하고, 더 넓은 액세스 디바이스들과 함께 관독 어시스트를 이용하는 것이 셀 안정성 제어를 돕기 때문이다. 이에 반해, 종래의 접근법은 증가된 패스 게이트 크기를 위해 셀 높이를 증가시킨다.

[0009] 특정 실시예에서, P1 및 P2는 x의 게이트 비율(폭:길이)을 갖는 한편, N1 및 N2는 6x의 게이트 비율을 갖는다. 패스 게이트는 3x의 게이트 비율을 가질 수 있다. 다양한 다른 게이트 비율들이 PMOS 및 NMOS 디바이스들을 위해 설계될 수 있다. 메모리 셀 회로는 다양한 설계들 및 프로세스 노드들(예를 들어, 22nm 노드)에 대해 2가지 비동기 클럭 가능성을 갖는 2가지 R/W 동작을 지원할 수 있다. 이러한 본 설계에 대한 잠재적인 애플리케이션 들은 적어도 그래픽스, 필드 프로그래머블 게이트 어레이들(FPGA들) 및 네트워크 프로세서들을 포함한다.

[0010] 도 3은 일 실시예에 따른 듀얼 포트 SRAM 셀에 대한 메모리 셀 회로(예를 들어, 비트셀)의 트랜지스터 층 및 확산 층들의 레이아웃(300)을 도시한다. 레이아웃(300)은 연속 층 내의 영역들(302, 306, 307, 308 및 310)을 포함한 상이한 영역들을 갖는 n형 확산 층(302)을 포함한다. 예를 들어, NMOS 디바이스들을 형성하기 위한 4개의 폴리실리콘 트랙이 트랜지스터 영역들(350 및 351)(예를 들어, 트라이게이트 패턴의 핀) 및 전술한 영역들 중 임의의 것으로 형성될 수 있다. SRAM V_{ss}가 영역(307)으로 형성될 수 있다. 유사한 방식으로, n형 확산 층(312)은 연속 층 내의 영역들(314, 316, 317, 318 및 320)을 포함한 상이한 영역들을 갖는다. 예를 들어, NMOS 디바이스들을 형성하기 위한 4개의 폴리실리콘 트랙이 트랜지스터 영역들(356 및 357) 및 전술한 영역들 중 임의의 것으로 형성될 수 있다. SRAM V_{ss}가 영역(317)으로 형성될 수 있다.

[0011] 레이아웃(300)은 연속 층 내의 영역들(324, 326, 328)을 포함한 상이한 영역들을 갖는 p형 확산 층(322)을 또한 포함한다. PMOS 디바이스들을 형성하기 위한 4개의 폴리실리콘 트랙이 트랜지스터 영역(353)(예를 들어, 트라이게이트 패턴의 핀) 및 전술한 영역들 중 임의의 것으로 형성될 수 있다. SRAM V_{cc}가 영역들(324 및 328)로 형성될 수 있다. 유사한 방식으로, p형 확산 층(330)은 연속 층 내의 영역들(330, 332 및 334)을 포함한 상이한 영역들을 갖는다. 예를 들어, PMOS 디바이스들을 형성하기 위한 4개의 폴리실리콘 트랙이 트랜지스터 영역(354) 및 전술한 영역들 중 임의의 것으로 형성될 수 있다. SRAM V_{cc}가 영역들(331 및 334)로 형성될 수 있다. 트랜지스터 층은 트라이게이트 패턴의 핀들일 수 있는 영역들(350-357)을 포함한다. 레이아웃(300)은 NMOS 및 PMOS 디바이스들을 형성하기 위한 연속적인 확산 층들을 갖는데, 이는 개선된 수율을 초래한다. 트랜지스터 영역들(350-357)을 갖는 로직 트랜지스터 패턴이 재사용된다. 레이아웃은 또한 확산 조그들을 제거함으로써 복잡도를 감소시켰다.

[0012] 도 4는 일 실시예에 따른 듀얼 포트 SRAM 셀에 대한 메모리 셀 회로(예를 들어, 비트셀)의 제1 금속 층(금속 1) 및 제1 비아 층의 레이아웃(400)을 도시한다. 레이아웃(400)은 영역들(422 및 424)을 포함한 상이한 비아 영역들을 갖는 비아 층(420)을 포함한다. 제1 금속 층(410)은 영역들(412 및 414)을 포함한 상이한 금속 1 영역들을 포함한다. 프로세스 강건성을 위해 금속 1에 대해 모든 비아들이 자기 정렬됨(self-aligned)을 보장하는 설계 규칙들 내에서 정확한(clean) J 형상의 금속 패턴이 형성된다.

[0013] 도 5는 일 실시예에 따른 듀얼 포트 SRAM 셀에 대한 메모리 셀 회로(예를 들어, 비트셀)의 제1 금속 층(금속 1) 및 제2 비아 층(금속 2)의 레이아웃(500)을 도시한다. 레이아웃(500)은 상이한 금속 영역들을 갖는 제1 금속 층(520)을 포함한다. 제2 금속 층(503)은 영역들(BL A(504), BL B(506), V_{cc}(508), BL A(510) 및 BL B(512))을 포함한 상이한 금속 2 영역들을 포함한다. 제1 포트(포트 A)의 금속 2 비트 라인들이 V_{cc}(508)를 이용하여 제2 포트(포트 B)의 금속 2 비트 라인들로부터 격리된다.

[0014] 도 6은 일 실시예에 따른 듀얼 포트 SRAM 셀에 대한 메모리 셀 회로(예를 들어, 비트셀)의 제3 금속 층(금속 3)의 레이아웃(600)을 도시한다. 레이아웃(600)은 영역들(WL B(628), WL B(626), V_{ss}(624), WL A(624), WL A(622), WL A(620), V_{ss}(618), WL B(616), WL B(614) 및 V_{ss}(612))을 포함한 상이한 금속 영역들을 갖는 제3 금속 층(520)을 포함한다. 일 실시예에서, WL A(620), V_{ss}(618) 및 WL B(616)는 메모리 셀 회로에 대한 제3 금속 층(610)을 나타낸다. 4 폴리실리콘 트랙 셀은 2 폴리실리콘 트랙 셀에 대한 것보다 더 넓은 금속 3을 허용한다. 2 트랙 셀과 비교하여 4 트랙 셀은 더 낮은 워드 라인 저항을 갖고, 더 넓은 간격으로 인해 더 낮은 워드 라인 커패시턴스를 갖고, 더 적은 리피터들을 필요로 하는데 이는 회로 면적 및 지연을 감소시키고, 격리 성능을 위해, 포트들 사이에 V_{ss}를 가짐으로써 포트들 사이의 워드 라인 격리를 허용하며, V_{ss} 그리드의 강건성

을 증가시킨다.

- [0015] 도 7은 일 실시예에 따른 컴퓨팅 디바이스(1200)를 도시한다. 컴퓨팅 디바이스(1200)는 보드(1202)를 하우징한다. 보드(1202)는, 프로세서(1204) 및 적어도 하나의 통신 칩(1206)을 포함하지만 이에 제한되지는 않는 다수의 컴포넌트를 포함할 수 있다. 프로세서(1204)는 보드(1202)에 물리적으로 그리고 전기적으로 결합된다. 일부 구현들에서, 적어도 하나의 통신 칩(1206)도 또한 보드(1202)에 물리적으로 그리고 전기적으로 결합된다. 추가 구현들에서, 통신 칩(1206)은 프로세서(1204)의 일부이다.
- [0016] 그 애플리케이션들에 따라, 컴퓨팅 디바이스(1200)는, 보드(1202)에 물리적으로 그리고 전기적으로 결합될 수도 있고 결합되지 않을 수도 있는 다른 컴포넌트들을 포함할 수 있다. 이들 다른 컴포넌트들은 휘발성 메모리(예를 들어, DRAM(1210)), 비휘발성 메모리(예를 들어, ROM(1212)), 메모리 셀 회로들(예를 들어, 메모리 셀 회로(200))의 하나 이상의 어레이를 갖는 SRAM(1212), 플래시 메모리, 그래픽 프로세서(1220), 디지털 신호 프로세서, 암호 프로세서(crypto processor), 칩셋(1222), 안테나(1224), 디스플레이, 터치스크린 디스플레이(1226), 터치스크린 제어기(1228), 배터리(1230), 오디오 코덱, 비디오 코덱, 전력 증폭기(1232), GPS(global positioning system) 디바이스(1234), 나침반(1236), 가속도계, 자이로스코프, 스피커(1240), 카메라(1250) 및 대용량 저장 디바이스(예컨대, 하드 디스크 드라이브, CD(compact disk), DVD(digital versatile disk) 등)를 포함하지만, 이에 제한되지는 않는다.
- [0017] 통신 칩(1206)은 컴퓨팅 디바이스(1200)로의/로부터의 데이터의 전송을 위한 무선 통신을 가능하게 한다. "무선"이라는 용어 및 그 파생어는, 비고체 매체를 통한 변조된 전자기 방사(modulated electromagnetic radiation)의 이용을 통하여 데이터를 통신할 수 있는 회로들, 디바이스들, 시스템들, 방법들, 기술들, 통신 채널들 등을 설명하는데 이용될 수 있다. 이 용어는, 연관된 디바이스들이 어떠한 와이어도 포함하지 않는다는 것을 암시하지는 않지만, 일부 실시예들에서 연관된 디바이스들은 그렇지 않을 수도 있다. 통신 칩(1206)은, Wi-Fi(IEEE 802.11 패밀리), WiMAX(IEEE 802.16 패밀리), IEEE 802.20, LTE(long term evolution), Ev-DO, HSPA+, HSDPA+, HSUPA+, EDGE, GSM, GPRS, CDMA, TDMA, DECT, 블루투스, 이들의 파생물들뿐만 아니라, 3G, 4G, 5G 및 그 이상의 것으로서 지정된 임의의 다른 무선 프로토콜들을 포함하지만 이에 제한되지는 않는 다수의 무선 표준 또는 프로토콜 중 임의의 것을 구현할 수 있다. 컴퓨팅 디바이스(1200)는 복수의 통신 칩(1206)을 포함할 수 있다. 예를 들어, 제1 통신 칩(1206)은 Wi-Fi 및 블루투스와 같은 단거리 무선 통신에 전용일 수 있으며, 제2 통신 칩(1206)은 GPS, EDGE, GPRS, CDMA, WiMAX, LTE, Ev-DO 등과 같은 장거리 무선 통신에 전용일 수 있다.
- [0018] 컴퓨팅 디바이스(1200)의 프로세서(1204)는 프로세서(1204) 내에 패키징된 집적 회로 다이를 포함한다. 본 설명의 일부 실시예들에서, 프로세서의 집적 회로 다이는, 본 발명의 구현들에 따라 형성되는 하나 이상의 메모리 셀 회로를 포함한다. "프로세서"라는 용어는, 레지스터들 및/또는 메모리로부터의 전자 데이터를 처리하여 그 전자 데이터를 레지스터들 및/또는 메모리에 저장될 수 있는 다른 전자 데이터로 변환하는 임의의 디바이스 또는 디바이스의 일부를 지칭할 수 있다.
- [0019] 통신 칩(1206)도 통신 칩(1206) 내에 패키징된 집적 회로 다이를 또한 포함한다. 본 발명의 다른 실시예에 따르면, 통신 칩의 집적 회로 다이는, 본 발명의 구현들에 따라 형성되는 하나 이상의 메모리 셀 회로를 포함한다.
- [0020] 추가 실시예들에서, 컴퓨팅 디바이스(1200) 내에 하우징된 다른 컴포넌트는, 본 발명의 구현들에 따라 형성되는 하나 이상의 메모리 셀 회로를 포함하는 집적 회로 다이를 포함할 수 있다.
- [0021] 다양한 구현들에서, 컴퓨팅 디바이스(1200)는 랩톱, 넷북, 노트북, 울트라북, 스마트폰, 태블릿, PDA(personal digital assistant), 울트라 모바일 PC, 모바일 폰, 데스크톱 컴퓨터, 서버, 프린터, 스캐너, 모니터, 셋톱 박스, 엔터테인먼트 제어 유닛, 디지털 카메라, 휴대용 뮤직 플레이어 또는 디지털 비디오 레코더일 수 있다. 추가 구현들에서, 컴퓨팅 디바이스(1200)는 데이터를 처리하는 임의의 다른 전자 디바이스일 수 있다.
- [0022] 다음의 예들은 추가 실시예들에 관한 것이다. 예 1은 데이터를 저장하기 위한 메모리 셀 회로이며, 이 메모리 셀 회로는 메모리 셀 회로의 상태들을 저장하기 위한 한 쌍의 교차 결합된 인버터들; 및 한 쌍의 교차 결합된 인버터들에 결합된 복수의 액세스 디바이스를 포함한다. 액세스 디바이스들은 한 쌍의 교차 결합된 인버터들에 대한 액세스를 제공한다. 메모리 셀 회로는 한 쌍의 교차 결합된 인버터들에 결합된 전기적 비활성 p형 금속 산화물 반도체(PMOS) 디바이스들의 세트를 또한 포함한다. 전기적 비활성 PMOS 디바이스들의 세트는, 한 쌍의 교차 결합된 인버터들의 일부와 결합하여, 메모리 셀 회로에 대한 연속적인 p형 확산 층을 가능하게 한다. 예

2에서, 전기적 비활성 PMOS 디바이스들은 p형 확산 층의 밀도를 증가시킨다. 예 3에서, 적어도 하나의 액세스 디바이스의 크기는 메모리 셀 회로의 높이를 증가시키지 않으면서 한계까지 증가된다. 적어도 하나의 액세스 디바이스의 크기를 증가시키는 것과 함께 관독 어시스트가 이용될 수 있다. 예 4에서, 예 1 내지 예 3 중 어느 하나의 대상은, 전기적 비활성 PMOS 디바이스들의 세트가 4개의 PMOS 디바이스를 포함하는 것을 선택적으로 포함할 수 있다. 예 5에서, 예 1 내지 예 4 중 어느 하나의 대상은, 복수의 액세스 디바이스에 결합된 제1 포트의 비트 라인과 제2 포트의 비트 라인을 선택적으로 포함할 수 있다. 비트 라인들은 한 쌍의 교차 결합된 인버터들에 대한 관독 및 기입 동작 동안 데이터를 전송한다. 예 6에서, 예 5의 대상은 한 쌍의 교차 결합된 인버터들에 결합된 Vcc 라인을 선택적으로 포함할 수 있다. Vcc 라인은 제2 포트의 비트 라인으로부터 제1 포트의 비트 라인을 격리시킨다. 예 7에서, 예 6의 대상은 액세스 디바이스들 중 적어도 하나의 액세스 디바이스에 결합된 제1 포트의 워드 라인; 및 액세스 디바이스들 중 적어도 하나의 액세스 디바이스에 결합된 제2 포트의 워드 라인을 선택적으로 포함할 수 있다. 워드 라인들은 액세스 디바이스들을 제어한다. 메모리 셀 회로는, 제2 포트의 워드 라인으로부터의 제1 포트의 워드 라인의 격리를 제공하는 4개의 폴리실리콘 트랙을 포함할 수 있다. 예 8에서, 예 1 내지 예 7 중 어느 하나의 메모리 셀 회로는 듀얼 포트 비동기 SRAM 셀을 포함한다.

[0023]

예 9는 데이터를 저장하기 위한 장치이며, 이 장치는, p형 금속 산화물 반도체(PMOS) 디바이스들 및 n형 금속 산화물 반도체(NMOS) 디바이스들을 갖는, 장치의 상태를 저장하는 수단을 포함한다. 이 장치는 장치에 대한 액세스를 제공하는 수단; 및 장치의 PMOS 디바이스들에 대한 연속적인 p형 확산 층을 가능하게 하는 전기적 비활성 PMOS 디바이스들의 세트를 또한 포함한다. 예 10에서, 전기적 비활성 PMOS 디바이스들은 p형 확산 층의 밀도를 증가시킨다. 예 11에서, 예 9의 대상은, 전기적 비활성 PMOS 디바이스들의 세트가 적어도 2개의 PMOS 디바이스를 포함하는 것을 선택적으로 포함할 수 있다. 예 12에서, 예 9 내지 예 11 중 어느 하나의 대상은 NMOS 및 PMOS 디바이스들 중 적어도 하나에 결합된 제1 포트의 비트 라인; 및 NMOS 및 PMOS 디바이스들 중 적어도 하나에 결합된 제2 포트의 비트 라인을 선택적으로 포함할 수 있다. 비트 라인들은 PMOS 및 NMOS 디바이스들에 대한 관독 및 기입 동작 동안 데이터를 전송한다. 예 13에서, 예 9 내지 예 12 중 어느 하나의 대상은, 장치에 전력을 제공하며, 제2 포트의 비트 라인으로부터 제1 포트의 비트 라인을 격리시키는 Vcc 라인을 선택적으로 포함할 수 있다. 예 14에서, 예 9 내지 예 13 중 어느 하나의 대상은 NMOS 및 PMOS 디바이스들 중 적어도 하나에 결합된 제1 포트의 워드 라인; 및 NMOS 및 PMOS 디바이스들 중 적어도 하나에 결합된 제2 포트의 워드 라인을 선택적으로 포함할 수 있다. 워드 라인들은 장치에 대한 액세스를 제공하는 수단을 제어한다. 장치에 대한 액세스를 제공하는 수단은, 제2 포트의 워드 라인으로부터의 제1 포트의 워드 라인의 격리를 제공하는 4개의 폴리실리콘 트랙을 포함한다.

[0024]

예 15는 컴퓨팅 디바이스이며, 이 컴퓨팅 디바이스는 프로세서; 프로세서에 결합된 통신 칩; 및 데이터를 저장하기 위한 복수의 메모리 셀 회로를 각각 포함하는 하나 이상의 어레이를 포함한다. 각각의 메모리 셀 회로는 각각의 메모리 셀 회로의 상태들을 저장하기 위한 한 쌍의 인버터들; 및 한 쌍의 인버터들에 결합된 복수의 액세스 디바이스를 포함한다. 액세스 디바이스들은 한 쌍의 교차 결합된 인버터들에 대한 액세스를 제공한다. 각각의 메모리 셀 회로는 한 쌍의 인버터들에 결합된 전기적 비활성 p형 금속 산화물 반도체(PMOS) 디바이스들의 세트를 또한 포함한다. 전기적 비활성 PMOS 디바이스들의 세트는 각각의 메모리 셀 회로에 대한 연속적인 p형 확산 층을 가능하게 한다. 예 16에서, 전기적 비활성 PMOS 디바이스들은 p형 확산 층의 밀도를 증가시킨다. 예 17에서, 적어도 하나의 액세스 디바이스의 크기는 대응하는 메모리 셀 회로의 높이를 증가시키지 않으면서 한계까지 증가된다. 적어도 하나의 액세스 디바이스의 크기를 증가시키는 것과 함께 관독 어시스트가 이용될 수 있다. 예 18에서, 예 15의 대상은, 전기적 비활성 PMOS 디바이스들의 세트가 4개의 PMOS 디바이스를 포함하는 것을 선택적으로 포함할 수 있다. 예 19에서, 예 15 내지 예 18 중 어느 하나의 대상은 복수의 액세스 디바이스에 결합된 제1 포트의 비트 라인과 제2 포트의 비트 라인을 선택적으로 포함할 수 있다. 비트 라인들은 한 쌍의 교차 결합된 인버터들에 대한 관독 및 기입 동작 동안 데이터를 전송한다. 예 20에서, 예 15 내지 예 19 중 어느 하나의 대상은 한 쌍의 교차 결합된 인버터들에 결합된 Vcc 라인을 선택적으로 포함할 수 있다. Vcc 라인은 제2 포트의 비트 라인으로부터 제1 포트의 비트 라인을 격리시킨다. 예 21에서, 예 15 내지 예 20 중 어느 하나의 대상은 액세스 디바이스들 중 적어도 하나의 액세스 디바이스에 결합된 제1 포트의 워드 라인; 및 액세스 디바이스들 중 적어도 하나의 액세스 디바이스에 결합된 제2 포트의 워드 라인을 선택적으로 포함할 수 있다. 워드 라인들은 액세스 디바이스들을 제어한다. 적어도 하나의 메모리 셀 회로는, 제2 포트의 워드 라인으로부터의 제1 포트의 워드 라인의 격리를 제공하는 4개의 폴리실리콘 트랙을 포함할 수 있다. 예 22에서, 예 15 내지 예 21 중 어느 하나의 적어도 하나의 메모리 셀 회로는 듀얼 포트 비동기 SRAM 셀을 포함한다.

[0025]

본 설명 및 청구항들에서 용어들 "제1", "제2", "제3", "제4" 등은, 존재한다면, 유사한 엘리먼트들을 구별하기 위해 이용되며, 반드시 특정한 순차적인 또는 연대적인 순서를 설명하기 위한 것은 아니다. 이와 같이 이용된

용어들은, 본 명세서에 설명된 본 발명의 실시예들이 예를 들어 본 명세서에 예시되거나 다른 방식으로 설명된 것과는 다른 순서로 동작할 수 있도록 적절한 상황에서 상호교환가능하다는 것이 이해되어야 한다. 유사하게, 방법이 본 명세서에서 일련의 단계들을 포함하는 것으로서 설명되는 경우, 본 명세서에 제시된 바와 같은 이러한 단계들의 순서는 반드시 이러한 단계들이 수행될 수 있는 유일한 순서는 아니고, 설명된 단계들 중 특정 단계가 가능하게는 생략될 수 있고/있거나, 본 명세서에 설명되지 않은 다른 특정 단계들이 가능하게는 이 방법에 추가될 수 있다. 또한, 용어들 "포함하다(comprise)", "포함하다(include)", "갖다(have)" 및 이들의 임의의 변형물은, 엘리먼트들의 리스트를 포함하는 프로세스, 방법, 물품 또는 장치가 반드시 이들 엘리먼트들에 제한되지는 않으며, 이러한 프로세스, 방법, 물품 또는 장치가 고유하지 않거나 명백히 열거되지 않은 다른 엘리먼트들을 포함할 수 있도록 비배타적인 포함을 커버하는 것으로 의도된다.

[0026]

본 설명 및 청구항들에서 용어들 "좌측", "우측", "전방", "후방", "상부", "하부", "위에", "아래에" 등은, 존재한다면, 설명을 위해 이용되며, 반드시 영구적인 상대 위치들을 설명하기 위한 것은 아니다. 이와 같이 이용된 용어들은, 본 명세서에 설명된 본 발명의 실시예들이 예를 들어 본 명세서에 예시되거나 다른 방식으로 설명된 것과는 다른 배향으로 동작할 수 있도록 적절한 상황에서 상호교환가능하다는 것이 이해되어야 한다. 본 명세서에서 이용된 바와 같은 "결합된(coupled)"이라는 용어는 전기적 또는 비전기적 방식으로 직접적으로 또는 간접적으로 접촉되는 것으로서 정의된다. 서로 "인접하는(adjacent to)" 것으로서 본 명세서에 설명된 객체들은, 해당 구문이 이용되는 콘텍스트에 적절하게, 서로 물리적으로 접촉하거나, 서로 매우 근접하거나, 또는 서로 동일한 일반 구역 또는 영역에 있을 수 있다. 본 명세서에서 "일 실시예에서"라는 구문의 출현은 반드시 모두 동일한 실시예를 지칭하는 것은 아니다.

[0027]

본 발명은 특정 실시예들을 참조하여 설명되었지만, 관련 기술분야의 통상의 기술자라면, 본 발명의 사상 또는 범위로부터 벗어나지 않고 다양한 변경이 행해질 수 있다는 것을 이해할 것이다. 따라서, 본 발명의 실시예들의 개시물은 본 발명의 범위를 예시하는 것으로 의도되며, 제한하는 것으로 의도되지는 않는다. 본 발명의 범위는 첨부 청구항들에 의해 요구되는 정도로만 제한된다고 의도된다. 예를 들어, 관련 기술분야의 통상의 기술자에게, 본 명세서에 논의된 에너지 저장 디바이스들 및 관련 구조들과 방법들이 각종 실시예들에서 구현될 수 있으며, 이들 실시예들 중 특정 실시예의 전술한 논의가 반드시 모든 가능한 실시예의 완전한 설명을 표현하는 것은 아니라는 것이 손쉽게 명백할 것이다.

[0028]

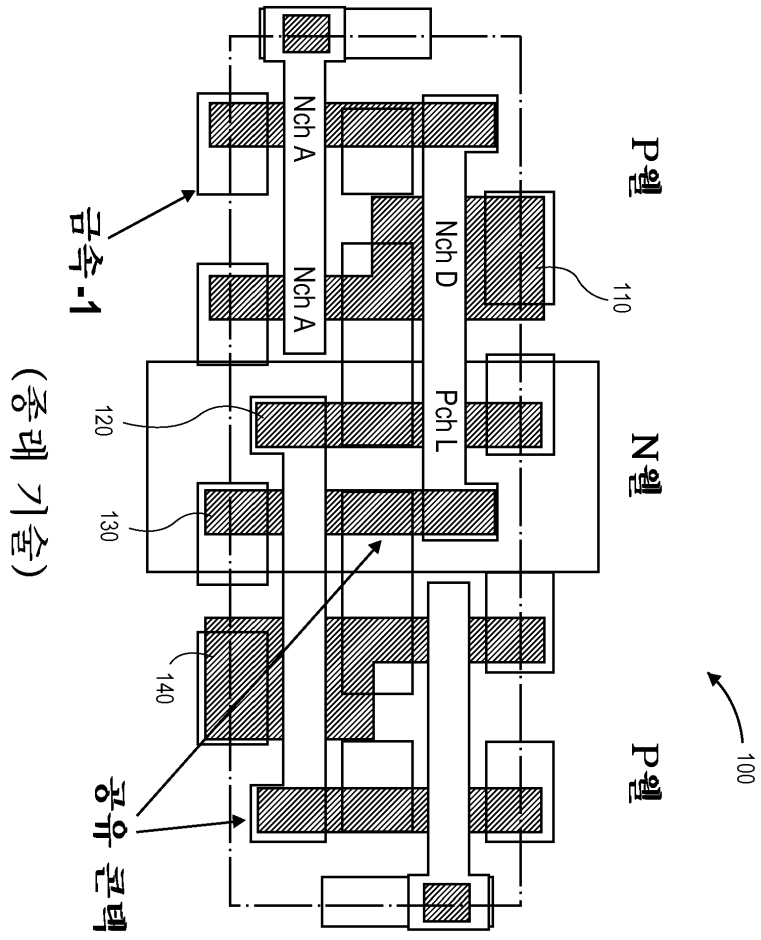
추가로, 특정 실시예들에 관하여 이득들, 다른 이점들 및 문제에 대한 해결책들이 설명되었다. 그러나, 이러한 이득들, 이점들, 문제에 대한 해결책들, 및 임의의 이득, 이점 또는 해결책이 발생하거나 보다 확연해지게 할 수 있는 임의의 엘리먼트 또는 엘리먼트들은, 청구항들 전부 또는 임의의 청구항의 중대하거나, 요구되거나 또는 필수적인 특징들 또는 엘리먼트들로서 해석되어서는 안 된다.

[0029]

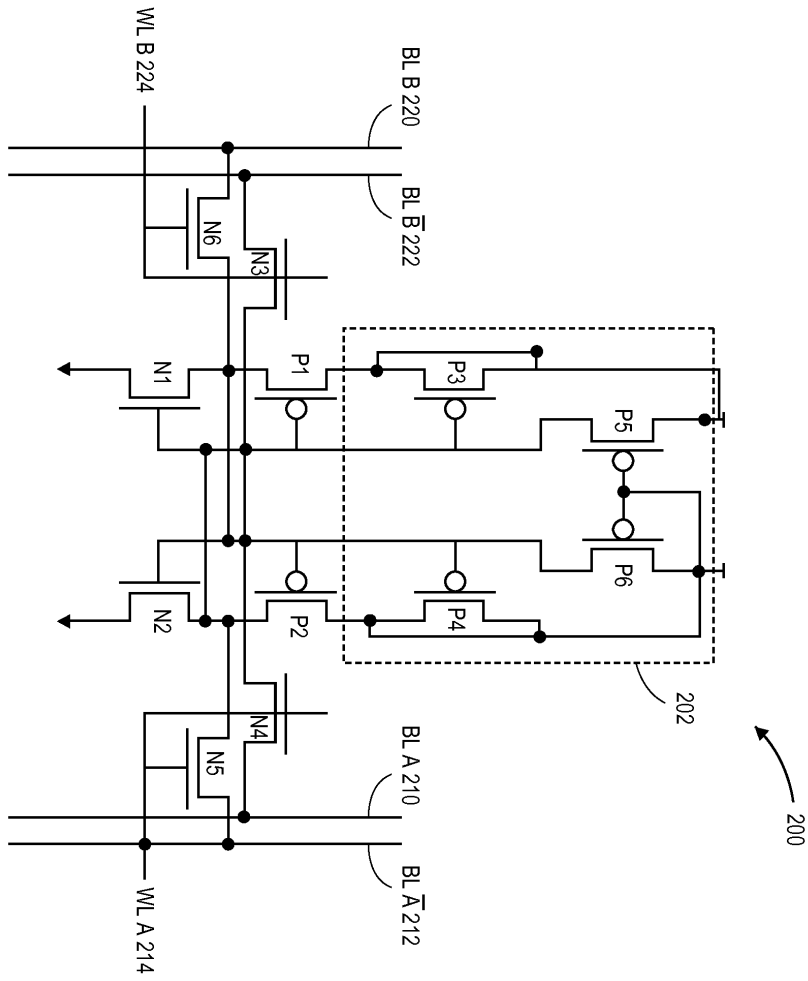
또한, 본 명세서에 개시된 실시예들 및 제한들은, 이들 실시예들 및/또는 제한들이 (1) 청구항들에서 명백히 청구되지 않고, (2) 등가물들의 원리(doctrine) 하에서 청구항들의 명백한 엘리먼트들 및/또는 제한들의 등가물이거나 잠재적으로 등가물인 경우에, 제공의 원칙 하에서 공중에게 제공되지는 않는다.

도면

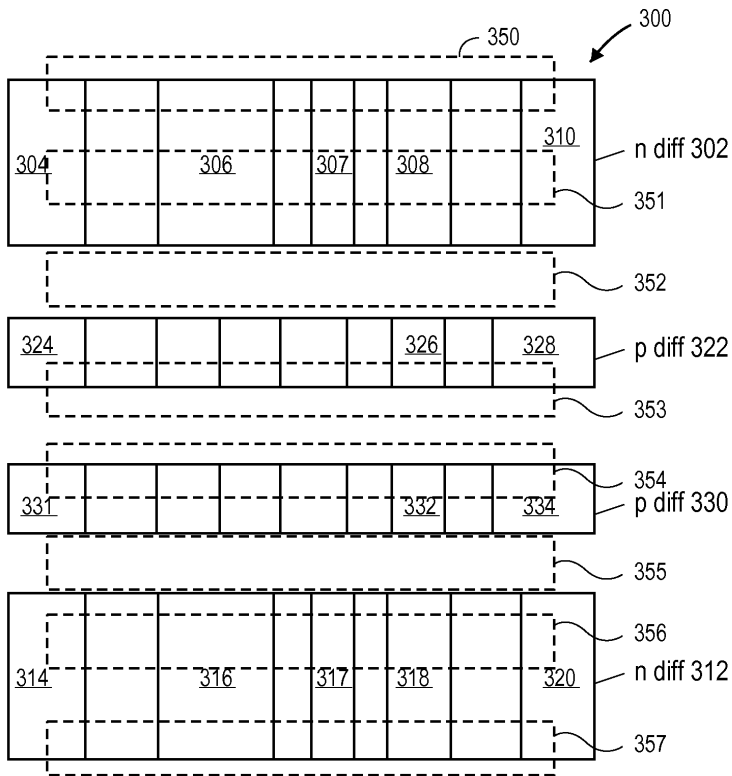
도면1



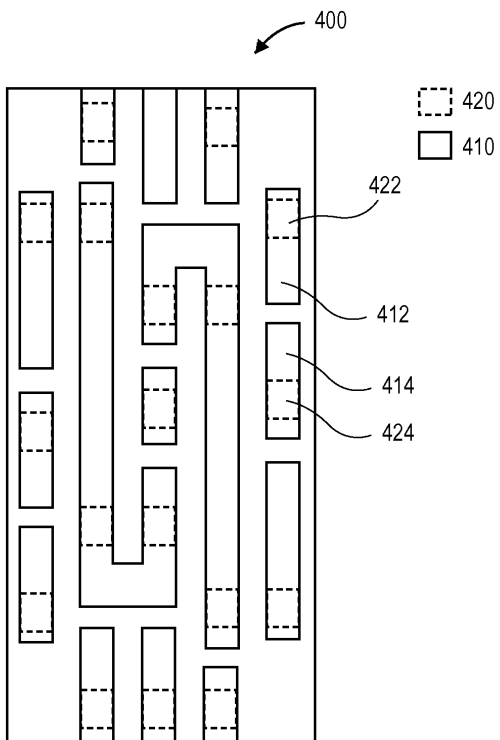
도면2



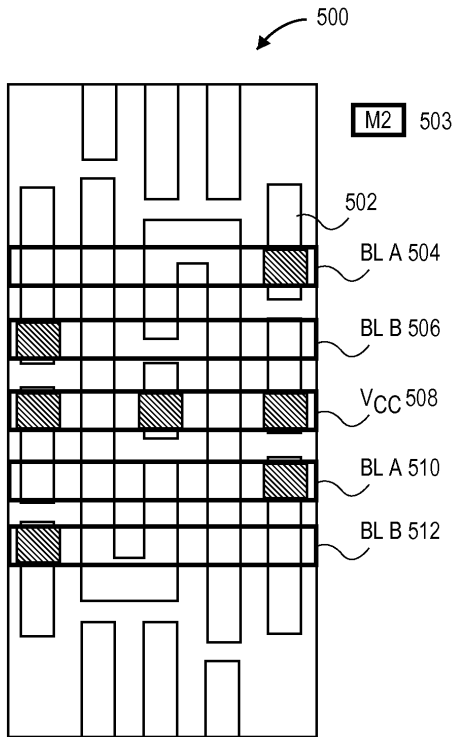
도면3



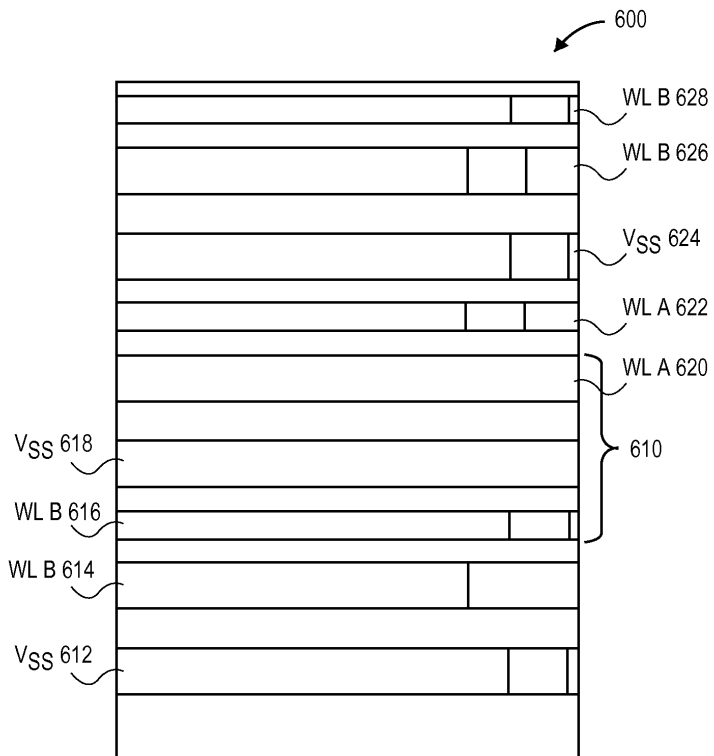
도면4



도면5



도면6



도면7

