

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4972349号  
(P4972349)

(45) 発行日 平成24年7月11日(2012.7.11)

(24) 登録日 平成24年4月13日(2012.4.13)

(51) Int. Cl. F I  
 HO 1 L 27/04 (2006.01) HO 1 L 27/04 C  
 HO 1 L 21/822 (2006.01) HO 1 L 21/90 A  
 HO 1 L 21/768 (2006.01)

請求項の数 9 (全 35 頁)

(21) 出願番号	特願2006-179027 (P2006-179027)	(73) 特許権者	000005108 株式会社日立製作所 東京都千代田区丸の内一丁目6番6号
(22) 出願日	平成18年6月29日(2006.6.29)	(74) 代理人	110000350 ポレール特許業務法人
(65) 公開番号	特開2008-10609 (P2008-10609A)	(72) 発明者	武田 健一 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所中央研究所内
(43) 公開日	平成20年1月17日(2008.1.17)	(72) 発明者	藤原 剛 東京都青梅市新町六丁目16番地の3 株式会社日立製作所 マイクロデバイス事業 部内
審査請求日	平成20年11月14日(2008.11.14)		

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体基板上に第1の金属配線層を形成する工程と、  
 前記第1の金属配線層上に層間絶縁膜を形成する工程と、  
 前記層間絶縁膜内に開口部を形成する工程と、  
 前記開口部内に前記第1金属配線層と接触するように前記容量絶縁膜形成し、さらに第2の金属配線層を形成する工程とを有し、  
 前記開口部を形成する工程は、前記第1の金属配線層上に位置する前記層間絶縁膜の所望の領域を、前記第1の金属配線層が露出しないように前記層間絶縁膜の表面から第1の厚さまで穿孔して薄い膜厚を有する該層間絶縁膜が残存するように第1の開口部を形成する工程と、前記第1の開口部の内側に、前記第1の金属配線層に到達するように第2の厚さを有する前記薄い膜厚を穿孔して第2の開口部を形成する工程とからなり、  
 前記第2の厚さが前記第1の厚さより薄いことを特徴とする半導体装置の製造方法。

【請求項2】

前記開口部は、平面的な開口部形状が異なる少なくとも2種類の開口部が上下方向に重なってなり、  
 前記第2の開口部は、前記第1の金属配線層上に開口部を有し、  
 前記第1の開口部は、前記第2の開口部の上方に位置し、かつ、第2の開口部を内包するように形成されていることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】

前記第2の厚さが、前記第1の金属配線層の上面と前記開口部周辺の前記層間絶縁膜上に形成された前記第2の金属配線層の底面との間に位置する前記層間絶縁膜の膜厚よりも薄いことを特徴とする請求項1記載の半導体装置の製造方法。

【請求項4】

前記第2の厚さが50nm以上であり、300nm以下であることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項5】

半導体基板上に第1の金属配線層を形成する工程と、  
 前記第1の金属配線層上に層間絶縁膜を形成する工程と、  
 前記第1の金属配線層が露出するように前記層間絶縁膜に第1の開口部を形成する工程と、  
 前記第1の開口部および前記層間絶縁膜上にスペーサ膜を形成する工程と、  
 前記第1の開口部の内側に前記第1の金属配線層が露出するように前記スペーサ膜に第2の開口部を形成する工程と、  
 前記第1の開口部および前記第2の開口部上に前記第1の金属配線層に接するように容量絶縁膜を形成する工程と、  
 前記容量絶縁膜を含む領域上に第2の金属配線層を形成する工程とを有し、  
 前記スペーサ膜の膜厚は、前記層間絶縁膜の膜厚より薄いことを特徴とする半導体装置の製造方法。

【請求項6】

前記スペーサ膜の膜厚が、50nm以上、300nm以下であることを特徴とする請求項5記載の半導体装置の製造方法。

【請求項7】

前記容量絶縁膜は、酸化シリコン、窒化シリコン、酸化タンタル、酸化ハフニウム、酸化ジルコニウム、酸化ランタン、酸化チタン、酸化アルミニウム、PZT、STOおよびBSTから選ばれる絶縁膜を主たる成分とすることを特徴とする請求項1又は5に記載の半導体装置の製造方法。

【請求項8】

前記第1の金属配線層および第2の金属配線層は、タングステン、チタン、タンタル、タングステン、モリブデン、及びその窒化物、または、銅、または、アルミ及びその合金から選ばれる金属を主たる成分とすることを特徴とする請求項1、又は5に記載の半導体装置の製造方法。

【請求項9】

前記スペーサ膜は、酸化シリコン、窒化シリコン、炭化シリコン、酸化アルミニウム、窒化アルミニウム、窒化ボロン、有機膜、有機含有酸化シリコン膜から選ばれる絶縁膜を主たる成分とすることを特徴とする請求項5、又は6に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、高性能な容量素子を有する半導体装置の製造方法に関する。

【背景技術】

【0002】

アナログ信号を取り扱うIC(Integrated Circuit)においては、容量素子、抵抗素子、インダクタ素子等の受動素子が集積回路の重要な構成要素となる。従来、これら受動素子はICチップの中に作りこむのが困難であったため、実装基板上に外付け部品として搭載されてきた。しかしながら、近年、システムの高速化、省スペース化へのニーズが強いため、これら受動素子をICチップ内部へ取り込む試みが盛んになされている。

【0003】

ICチップ内で容量素子を形成する手法として最近注目を集めているのが、絶縁膜の上

下を金属電極で挟んだMIM(Metal-Insulator-Metal)キャパシタである。上下電極をシート抵抗の低い金属配線で形成可能なため、寄生抵抗が小さく、また、多層配線層に形成可能なことから寄生容量が小さく、高周波動作に好適な特徴を有している。しかしながらこれまで容量絶縁膜として、比誘電率3.9の酸化シリコンや比誘電率7.0の窒化シリコンがおもに使われてきたことから、大容量のキャパシタを形成する場合には、大面積が必要となり、チップ面積が増大し、チップ炭化が増大するという問題を抱えていた。この問題を解決できる方法として、high-k膜(高誘電率絶縁膜)を用いたMIMキャパシタが近年、注目されている。

【0004】

high-k膜を用いたMIMキャパシタが有する特徴と課題を図2に示した特許文献1に記載の従来例を用いて説明する。

10

【0005】

図2に示すように、半導体素子が形成された基板の上に、テトラエトキシシランを原料とするプラズマCVD法を用いて酸化シリコンからなる第一の層間絶縁膜300を形成した後、第一の層間絶縁膜300に開口部を設け、この開口部をタングステンからなる導電性プラグ250で充填した。次にテトラエトキシシランを原料とするプラズマCVD法を用いて膜厚1 $\mu$ mの酸化シリコンからなる第二の層間絶縁膜301を形成した後、所望の領域に開口部を形成し、導電性プラグ250を露出させた。次に、膜厚50nmの窒化チタンを形成した後、リソグラフィ法とドライエッチ法を用いて第二の層間絶縁膜301に設けた開口部の内側の領域にのみ窒化チタンからなる下部電極200を残した。次に、ALD法(原子層堆積法)を用いて膜厚20nmのHfAlO膜(アルミニウムを含んだ酸化ハフニウム膜)からなる第一の容量膜400を形成した後、膜厚50nmの窒化チタン膜を形成し、リソグラフィ法、ドライエッチ法により第二の層間絶縁膜301に設けた開口部を覆うように上部電極201を形成した。以上の工程により、下部電極200、第一の容量膜400、上部電極201から構成されるMIMキャパシタを形成することが可能となる。以下では、上記の工程に準じて形成されたMIMキャパシタを従来例1と呼ぶことにする(特許文献1参照)。

20

【0006】

従来例1にもとづくMIMキャパシタは、容量膜として比誘電率20程度のHfAlO膜を用いているため、大容量のキャパシタを小面積で形成することが可能であり、酸化シリコンや窒化シリコンを容量膜として用いたMIMキャパシタが持つ課題を解決することが可能となる。

30

【0007】

しかしながら、このように構成されたMIMキャパシタには小さな容量を高精度で形成し難いという欠点がある。

【0008】

この課題を解決するための方法として、容量精度が必要なキャパシタには低い容量密度の容量膜を使う方法が提案されている。容量密度が低ければ、加工ばらつきによる容量ばらつきは低く抑えることが可能となるため、小さな寸法のキャパシタであってもばらつき小さく高精度に形成することが可能となる。このようなMIMキャパシタ形成工程の従来例を、図3を用いて説明する(特許文献2参照)。

40

【0009】

図3に示すように、半導体素子が形成された基板の上に、テトラエトキシシランを原料とするプラズマCVD法を用いて第一の層間絶縁膜300を形成した後、膜厚50nmの窒化チタン、膜厚20nmの窒化シリコンを形成した後、リソグラフィ法とドライエッチ法を用い、所望の領域にのみ膜厚20nmの窒化シリコンからなる第一の加工された容量膜401を形成した。次に、膜厚20nmのHfAlO、膜厚50nmの窒化チタンを順次形成した後、リソグラフィ法とドライエッチ法を組み合わせることで、窒化チタンからなる第一の下部電極202、第二の下部電極203、窒化シリコンからなる第一の加工された容量膜401、HfAlOからなる第二の加工された容量膜402、加工された第三

50

の容量膜403、窒化チタンからなる第一の上部電極204、第二の上部電極205を形成した。次にプラズマCVD法を用いた膜厚1 $\mu$ mの酸化シリコンからなる第二の層間絶縁膜301形成、化学的機械研磨法による平坦化を行った後、第二の層間絶縁膜301に第一の上部電極204と第二の上部電極205が露出するように開口部を設けた後、この開口部を充填するように、スパッタ法とCVD法を用いてタングステン膜を形成し、化学的機械研磨を用いて開口部以外の領域のタングステン膜を除去し、第一の導電性プラグ251、第二の導電性プラグ252を形成した。次にスパッタ法で膜厚500nmのアルミニウム膜形成を行い、リソグラフィ法とドライエッチ法を用いて、第一の導電性プラグに接続された金属配線206、第二導電性プラグに接続された金属配線207を形成した。以上の工程により、第一の下部電極202、第一の加工された容量膜401、加工された第三の容量膜403、第一の上部電極204から構成されるMIMキャパシタ(A型と呼ぶ)と、第二の下部電極203、第二の加工された容量膜402、第二の上部電極205から構成されるMIMキャパシタ(B型と呼ぶ)とを備える半導体装置を形成することができる。以下では、上記の工程に準じて形成されたMIMキャパシタを従来例2と呼ぶことにする(特許文献2参照)。

10

**【0010】**

従来例2に基づくMIMキャパシタでは、上部電極や下部電極の加工ばらつきが容量ばらつきを生じるといふ点では従来例1と同じであるが、従来例2に基づけば容量密度の異なるキャパシタを同時に形成可能であるので、大容量のキャパシタには容量密度の高い型のキャパシタ(B型キャパシタ)を用い、小面積で容量ばらつきを抑えたいときには容量精度の高い型のキャパシタ(A型キャパシタ)を用いることで、高い容量密度と高い容量精度とを同時に満たすことが可能となる。

20

**【0011】****【特許文献1】**特開2004-214304号公報**【特許文献2】**特開2004-152796号公報**【発明の開示】****【発明が解決しようとする課題】****【0012】**

上述したように、従来例1の手法で構成されたMIMキャパシタでは、小さな容量を高精度で形成しにくいという欠点がある。上記手法を用いた場合、従来と比較して数倍の容量密度(単位面積あたりの容量値)となるため、第二の層間絶縁膜301に設けた開口部の形状ばらつきによって生じる容量ばらつきは、従来と比べて数倍になってしまい、容量の小さな、つまり、寸法の小さなキャパシタを高精度に形成することが困難という問題がある。

30

**【0013】**

さらに、従来例2の手法で形成したMIMキャパシタでは、最初に形成された容量膜がドライエッチやアッシングのプラズマにさらされるため耐圧の低下やリーク電流の増大といった信頼度低下の問題を抱えている。つまり、この手法に基づけば、所望の領域にのみ容量膜を残すためには、容量膜表面が露出した状態でのリソグラフィ、ドライエッチ、レジストアッシングを行う必要があり、信頼度低下の問題がある。

40

**【0014】**

そこで、本願発明の目的は、高い容量密度と高い容量精度を両立したMIMキャパシタを形成する際の信頼度を向上する技術を提供することにある。

**【課題を解決するための手段】****【0015】**

上記課題は、下層配線を被覆するように層間絶縁膜を形成し、該層間絶縁膜の接続孔に相当する領域に開口部を形成し、該開口部を被覆するように容量膜、上層配線を形成することでMIMキャパシタを形成する際に、該開口部を形成する工程において、少なくとも2回のリソグラフィを行うことによって達成される。

**【0016】**

50

上記課題は、下層配線上の層間絶縁膜の接続孔層に相当する領域に開口部を形成する際に、該下層配線表面が露出しないように第一の開口部を形成し、次に、下層配線表面が露出するように第一の開口部内に第二の開口部を形成した後、容量膜、上層配線を形成することによって達成される。

【0017】

上記課題は、下層配線上に開口部を有するエッチ停止層を形成し、層間絶縁膜を形成し、該層間絶縁膜の接続孔層に該エッチ停止層に設けた開口部を内包するように開口部を形成し、該開口部を通して下層配線表面を露出させた後、容量膜、上層配線を形成することによって達成される。

【0018】

上記課題は、下層配線上の層間絶縁膜の接続孔層に相当する領域に開口部を設けて下層配線表面を露出させ、露出した下層配線表面にスペーサ膜を形成し、該層間絶縁膜に設けた開口部内部のスペーサ膜に開口部を設けて下層配線表面を露出させた後、容量膜、上層配線を形成することによって達成される。

【発明の効果】

【0019】

本発明によれば、MIMキャパシタ形成に高容量密度の容量膜を適用した場合であっても、小面積キャパシタの容量精度を高く保つことが可能となる。また、耐圧低下やリーク電流増大などの信頼度低下を抑制することが可能であるため、高い信頼度を有し、ICチップサイズの縮小が可能なMIMキャパシタを有する半導体装置を得ることが可能となる。

【発明を実施するための最良の形態】

【0020】

以下、図面を用いて本発明の実施例について説明する。なお、各図面は模式的に描いており、説明に不用な箇所は省略している。

【0021】

<実施例1>

図4および図5は本発明の実施例1に基づく半導体装置の製造工程を示す断面図である。以下順を追って説明する。

【0022】

半導体素子が形成された基板100上に、スパッタ法を用いて膜厚50nmの窒化チタン、膜厚400nmのアルミニウム、膜厚50nmの窒化チタンを形成した後、リソグラフィ法とドライエッチ法を用いて第一のバリアメタル層208、第一のアルミニウム層209、第二のバリアメタル層210からなる第一の金属配線700、第三のバリアメタル層211、第二のアルミニウム層212、第四のバリアメタル層213からなる第二の金属配線701を形成した。次に、プラズマCVD法を用いて膜厚2 $\mu$ mの酸化シリコン膜を形成し、第一の層間絶縁膜300とした。次に、この第一の層間絶縁膜の平坦度を化学的機械研磨法を用いて向上した後、リソグラフィ法とドライエッチ法を用いて、第一の層間絶縁膜300の少なくともMIMキャパシタを形成したい領域に開口部を形成した。この際、第一の層間絶縁膜300に設けた第一の開口部500、第二の開口部501の平面形状は辺長1.2 $\mu$ mの正方形、開口部深さは1 $\mu$ mとし、第一の金属配線700、第二の金属配線701の上面と各開口部の底部の間に残る酸化シリコンの厚みを100nmとした(図4(a))。

【0023】

次に、リソグラフィ法を用いて第一の開口部500、第二の開口部501に開口部を有する感光性有機膜からなる第一の加工レジスト600を形成した。次にドライエッチ法を用いて第一の層間絶縁膜300を加工し、第一の金属配線700、第二の金属配線701の上面を露出させ、第一の開口部500内部に形成された第三の開口部502、第二の開口部501内部に形成された第四の開口部503を形成した。ここで、第三の開口部502の平面形状は辺長1 $\mu$ mの正方形であり、第一の開口部500内部に完全に内包され

10

20

30

40

50

る形で形成した。ここで、第一の開口部 500 の辺長が第三の開口部 502 の辺長より長い  
ため、第一の開口部 500 の底面付近では第一の層間絶縁膜 300 に段差が生じる。こ  
の工程で生じた第一の開口部 500 内部の段差の高さを段差高さと呼ぶ。第一の金属配線  
700 上面と第一の開口部 500 の間の高低差は 100 nm であるので、この例では段差  
高さは 100 nm となる(図 4 (b))。

#### 【0024】

次に、図 5 (a) に示すように、第一の加工レジスト 600 を除去した後、ALD 法で  
形成した膜厚 15 nm の酸化ハフニウムからなる容量膜 404、CVD 法で形成した膜厚  
50 nm の窒化チタンからなる上部電極膜 214 を順次形成した。その後、リソグラフィ  
ー法を用いてキャパシタとして作用させたい領域を被覆するように感光性有機膜からなる  
第二の加工レジスト 601 を形成した。

10

#### 【0025】

次に、第二の加工レジスト 601 をエッチングマスクに、不要な部分の上部電極膜 214  
、容量膜 404 を除去し、加工された上部電極 215、加工された容量膜 405 を形成  
した後、第二の加工レジスト 601 を除去した。次に、スパッタ法を用いて膜厚 50 nm  
の窒化チタンからなる第一のバリアメタル膜 216、膜厚 400 nm のアルミニウムから  
なる第一のアルミニウム膜 217、膜厚 50 nm の窒化チタンからなる第二のバリアメタル  
膜 218 を形成し、リソグラフィー法を用いて配線として残したい部分を覆うように感  
光性有機膜からなる第三の加工レジスト 602、第四の加工レジスト 603 を形成した(  
図 5 (b))。

20

#### 【0026】

次にこの第三、第四の加工レジストを加工マスクにドライエッチを行うことで、図 1 に  
示したような、第一の金属配線 700、加工された容量膜 405、加工された上部電極 215、  
第三の金属配線 702 から構成される MIM キャパシタと第二の金属配線 701 と  
第四の金属配線 703 から構成される多層配線とを有する半導体装置を形成することが可  
能となる。

#### 【0027】

上記の工程で形成した MIM キャパシタの平面レイアウト図を図 6 に示す。図 1、図 4  
、図 5 に示した断面図は図 6 中の A - A' 間の断面である。図 6 に示したレイアウト図に  
おいて、第一の金属配線 750、MIM キャパシタの容量膜 754、第三の金属配線 75  
2 によって MIM キャパシタが構成される。ただし、実際に容量として機能するのは、第  
三の開口部 757 で示された領域内部のみである。ここでは第三の開口部 757 の辺長(  
図 6 中の L) は 1  $\mu$ m であるので、キャパシタ面積は 1 平方マイクロメートルである。ま  
た MIM キャパシタに隣接して、第二の金属配線 751、第二の開口部 756、第四の開  
口部 758、第四の金属配線 753 で構成される配線が敷設してある。

30

#### 【0028】

この実施例 1 では、第三の開口部の辺長(図 6 中の L)、段差高さ(図 1 中の h) を変  
えた構造を幾つか作成した。比較のため、従来例 1 および従来例 2 に示されている工程を  
用いた構造も作製した。実施例 1、従来例 1、従来例 2 の B 型のキャパシタでは、平坦部  
分における容量密度が 1 平方マイクロメートルあたり 12 fF 程度となるように設計した  
。また、従来例 2 の A 型キャパシタでは、容量密度が 1 平方マイクロメートルあたり 2 fF  
となるように設計した。

40

#### 【0029】

このようにして形成した半導体装置の MIM キャパシタの性能を調べた。図 7 はこの実  
施例 1 と従来例 1 の性能を比較した結果である。従来例 1 では MIM キャパシタの容量ば  
らつきが大きく、特にキャパシタ開口部の辺長 L を短くすると、容量値ばらつきが急増す  
るため、小容量のキャパシタを高精度で形成することが困難である。一方、本発明の実施  
例 1 に従えば、容量ばらつきを小さく抑えることが可能となり、さらに、キャパシタ辺長  
が短くなってもばらつきを小さく抑えることが可能なので、高い容量密度と高い容量精度  
を両立することが可能となる。従来例 2 にもとづいた MIM キャパシタにおいても、本発

50

明の実施例 1 と同様の容量精度が得られた。次に、各 M I M キャパシタの信頼度評価を行った。絶縁耐圧およびリーク電流測定を行った結果、本発明の実施例 1 および従来例 1 では、約 7 V の耐圧を持ち、リーク電流のばらつきも許容範囲の結果が得られた。一方、従来例 2 では、絶縁耐圧は 5 V 以下であり、リーク電流のばらつきや歩留も許容範囲外の結果が得られた。

#### 【 0 0 3 0 】

つまり、本発明の実施例に従い、第一の金属配線を被覆するように酸化シリコンからなる層間絶縁膜を形成した後、この第一の金属配線直上の層間絶縁膜の接続孔層に相当する領域に対し、第一の金属配線の上面が露出しないようにこの層間絶縁膜に第一の開口部を形成し、次に、第一の金属配線表面が露出するように第一の開口部の内部に第二の開口部を形成した後、容量膜、第三の金属配線を形成し、第一の金属配線、容量膜、第三の金属配線から構成される M I M キャパシタを形成することにより、高い信頼度を有したまま、高い容量密度と高い容量精度が両立可能な M I M キャパシタを有する半導体装置が形成可能となる。

#### 【 0 0 3 1 】

本実施例では、第一の開口部を形成する際に第一の金属配線上に厚みを 1 0 0 n m の層間絶縁膜を残したため、段差高さ ( 図 1 中の h ) は 1 0 0 n m である。第一の開口部を形成するときのエッチング条件を調整することでこの段差高さ h を変更することができる。図 8 は段差高さを変えて作製した M I M キャパシタの容量ばらつきである。キャパシタ開口部の辺長 L は 1  $\mu$  m である。段差高さを小さくすれば容量ばらつきが小さくなることがわかる。しかし、段差高さには望ましい下限が存在する。段差高さは第一の開口部形成時のエッチング量で規定されるため、エッチング条件の変動により段差高さが変動する恐れがある。極端な場合には、段差高さが 0 n m となり、容量ばらつきが急増し、従来例 1 と同程度にまでばらつきが増大する。また段差部は寄生容量として働き、段差高さが小さいほど寄生容量は大きくなり、容量値の設計値からのずれが発生する。段差高さが 5 0 n m であればこの寄生容量部分はほぼ無視できる。この段差高さが大きいほど、寄生容量は小さくなるが、容量ばらつきは増大する。容量ばらつきの許容値が 2 % であるので、段差高さは 3 0 0 n m 以下であることが望ましい。

#### 【 0 0 3 2 】

また本実施例では、第一の開口部と第二の開口部は中心が一致するようにレイアウトし、第二の開口部の端部から 1 0 0 n m 離れたところに第一の開口部の端部をレイアウトしているが、端部間隔は 1 0 0 n m に限定されるものではない。リソグラフィ工程の合わせマージンを超えて間隔を狭くすると、段差部が形成されずに容量ばらつきが増大する。端部間隔を広くすれば合わせや加工はより容易になるが、寄生容量の増大や占有面積増大という問題が生じる。したがって、リソグラフィ工程の合わせマージンの範囲内で間隔を狭くすることが望ましい。また、各開口部の中心は必ずしも一致する必要はなく、必要に応じて中心をオフセットさせることも可能である。

#### 【 0 0 3 3 】

また本実施例では、第一の開口部、第二の開口部の平面的な形状を正方形としたが本実施例の有用性はこれに限定されるものではない。正方形以外にも長方形、円形、楕円形、三角形、ひし形、それらの組み合わせの形状でも良い。

また本実施例では、第一の開口部内にただ 1 つの第二の開口部を形成したが、必要に応じて複数個の開口部を設けることも可能である。

#### 【 0 0 3 4 】

本実施例では、容量膜として膜厚 1 5 n m の酸化ハフニウムを用いたが、膜厚及び材料はこれに限定されるものではない。容量密度は容量膜の膜厚に反比例して増加するので、容量密度の面からは膜厚は薄いほど良い。ただし、薄膜化に応じて絶縁破壊耐圧も低下するので、使用する電圧に応じて薄膜化限界が存在する。また、容量膜の材料として、酸化ハフニウム以外にも、酸化シリコン、窒化シリコン、酸化タンタル、酸化ジルコニウム、酸化ランタン、酸化チタン、酸化アルミニウムなどやそれらの混合物およびそれらに窒素

10

20

30

40

50

等が混入した化合物を用いることが可能である。また、P Z T、S T O、B S T等の強誘電材料を用いることも可能である。さらに、本実施例では、容量膜として単層の絶縁膜を用いているが、この容量膜は必要に応じて積層構造とすることも可能である。

#### 【0035】

また、本実施例では、上部電極形成に、C V D法で形成した膜厚50nmの窒化チタンを用いているが、ここに示した以外の膜厚、材料、成膜手法を用いることも可能である。スパッタ法を用いれば、低温形成が可能であるが、成膜時のダメージ量が増大する。膜厚を薄くすれば加工時のダメージが容量膜に残りやすくなるが、逆に厚くしすぎると寄生抵抗が増大する問題がある。また、窒化チタン以外の材料としては、タングステン、モリブデン、タンタル及びその窒化物を主たる成分とする金属を用いることも可能である。

10

#### 【0036】

また本実施例では、第一、第二、第三、第四の金属配線において、バリアメタルとして窒化チタンを用いているが、窒化チタン以外にタンタル、タングステン及びその窒化物を主たる成分とする金属を用いることも可能であり、また、信頼度的に余裕があるのであれば、バリアメタルを用いない構造を利用することも可能である。また、上部電極、バリアメタルともに複数の層からなる積層構造にすることになら問題はない。

#### 【0037】

また本実施例では、第一の層間絶縁膜に設けた開口部を直接、スパッタ法で形成したバリアメタルとアルミニウムの積層膜で充填したが、他の材料、他の形成方法で充填することも可能である。よく知られているのは、C V D法で形成したタングステンを充填する方法であり、この手法を用いれば、開口寸法が小さく、深い開口部でも確実に金属を充填することが可能となる。

20

#### 【0038】

また本実施例では、第一の層間絶縁膜として主として酸化シリコン膜を用いた工程を例に説明したが、この材料に限定されるわけではなく、配線の寄生容量が低減可能なLow-k材料(低誘電率の絶縁材料)を用いることも可能である。Low-k材料としては、SiOC膜(炭素を含有する酸化シリコン膜)、有機膜、およびそれらに空隙を導入したLow-k材料、フッ素含有酸化シリコン膜などを用いることが可能である。

#### 【0039】

##### <実施例2>

本実施例は実施例1の応用例の1つであり、図9と図10に示した半導体装置の製造工程を示す断面図を用いて実施の形態を説明する。以下、順を追って説明する。

30

#### 【0040】

半導体素子が形成された基板100上に、スパッタ法を用いて膜厚50nmの窒化チタン、膜厚400nmのアルミニウム、膜厚50nmの窒化チタンを形成した後、リソグラフィ法とドライエッチ法を用いて第一のバリアメタル層208、第一のアルミニウム層209、第二のバリアメタル層210からなる第一の金属配線700、第三のバリアメタル層211、第二のアルミニウム層212、第四のバリアメタル層213からなる第二の金属配線701を形成した。

#### 【0041】

次に、プラズマC V D法を用いて膜厚2 $\mu$ mの酸化シリコン膜を形成し、第一の層間絶縁膜300とした。次に、この第一の層間絶縁膜の平坦度を化学的機械研磨法を用いて向上した後、リソグラフィ法とドライエッチ法を用いて、第一の金属配線700直上の、第一の層間絶縁膜300のM I Mキャパシタを形成したい領域に開口部を形成した。この際、第一の層間絶縁膜300に設けた開口部の平面形状は辺長1.2 $\mu$ mの正方形、開口部深さは1 $\mu$ mとし、第一の金属配線700と開口部の底部の間に残る酸化シリコンの厚みを100nmとした。

40

#### 【0042】

次に、リソグラフィ法を用いて前記開口部内部に開口部を有する感光性有機膜を形成した。この感光性有機膜に設けた開口部は、その平面形状が辺長1 $\mu$ mの正方形であり、

50



第一の層間絶縁膜300に形成した開口部の内部に完全に内包される形で形成した。次にドライエッチ法を用いて第一の層間絶縁膜300を加工し、第一の金属配線700の上面を露出させた。次に、感光性有機膜を除去した後、ALD法で形成した膜厚15nmの酸化ハフニウムからなる容量膜404、CVD法で形成した膜厚50nmの窒化チタンからなる上部電極膜214を順次形成した。その後、リソグラフィ法を用いてキャパシタとして作用させたい領域を被覆するように感光性有機膜からなる第一の加工レジスト600を形成した(図9(a))。

#### 【0043】

次に、第一の加工レジスト600をエッチングマスクに、不要な部分の上部電極膜214、容量膜404を除去し、加工された上部電極215、加工された容量膜405を形成した後、第一の加工レジスト600を除去した。ここから、配線部分の接続孔を形成する工程に入る。図9(b)に示したように、接続孔を形成したい領域に開口部を有するように感光性有機膜からなる第二の加工レジスト601を形成した後、この加工レジストを加工マスクに第二の金属配線701の表面が露出するように第一の層間絶縁膜300に第一の開口部500を形成した。この開口部は辺長辺長1.2μmの正方形とした。

#### 【0044】

次に、第二の加工レジスト601を除去した後、スパッタ法を用いて膜厚50nmの窒化チタン、膜厚400nmのアルミニウム、膜厚50nmの窒化チタンを形成し、リソグラフィ法を用いて配線として残したい部分を覆うように感光性有機膜を形成した。次にこの感光性有機膜を加工マスクにドライエッチを行うことで、図10に示したような、第一の金属配線700、加工された容量膜405、加工された上部電極215、第三の金属配線702から構成されるMIMキャパシタと第二の金属配線701と第四の金属配線703から構成される多層配線とを有する半導体装置を形成することが可能となる。この実施例2では、実施例1で示したような平面レイアウトは示していないが、基本的には図6に示したレイアウトに準じている。ただし、第二の金属配線701と第四の金属配線703の間の接続孔には段差がないため、第二の開口部756がそのまま接続孔となる点が異なっている。

#### 【0045】

このようにして形成したMIMキャパシタを有する半導体装置におけるMIMキャパシタの性能と信頼度を調べた結果、実施例1に示したのと同等の容量密度、絶縁耐圧、リーク電流が得られ、各性能のばらつきもほぼ同等の結果が得られた。

#### 【0046】

つまり、本発明の実施例に従い、第一の金属配線を被覆するように酸化シリコンからなる層間絶縁膜を形成した後、この第一の金属配線直上の層間絶縁膜の接続孔層に相当する領域に対し、第一の金属配線の上面が露出しないようにこの層間絶縁膜に第一の開口部を形成し、次に、第一の金属配線表面が露出するように第一の開口部の内部に第二の開口部を形成した後、容量膜、第三の金属配線を形成し、第一の金属配線、容量膜、第三の金属配線から構成されるMIMキャパシタを形成することにより、高い信頼度を有したまま、高い容量密度と高い容量精度が両立可能なMIMキャパシタを有する半導体装置が形成可能となる。

#### 【0047】

本実施例では、実施例1と異なり、MIMキャパシタ部分の開口部形成と配線領域の接続孔形成を別個のリソグラフィ工程とドライエッチ工程を用いて行っている。実施例1と比較して工程数が増える問題はあるものの、接続孔内部に段差が形成されないため、接続孔抵抗が低く、導通歩留を高めやすいメリットがある。

#### 【0048】

本実施例では、層間絶縁膜に形成した段差高さは100nmであるが、必要に応じて段差高さを変更することが可能である。実施例1で述べた理由により、この段差高さとしては、50nmから300nmの範囲にあることが望ましい。

#### 【0049】

また本実施例では、第一の開口部と第二の開口部は中心が一致するようにレイアウトし、第二の開口部の端部から100nm離れたところに第一の開口部の端部をレイアウトしているが、このレイアウトも必要に応じて変更することが可能である。実施例1に述べた理由により、端部間隔はリソグラフィ工程の合わせマージンの範囲内で狭くすることが望ましく、また、各開口部の中心は必ずしも一致する必要はない。

【0050】

また本実施例では、第一の開口部、第二の開口部の平面的な形状を正方形としたが本実施例の有用性はこれに限定されるものではない。正方形以外にも長方形、円形、楕円形、三角形、ひし形、それらの組み合わせの形状でも良い。

【0051】

また本実施例では、第一の開口部内にただ1つの第二の開口部を形成したが、必要に応じて複数個の開口部を設けることも可能である。

【0052】

本実施例では、容量膜として膜厚15nmの酸化ハフニウムを用いたが、膜厚及び材料はこれに限定されるものではない。容量膜の材料として、酸化ハフニウム以外にも、酸化シリコン、窒化シリコン、酸化タンタル、酸化ジルコニウム、酸化ランタン、酸化チタン、酸化アルミニウムなどやそれらの混合物およびそれらに窒素等が混入した化合物を用いることが可能である。また、PZT、STO、BST等の強誘電材料を用いることも可能である。さらに、この容量膜は必要に応じて積層構造とすることも可能である。

【0053】

また、本実施例では、上部電極形成に、CVD法で形成した膜厚50nmの窒化チタンを用いているが、ここに示した以外の膜厚、材料、成膜手法を用いることも可能である。窒化チタン以外の材料としては、タングステン、モリブデン、タンタル及びその窒化物を主たる成分とする金属を用いることも可能である。

【0054】

また本実施例では、第一、第二、第三、第四の金属配線において、バリアメタルとして窒化チタンを用いているが、窒化チタン以外にタンタル、タングステン及びその窒化物を主たる成分とする金属を用いることも可能であり、また、信頼度的に余裕があるのであれば、バリアメタルを用いない構造を利用することも可能である。また、上部電極、バリアメタルともに複数の層からなる積層構造にすることになら問題はない。

【0055】

また本実施例では、第一の層間絶縁膜に設けた開口部を直接、スパッタ法で形成したバリアメタルとアルミニウムの積層膜で充填したが、他の材料、他の形成方法で充填することも可能である。よく知られているのは、CVD法で形成したタングステンを充填する方法であり、この手法を用いれば、開口寸法が小さく、深い開口部でも確実に金属を充填することが可能となる。

【0056】

また本実施例では、第一の層間絶縁膜として主として酸化シリコン膜を用いた工程を例に説明したが、この材料に限定されるわけではなく、配線の寄生容量が低減可能なLow-k材料を用いることも可能である。Low-k材料としては、SiOC膜、有機膜、およびそれらに空隙を導入したLow-k材料、フッ素含有酸化シリコン膜などを用いることが可能である。

【0057】

<実施例3>

図11と図12は本発明の半導体装置の製造工程を示す断面図である。以下、順を追って説明する。

【0058】

図11(a)に示すように、半導体素子が形成された基板100上に、プラズマCVD法を用いて膜厚500nmの酸化シリコン膜を形成し、第一の層間絶縁膜300とした。次に、配線を形成したい領域に開口部を持つように感光性有機膜を形成し、これを加工マ

10

20

30

40

50

スクに第一の層間絶縁膜 300 の所望の領域をドライエッチ法により除去した。次に、スパッタ法で膜厚 50 nm のタンタル、膜厚 100 nm の銅膜を形成後、電解めっき法で銅膜をさらに成長させた後、化学的機械研磨法を用いて第一の層間絶縁膜 300 上の余分なタンタル膜、銅膜を除去し、膜厚 50 nm のタンタルからなる第一の接着層 225、膜厚 450 nm の銅膜からなる第一の銅層 226 から構成される第五の金属配線 704、膜厚 50 nm のタンタルからなる第二の接着層 227、膜厚 450 nm の銅膜からなる第二の銅層 228 から構成される第六の金属配線 705 を形成した。次に、プラズマ CVD 法で形成した膜厚 100 nm の窒化シリコンからなるバリア絶縁膜 406、プラズマ CVD 法で形成した膜厚 1.5  $\mu$ m の酸化シリコンからなる第二の層間絶縁膜 301 を順次形成した。

10

#### 【0059】

次に、一般的にトレンチファースト型デュアルダマシンと呼ばれる加工プロセスを用い、接続孔と配線溝を形成した。具体的には、第二の層間絶縁膜の配線として利用したい領域に開口部を持つように感光性有機膜を形成した後、ドライエッチ法を用いて配線高さとして想定した 500 nm の深さ分だけ第二の層間絶縁膜をエッチングし、配線溝を形成した。次に、感光性有機膜を除去後、リソグラフィ法を用いて、接続孔を形成したい領域に開口部を持つように感光性有機膜を形成した。次にこの感光性有機膜を加工マスクに第二の層間絶縁膜 301 にドライエッチングを行い、第一のバリア絶縁膜表面を露出させた。次に、この感光性有機膜を除去した後、バリア絶縁膜 406 上に感光性有機膜からなる第一の加工レジスト 600 を形成した。この第一の加工レジストは少なくとも MIM キャパシタを形成したい領域上に第一の開口部 500 を有している。この第一の開口部の平面形状を辺長 1  $\mu$ m の正方形とした。

20

#### 【0060】

次に 11 (b) に示すように、第一の加工レジスト 600 を加工マスクに第六の金属配線 705 表面が露出するように、バリア絶縁膜 406 に開口部を設けた後、第一の加工レジスト 600 を除去した。ここでバリア絶縁膜によって形成された段差が、実施例 1 における段差高さに相当する。次に、ALD 法で形成した膜厚 15 nm の酸化ハフニウム、CVD 法で形成した膜厚 50 nm の窒化チタンを形成後、リソグラフィ法を用いてキャパシタとして作用させたい領域を被覆するように感光性有機膜からなる第二の加工レジスト 601 を形成した。次に、この第二の加工レジスト 601 をエッチングマスクに、不要な部分の酸化ハフニウム、窒化チタンを除去し、膜厚 50 nm の窒化チタンからなる加工された上部電極 215、膜厚 15 nm の酸化ハフニウムからなる加工された容量膜 405 を形成した。

30

#### 【0061】

次に図 12 に示すように、スパッタ法で膜厚 50 nm のタンタル、膜厚 100 nm の銅膜を形成後、電解めっき法で銅膜をさらに成長させた後、化学的機械研磨法を用いて第二の層間絶縁膜 301 上の余分なタンタル膜、銅膜を除去し、膜厚 50 nm のタンタルからなる第三の接着層 229、膜厚 450 nm の銅膜からなる第三の銅層 230 から構成される第七の金属配線 706、膜厚 50 nm のタンタルからなる第四の接着層 231、膜厚 450 nm の銅膜からなる第四の銅層 232 から構成される第八の金属配線 707 を形成した。このようにして、第五の金属配線 704、加工された容量膜 405、加工された上部電極 215、第七の金属配線 706 から構成される MIM キャパシタを有する半導体装置を形成することが可能となる。

40

#### 【0062】

上記の工程で形成した MIM キャパシタの平面レイアウト図を図 13 に示す。図 11、図 12 に示した断面図は図 13 中の A - A' 間の断面である。図 13 に示したレイアウト図において、第五の金属配線 759、MIM キャパシタの容量膜 754、第七の金属配線 761 によって MIM キャパシタが構成される。ただし、実際に容量として機能するのは、第三の開口部 757 で示された領域のみである。ここでは第三の開口部 757 の辺長 (図 13 中の L) は 1  $\mu$ m であるので、キャパシタ面積は 1 平方マイクロメートルである。

50

またMIMキャパシタに隣接して、第六の金属配線760、第二の開口部756、第四の開口部758、第八の金属配線762で構成される配線が敷設してある。

【0063】

このようにして形成したMIMキャパシタを有する半導体装置におけるMIMキャパシタの性能と信頼度を調べた結果、実施例1に示したのと同等の容量密度、絶縁耐圧、リーク電流が得られ、各性能のばらつきもほぼ同等の結果が得られた。

【0064】

つまり、本発明の実施例に従い、第五の金属配線を被覆するようにバリア絶縁膜、第二の層間絶縁膜を形成した後、この第五の金属配線直上の第二の層間絶縁膜の接続孔層に相当する領域に対し、バリア絶縁膜表面が露出するようにこの層間絶縁膜に第一の開口部を形成し、次に、第五の金属配線表面が露出するように第一の開口部の内側の領域でバリア絶縁膜に第二の開口部を形成した後、容量膜、第七の金属配線を形成し、第五の金属配線、容量膜、第七の金属配線から構成されるMIMキャパシタを形成することにより、高い信頼度を有したまま、高い容量密度と高い容量精度が両立可能なMIMキャパシタを有する半導体装置が形成可能となる。

【0065】

本実施例では、実施例1と異なり、金属配線の形成工程としてダマシン法を用いている。ダマシン法は抵抗の低い銅配線の形成に向いており、また、配線の平坦化が容易であることから、配線の性能を高めやすいメリットがある。

【0066】

本実施例では、バリア絶縁膜の厚さは100nmであるため、段差高さは100nmとなる。この段差の高さは必要に応じて変更することが可能である。実施例1で述べた理由により、この段差高さとしては、50nmから300nmの範囲にあることが望ましい。また、本実施例では、第一の開口部の形成時に、バリア絶縁膜が現れた時点でエッチングをとめたため、バリア絶縁膜の厚みがそのまま段差高さとなったが、本実施例の有効性はこの方法にのみ限定されるものではない。必要に応じてバリア絶縁膜が現れる前にエッチングを停止することや、バリア絶縁膜が現れた後、追加でバリア絶縁膜をエッチングすることも可能である。この場合、第五の金属配線上面と第一の開口部底面との間隔が段差高さとなる。

【0067】

また本実施例では、第一の開口部と第二の開口部は中心が一致するようにレイアウトし、第二の開口部の端部から100nm離れたところに第一の開口部の端部をレイアウトしているが、このレイアウトも必要に応じて変更することが可能である。実施例1に述べた理由により、端部間隔はリソグラフィ工程の合わせマージンの範囲内で狭くすることが望ましく、また、各開口部の中心は必ずしも一致する必要はない。

【0068】

また本実施例では、第一の開口部、第二の開口部の平面的な形状を正方形としたが本実施例の有用性はこれに限定されるものではない。正方形以外にも長方形、円形、楕円形、三角形、ひし形、それらの組み合わせの形状でも良い。

また本実施例では、第一の開口部内にただ1つの第二の開口部を形成したが、必要に応じて複数個の開口部を設けることも可能である。

【0069】

本実施例では、容量膜として膜厚15nmの酸化ハフニウムを用いたが、膜厚及び材料はこれに限定されるものではない。容量膜の材料として、酸化ハフニウム以外にも、酸化シリコン、窒化シリコン、酸化タンタル、酸化ジルコニウム、酸化ランタン、酸化チタン、酸化アルミニウムなどやそれらの混合物およびそれらに窒素等が混入した化合物を用いることが可能である。また、PZT、STO、BST等の強誘電材料を用いることも可能である。さらに、この容量膜は必要に応じて積層構造とすることも可能である。

【0070】

また、本実施例では、上部電極形成に、CVD法で形成した膜厚50nmの窒化チタン

10

20

30

40

50

を用いているが、ここに示した以外の膜厚、材料、成膜手法を用いることも可能である。窒化チタン以外の材料としては、タングステン、モリブデン、タンタル及びその窒化物を主たる成分とする金属を用いることも可能である。

【0071】

また本実施例では、第五、第六、第七、第八の金属配線を、タンタルと銅の組み合わせで形成しているが、他の材料を用いることも可能である。タンタル以外にチタン、タングステン、モリブデン及びその窒化物を主たる成分とする金属を用いることも可能であり、必要に応じて積層構造の金属層を用いることも可能である。また銅膜のかわりに、アルミニウムやタングステン、チタンおよびそれらの合金、化合物を用いることも可能である。

【0072】

また本実施例では、バリア絶縁膜に設けた第二の開口部に直接容量膜を用いたが、必要に応じて第二の開口部内に露出した銅膜表面を他の導体材料で被覆することも可能である。たとえば、選択CVD法や無電解めっき法を用いれば銅膜表面にのみ金属を選択的に成長することも可能である。この手法を用いれば、銅が拡散しやすい容量膜材料を用いた場合でも十分な信頼度を維持することが可能となる。

【0073】

また本実施例では、第七、第八の金属配線の加工方法として、トレンチファースト型のデュアルダマシン法を用いたが、本手法の有効性はこれに限定されるものではない。他のデュアルダマシン法および配線溝と接続孔を独立して形成するシングルダマシン法でも同様の効果が期待される。シングルダマシン法の場合には、接続孔形成プロセスに本実施例を適用するのが効果的である。

【0074】

また本実施例では、第一、第二の層間絶縁膜として主として酸化シリコン膜を用いた工程を例に説明したが、この材料に限定されるわけではなく、配線の寄生容量が低減可能なLow-k材料を用いることも可能である。Low-k材料としては、SiOC膜、有機膜、およびそれらに空隙を導入したLow-k材料、フッ素含有酸化シリコン膜などを用いることが可能である。

【0075】

<実施例4>

本実施例は実施例3の応用例の1つであり、図14および図15の半導体装置の製造工程を示す断面図を用いて本発明を説明する。

【0076】

実施例3に示した工程に準じることで、半導体素子が形成された基板100上に、プラズマCVD法を用いて形成した膜厚500nmの酸化シリコン膜からなる第一の層間絶縁膜300、膜厚50nmのタンタルからなる第一の接着層225、膜厚450nmの銅膜からなる第一の銅層226から構成される第五の金属配線704、膜厚50nmのタンタルからなる第二の接着層227、膜厚450nmの銅膜からなる第二の銅層228から構成される第六の金属配線705を形成した。次に、プラズマCVD法で形成した膜厚100nmの窒化シリコンからなるバリア絶縁膜406、プラズマCVD法で形成した膜厚1.5μmの酸化シリコンからなる第二の層間絶縁膜301を順次形成した後、トレンチファースト型デュアルダマシン法を用い、接続孔と配線溝を形成した。次に、バリア絶縁膜406上に感光性有機膜からなる第一の加工レジスト600を形成した。この第一の加工レジスト600は少なくともMIMキャパシタを形成したい領域上に開口部を有している(図14(a))。

【0077】

次に14(b)に示すように、第一の加工レジスト600を加工マスクに第五の金属配線704表面が露出するように、バリア絶縁膜406に開口部を設けた後、第一の加工レジスト600を除去した。ここでバリア絶縁膜によって形成された段差が、実施例1における段差高さに相当する。次に、ALD法で形成した膜厚15nmの酸化ハフニウム、CVD法で形成した膜厚50nmの窒化チタンを形成後、リソグラフィ法を用いてキャパ

10

20

30

40

50

シタとして作用させたい領域を被覆するように感光性有機膜からなる第二の加工レジスト601を形成した。次に、この第二の加工レジスト601をエッチングマスクに、不要な部分の酸化ハフニウム、窒化チタンを除去し、膜厚50nmの窒化チタンからなる加工された上部電極215、膜厚15nmの酸化ハフニウムからなる加工された容量膜405を形成した。

**【0078】**

次に15(a)に示すように、第二の加工レジスト601を除去した後、配線および接続孔として機能させる領域を形成するために再度トレンチファースト型のデュアルダマシン工程を行い、第六の金属配線に開口部を有する配線溝と接続孔からなる第一の開口部500を第二の層間絶縁膜301内部に形成した。

10

**【0079】**

次に15(b)に示すように、スパッタ法で膜厚50nmのタンタル、膜厚100nmの銅膜を形成後、電解めっき法で銅膜をさらに成長させた後、化学的機械研磨法を用いて第二の層間絶縁膜301上の余分なタンタル膜、銅膜を除去し、膜厚50nmのタンタルからなる第三の接着層229、膜厚450nmの銅膜からなる第三の銅層230から構成される第七の金属配線706、膜厚50nmのタンタルからなる第四の接着層231、膜厚450nmの銅膜からなる第四の銅層232から構成される第八の金属配線707を形成した。このようにして、第五の金属配線704、加工された容量膜405、加工された上部電極215、第七の金属配線706から構成されるMIMキャパシタを有する半導体装置を形成することが可能となる。この実施例4では、実施例3で示したような平面レイアウトは示していないが、基本的には図13に示したレイアウトに準じている。ただし、第六の金属配線705と第八の金属配線707の間の接続孔には段差がないため、第二の開口部756がそのまま接続孔となる点が異なっている。

20

**【0080】**

このようにして形成したMIMキャパシタを有する半導体装置におけるMIMキャパシタの性能と信頼度を調べた結果、実施例1に示したのと同等の容量密度、絶縁耐圧、リーク電流が得られ、各性能のばらつきもほぼ同等の結果が得られた。

**【0081】**

つまり、本発明の実施例に従い、第五の金属配線を被覆するようにバリア絶縁膜、第二の層間絶縁膜を形成した後、この第五の金属配線直上の第二の層間絶縁膜の接続孔層に相当する領域に対し、バリア絶縁膜表面が露出するようにこの層間絶縁膜に第一の開口部を形成し、次に、第五の金属配線表面が露出するように第一の開口部の内側の領域でバリア絶縁膜に第二の開口部を形成した後、容量膜、第七の金属配線を形成し、第五の金属配線、容量膜、第七の金属配線から構成されるMIMキャパシタを形成することにより、高い信頼度を有したまま、高い容量密度と高い容量精度が両立可能なMIMキャパシタを有する半導体装置が形成可能となる。

30

**【0082】**

本実施例では、実施例3と異なり、MIMキャパシタ部分の開口部形成と配線領域の配線溝および接続孔形成を別個のリソグラフィ工程とドライエッチ工程を用いて行っている。実施例3と比較して工程数が増える問題はあるものの、接続孔内部に段差が形成されないため、接続孔抵抗が低く、導通歩留を高めやすいメリットがある。

40

**【0083】**

本実施例では、バリア絶縁膜の厚さは100nmであるため、段差高さは100nmとなる。この段差の高さは必要に応じて変更することが可能である。実施例1で述べた理由により、この段差高さとしては、50nmから300nmの範囲にあることが望ましい。また、本実施例では、第一の開口部の形成時に、バリア絶縁膜が現れた時点でエッチングをとめたため、バリア絶縁膜の厚みそのまま段差高さとなったが、本実施例の有効性はこの方法にのみ限定されるものではない。必要に応じてバリア絶縁膜が現れる前にエッチングを停止することや、バリア絶縁膜が現れた後、追加でバリア絶縁膜をエッチングすることも可能である。この場合、第五の金属配線上面と第一の開口部底面との間隔が段差高

50

さとなる。

【0084】

また本実施例では、第一の開口部と第二の開口部は中心が一致するようにレイアウトし、第二の開口部の端部から100nm離れたところに第一の開口部の端部をレイアウトしているが、このレイアウトも必要に応じて変更することが可能である。実施例1に述べた理由により、端部間隔はリソグラフィ工程の合わせマーシンの範囲内で狭くすることが望ましく、また、各開口部の中心は必ずしも一致する必要はない。

【0085】

また本実施例では、第一の開口部、第二の開口部の平面的な形状を正方形としたが本実施例の有用性はこれに限定されるものではない。正方形以外にも長方形、円形、楕円形、三角形、ひし形、それらの組み合わせの形状でも良い。

10

また本実施例では、第一の開口部内にただ1つの第二の開口部を形成したが、必要に応じて複数個の開口部を設けることも可能である。

【0086】

本実施例では、容量膜として膜厚15nmの酸化ハフニウムを用いたが、膜厚及び材料はこれに限定されるものではない。容量膜の材料として、酸化ハフニウム以外にも、酸化シリコン、窒化シリコン、酸化タンタル、酸化ジルコニウム、酸化ランタン、酸化チタン、酸化アルミニウムなどやそれらの混合物およびそれらに窒素等が混入した化合物を用いることが可能である。また、PZT、STO、BST等の強誘電材料を用いることも可能である。さらに、この容量膜は必要に応じて積層構造とすることも可能である。

20

【0087】

また、本実施例では、上部電極形成に、CVD法で形成した膜厚50nmの窒化チタンを用いているが、ここに示した以外の膜厚、材料、成膜手法を用いることも可能である。窒化チタン以外の材料としては、タングステン、モリブデン、タンタル及びその窒化物を主たる成分とする金属を用いることも可能である。

【0088】

また本実施例では、第五、第六、第七、第八の金属配線を、タンタルと銅の組み合わせで形成しているが、他の材料を用いることも可能である。タンタル以外にチタン、タングステン、モリブデン及びその窒化物を主たる成分とする金属を用いることも可能であり、必要に応じて積層構造の金属層を用いることも可能である。また銅膜のかわりに、アルミニウムやタングステン、チタンおよびそれらの合金、化合物を用いることも可能である。

30

【0089】

また本実施例では、第五の金属配線表面に直接容量膜を形成したが、必要に応じて第五の金属配線表面を他の導体材料で被覆することも可能である。たとえば、選択CVD法や無電解めっき法を用いれば第五の金属配線表面に露出した銅膜表面にのみ金属を選択的に成長することも可能である。この手法を用いれば、銅が拡散しやすい容量膜材料を用いた場合でも十分な信頼度を維持することが可能となる。

【0090】

また本実施例では、第七、第八の金属配線の加工方法として、トレンチファースト型のデュアルダマシン法を用いたが、本手法の有効性はこれに限定されるものではない。他のデュアルダマシン法および配線溝と接続孔を独立して形成するシングルダマシン法でも同様の効果が期待される。シングルダマシン法の場合には、接続孔形成プロセスに本実施例を適用するのが効果的である。

40

【0091】

また本実施例では、第一、第二の層間絶縁膜として主として酸化シリコン膜を用いた工程を例に説明したが、この材料に限定されるわけではなく、配線の寄生容量が低減可能なLow-k材料を用いることも可能である。Low-k材料としては、SiOC膜、有機膜、およびそれらに空隙を導入したLow-k材料、フッ素含有酸化シリコン膜などを用いることが可能である。

【0092】

50

< 実施例 5 >

図 16 および図 17 は本発明の実施例 5 に基づく半導体装置の製造工程を示す断面図である。以下順を追って説明する。

【 0 0 9 3 】

半導体素子が形成された基板 100 上に、スパッタ法を用いて膜厚 50 nm の窒化チタン、膜厚 400 nm のアルミニウム、膜厚 50 nm の窒化チタンを形成した後、プラズマ CVD 法を用いて膜厚 100 nm の窒化シリコン膜を形成した。次にリソグラフィ法とドライエッチ法を用いて所望の領域にのみ窒化シリコン膜を残した後、再度、リソグラフィ法とドライエッチ法を用いて第一のバリアメタル層 208、第一のアルミニウム層 209、第二のバリアメタル層 210 からなる第一の金属配線 700、第三のバリアメタル層 211、第二のアルミニウム層 212、第四のバリアメタル層 213 からなる第二の金属配線 701 を形成した。ここで、第一の金属配線 700 上には、第一の開口部 500 を有する膜厚 100 nm の窒化シリコンからなるエッチ停止膜 407 が形成されている。ここで、第一の開口部 500 の平面形状は辺長 1 μm の正方形である (図 16 (a))。 10

【 0 0 9 4 】

次に、プラズマ CVD 法を用いて膜厚 2 μm の酸化シリコン膜を形成し、第一の層間絶縁膜 300 とした後、この第一の層間絶縁膜 300 の平坦度を化学的機械研磨法を用いて向上した後、リソグラフィ法を用いて、感光性有機膜からなる加工レジスト 600 を形成した後、ドライエッチ法を用いて、第一の金属配線 700 上に設けたエッチ停止膜 407 に形成した第一の開口部 500 を内側に含むように第一の層間絶縁膜 300 に第二の開口部 501 を形成し、第一の金属配線 700 の表面を露出させた。ここでエッチ停止膜 407 によって形成された段差が、実施例 1 における段差高さに相当する。(図 16 (b))。 20

【 0 0 9 5 】

次に、第一の加工レジスト 600 を除去した後、ALD 法で形成した膜厚 15 nm の酸化ハフニウム、CVD 法で形成した膜厚 50 nm の窒化チタンを順次形成した後、リソグラフィ法を用いてキャパシタとして作用させたい領域を被覆するように感光性有機膜からなる第二の加工レジスト 601 を形成した。次に、第二の加工レジスト 601 をエッチングマスクに、不要な部分の上部電極膜、容量膜を除去し、加工された上部電極 215、加工された容量膜 405 を形成した (図 16 (c))。 30

【 0 0 9 6 】

次に、第二の加工レジスト 601 を除去した後、スパッタ法を用いて膜厚 50 nm の窒化チタンからなる第一のバリアメタル膜 216、膜厚 400 nm のアルミニウムからなる第一のアルミニウム膜、膜厚 50 nm の窒化チタンからなる第二のバリアメタル膜 218 を形成し、リソグラフィ法を用いて配線として残したい部分を覆うように感光性有機膜からなる第三の加工レジスト 602、第四の加工レジスト 603 を形成した (図 17 (a))。 40

【 0 0 9 7 】

次にこの第三、第四の加工レジストを加工マスクにドライエッチを行うことで、図 17 (b) に示したような、第一の金属配線 700、加工された容量膜 405、加工された上部電極 215、第三の金属配線 702 から構成される MIM キャパシタと第二の金属配線 701 と第四の金属配線 703 から構成される多層配線とを有する半導体装置を形成することが可能となる。この実施例 5 では、実施例 1 で示したような平面レイアウトは示していないが、基本的には図 6 に示したレイアウトに準じている。ただし、図 6 において第一の開口部 755 としてレイアウトされている部分が、エッチ停止膜 407 に形成された第一の開口部 500 と対応している。 40

【 0 0 9 8 】

このようにして形成した MIM キャパシタを有する半導体装置における MIM キャパシタの性能と信頼度を調べた結果、実施例 1 に示したのと同等の容量密度、絶縁耐圧、リーク電流が得られ、各性能のばらつきもほぼ同等の結果が得られた。 50



## 【0099】

つまり、本発明の実施例に従い、第一の金属配線上の所望の領域に第一の開口部を有するエッチ停止膜を形成した後、これらを被覆するように酸化シリコンからなる層間絶縁膜を形成し、この第一の金属配線直上の層間絶縁膜の接続孔層に相当する領域に対し、第一の金属配線上に形成したエッチ停止層に設けた第一の開口部を内包するようにこの層間絶縁膜に第二の開口部を形成し、第一の金属配線表面を露出させた後、容量膜、第三の金属配線を形成し、第一の金属配線、容量膜、第三の金属配線から構成されるMIMキャパシタを形成することにより、高い信頼度を有したまま、高い容量密度と高い容量精度が両立可能なMIMキャパシタを有する半導体装置が形成可能となる。

## 【0100】

本実施例では、実施例1と異なり、第一の金属配線上にあらかじめMIMキャパシタの開口部相当の領域を形成したエッチ停止層を設けてある。このエッチ停止層のエッチング速度を層間絶縁膜のエッチング速度に比して遅い状態に保つことで、層間絶縁膜の接続孔開口時に第一の金属配線表面が露出するまでエッチングを行っても、エッチ停止層に形成された第一の開口部はほぼそのままの形状で保持することが可能となる。実施例1では、段差高さは層間絶縁膜のエッチング時間で調整したが、本実施例ではエッチ停止層の膜厚がそのまま段差高さとなるため、実施例1と比較して工程数が増える問題はあるものの、段差高さの制御性が向上する長所がある。また、接続孔として利用する領域には段差が形成されないために、接続孔抵抗が低減されるという長所もある。

## 【0101】

本実施例では、段差高さに相当するエッチ停止層の厚みを100nmとしたが、この膜厚を変えることで必要に応じて段差高さを変更することが可能である。実施例1で述べた理由により、この段差高さとしては、50nmから300nmの範囲にあることが望ましい。

## 【0102】

また本実施例では、エッチ停止層を形成した後、第一の金属配線、第二の金属配線を加工しているが、この順番を入れ替え、第一の金属配線、第二の金属配線を形成した後、エッチ停止層を形成し、このエッチ停止層に第一の開口部を設けることも可能である。

## 【0103】

また本実施例では、第一の開口部と第二の開口部は中心が一致するようにレイアウトし、第二の開口部の端部から100nm離れたところに第一の開口部の端部をレイアウトしているが、このレイアウトも必要に応じて変更することが可能である。実施例1に述べた理由により、端部間隔はリソグラフィ工程の合わせマーヅンの範囲内で狭くすることが望ましく、また、各開口部の中心は必ずしも一致する必要はない。

## 【0104】

また本実施例では、第一の開口部、第二の開口部の平面的な形状を正方形としたが本実施例の有用性はこれに限定されるものではない。正方形以外にも長方形、円形、楕円形、三角形、ひし形、それらの組み合わせの形状でも良い。

## 【0105】

また本実施例では、第一の開口部内にただ1つの第二の開口部を形成したが、必要に応じて複数個の開口部を設けることも可能である。

## 【0106】

また本実施例では、エッチ停止層としてプラズマCVD法を用いて形成した窒化シリコンを用いたが、この成膜方法、材料に限定されるわけではなく、層間絶縁膜のエッチング時にエッチング停止層として機能する絶縁材料であれば利用することが可能である。窒化シリコン以外の材料として、酸化シリコン、炭化シリコン、酸化アルミニウム、窒化アルミニウム、窒化ボロンなどの絶縁材料を用いることも可能である。さらに、このエッチ停止層は必要に応じて複数の絶縁膜を積層して用いることも可能である。

## 【0107】

本実施例では、MIMキャパシタ領域の開口部形成と接続孔部分の開口部形成を同時に

10

20

30

40

50

行っているが、実施例 2 に示したようにこれらの工程を別工程として行うことが可能である。別工程とすることで工程数は増えるものの、接続孔内部における容量膜や上部電極膜の除去を行う必要がないため、導通歩留を高めやすい長所もある。

【 0 1 0 8 】

本実施例では、容量膜として膜厚 15 nm の酸化ハフニウムを用いたが、膜厚及び材料はこれに限定されるものではない。容量膜の材料として、酸化ハフニウム以外にも、酸化シリコン、窒化シリコン、酸化タンタル、酸化ジルコニウム、酸化ランタン、酸化チタン、酸化アルミニウムなどやそれらの混合物およびそれらに窒素等が混入した化合物を用いることが可能である。また、P Z T、S T O、B S T 等の強誘電材料を用いることも可能である。さらに、この容量膜は必要に応じて積層構造とすることも可能である。

10

【 0 1 0 9 】

また、本実施例では、上部電極形成に、C V D 法で形成した膜厚 50 nm の窒化チタンを用いているが、ここに示した以外の膜厚、材料、成膜手法を用いることも可能である。窒化チタン以外の材料としては、タングステン、モリブデン、タンタル及びその窒化物を主たる成分とする金属を用いることも可能である。

【 0 1 1 0 】

また本実施例では、第一、第二、第三、第四の金属配線において、バリアメタルとして窒化チタンを用いているが、窒化チタン以外にタンタル、タングステン及びその窒化物を主たる成分とする金属を用いることも可能であり、また、信頼度的に余裕があるのであれば、バリアメタルを用いない構造を利用することも可能である。また、上部電極、バリアメタルともに複数の層からなる積層構造にすることになら問題はない。

20

【 0 1 1 1 】

また本実施例では、第一の層間絶縁膜に設けた開口部を直接、スパッタ法で形成したバリアメタルとアルミニウムの積層膜で充填したが、他の材料、他の形成方法で充填することも可能である。よく知られているのは、C V D 法で形成したタングステンを充填する方法であり、この手法を用いれば、開口寸法が小さく、深い開口部でも確実に金属を充填することが可能となる。

【 0 1 1 2 】

また本実施例では、第一の層間絶縁膜として主として酸化シリコン膜を用いた工程を例に説明したが、この材料に限定されるわけではなく、配線の寄生容量が低減可能な Low - k 材料を用いることも可能である。Low - k 材料としては、S i O C 膜、有機膜、およびそれらに空隙を導入した Low - k 材料、フッ素含有酸化シリコン膜などを用いることが可能である。

30

【 0 1 1 3 】

< 実施例 6 >

図 18 および図 19 は本発明の実施例 6 に基づく半導体装置の製造工程を示す断面図である。以下順を追って説明する。

【 0 1 1 4 】

図 18 ( a ) に示すように、半導体素子が形成された基板 100 上に、プラズマ C V D 法を用いて膜厚 500 nm の酸化シリコン膜を形成し、第一の層間絶縁膜 300 とした。次に、配線を形成したい領域に開口部を持つように感光性有機膜を形成し、これを加工マスクに第一の層間絶縁膜 300 の所望の領域をドライエッチ法により除去した。次に、スパッタ法で膜厚 50 nm のタンタル、膜厚 100 nm の銅膜を形成後、電解めっき法で銅膜をさらに成長させた後、化学的機械研磨法を用いて第一の層間絶縁膜 300 上の余分なタンタル膜、銅膜を除去し、膜厚 50 nm のタンタルからなる第一の接着層 225、膜厚 450 nm の銅膜からなる第一の銅層 226 から構成される第五の金属配線 704、膜厚 50 nm のタンタルからなる第二の接着層 227、膜厚 450 nm の銅膜からなる第二の銅層 228 から構成される第六の金属配線 705 を形成した。次に、プラズマ C V D 法で形成した膜厚 50 nm の窒化シリコンからなるバリア絶縁膜 406、プラズマ C V D 法で形成した膜厚 50 nm の炭化シリコンからなる第二のエッチ停止膜 408 を順次形成し

40

50

た。次にリソグラフィー法とドライエッチ法を組み合わせ、第五の金属配線704上に開口部500を持つように第二のエッチ停止層を加工した。この際、MIMキャパシタを形成しない第六の金属配線705上の接続孔が形成される領域には第二のエッチ停止膜が残らないようにした。ここで、第一の開口部500の平面形状は辺長1 $\mu$ mの正方形とした。

#### 【0115】

次に図18(b)に示すように、プラズマCVD法を用いて膜厚1.5 $\mu$ mの酸化シリコンからなる第二の層間絶縁膜301を順次形成した後、トレンチファースト型デュアルダマシン・プロセスを用い、接続孔と配線溝に相当する第二の開口部501と第三の開口部502を形成した。具体的には、第二の層間絶縁膜の配線として利用したい領域に開口部を持つように感光性有機膜を形成した後、ドライエッチ法を用いて配線高さとして想定した500nmの深さ分だけ第二の層間絶縁膜をエッチングし、配線溝を形成した。次に、感光性有機膜を除去後、リソグラフィー法を用いて、接続孔を形成したい領域に開口部を持つように感光性有機膜を形成した。次にこの感光性有機膜を加工マスクに第二の層間絶縁膜301のドライエッチングを行い、第五の金属配線704、第六の金属配線705の表面を露出させた。この工程において、第五の金属配線704上に開口された接続孔の平面形状は辺長1.2 $\mu$ mの正方形であり、第二のエッチ停止膜408に設けた開口部500を内包するように設定した。また、酸化シリコンからなる第二の層間絶縁膜301のエッチング速度を、第二のエッチ停止膜408を構成する炭化シリコンのエッチング速度より高速となるようにエッチング条件を設定したので、第五の金属配線704上の接続孔に相当する領域に段差が生じる。この第二のエッチ停止膜408とバリア絶縁膜406によって形成された段差が、実施例1における段差高さに相当する。本実施例の場合、第二のエッチ停止膜408、バリア絶縁膜406ともに膜厚50nmであるので、段差高さは100nmとなる。

#### 【0116】

次に19(a)に示すように、次に、ALD法で形成した膜厚15nmの酸化ハフニウム、CVD法で形成した膜厚50nmの窒化チタンを形成後、リソグラフィー法を用いてキャパシタとして作用させたい領域を被覆するように感光性有機膜からなる第二の加工レジスト601を形成した。次に、この第二の加工レジスト601をエッチングマスクに、不要な部分の酸化ハフニウム、窒化チタンを除去し、膜厚50nmの窒化チタンからなる加工された上部電極215、膜厚15nmの酸化ハフニウムからなる加工された容量膜405を形成した。

#### 【0117】

次に19(b)に示すように、第二の加工レジスト601を除去後、スパッタ法で膜厚50nmのタンタル、膜厚100nmの銅膜を形成後、電解めっき法で銅膜をさらに成長させた後、化学的機械研磨法を用いて第二の層間絶縁膜301上の余分なタンタル膜、銅膜を除去し、膜厚50nmのタンタルからなる第三の接着層229、膜厚450nmの銅膜からなる第三の銅層230から構成される第七の金属配線706、膜厚50nmのタンタルからなる第四の接着層231、膜厚450nmの銅膜からなる第四の銅層232から構成される第八の金属配線707を形成した。このようにして、第五の金属配線704、加工された容量膜405、加工された上部電極215、第七の金属配線706から構成されるMIMキャパシタを有する半導体装置を形成することが可能となる。この実施例6では、実施例3で示したような平面レイアウトは示していないが、基本的には図13に示したレイアウトに準じている。ただし、図13において第一の開口部755としてレイアウトされている部分が、第二のエッチ停止膜408に形成された第一の開口部500と対応している。

#### 【0118】

このようにして形成したMIMキャパシタを有する半導体装置におけるMIMキャパシタの性能と信頼度を調べた結果、実施例1に示したのと同等の容量密度、絶縁耐圧、リーク電流が得られ、各性能のばらつきもほぼ同等の結果が得られた。

## 【0119】

つまり、本発明の実施例に従い第五の金属配線上の所望の領域に第一の開口部を有する第二のエッチ停止膜を形成した後、これらを被覆するように酸化シリコンからなる第二の層間絶縁膜を形成し、この第五の金属配線直上の第二の層間絶縁膜の接続孔層に相当する領域に対し、第五の金属配線上に形成した第二のエッチ停止層に設けた第一の開口部を内包するようにこの層間絶縁膜に第二の開口部を形成し、第五の金属配線表面を露出させた後、容量膜、第七の金属配線を形成し、第五の金属配線、容量膜、第七の金属配線から構成されるMIMキャパシタを形成することにより、高い信頼度を有したまま、高い容量密度と高い容量精度が両立可能なMIMキャパシタを有する半導体装置が形成可能となる。

## 【0120】

本実施例では、実施例3と異なり、第五の金属配線上にあらかじめMIMキャパシタの開口部相当の領域を形成した第二のエッチ停止層を設けてある。この第二のエッチ停止層のエッチング速度を第二の層間絶縁膜のエッチング速度に比して遅い状態に保つことで、第二の層間絶縁膜の接続孔開口時に第五の金属配線表面が露出するまでエッチングを行っても、第二のエッチ停止層に形成された第一の開口部はほぼそのままの形状で保持することが可能となる。実施例3では、段差高さは層間絶縁膜のエッチング時間で調整したが、本実施例では第二のエッチ停止層とバリア絶縁膜の膜厚がそのまま段差高さとなるため、実施例3と比較して工程数が増える問題はあるものの、段差高さの制御性が向上する長所がある。また、接続孔として利用する領域には段差が形成されないために、接続孔抵抗が低減されるという長所もある。

## 【0121】

本実施例では、第二のエッチ停止膜、バリア絶縁膜の厚さはそれぞれ50nmであるため、段差高さは100nmとなる。この段差の高さは必要に応じて変更することが可能である。実施例1で述べた理由により、この段差高さとしては、50nmから300nmの範囲にあることが望ましいので、合計膜厚はこの範囲が望ましい。第二のエッチ停止膜の最低膜厚は、第二の層間絶縁膜とのエッチング選択比で規定される。また、バリア絶縁膜の膜厚は該バリア絶縁膜のバリア性によって規定される。本実施例では、第二のエッチ停止膜とバリア絶縁膜を異なる材料で形成したが、同一の材料とすることも可能である。この際、第一の開口部500を形成するとき、第五の金属配線704表面が露出しないようにエッチングを制御するのが信頼度的には望ましい。

## 【0122】

また本実施例では、第一の開口部と第二の開口部は中心が一致するようにレイアウトし、第二の開口部の端部から100nm離れたところに第一の開口部の端部をレイアウトしているが、このレイアウトも必要に応じて変更することが可能である。実施例1に述べた理由により、端部間隔はリソグラフィ工程の合わせマージンの範囲内で狭くすることが望ましく、また、各開口部の中心は必ずしも一致する必要はない。

## 【0123】

また本実施例では、第一の開口部、第二の開口部の平面的な形状を正方形としたが本実施例の有用性はこれに限定されるものではない。正方形以外にも長方形、円形、楕円形、三角形、ひし形、それらの組み合わせの形状でも良い。

## 【0124】

また本実施例では、第一の開口部内にただ1つの第二の開口部を形成したが、必要に応じて複数個の開口部を設けることも可能である。

## 【0125】

また本実施例では、第二のエッチ停止層としてプラズマCVD法を用いて形成した炭化シリコンを用いたが、この成膜方法、材料に限定されるわけではなく、第二の層間絶縁膜のエッチング時にエッチング停止層として機能する絶縁材料であれば利用することが可能である。炭化シリコン以外の材料として、酸化シリコン、窒化シリコン、酸化アルミニウム、窒化アルミニウム、窒化硼素などの絶縁材料を用いることも可能である。さらに、このエッチ停止層は必要に応じて複数の絶縁膜を積層して用いることも可能である。

## 【0126】

本実施例では、容量膜として膜厚15nmの酸化ハフニウムを用いたが、膜厚及び材料はこれに限定されるものではない。容量膜の材料として、酸化ハフニウム以外にも、酸化シリコン、窒化シリコン、酸化タンタル、酸化ジルコニウム、酸化ランタン、酸化チタン、酸化アルミニウムなどやそれらの混合物およびそれらに窒素等が混入した化合物を用いることが可能である。また、PZT、STO、BST等の強誘電材料を用いることも可能である。さらに、この容量膜は必要に応じて積層構造とすることも可能である。

## 【0127】

また、本実施例では、上部電極形成に、CVD法で形成した膜厚50nmの窒化チタンを用いているが、ここに示した以外の膜厚、材料、成膜手法を用いることも可能である。窒化チタン以外の材料としては、タングステン、モリブデン、タンタル及びその窒化物を主たる成分とする金属を用いることも可能である。

10

## 【0128】

また本実施例では、第五、第六、第七、第八の金属配線を、タンタルと銅の組み合わせで形成しているが、他の材料を用いることも可能である。タンタル以外にチタン、タングステン、モリブデン及びその窒化物を主たる成分とする金属を用いることも可能であり、必要に応じて積層構造の金属層を用いることも可能である。また銅膜のかわりに、アルミニウムやタングステン、チタンおよびそれらの合金、化合物を用いることも可能である。

## 【0129】

また本実施例では、第五の金属配線表面に直接容量膜を形成したが、必要に応じて銅膜表面を他の導体材料で被覆することも可能である。たとえば、選択CVD法や無電解めっき法を用いれば第五の金属配線表面に露出した銅膜表面にのみ金属を選択的に成長することも可能である。この手法を用いれば、銅が拡散しやすい容量膜材料を用いた場合でも十分な信頼度を維持することが可能となる。

20

## 【0130】

また本実施例では、第七、第八の金属配線の加工方法として、トレンチファースト型のデュアルダマシン法を用いたが、本手法の有効性はこれに限定されるものではない。他のデュアルダマシン法および配線溝と接続孔を独立して形成するシングルダマシン法でも同様の効果が期待される。シングルダマシン法の場合には、接続孔形成プロセスに本実施例を適用するのが効果的である。

30

## 【0131】

また本実施例では、第一、第二の層間絶縁膜として主として酸化シリコン膜を用いた工程を例に説明したが、この材料に限定されるわけではなく、配線の寄生容量が低減可能なLow-k材料を用いることも可能である。Low-k材料としては、SiOC膜、有機膜、およびそれらに空隙を導入したLow-k材料、フッ素含有酸化シリコン膜などを用いることが可能である。

## 【0132】

<実施例7>

図20および図21は本発明の実施例7に基づく半導体装置の製造工程を示す断面図である。以下順を追って説明する。

40

## 【0133】

半導体素子が形成された基板100上に、スパッタ法を用いて膜厚50nmの窒化チタン、膜厚400nmのアルミニウム、膜厚50nmの窒化チタンを形成した後、リソグラフィ法とドライエッチ法を用いて第一のバリアメタル層208、第一のアルミニウム層209、第二のバリアメタル層210からなる第一の金属配線700、第三のバリアメタル層211、第二のアルミニウム層212、第四のバリアメタル層213からなる第二の金属配線701を形成した。次に、プラズマCVD法を用いて膜厚2μmの酸化シリコン膜を形成し、第一の層間絶縁膜300とした。次に、この第一の層間絶縁膜の平坦度を化学的機械研磨法を用いて向上した後、リソグラフィ法とドライエッチ法を用いて、第一の金属配線700、第二の金属配線701が露出するように第一の層間絶縁膜300の所

50

望の領域に第一の開口部500を形成した。この際、第一の層間絶縁膜300に設けた第一の開口部500の平面形状は辺長1.4 $\mu$ mの正方形とした。(図20(a))。

【0134】

次に、プラズマCVD法を用いて第一の開口部500を覆うように膜厚100nmの酸化シリコンからなるスペーサ膜409を形成した次に、リソグラフィ法を用いて前記開口部内部に開口部を有する感光性有機膜からなる第一の加工レジスト600を形成した。次にドライエッチ法を用いて第一の金属配線700が露出するようにスペーサ膜409に第二の開口部501を形成した。

このスペーサ膜409に設けた第二の開口部501は、その平面形状が辺長1 $\mu$ mの正方形であり、第一の開口部500の内部に完全に内包されるように形成した。したがって、第一の層間絶縁膜300に設けた第一の開口部500内部には、スペーサ膜409に起因した段差が生じることになり、第一の金属配線700上面にはこのスペーサ膜409の膜厚に相当する100nmの段差が生じる。ここで生じた段差が、実施例1における段差高さに相当する(図20(b))。

【0135】

次に、第一の加工レジスト600を除去した後、ALD法で形成した膜厚15nmの酸化ハフニウムからなる容量膜404、CVD法で形成した膜厚50nmの窒化チタンからなる上部電極膜214を順次形成した。その後、リソグラフィ法を用いてキャパシタとして作用させたい領域を被覆するように感光性有機膜からなる第二の加工レジスト601を形成した(図21(a))。

【0136】

次に、第二の加工レジスト601をエッチングマスクに、不要な部分の上部電極膜214、容量膜404を除去し、加工された上部電極215、加工された容量膜405を形成した後、第二の加工レジスト601を除去した。次に、スパッタ法を用いて膜厚50nmの窒化チタン、膜厚400nmのアルミニウム、膜厚50nmの窒化チタンを形成し、リソグラフィ法を用いて配線として残したい部分を覆うように感光性有機膜を形成した。次にこの感光性有機膜を加工マスクにドライエッチを行うことで、第一の金属配線700、加工された容量膜405、加工された上部電極215、第三の金属配線702から構成されるMIMキャパシタと第二の金属配線701と第四の金属配線703から構成される多層配線とを有する半導体装置を形成することが可能となる(図21(b))。この実施例7では、実施例1で示したような平面レイアウトは示していないが、基本的には図6に示したレイアウトに準じている。ただし、第一の開口部755、第二の開口部756の寸法が実施例1とは異なっている。

【0137】

このようにして形成したMIMキャパシタを有する半導体装置におけるMIMキャパシタの性能と信頼度を調べた結果、実施例1に示したのと同等の容量密度、絶縁耐圧、リーク電流が得られ、各性能のばらつきもほぼ同等の結果が得られた。

【0138】

つまり、本発明の実施例に従い、第一の金属配線を被覆するように酸化シリコンからなる層間絶縁膜を形成した後、この第一の金属配線直上の層間絶縁膜の接続孔層に相当する領域に対し、第一の金属配線の上面が露出するようにこの層間絶縁膜に第一の開口部を形成し、次に、この第一の開口部を被覆するようにスペーサ膜を形成し、前記第一の開口部に内包されるようにスペーサ膜に第二の開口部を形成した後、容量膜、第三の金属配線を形成し、第一の金属配線、容量膜、第三の金属配線から構成されるMIMキャパシタを形成することにより、高い信頼度を有したまま、高い容量密度と高い容量精度が両立可能なMIMキャパシタを有する半導体装置が形成可能となる。

【0139】

本実施例では、実施例1と異なり、MIMキャパシタ部分に第一の金属配線を露出させた状態の第一の開口部を形成した後、第二の開口部を有するスペーサ膜形成を行っている。実施例1と比較して段差高さをスペーサ膜の膜厚で制御できるため、段差高さの制御性

10

20

30

40

50

を高めやすい長所がある。ただし、スペーサ膜厚に応じて層間絶縁膜に形成した第一開口部の間口が減少するため、実施例1の方法に比べて抵抗は増大する。

【0140】

本実施例では、スペーサ膜厚を100nmとしたため、段差高さは100nmであるが、必要に応じて段差高さを変更することが可能である。実施例1で述べた理由により、この段差高さとしては、50nmから300nmの範囲にあることが望ましい。

【0141】

また本実施例では、第一の開口部と第二の開口部は中心が一致するようにレイアウトし、第二の開口部の端部から200nm離れたところに第一の開口部の端部をレイアウトしているが、このレイアウトも必要に応じて変更することが可能である。実施例1に述べた理由により、端部間隔はリソグラフィ工程の合わせマーシンの範囲内で狭くすることが望ましく、また、各開口部の中心は必ずしも一致する必要はない。

10

【0142】

また本実施例では、スペーサ膜としてプラズマCVD法を用いて形成した酸化シリコンを用いたが、この成膜方法、材料に限定されるわけではない。これ以外の材料として、炭化シリコン、窒化シリコン、酸化アルミニウム、窒化アルミニウム、窒化ボロン、Low-k材料などの絶縁材料を用いることも可能である。

【0143】

また本実施例では、第一の開口部、第二の開口部の平面的な形状を正方形としたが本実施例の有用性はこれに限定されるものではない。正方形以外にも長方形、円形、楕円形、三角形、ひし形、それらの組み合わせの形状でも良い。

20

【0144】

また本実施例では、第一の開口部内にただ1つの第二の開口部を形成したが、必要に応じて複数個の開口部を設けることも可能である。

【0145】

また本実施例では、MIMキャパシタ領域と配線として使用する接続孔領域を同時に開口しているが、実施例2に示した工程を用いることで、これらを別個に形成することも可能である。

【0146】

本実施例では、容量膜として膜厚15nmの酸化ハフニウムを用いたが、膜厚及び材料はこれに限定されるものではない。容量膜の材料として、酸化ハフニウム以外にも、酸化シリコン、窒化シリコン、酸化タンタル、酸化ジルコニウム、酸化ランタン、酸化チタン、酸化アルミニウムなどやそれらの混合物およびそれらに窒素等が混入した化合物を用いることが可能である。また、PZT、STO、BST等の強誘電材料を用いることも可能である。さらに、この容量膜は必要に応じて積層構造とすることも可能である。

30

【0147】

また、本実施例では、上部電極形成に、CVD法で形成した膜厚50nmの窒化チタンを用いているが、ここに示した以外の膜厚、材料、成膜手法を用いることも可能である。窒化チタン以外の材料としては、タングステン、モリブデン、タンタル及びその窒化物を主たる成分とする金属を用いることも可能である。

40

【0148】

また本実施例では、第一、第二、第三、第四の金属配線において、バリアメタルとして窒化チタンを用いているが、窒化チタン以外にタンタル、タングステン及びその窒化物を主たる成分とする金属を用いることも可能であり、また、信頼度的に余裕があるのであれば、バリアメタルを用いない構造を利用することも可能である。また、上部電極、バリアメタルともに複数の層からなる積層構造にすることになら問題はない。

【0149】

また本実施例では、第一の層間絶縁膜に設けた開口部を直接、スパッタ法で形成したバリアメタルとアルミニウムの積層膜で充填したが、他の材料、他の形成方法で充填することも可能である。よく知られているのは、CVD法で形成したタングステンを充填する方

50

法であり、この手法を用いれば、開口寸法が小さく、深い開口部でも確実に金属を充填することが可能となる。

【0150】

また本実施例では、第一の層間絶縁膜として主として酸化シリコン膜を用いた工程を例に説明したが、この材料に限定されるわけではなく、配線の寄生容量が低減可能なLow-k材料を用いることも可能である。Low-k材料としては、SiOC膜、有機膜、およびそれらに空隙を導入したLow-k材料、フッ素含有酸化シリコン膜などを用いることが可能である。

【0151】

<実施例8>

図22および図23は本発明の実施例8に基づく半導体装置の製造工程を示す断面図である。以下順を追って説明する。

【0152】

実施例3に示した工程に準じることで、半導体素子が形成された基板100上に、プラズマCVD法を用いて形成した膜厚500nmの酸化シリコン膜からなる第一の層間絶縁膜300、膜厚50nmのタンタルからなる第一の接着層225、膜厚450nmの銅膜からなる第一の銅層226から構成される第五の金属配線704、膜厚50nmのタンタルからなる第二の接着層227、膜厚450nmの銅膜からなる第二の銅層228から構成される第六の金属配線705を形成した。次に、プラズマCVD法で形成した膜厚50nmの窒化シリコンからなるバリア絶縁膜406、プラズマCVD法で形成した膜厚1.5μmの酸化シリコンからなる第二の層間絶縁膜301を順次形成した後、トレンチファースト型デュアルダマシン法を用い、MIMキャパシタを形成する領域の第二の層間絶縁膜301に第一の開口部500を形成した。ここにおいて、第一の開口部500内部では、第五の金属配線70表面は露出せず、開口部底部にバリア絶縁膜406が残るようにエッチングを調整した。この際、第一の開口部500の平面形状は辺長1.4μmの正方形とした。(図22(a))。

【0153】

次に、プラズマCVD法で膜厚50nmの炭化シリコンからなる第二のスペーサ膜410を全面に形成した後、第二のスペーサ膜上に感光性有機膜からなる第一の加工レジスト600を形成した。この第一の加工レジスト600は少なくともMIMキャパシタを形成したい領域上に開口部を有している。次に、この第一の加工レジスト600を加工マスクに第五の金属配線704表面が露出するように第二のスペーサ膜410、バリア絶縁膜406をエッチングし、第二の開口部501を形成した。この第二のスペーサ膜410、バリア絶縁膜406に設けた第二の開口部501は、その平面形状が辺長1μmの正方形であり、第一の開口部500の内部に完全に内包されるように形成した。したがって、第一の開口部500内部には、第二のスペーサ膜410、バリア絶縁膜406に起因した段差が生じることになり、第五の金属配線704上面には第二のスペーサ膜410とバリア絶縁膜406の合計膜厚に相当する100nmの段差が生じる。ここで生じた段差が、実施例1における段差高さに相当する(図22(b))。

【0154】

次に、第一の加工レジスト600を除去後、ALD法で形成した膜厚15nmの酸化ハフニウム、CVD法で形成した膜厚50nmの窒化チタンを形成し、リソグラフィ法を用いてキャパシタとして作用させたい領域を被覆するように感光性有機膜からなる第二の加工レジスト601を形成した。次に、この第二の加工レジスト601をエッチングマスクに、不要な部分の酸化ハフニウム、窒化チタンを除去し、膜厚50nmの窒化チタンからなる加工された上部電極215、膜厚15nmの酸化ハフニウムからなる加工された容量膜405を形成した(図23(a))。

【0155】

次に、第二の加工レジスト601を除去した後、スパッタ法で膜厚50nmのタンタル、膜厚100nmの銅膜を形成後、電解めっき法で銅膜をさらに成長させた後、化学的機

10

20

30

40

50



械研磨法を用いて第二の層間絶縁膜301上の余分なタンタル膜、銅膜を除去し、膜厚50nmのタンタルからなる第三の接着層229、膜厚450nmの銅膜からなる第三の銅層230から構成される第七の金属配線706、膜厚50nmのタンタルからなる第四の接着層231、膜厚450nmの銅膜からなる第四の銅層232から構成される第八の金属配線707を形成した。このようにして、第五の金属配線704、加工された容量膜405、加工された上部電極215、第七の金属配線706から構成されるMIMキャパシタを有する半導体装置を形成することが可能となる。この実施例8では、実施例3で示したような平面レイアウトは示していないが、基本的には図13に示したレイアウトに準じている。ただし、第一の開口部755、第二の開口部756の寸法が実施例3とは異なっている。

10

**【0156】**

このようにして形成したMIMキャパシタを有する半導体装置におけるMIMキャパシタの性能と信頼度を調べた結果、実施例1に示したのと同等の容量密度、絶縁耐圧、リーク電流が得られ、各性能のばらつきもほぼ同等の結果が得られた。

**【0157】**

つまり、本発明の実施例に従い、第五の金属配線を被覆するように酸化シリコンからなる層間絶縁膜を形成した後、この第五の金属配線直上の層間絶縁膜の接続孔層に相当する領域に対し、第五の金属配線上の層間絶縁膜に第一の開口部を形成し、次に、この第一の開口部を被覆するように第二のスペーサ膜を形成し、前記第一の開口部に内包され、第五の金属配線表面が露出するように第二のスペーサ膜に第二の開口部を形成した後、容量膜、第七の金属配線を形成し、第五の金属配線、容量膜、第七の金属配線から構成されるMIMキャパシタを形成することにより、高い信頼度を有したまま、高い容量密度と高い容量精度が両立可能なMIMキャパシタを有する半導体装置が形成可能となる。

20

**【0158】**

本実施例では、実施例3と異なり、MIMキャパシタ部分の層間絶縁膜を除去して第一の開口部を形成した後、第二の開口部を有する第二のスペーサ膜形成を行っている。実施例1と比較して段差高さを第二のスペーサ膜の膜厚で制御できるため、段差高さの制御性を高めやすい長所がある。ただし、第二のスペーサ膜厚に応じて層間絶縁膜に形成した第一開口部の間口が減少するため、実施例1の方法に比べて抵抗は増大する。

**【0159】**

本実施例では、スペーサ膜厚を50nm、バリア絶縁膜を50nmとしたため、段差高さは100nmとなったが、必要に応じて段差高さを変更することが可能である。実施例1で述べた理由により、この段差高さとしては、50nmから300nmの範囲にあることが望ましいので、合計膜厚はこの範囲が望ましい。バリア絶縁膜の膜厚は該バリア絶縁膜のバリア性および第一の開口部500を形成するときのエッチング選択比によって規定される。この際、第一の開口部500を形成するとき、第五の金属配線704表面が露出しないようにエッチングを制御するのが信頼度的には望ましい。また、本実施例では、第二のスペーサ膜とバリア絶縁膜を異なる材料で形成したが、同一の材料とすることも可能である。

30

**【0160】**

また本実施例では、第一の開口部と第二の開口部は中心が一致するようにレイアウトし、第二の開口部の端部から200nm離れたところに第一の開口部の端部をレイアウトしているが、このレイアウトも必要に応じて変更することが可能である。実施例1に述べた理由により、端部間隔はリソグラフィ工程の合わせマージンの範囲内で狭くすることが望ましく、また、各開口部の中心は必ずしも一致する必要はない。

40

また本実施例では、第二のスペーサ膜としてプラズマCVD法を用いて形成した炭化シリコンを用いたが、この成膜方法、材料に限定されるわけではない。これ以外の材料として、窒化シリコン、窒化シリコン、酸化アルミニウム、窒化アルミニウム、窒化ボロン、Low-k材料などの絶縁材料を用いることも可能である。

**【0161】**

50

また本実施例では、第一の開口部、第二の開口部の平面的な形状を正方形としたが本実施例の有用性はこれに限定されるものではない。正方形以外にも長方形、円形、楕円形、三角形、ひし形、それらの組み合わせの形状でも良い。

【0162】

また本実施例では、第一の開口部内にただ1つの第二の開口部を形成したが、必要に応じて複数個の開口部を設けることも可能である。

【0163】

また本実施例では、MIMキャパシタ領域と配線として使用する接続孔領域を同時に開口しているが、実施例4に示した工程を用いることで、これらを別個に形成することも可能である。

【0164】

本実施例では、容量膜として膜厚15nmの酸化ハフニウムを用いたが、膜厚及び材料はこれに限定されるものではない。容量膜の材料として、酸化ハフニウム以外にも、酸化シリコン、窒化シリコン、酸化タンタル、酸化ジルコニウム、酸化ランタン、酸化チタン、酸化アルミニウムなどやそれらの混合物およびそれらに窒素等が混入した化合物を用いることが可能である。また、PZT、STO、BST等の強誘電材料を用いることも可能である。さらに、この容量膜は必要に応じて積層構造とすることも可能である。

【0165】

また、本実施例では、上部電極形成に、CVD法で形成した膜厚50nmの窒化チタンを用いているが、ここに示した以外の膜厚、材料、成膜手法を用いることも可能である。窒化チタン以外の材料としては、タングステン、モリブデン、タンタル及びその窒化物を主たる成分とする金属を用いることも可能である。

【0166】

また本実施例では、第五、第六、第七、第八の金属配線を、タンタルと銅の組み合わせで形成しているが、他の材料を用いることも可能である。タンタル以外にチタン、タングステン、モリブデン及びその窒化物を主たる成分とする金属を用いることも可能であり、必要に応じて積層構造の金属層を用いることも可能である。また銅膜のかわりに、アルミニウムやタングステン、チタンおよびそれらの合金、化合物を用いることも可能である。

【0167】

また本実施例では、第五の金属配線表面に直接容量膜を形成したが、必要に応じて銅膜表面を他の導体材料で被覆することも可能である。たとえば、選択CVD法や無電解めっき法を用いれば第五の金属配線表面に露出した銅膜表面にのみ金属を選択的に成長することも可能である。この手法を用いれば、銅が拡散しやすい容量膜材料を用いた場合でも十分な信頼度を維持することが可能となる。

【0168】

また本実施例では、第七、第八の金属配線の加工方法として、トレンチファースト型のデュアルダマシン法を用いたが、本手法の有効性はこれに限定されるものではない。他のデュアルダマシン法および配線溝と接続孔を独立して形成するシングルダマシン法でも同様の効果が期待される。シングルダマシン法の場合には、接続孔形成プロセスに本実施例を適用するのが効果的である。

【0169】

また本実施例では、第一、第二の層間絶縁膜として主として酸化シリコン膜を用いた工程を例に説明したが、この材料に限定されるわけではなく、配線の寄生容量が低減可能なLow-k材料を用いることも可能である。Low-k材料としては、SiOC膜、有機膜、およびそれらに空隙を導入したLow-k材料、フッ素含有酸化シリコン膜などを用いることが可能である。

【図面の簡単な説明】

【0170】

【図1】実施例1における本発明の半導体装置の製造工程の要部断面模式図である。

【図2】従来例1に基づく半導体装置の製造工程の要部断面模式図である。

10

20

30

40

50

【図3】従来例2に基づく本発明の半導体装置の製造工程の要部断面模式図である。  
 【図4】実施例1における本発明の半導体装置の製造工程の要部断面模式図である。  
 【図5】実施例1における本発明の半導体装置の製造工程の要部断面模式図である。  
 【図6】実施例1における本発明の平面レイアウト模式図である。  
 【図7】MIMキャパシタにおける容量ばらつきとキャパシタ開口部の辺長との関係を示す図である。

【図8】MIMキャパシタにおける容量ばらつきと段差高さとの関係を示す図である。  
 【図9】実施例2における本発明の半導体装置の製造工程の要部断面模式図である。  
 【図10】実施例2における本発明の半導体装置の製造工程の要部断面模式図である。  
 【図11】実施例3における本発明の半導体装置の製造工程の要部断面模式図である。  
 【図12】実施例3における本発明の半導体装置の製造工程の要部断面模式図である。  
 【図13】実施例3における本発明の平面レイアウト模式図である。

10

【図14】実施例4における本発明の半導体装置の製造工程の要部断面模式図である。  
 【図15】実施例4における本発明の半導体装置の製造工程の要部断面模式図である。  
 【図16】実施例5における本発明の半導体装置の製造工程の要部断面模式図である。  
 【図17】実施例5における本発明の半導体装置の製造工程の要部断面模式図である。  
 【図18】実施例6における本発明の半導体装置の製造工程の要部断面模式図である。  
 【図19】実施例6における本発明の半導体装置の製造工程の要部断面模式図である。  
 【図20】実施例7における本発明の半導体装置の製造工程の要部断面模式図である。  
 【図21】実施例7における本発明の半導体装置の製造工程の要部断面模式図である。  
 【図22】実施例8における本発明の半導体装置の製造工程の要部断面模式図である。  
 【図23】実施例8における本発明の半導体装置の製造工程の要部断面模式図である。

20

#### 【符号の説明】

##### 【0171】

100 ...半導体素子が形成された基板、  
 200 ...下部電極、  
 201 ...上部電極、  
 202 ...第一の下部電極、  
 203 ...第二の下部電極、  
 204 ...第一の上部電極、  
 205 ...第二の上部電極、  
 206 ...第一の導電性プラグに接続された金属配線、  
 207 ...第二導電性プラグに接続された金属配線、  
 208 ...第一のバリアメタル層、  
 209 ...第一のアルミニウム層、  
 210 ...第二のバリアメタル層、  
 211 ...第三のバリアメタル層、  
 212 ...第二のアルミニウム層、  
 213 ...第四のバリアメタル層、  
 214 ...上部電極膜、  
 215 ...加工された上部電極、  
 216 ...第一のバリアメタル膜、  
 217 ...第一のアルミニウム膜、  
 218 ...第二のバリアメタル膜、  
 219 ...第五のバリアメタル層、  
 220 ...第三のアルミニウム層、  
 221 ...第六のバリアメタル層、  
 222 ...第七のバリアメタル層、  
 223 ...第四のアルミニウム層、  
 224 ...第八のバリアメタル層、

30

40

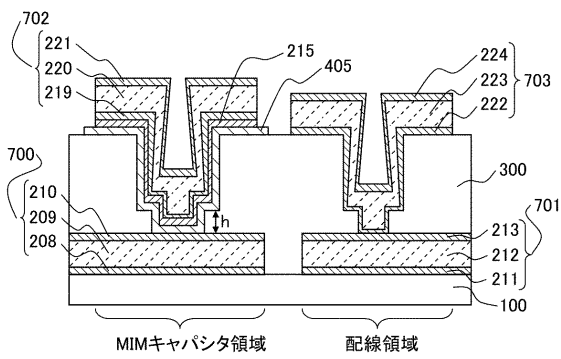
50

2 2 5 ... 第一の接着層、	
2 2 6 ... 第一の銅層、	
2 2 7 ... 第二の接着層、	
2 2 8 ... 第二の銅層、	
2 2 9 ... 第三の接着層、	
2 3 0 ... 第三の銅層、	
2 3 1 ... 第四の接着層、	
2 3 2 ... 第四の銅層、	
2 3 3 ... 第五の接着層、	
2 3 4 ... 第五の銅層、	10
2 5 0 ... 導電性プラグ、	
2 5 1 ... 第一の導電性プラグ、	
2 5 2 ... 第二の導電性プラグ、	
3 0 0 ... 第一の層間絶縁膜、	
3 0 1 ... 第二の層間絶縁膜、	
3 0 2 ... 第三の層間絶縁膜、	
4 0 0 ... 第一の容量膜、	
4 0 1 ... 加工された第一の容量膜、	
4 0 2 ... 加工された第二の容量膜	
4 0 3 ... 加工された第三の容量膜	20
4 0 4 ... 容量膜、	
4 0 5 ... 加工された容量膜、	
4 0 6 ... バリア絶縁膜、	
4 0 7 ... エッチ停止膜、	
4 0 8 ... 第二のエッチ停止膜、	
4 0 9 ... スペース絶縁膜、	
4 1 0 ... 第二のスペース絶縁膜、	
5 0 0 ... 第一の開口部、	
5 0 1 ... 第二の開口部、	
5 0 2 ... 第三の開口部、	30
5 0 3 ... 第四の開口部、	
6 0 0 ... 第一の加工レジスト、	
6 0 1 ... 第二の加工レジスト、	
6 0 2 ... 第三の加工レジスト、	
6 0 3 ... 第四の加工レジスト	
7 0 0 ... 第一の金属配線、	
7 0 1 ... 第二の金属配線、	
7 0 2 ... 第三の金属配線、	
7 0 3 ... 第四の金属配線、	
7 0 4 ... 第五の金属配線、	40
7 0 5 ... 第六の金属配線、	
7 0 6 ... 第七の金属配線、	
7 0 7 ... 第八の金属配線、	
7 5 0 ... 第一の金属配線、	
7 5 1 ... 第二の金属配線、	
7 5 2 ... 第三の金属配線、	
7 5 3 ... 第四の金属配線、	
7 5 4 ... M I M キャパシタの容量膜、	
7 5 5 ... 第一の開口部、	
7 5 6 ... 第二の開口部、	50

- 7 5 7 ... 第三の開口部、
- 7 5 8 ... 第四の開口部、
- 7 5 9 ... 第五の金属配線、
- 7 6 0 ... 第六の金属配線、
- 7 6 1 ... 第七の金属配線、
- 7 6 2 ... 第八の金属配線。

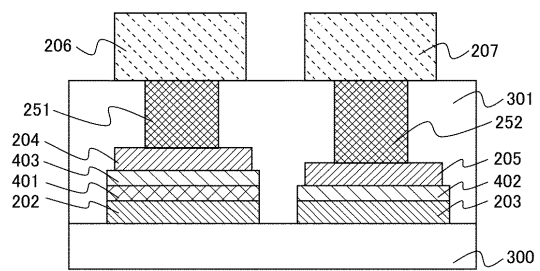
【 図 1 】

図 1



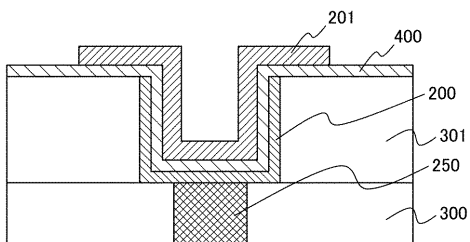
【 図 3 】

図 3



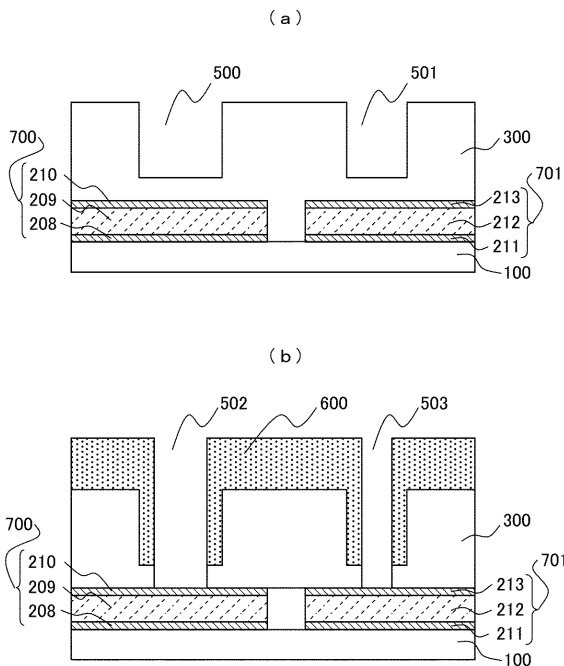
【 図 2 】

図 2



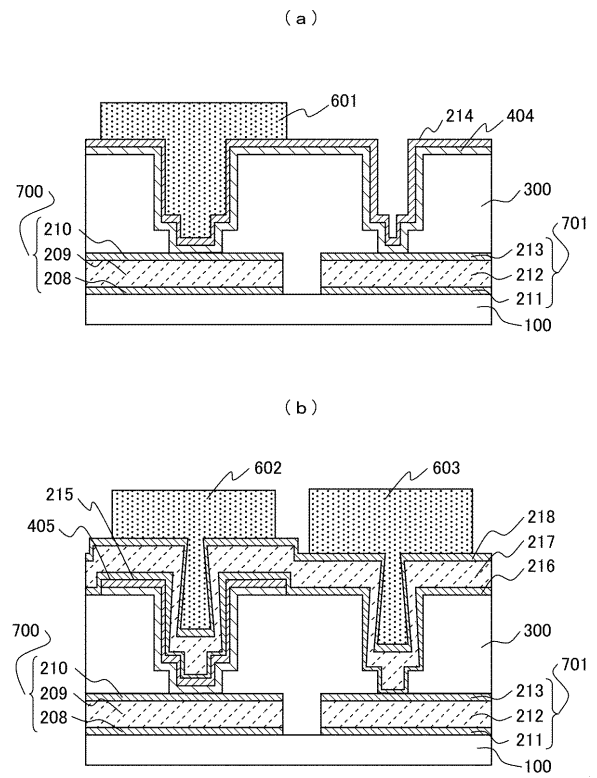
【図4】

図4



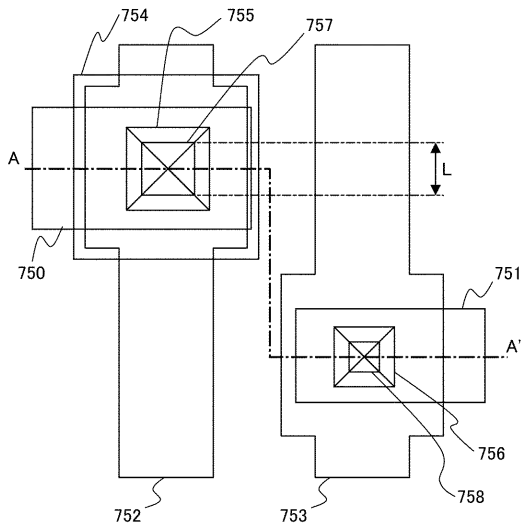
【図5】

図5



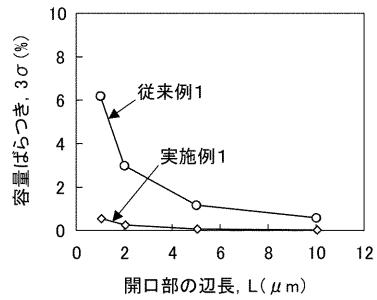
【図6】

図6



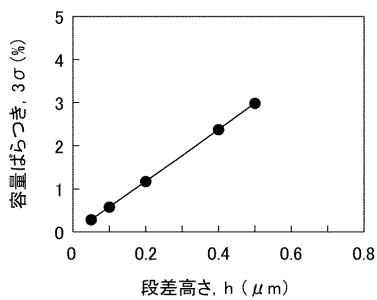
【図7】

図7



【図8】

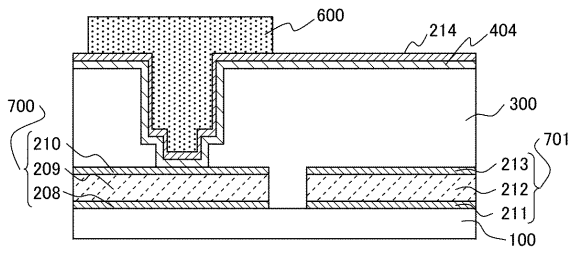
図8



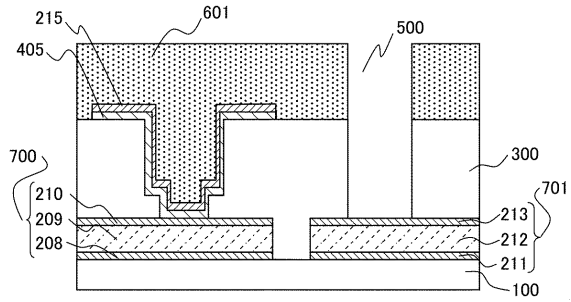
【図9】

図9

(a)

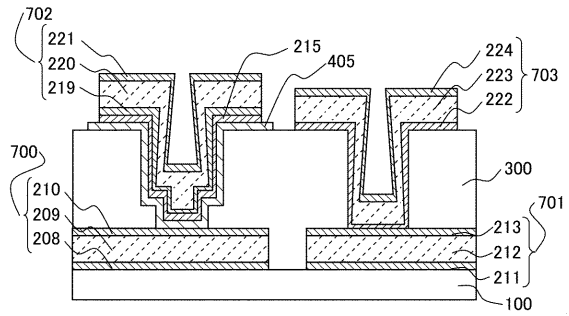


(b)



【図10】

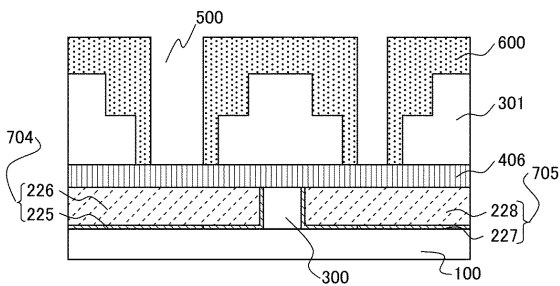
図10



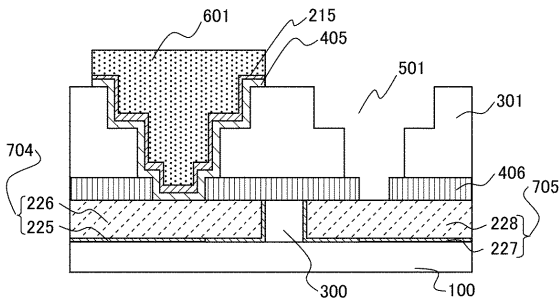
【図11】

図11

(a)

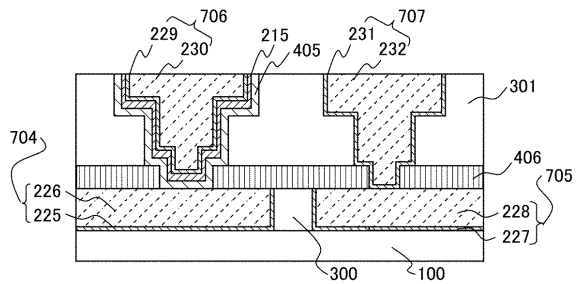


(b)



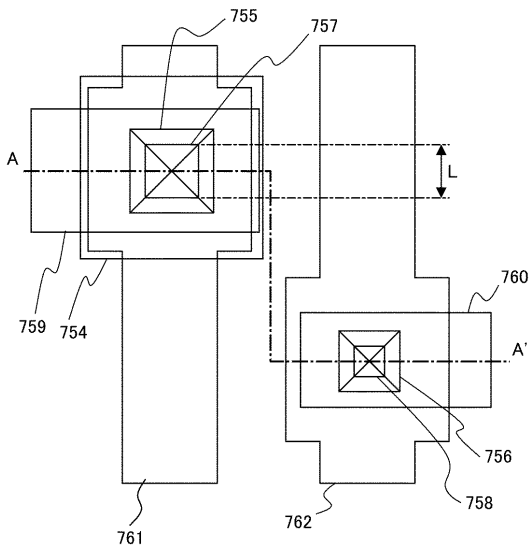
【図12】

図12



【 図 1 3 】

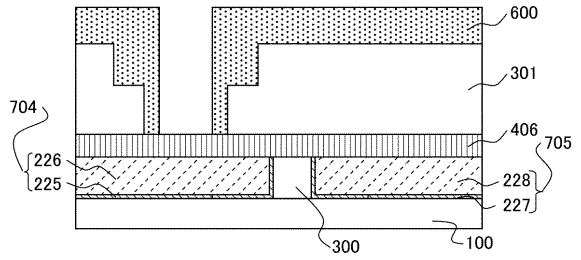
図 1 3



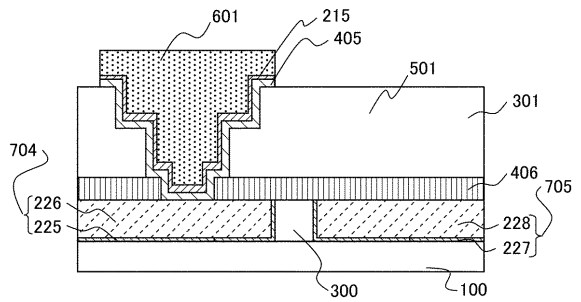
【 図 1 4 】

図 1 4

(a)



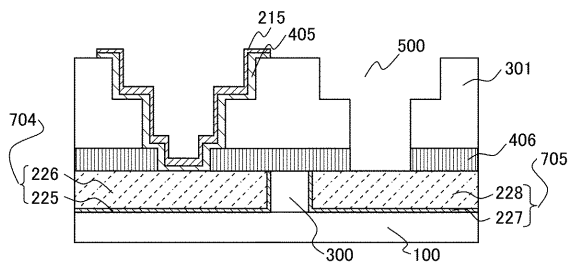
(b)



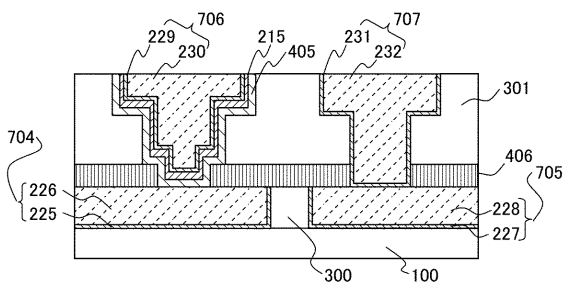
【 図 1 5 】

図 1 5

(a)



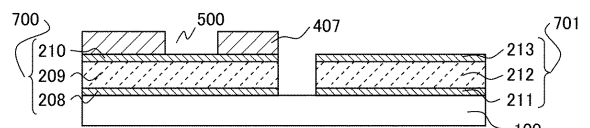
(b)



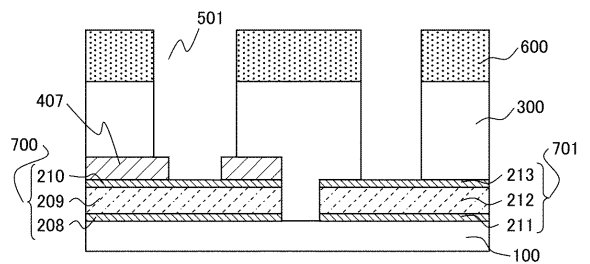
【 図 1 6 】

図 1 6

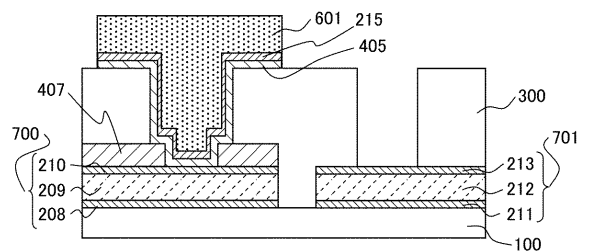
(a)



(b)



(c)

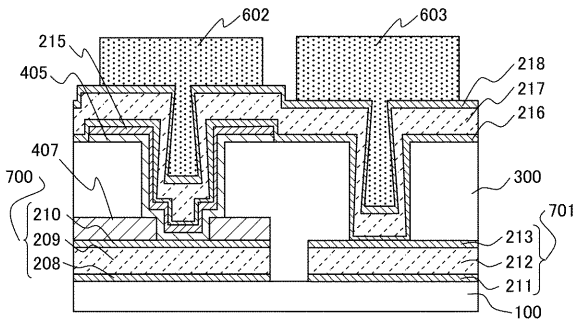




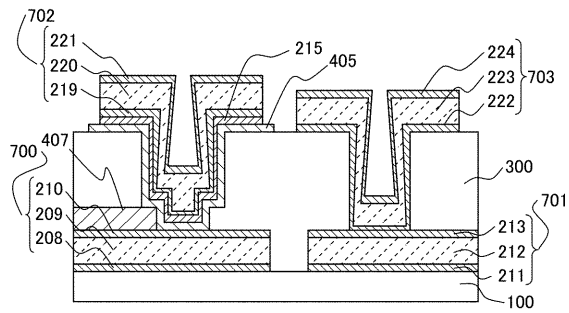
【図 17】

図 17

(a)



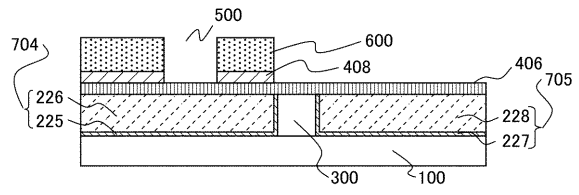
(b)



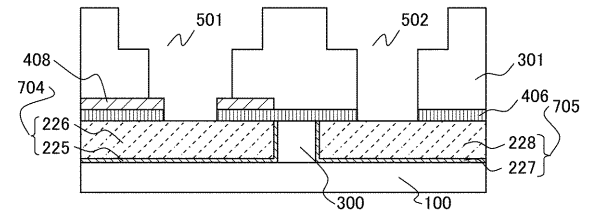
【図 18】

図 18

(a)



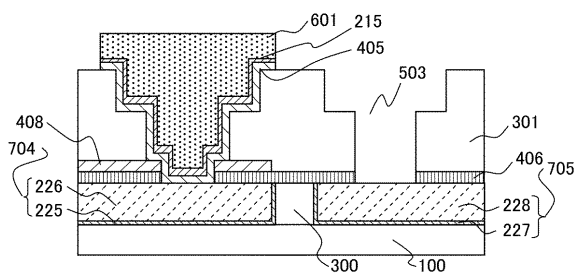
(b)



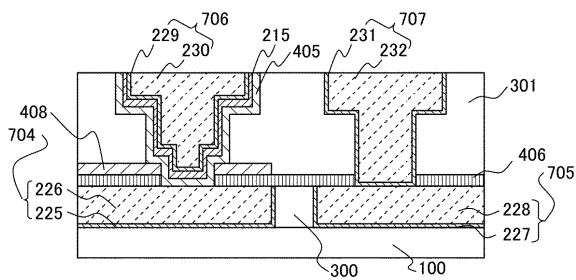
【図 19】

図 19

(a)



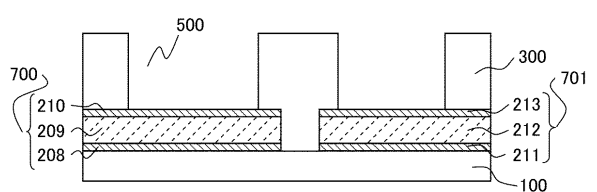
(b)



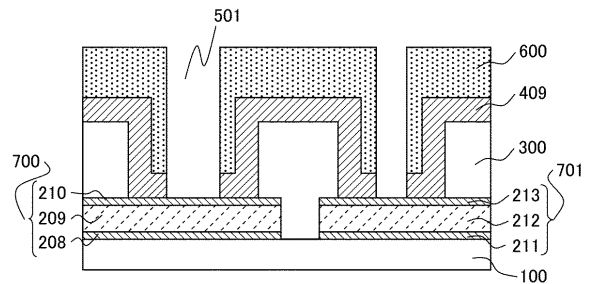
【図 20】

図 20

(a)



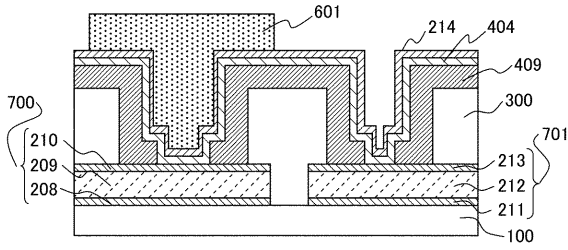
(b)



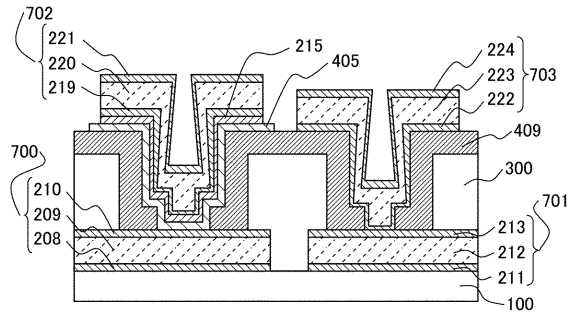
【 図 2 1 】

図 2 1

(a)



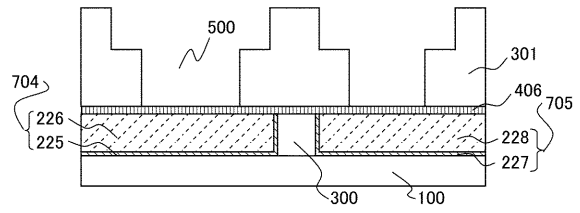
(b)



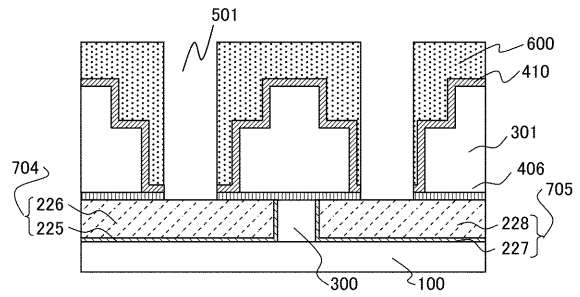
【 図 2 2 】

図 2 2

(a)



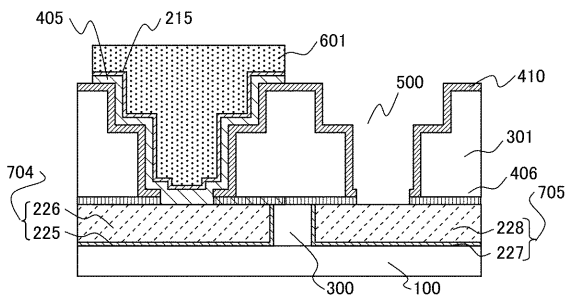
(b)



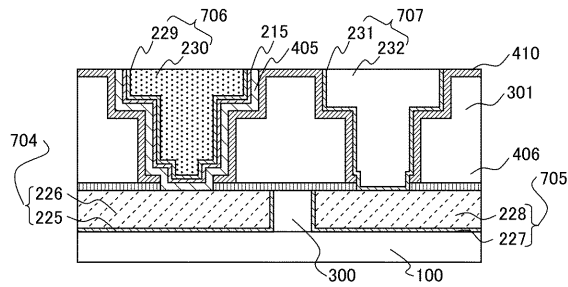
【 図 2 3 】

図 2 3

(a)



(b)



---

フロントページの続き

(72)発明者 今井 俊則

東京都青梅市新町六丁目16番地の3 株式会社日立製作所 マイクロデバイス事業部内

審査官 田代 吉成

(56)参考文献 特開2003-110023(JP,A)

特開2000-228497(JP,A)

特開2000-82777(JP,A)

特開2005-79523(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/822

H01L 21/768

H01L 27/04