

(19)日本国特許庁(JP)

## (12)特許公報(B2)

(11)特許番号  
特許第7183919号  
(P7183919)

(45)発行日 令和4年12月6日(2022.12.6)

(24)登録日 令和4年11月28日(2022.11.28)

(51)国際特許分類	F I			
H 0 2 M 3/28 (2006.01)	H 0 2 M 3/28	M		
	H 0 2 M 3/28	Q		

請求項の数 10 (全14頁)

(21)出願番号	特願2019-68579(P2019-68579)	(73)特許権者	000003067
(22)出願日	平成31年3月29日(2019.3.29)		T D K株式会社
(65)公開番号	特開2020-167881(P2020-167881 A)	(74)代理人	東京都中央区日本橋二丁目5番1号 110001357弁理士法人つばさ国際特許 事務所
(43)公開日	令和2年10月8日(2020.10.8)	(72)発明者	牛窪 良祐 東京都中央区日本橋二丁目5番1号 T D K株式会社内
審査請求日	令和3年12月23日(2021.12.23)	審査官	土井 悠生

最終頁に続く

(54)【発明の名称】 スイッチング電源装置

## (57)【特許請求の範囲】

## 【請求項1】

複数の一次側コイルおよび1または複数の二次側コイルを有するトランスと、  
前記複数の一次側コイルに直列接続され、前記複数の一次側コイルの直列接続と分離を  
制御する1または複数のスイッチ素子と、  
前記複数の一次側コイルにおいて、前記1または複数のスイッチ素子がオフすることによ  
って分離されるコイル部ごとに設けられた複数の一次側ブリッジ回路と、  
前記1または複数の二次側コイルに接続された二次側ブリッジ回路と、  
前記1または複数のスイッチ素子、前記複数の一次側ブリッジ回路および前記二次側ブ  
リッジ回路のスイッチングを制御することにより、双方向の電力変換を可能にする制御回  
路と

を備えた

スイッチング電源装置。

## 【請求項2】

各前記一次側ブリッジ回路は、4つのスイッチ素子を含み、  
前記4つのスイッチ素子のうち2つの第1スイッチ素子の間の第1接続点が、対応する  
前記コイル部の一端に接続され、前記4つのスイッチ素子のうち2つの第2スイッチ素子  
の間の第2接続点が、対応する前記コイル部の他端に接続されている

請求項1に記載のスイッチング電源装置。

## 【請求項3】

10

20

各前記一次側ブリッジ回路において、各前記第 1 スイッチ素子および各前記第 2 スイッチ素子が F E T で構成されている

請求項 2 に記載のスイッチング電源装置。

【請求項 4】

各前記一次側ブリッジ回路において、各前記第 1 スイッチ素子が F E T で構成され、各前記第 2 スイッチ素子がダイオードで構成されている

請求項 2 に記載のスイッチング電源装置。

【請求項 5】

前記トランスは、前記複数の一次側コイルおよび前記 1 または複数の二次側コイルが巻かれた磁心を更に有する

請求項 1 から請求項 4 のいずれか一項に記載のスイッチング電源装置。

【請求項 6】

前記トランスは、前記コイル部ごとに 1 つずつ別体で設けられた複数の磁心を更に有する

請求項 1 から請求項 4 のいずれか一項に記載のスイッチング電源装置。

【請求項 7】

前記第 1 接続点と前記コイル部との間に設けられた第 1 インダクタおよび第 1 キャパシタと、

前記二次側コイルと前記二次側ブリッジ回路との間に設けられた第 2 インダクタおよび第 2 キャパシタと

を更に備えた

請求項 2 から請求項 4 のいずれか一項に記載のスイッチング電源装置。

【請求項 8】

前記二次側ブリッジ回路は、4 つの整流素子を含み、

前記 4 つの整流素子のうち 2 つの第 1 整流素子の間の第 1 接続点が、1 つの前記二次側コイルまたは互いに直列接続された複数の前記二次側コイルの一端に接続され、前記 4 つの整流素子のうち 2 つの第 2 整流素子の間の第 2 接続点が、1 つの前記二次側コイルまたは互いに直列接続された複数の前記二次側コイルの他端に接続されている

請求項 1 に記載のスイッチング電源装置。

【請求項 9】

前記制御回路は、一次側から二次側に電力変換を行う際に、前記 4 つのスイッチ素子に対してゼロボルトスイッチングを行い、さらに、前記 4 つの整流素子に対してゼロボルトスイッチングとゼロカレントスイッチングとを行う

請求項 8 に記載のスイッチング電源装置。

【請求項 10】

前記制御回路は、二次側から一次側に電力変換を行う際に、前記 4 つの整流素子に対してゼロボルトスイッチングを行い、さらに、前記 4 つのスイッチ素子に対してゼロボルトスイッチングとゼロカレントスイッチングとを行う

請求項 8 に記載のスイッチング電源装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、双方向に電力を伝送するスイッチング電源装置に関する。

【背景技術】

【0002】

近年、2 次電池の活用に注目が集まっている。2 次電池の活用には充電と放電の双方向の直流電力の制御技術、変換技術が求められる。この電力変換の重要なプラットフォームとして、小型、低コスト、高効率な双方向 D C / D C コンバータ（スイッチング電源装置）が注目されている（例えば、非特許文献 1、特許文献 1 参照）。

【先行技術文献】

【非特許文献】

10

20

30

40

50

【 0 0 0 3 】

【文献】IEEE TRANSACTIONS ON POWER ELECTRONICS, VOL.28, NO.4, APRIL 2013

【特許文献】

【 0 0 0 4 】

【文献】特開 2 0 1 4 - 1 8 3 6 3 4 号公報

【発明の概要】

【発明が解決しようとする課題】

【 0 0 0 5 】

ところで、上述のスイッチング電源装置では、更なる小型化、低コスト化および高効率化が求められている。

【 0 0 0 6 】

従って、更なる小型化、低コスト化および高効率化を図ることの可能なスイッチング電源装置を提供することが望ましい。

【課題を解決するための手段】

【 0 0 0 7 】

本発明の一実施の形態としてのスイッチング電源装置は、複数の一次側コイルおよび1または複数の二次側コイルを有するトランスと、複数の一次側コイルに直列接続され、複数の一次側コイルの直列接続と分離を制御する1または複数のスイッチ素子とを備えている。このスイッチング電源装置は、さらに、複数の一次側コイルにおいて、1または複数のスイッチ素子がオフすることによって分離されるコイル部ごとに設けられた複数の一次側ブリッジ回路と、1または複数の二次側コイルに接続された二次側ブリッジ回路と、1または複数のスイッチ素子、複数の一次側ブリッジ回路および二次側ブリッジ回路のスイッチングを制御することにより、双方向の電力変換を可能にする制御回路とを備えている。

【発明の効果】

【 0 0 0 8 】

本発明の一実施の形態としてのスイッチング電源装置によれば、複数の一次側コイルの直列接続を制御する1または複数のスイッチ素子を設けることにより、1次側ブリッジ回路（整流回路として動作時）の並列化、ならびに1次側ブリッジ回路およびその後段に接続される回路に印加される電圧を下げるができる。その結果、更なる小型化、低コスト化および高効率化を図ることができる。

【図面の簡単な説明】

【 0 0 0 9 】

【図1】本発明の一実施の形態に係るDC-DCコンバータの回路構成例を表す図である。

【図2】図1のDC-DCコンバータの充電動作における波形図である。

【図3】図1のDC-DCコンバータの充電動作の一例を表す図である。

【図4】図3に続く動作の一例を表す図である。

【図5】図4に続く動作の一例を表す図である。

【図6】図1のDC-DCコンバータの放電動作における波形図である。

【図7】図6に続く動作の一例を表す図である。

【図8】図7に続く動作の一例を表す図である。

【図9】図8に続く動作の一例を表す図である。

【図10】図1のDC-DCコンバータの回路構成の一変形例を表す図である。

【図11】図1のDC-DCコンバータの回路構成の一変形例を表す図である。

【図12】図1のDC-DCコンバータの回路構成の一変形例を表す図である。

【図13】図1のDC-DCコンバータの回路構成の一変形例を表す図である。

【図14】図1のDC-DCコンバータの回路構成の一変形例を表す図である。

【発明を実施するための形態】

【 0 0 1 0 】

以下、本発明の実施の形態について、図面を参照して詳細に説明する。以下の説明は本発明の一具体例であって、本発明は以下の態様に限定されるものではない。

10

20

30

40

50

## 【 0 0 1 1 】

< 1 . 実施の形態 >

[ 構成 ]

図 1 は、本発明の一実施の形態に係る DC - DC コンバータ 1 の回路図を表したものである。DC - DC コンバータ 1 は、3つのインダクタ L 1 , L 2 , L 3 と、2つのキャパシタ C 9 , C 1 0 を備えており、これら3つのインダクタ L 1 , L 2 , L 3 および2つのキャパシタ C 9 , C 1 0 による共振を利用した CLLC 方式の DC - DC コンバータである。DC - DC コンバータ 1 は、トランス 1 0 と、スイッチ素子 SW とを備えている。

## 【 0 0 1 2 】

トランス 1 0 は、2つの一次側コイル NP 1 , NP 2 と、1つの二次側コイル NS と、磁心 CR とを有している。2つの一次側コイル NP 1 , NP 2 および1つの二次側コイル NS は、磁心 CR に巻かれている。一次側コイル NP 1 , NP 2 および二次側コイル NS は、それぞれ、単一のコイルで構成されていてもよいし、直列接続された複数のコイルで構成されていてもよい。一次側コイル NP 1 の巻き数を n 1 とし、一次側コイル NP 2 の巻き数を n 2 とし、二次側コイル NS の巻き数を n 3 とすると、後述のスイッチ SW がオンしている場合には、トランス 1 0 の巻き数比は、( n 1 + n 2 ) : n 3 となっている。スイッチ SW がオフしている場合には、トランス 1 0 の巻き数比は、( n 1 または n 2 ) : n 3 となっている。

10

## 【 0 0 1 3 】

スイッチ素子 SW は、2つの一次側コイル NP 1 , NP 2 に直列接続され、2つの一次側コイル NP 1 , NP 2 の直列接続と分離を制御する。スイッチ素子 SW は、一次側コイル NP 1 と一次側コイル NP 2 との間に挿入されている。

20

## 【 0 0 1 4 】

DC - DC コンバータ 1 は、さらに、2つの一次側ブリッジ回路 2 0 , 3 0 を備えている。2つの一次側ブリッジ回路 2 0 , 3 0 は、2つの一次側コイル NP 1 , NP 2 において、スイッチ素子 SW がオフすることによって分離されるコイル部（ここでは、一次側コイル NP 1 , NP 2 ）ごとに設けられている。

## 【 0 0 1 5 】

一次側ブリッジ回路 2 0 および一次側ブリッジ回路 3 0 は、それぞれ、4つのスイッチ素子を含むフルブリッジ回路となっている。一次側ブリッジ回路 2 0 は、4つのスイッチ素子のうちの2つのスイッチ素子（第1スイッチ素子）に相当する2つのスイッチ素子 Q 1 , Q 2 と、4つのスイッチ素子のうち、スイッチ素子 Q 1 , Q 2 とは異なる2つのスイッチ素子（第2スイッチ素子）に相当する2つのダイオード D 1 , D 2 とを有している。一次側ブリッジ回路 3 0 は、4つのスイッチ素子のうちの2つのスイッチ素子（第1スイッチ素子）に相当する2つのスイッチ素子 Q 3 , Q 4 と、4つのスイッチ素子のうち、スイッチ素子 Q 3 , Q 4 とは異なる2つのスイッチ素子（第2スイッチ素子）に相当する2つのダイオード D 3 , D 4 とを有している。

30

## 【 0 0 1 6 】

スイッチ素子 Q 1 , Q 2 , Q 3 , Q 4 は、MOSFET ( Metal Oxide Semiconductor Field Effect Transistor ) 等のスイッチ素子で構成されている。スイッチ素子 Q 1 , Q 2 , Q 3 , Q 4 は、後述の端子 I 0 1 に対して逆バイアスになるように並列接続されたボディダイオードを含んで構成されている。一次側ブリッジ回路 2 0 および一次側ブリッジ回路 3 0 は、各スイッチ素子 Q 1 , Q 2 , Q 3 , Q 4 に並列接続されたコンデンサ C 1 , C 2 , C 3 , C 4 と、ダイオード D 1 , D 2 , D 3 , D 4 に並列接続されたコンデンサ C 5 , C 6 , C 7 , C 8 とを有している。

40

## 【 0 0 1 7 】

2つのスイッチ素子 Q 1 , Q 2 は、互いに直列に接続されており、スイッチ素子 Q 1 と、スイッチ素子 Q 2 との接続点 P 1 と、一次側コイル NP 1 の一端とが、キャパシタ C 9 およびインダクタ L 1 を介して接続されている。つまり、スイッチ素子 Q 1 とスイッチ素子 Q 2 との接続点 P 1 と、一次側コイル NP 1 の一端との間に、キャパシタ C 9 およびイ

50

ンダクタL1が設けられている。2つのダイオードD1, D2は、互いに直列に接続されており、ダイオードD1と、ダイオードD2との接続点P2と、一次側コイルNP1の他端とが接続されている。

【0018】

2つのスイッチ素子Q3, Q4は、互いに直列に接続されており、スイッチ素子Q3と、スイッチ素子Q4との接続点P3と、一次側コイルNP2の一端とが、キャパシタC10およびインダクタL2を介して接続されている。つまり、スイッチ素子Q3とスイッチ素子Q4との接続点P3と、一次側コイルNP2の一端との間に、キャパシタC10およびインダクタL2が設けられている。2つのダイオードD3, D4は、互いに直列に接続されており、ダイオードD3と、ダイオードD4との接続点P4と、一次側コイルNP2の他端とが接続されている。一次側コイルNP1の他端と、一次側コイルNP2の他端との間に、スイッチ素子SWが設けられている。

10

【0019】

DC-DCコンバータ1は、さらに、一次側に、端子IO1およびグラウンド端子GNDを備えている。DC-DCコンバータ1は、さらに、端子IO1とグラウンド端子GNDとの間にキャパシタC11を備えている。

【0020】

DC-DCコンバータ1は、さらに、二次側ブリッジ回路40を備えている。二次側ブリッジ回路40は、4つの整流素子を含むフルブリッジ回路となっている。二次側ブリッジ回路40は、4つの整流素子に相当する4つのスイッチ素子Q5, Q6, Q7, Q8を有している。

20

【0021】

スイッチ素子Q5, Q6, Q7, Q8は、MOSFET等のスイッチ素子で構成されている。スイッチ素子Q5, Q6, Q7, Q8は、後述の端子IO2に対して逆バイアスになるように並列接続されたボディダイオードを含んで構成されている。二次側ブリッジ回路40は、各スイッチ素子Q5, Q6, Q7, Q8に並列接続されたコンデンサC13, C14, C15, C16を有している。

【0022】

2つのスイッチ素子Q5, Q6は、互いに直列に接続されており、スイッチ素子Q5と、スイッチ素子Q6との接続点P5と、二次側コイルNSの一端とが、キャパシタC12およびインダクタL3を介して接続されている。つまり、スイッチ素子Q5とスイッチ素子Q6との接続点P5と、二次側コイルNSの一端との間に、キャパシタC12およびインダクタL3が設けられている。2つのスイッチ素子Q7, Q8は、互いに直列に接続されており、スイッチ素子Q7と、スイッチ素子Q8との接続点P6と、二次側コイルNSの他端とが接続されている。

30

【0023】

DC-DCコンバータ1は、さらに、二次側に、端子IO2およびグラウンド端子GNDを備えている。DC-DCコンバータ1は、さらに、端子IO2とグラウンド端子GNDとの間にキャパシタC17を備えている。

【0024】

DC-DCコンバータ1は、さらに、制御回路50を備えている。制御回路50は、DSP(Digital Signal Processor)を用いて構成され、スイッチ素子SW、2つの一次側ブリッジ回路20, 30および1つの二次側ブリッジ回路40のスイッチングを制御することにより、双方向の電力変換を可能にする。制御回路50は、一次側から二次側に電力変換を行う際に、一次側ブリッジ回路20, 30のレグを構成する各スイッチ素子Q1~Q4に対して相互間にデッドタイムを設けた状態で、可変周波数かつ一定のデューティ比の信号を生成し、出力する。駆動周波数は出力電圧をフィードバックし、デジタル演算することで得られた周波数とする。制御回路50は、一次側ブリッジ回路20, 30を対角動作させるため、スイッチ素子Q1, Q4には同じ信号を入力し、スイッチ素子Q2, Q3には同じ信号を入力する。制御回路50は、二次側ブリッジ

40

50

回路 40 のレグを構成する各スイッチ素子 Q5 ~ Q8 については、各スイッチ素子 Q1 ~ Q4 に対してそれぞれ僅かに位相を遅らせた信号を用いて同期整流を行う。制御回路 50 は、さらに、二次側から一次側に電力変換を行う際に、二次側ブリッジ回路 40 のレグを構成する各スイッチ素子 Q5 ~ Q8 に対して相互間にデッドタイムを設けた状態で、可変周波数かつ一定のデューティ比の信号を生成し、出力する。駆動周波数は出力電圧をフィードバックし、デジタル演算することで得られた周波数とする。制御回路 50 は、二次側ブリッジ回路 40 を対角動作させるため、スイッチ素子 Q5, Q8 には同じ信号を入力し、スイッチ素子 Q6, Q7 には同じ信号を入力する。このとき、制御回路 50 は、スイッチ素子 Q1 ~ Q4 については、スイッチ素子 Q5 ~ Q8 に対して僅かに位相を遅らせた信号を用いて同期整流を行う。

10

【0025】

[動作]

次に、DC-DCコンバータ1の充電動作および放電動作について説明する。DC-DCコンバータ1は、一次側に設けられた端子IO1およびグラウンド端子GNDから、二次側に設けられた端子IO2およびグラウンド端子GNDの方向へ電力を変換したり、二次側に設けられた端子IO2およびグラウンド端子GNDから、一次側に設けられた端子IO1およびグラウンド端子GNDの方向へ電力を変換したりすることができるようになっている。つまり、DC-DCコンバータ1は、双方向性を有している。DC-DCコンバータ1は、例えば、一次側に設けられた端子IO1およびグラウンド端子GNDから、二次側に設けられた端子IO2およびグラウンド端子GNDの方向へ電力を変換することにより、端子IO2およびグラウンド端子GNDに接続されたバッテリーを充電する。DC-DCコンバータ1は、例えば、二次側に設けられた端子IO2およびグラウンド端子GNDから、一次側に設けられた端子IO1およびグラウンド端子GNDの方向へ電力を変換することにより、端子IO2およびグラウンド端子GNDに接続されたバッテリーを放電する。

20

【0026】

次に、DC-DCコンバータ1におけるバッテリーの充電動作、放電動作について説明する。DC-DCコンバータ1は、充電、放電時において、常に、CLLC共振回路を昇圧モードで動作させる。そのため、整流回路に流れる電流は、常に不連続な電流となる(つまり、ZCS(ゼロカレントスイッチング)となる)。まず、DC-DCコンバータ1におけるバッテリーの充電動作について詳細に説明し、その後、DC-DCコンバータ1におけるバッテリーの放電動作について詳細に説明する。

30

【0027】

(充電動作)

まず、DC-DCコンバータ1におけるバッテリーの充電動作について説明する。図2は、DC-DCコンバータ1の充電動作における波形図である。図3、図4、図5は、DC-DCコンバータ1の充電動作の一例を表したものである。制御回路50は、充電動作時においてスイッチ素子SWは常にON状態を保つように制御している。DC-DCコンバータ1は、時間t1において、図3に示したように、制御回路50によってスイッチ素子Q1, Q4をオンして、電力を伝達する。このとき、DC-DCコンバータ1は、スイッチ素子Q5, Q8のボディダイオードで整流を行う。

40

【0028】

次に、DC-DCコンバータ1は、時間t2において、図4に示したように、制御回路50によってスイッチ素子Q5, Q8をオンして、同期整流を行う。次に、DC-DCコンバータ1は、時間t3において、図5に示したように、制御回路50によってスイッチ素子Q1, Q4, Q5, Q8をオフして、電力伝達を終了する。このとき、インダクタL1, L2およびトランス10の励磁インダクタに蓄えられたエネルギーを使って、スイッチ素子Q1, Q4のドレインソース間容量(キャパシタC1, C4)を充電するとともに、スイッチ素子Q2, Q3のドレインソース間容量(キャパシタC2, C3)を放電する。

【0029】

50

スイッチ素子 $Q_2$ 、 $Q_3$ のドレインソース間容量（キャパシタ $C_2$ 、 $C_3$ ）での放電が終了すると、スイッチ素子 $Q_2$ 、 $Q_3$ のドレインソース間電圧がゼロとなる。DC-DCコンバータ1は、このタイミングで、スイッチ素子 $Q_2$ 、 $Q_3$ をオンすることで、スイッチ素子 $Q_2$ 、 $Q_3$ をZVS（ゼロボルトスイッチング）でオンすることができる。また、スイッチ素子 $Q_1$ 、 $Q_4$ についても、スイッチ素子 $Q_1$ 、 $Q_4$ がオフした後に、キャパシタ $C_1$ 、 $C_4$ に電流が転流するため、スイッチ素子 $Q_1$ 、 $Q_4$ のドレインソース間電圧がなだらかに立ち上がることになり、遷移時に電流と電圧が重なる期間が短くなる。従って、DC-DCコンバータ1が、時間 $t_3$ において、スイッチ素子 $Q_1$ 、 $Q_4$ をオフすることで、スイッチ素子 $Q_1$ 、 $Q_4$ をZVS（ゼロボルトスイッチング）でオフすることができる。

10

【0030】

（放電動作）

続いて、DC-DCコンバータ1におけるバッテリーの放電動作について説明する。図6は、DC-DCコンバータ1の放電動作における波形図である。制御回路50は、放電動作時においてスイッチ素子 $SW$ が常にOFF状態を保つように制御している。図7、図8、図9は、DC-DCコンバータ1の放電動作の一例を表したものである。DC-DCコンバータ1は、時間 $t_1$ において、図7に示したように、制御回路50によってスイッチ素子 $Q_5$ 、 $Q_8$ をオンして、電力を伝達する。このとき、DC-DCコンバータ1は、スイッチ素子 $Q_1$ のボディダイオード、ダイオード $D_2$ および一次側コイル $NP_1$ で整流を行うとともに、スイッチ素子 $Q_4$ のボディダイオード、ダイオード $D_3$ および一次側コイル $NP_2$ で整流を行う。

20

【0031】

次に、DC-DCコンバータ1は、時間 $t_2$ において、図8に示したように、制御回路50によってスイッチ素子 $Q_1$ 、 $Q_4$ をオンして、スイッチ素子 $Q_1$ 、ダイオード $D_2$ および一次側コイル $NP_1$ で整流を行うとともに、スイッチ素子 $Q_4$ 、ダイオード $D_3$ および一次側コイル $NP_2$ で整流を行う。

【0032】

次に、DC-DCコンバータ1は、時間 $t_3$ において、図9に示したように、制御回路50によってスイッチ素子 $Q_1$ 、 $Q_4$ 、 $Q_5$ 、 $Q_8$ をオフして、電力伝達を終了する。このとき、インダクタ $L_3$ およびトランス10の励磁インダクタに蓄えられたエネルギーを使って、スイッチ素子 $Q_5$ 、 $Q_8$ のドレインソース間容量を充電するとともに、スイッチ素子 $Q_6$ 、 $Q_7$ のドレインソース間容量を放電する。

30

【0033】

このとき、スイッチ素子 $Q_6$ 、 $Q_7$ のドレインソース間容量での放電が終了すると、スイッチ素子 $Q_6$ 、 $Q_7$ のドレインソース間電圧がゼロとなる。DC-DCコンバータ1は、このタイミングで、スイッチ素子 $Q_6$ 、 $Q_7$ をオンすることで、スイッチ素子 $Q_6$ 、 $Q_7$ をZVS（ゼロボルトスイッチング）でオンすることができる。また、スイッチ素子 $Q_5$ 、 $Q_8$ についても、スイッチ素子 $Q_5$ 、 $Q_8$ がオフした後に、キャパシタ $C_{13}$ 、 $C_{16}$ に電流が転流するため、スイッチ素子 $Q_5$ 、 $Q_8$ の電圧がなだらかに立ち上がることになり、遷移時に電流と電圧が重なる期間が短くなる。従って、DC-DCコンバータ1が、時間 $t_3$ において、スイッチ素子 $Q_5$ 、 $Q_8$ をオフすることで、スイッチ素子 $Q_5$ 、 $Q_8$ をZVS（ゼロボルトスイッチング）でオフすることができる。

40

【0034】

[効果]

次に、本実施の形態に係るDC-DCコンバータ1の効果について説明する。

【0035】

本実施の形態では、2つの一次側コイル $NP_1$ 、 $NP_2$ の直列接続と分離を制御するスイッチ素子 $SW$ が設けられている。スイッチ素子 $SW$ の継断により、トランス10の巻線比を変更することができるので、例えば、二次側から一次側に電力変換を行う際に、トランス10の巻線比を小さな値に変更することにより、一次側に発生する電圧を低く抑える

50

ことができる。その結果、大きな巻線比のトランスを設けた場合と比べて、一次側ブリッジ回路 20, 30 に用いる部品の耐圧を小さくすることができる。また、二次側ブリッジ回路 40 の後段に、高電圧、大電力のチョッパ回路を設ける必要がないので、そのようなチョッパ回路を設けた場合と比べて、部品点数を減らすことができ、さらに、充放電ともに効率を高くすることができる。

**【0036】**

また、本実施の形態では、一次側ブリッジ回路 20 が 2 つのスイッチ素子 Q1, Q2 および 2 つのダイオード D1, D2 を含むフルブリッジ回路となっている。さらに、一次側ブリッジ回路 30 が 2 つのスイッチ素子 Q3, Q4 および 2 つのダイオード D3, D4 を含むフルブリッジ回路となっている。これにより、ブリッジを構成する素子に印加される電圧を下げる事が出来る。また、放電時に 1 次側整流回路に流れる電流を低減できるため、導通損失を減らすことができる。また、ダイオード D1 ~ D4 に流れる電流は不連続な電流となるため、低コストのダイオードを採用することが可能となる。

10

**【0037】**

また、本実施の形態では、一次側ブリッジ回路 20 において、4 つの整流素子のうち 2 つが FET で構成され、残りの 2 つがダイオードで構成されている。さらに、一次側ブリッジ回路 30 においても、4 つの整流素子のうち 2 つが FET で構成され、残りの 2 つがダイオードで構成されている。これにより、4 つの整流素子全てが FET で構成されている場合と比べて、制御回路 50 による制御を簡素化することができるとともに低コスト化が可能となる。

20

**【0038】**

また、本実施の形態では、2 つの一次側コイル NP1, NP2 および 1 つの二次側コイル NS が共通の磁心 CR に巻かれている。これにより、一次側コイル NP1 と一次側コイル NP2 とが別々の磁心に巻かれる場合と比べて、トランス 10 を小型化することができる。

**【0039】**

また、本実施の形態では、接続点 P1 と一次側コイル NP1 との間にインダクタ L1 およびキャパシタ C9 が設けられており、接続点 P3 と一次側コイル NP2 との間にインダクタ L2 およびキャパシタ C10 が設けられており、二次側コイル NS と二次側ブリッジ回路 40 との間にインダクタ L3 およびキャパシタ C12 が設けられている。これにより、双方向の電力変換動作において、特殊な制御や部品追加無しでスイッチ素子やドライブ回路のバラツキに起因するトランスの偏磁を防止することができる。また、1 次側と 2 次側の全ての素子がソフトスイッチ出来るため、熱設計が容易となる。さらに回路に流れる電流が正弦波状になるため、発生するノイズも小さい。

30

**【0040】**

また、本実施の形態では、一次側から二次側に電力変換を行う際に、一次側のスイッチ素子 (4 つのスイッチ素子 Q1 ~ Q4) に対して ZVS (ゼロボルトスイッチング) が行われる。さらに、二次側のスイッチ素子 (4 つのスイッチ素子 Q5 ~ Q8) に対して ZVS (ゼロボルトスイッチング) と ZCS (ゼロカレントスイッチング) が行われる。これにより、効率を高めることができる。

40

**【0041】**

また、本実施の形態では、二次側ブリッジ回路 40 が 4 つのスイッチ素子 Q5 ~ Q8 を含むフルブリッジ回路となっている。これにより、素子耐圧を低く抑えることが出来る。また、フルブリッジ回路の素子を同期整流動作させることにより、導通損を減らし、高効率を得ることができる。

**【0042】**

また、本実施の形態では、二次側から一次側に電力変換を行う際に、二次側のスイッチ素子 (4 つのスイッチ素子 Q5 ~ Q8) に対して ZVS (ゼロボルトスイッチング) と ZCS (ゼロカレントスイッチング) が行われる。これにより、効率を高めることができる。

**【0043】**

50

## &lt; 2 . 変形例 &gt;

次に、上記実施の形態に係る DC - DC コンバータ 1 の変形例について説明する。

## 【 0 0 4 4 】

## [変形例 A]

上記実施の形態では、2つの一次側コイル NP 1 , NP 2 および1つの二次側コイル NS が共通の磁心 CR に巻かれていた。しかし、上記実施の形態において、トランス 1 0 が、例えば、図 1 0 に示したように、磁心 CR の代わりに、スイッチ素子 SW がオフすることによって分離されるコイル部（ここでは一次コイル NP 1、一次コイル NP 2）ごとに1つずつ別体で設けられた2つの磁心 CR 1 , CR 2 を有していてもよい。

## 【 0 0 4 5 】

この場合には、トランス 1 0 は、二次側コイル NS の代わりに、互いに直列に接続された2つの二次側コイル NS 1 , NS 2 を有しており、磁心 CR 1 には、一次側コイル NP 1 および二次側コイル NS 1 が巻かれ、磁心 CR 2 には、一次側コイル NP 2 および二次側コイル NS 2 が巻かれる。このようにした場合には、磁心 CR に2つの一次側コイル NP 1 , NP 2 および1つの二次側コイル NS を巻いた場合と比べて、個々の磁心 CR 1 , CR 2 に巻かれる巻線の量を、少なくすることができる。その結果、トランス 1 0 の放熱性を高めることができる。

## 【 0 0 4 6 】

## [変形例 B]

上記実施の形態および変形例 A では、一次側ブリッジ回路 2 0 において、4つの整流素子のうち2つが FET で構成され、残りの2つがダイオードで構成されていた。さらに、一次側ブリッジ回路 3 0 においても、4つの整流素子のうち2つが FET で構成され、残りの2つがダイオードで構成されていた。しかし、上記実施の形態および変形例 A において、例えば、図 1 1、図 1 2 に示したように、一次側ブリッジ回路 2 0 , 3 0 において、4つの整流素子全てが FET で構成されていてもよい。このようにした場合には、同期整流により、導通損を低減できるため、効率を高めることができる。

## 【 0 0 4 7 】

## [変形例 C]

上記実施の形態および変形例 A , B では、一次側コイルを継断するスイッチ素子 SW が1つだけ設けられていた。しかし、上記実施の形態および変形例 A , B において、例えば、図 1 3、図 1 4 に示したように、1次側コイルを継断するスイッチ素子 SW が2以上設けられていてもよい。このようにした場合には、充電時のトランス 1 0 の巻線比と、放電時のトランス 1 0 の巻線比とを大きく変更することができる。

## 【符号の説明】

## 【 0 0 4 8 】

1 ... DC - DC コンバータ、1 0 ... トランス、2 0 , 3 0 ... 一次側ブリッジ回路、4 0 ... 二次側ブリッジ回路、5 0 ... 制御回路、C 1 , C 2 , C 3 , C 4 , C 5 , C 6 , C 7 , C 8 , C 9 , C 1 0 , C 1 1 , C 1 2 , C 1 3 , C 1 4 , C 1 5 , C 1 6 , C 1 7 , C 1 8 ... キャパシタ、CR , CR 1 , CR 2 , CR 3 ... 磁心、D 1 , D 2 , D 3 , D 4 ... ダイオード、L 1 , L 2 , L 3 , L 4 ... インダクタ、NP , NP 1 , NP 2 , NP 3 ... 一次側コイル、NS , NS 1 , NS 2 , NS 3 ... 二次側コイル、P 1 , P 2 , P 3 , P 4 , P 5 , P 6 ... 接続点、Q 1 , Q 2 , Q 3 , Q 4 , Q 5 , Q 6 , Q 7 , Q 8 , SW , SW 1 , SW 2 ... スイッチ素子。

10

20

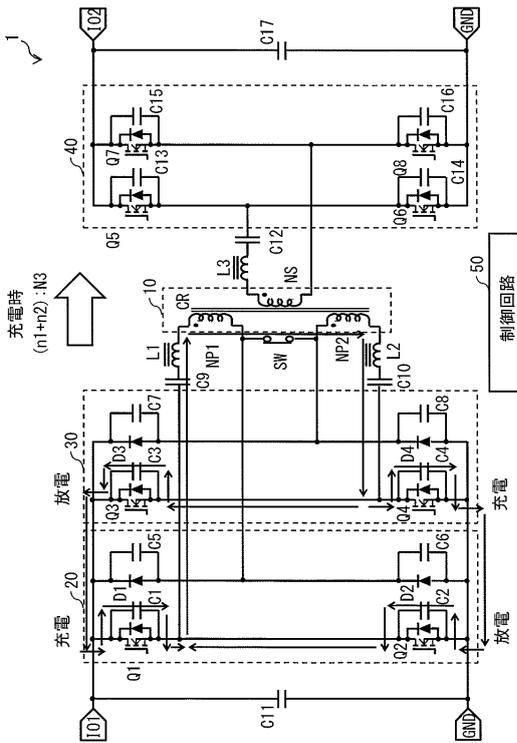
30

40

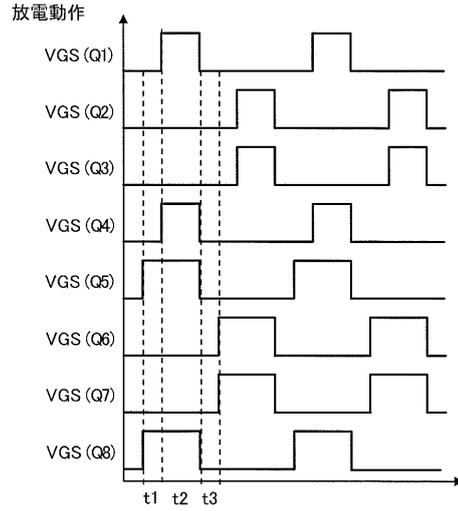
50



【図 5】



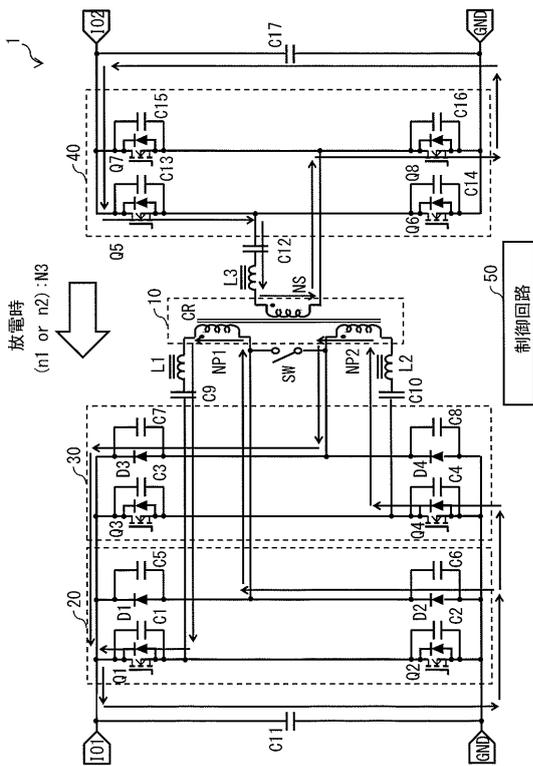
【図 6】



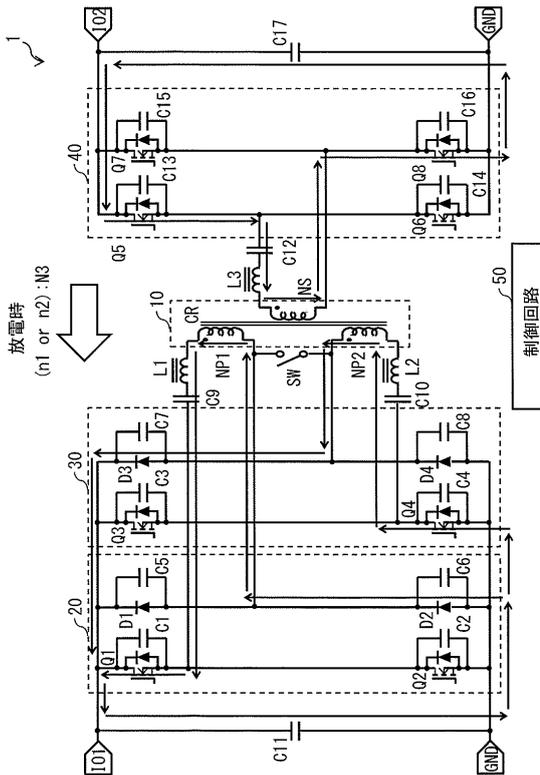
10

20

【図 7】



【図 8】

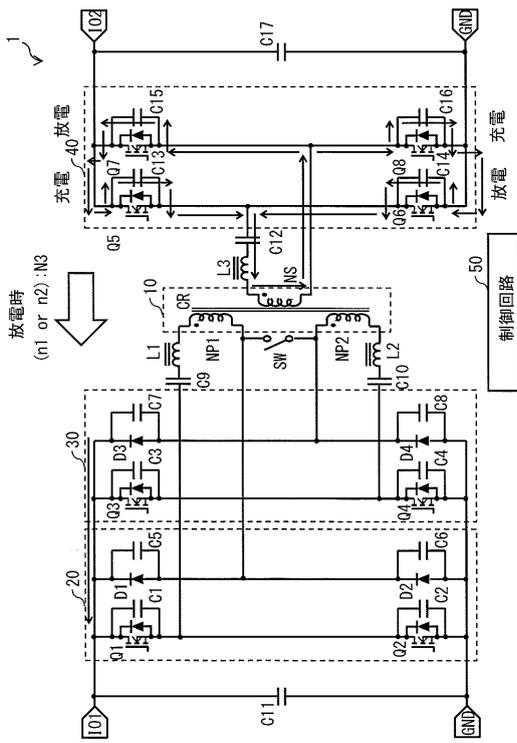


30

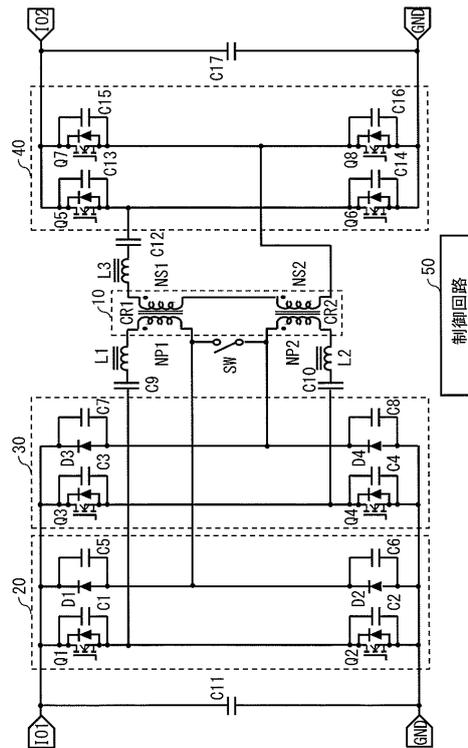
40

50

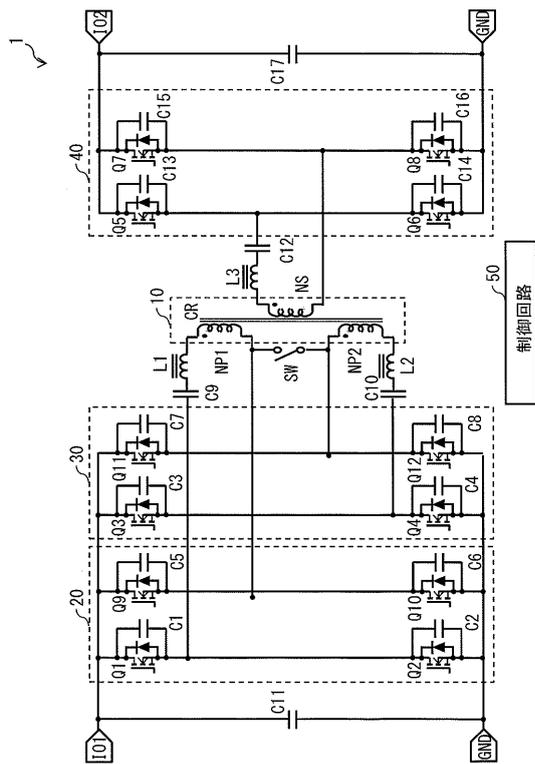
【図 9】



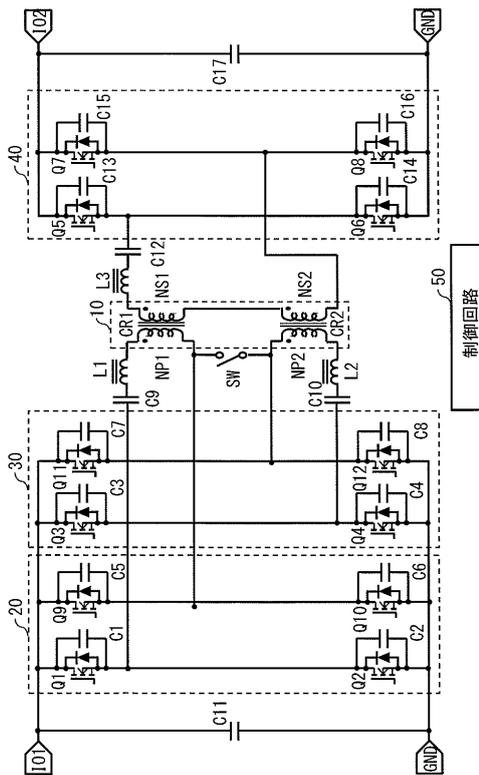
【図 10】



【図 11】



【図 12】



10

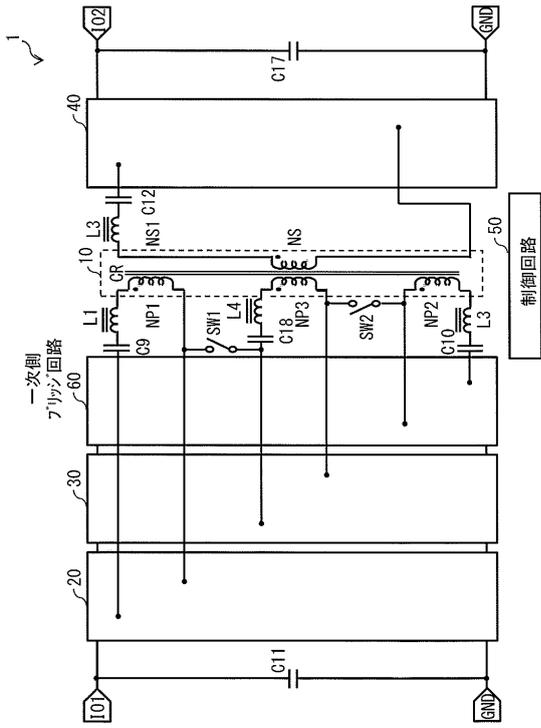
20

30

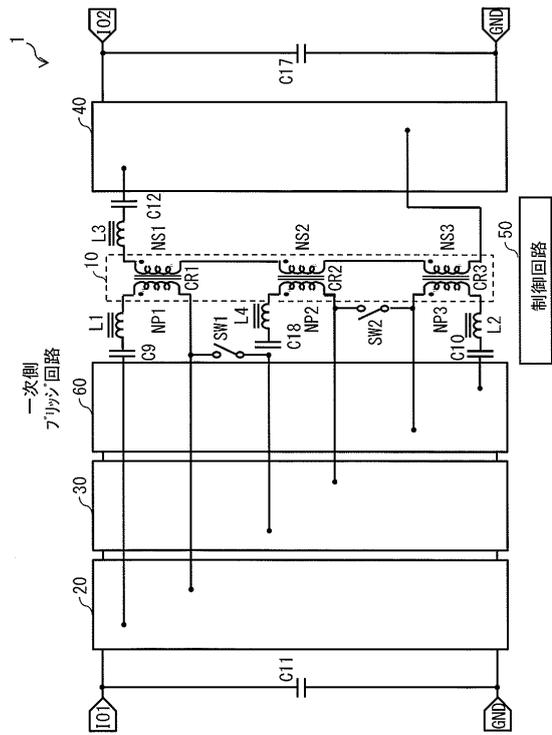
40

50

【図 13】



【図 14】



10

20

30

40

50

---

フロントページの続き

- (56)参考文献 特開2001-186764(JP,A)  
特開2008-079487(JP,A)  
特開2017-85785(JP,A)  
特開2005-86936(JP,A)  
特開2012-65443(JP,A)  
特開2018-26961(JP,A)
- (58)調査した分野 (Int.Cl., DB名)  
H02M 3/28