(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2015년01월23일
(11) 등록번호 10-1485973
(24) 등록일자 2015년01월19일

(51) 국제특허분류(Int. Cl.)
*H01L 23/12* (2006.01) *H01L 21/60* (2006.01)
*H01L 23/48* (2006.01)
(21) 출원번호 10-2008-0058026
(22) 출원일자 2008년06월19일
심사청구일자 2013년05월28일
(65) 공개번호 10-2008-0112968
(43) 공개일자 2008년12월26일
(56) 선행기술조사문헌
US20080079130 A1
US20080135989 A1

(73) 특허권자
**스태츠 칩팩 엘티디**
싱가포르 768442 5 이션 스트리트 23
(72) 발명자
**다힐링 프레데릭 로드리구에즈**
싱가포르 싱가포르 730510 우드랜드 드라이브 14 #12-39 비엘케이510
**알바레즈 세일라 마리 엘.**
싱가포르 싱가포르 730524 #11-419 우드랜드 드라이브 14비엘케이 524
*(뒷면에 계속)*
(74) 대리인
**박장원**

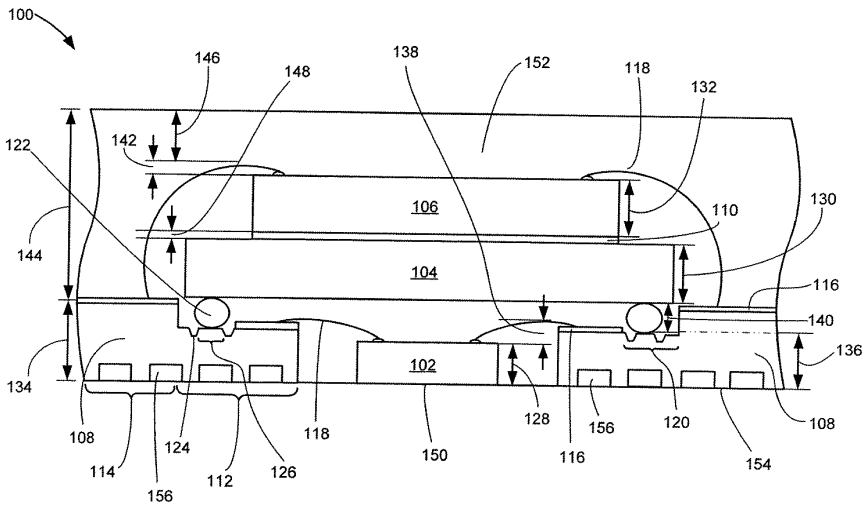
전체 청구항 수 : 총 10 항 심사관 : 이석주

(54) 발명의 명칭 **디바이스 적층을 채용한 집적회로 패키지 시스템**

## (57) 요 약

집적회로 패키징 방법(900)이 제공되는바, 상기 방법은, 내부 리드-핑거 시스템(112)과 외부 리드-핑거 시스템(114)을 포함하는 전기 배선 시스템(108)을 제공하는 단계; 상기 전기 배선 시스템(108)의 사이 및 위에 제 1 디바이스(102), 제 2 디바이스(104), 그리고 제 3 디바이스(106)를 적층하는 단계; 상기 제 1 디바이스(102)와 제 2 디바이스(104)를 상기 내부 리드-핑거 시스템(112)에 연결하는 단계; 및 상기 제 3 디바이스(106)를 상기 외부 리드-핑거 시스템(114)에 연결하는 단계를 포함한다.

## 대 표 도



(72) 발명자

**디마노 안토니오 비. 주니어.**

싱가포르 싱가포르 751356 어드미랄티 드라이브 #07-82 비엘케이356에이

**메릴로 디오스코로 에이.**

싱가포르 싱가포르 530966 호우강 애버뉴 9 # 10-592 비엘케이966

## *특허청구의 범위*

**청구항 1**

집적회로 패키징 방법(900)에 있어서,

내부 리드-핑거 시스템(112)과 외부 리드-핑거 시스템(114)을 포함하는 전기 배선 시스템(108)을 제공하는 단계;

상기 전기 배선 시스템(108)의 사이 및 위에 제 1 디바이스(102), 제 2 디바이스(104), 그리고 제 3 디바이스(106)를 적층하는 단계;

상기 제 1 디바이스(102)와 제 2 디바이스(104)를 상기 내부 리드-핑거 시스템(112)에 연결하는 단계; 및

상기 제 3 디바이스(106)를 상기 외부 리드-핑거 시스템(114)에 연결하는 단계

를 포함하는 집적회로 패키징 방법.

**청구항 2**

제 1 항에 있어서,

상기 제 1 디바이스(102)를 상기 내부 리드-핑거 시스템(112)에 연결하는 것과 상기 제 3 디바이스(106)를 상기 외부 리드-핑거 시스템(114)에 연결하는 것은, 와이어 본딩을 포함하는 것을 특징으로 하는 집적회로 패키징 방법.

**청구항 3**

제 1 항 또는 제 2 항에 있어서,

상기 제 2 디바이스(104)를 상기 내부 리드-핑거 시스템(112)에 연결하는 것은,

플립-칩 디바이스를 범프 본딩하는 것을 포함하는 집적회로 패키징 방법.

**청구항 4**

제 1 항에 있어서,

상기 전기 배선 시스템(108)를 제공하는 단계는,

상기 내부 리드-핑거 시스템(112)을 형성하기 위해, 상기 전기 배선 시스템(108)을 절반 식각하는 것 또는 스탬핑하는 것을 포함하는 집적회로 패키징 방법.

**청구항 5**

제 1 항에 있어서,

외부 환경에 상기 제 1 디바이스의 뒷면(150)을 노출시키는 단계

를 더 포함하는 집적회로 패키징 방법.

**청구항 6**

집적회로 패키지 시스템(100)에 있어서,

내부 리드-핑거 시스템(112)과 외부 리드-핑거 시스템(114)을 포함하는 전기 배선 시스템(108);

상기 전기 배선 시스템(108)의 사이 및 위의 제 1 디바이스(102), 제 2 디바이스(104), 그리고 제 3 디바이스(106);

상기 내부 리드-핑거 시스템(112)에 전기적으로 연결된 상기 제 1 디바이스(102)와 제 2 디바이스(104); 및

상기 외부 리드-핑거 시스템(114)에 전기적으로 연결된 상기 제 3 디바이스(106)

를 포함하는 집적회로 패키지 시스템.

**청구항 7**

제 6 항에 있어서,

상기 제 1 디바이스(102)와 상기 제 3 디바이스(106)는 와이어 본드(118)에 의해서 상기 전기 배선 시스템(108)에 연결되는 것을 특징으로 하는 집적회로 패키지 시스템.

**청구항 8**

제 6 항 또는 제 7 항에 있어서,

상기 제 2 디바이스(104)는 범프 본드(122)에 의해서 상기 전기 배선 시스템(108)에 연결되는 것을 특징으로 하는 집적회로 패키지 시스템.

**청구항 9**

제 6 항에 있어서,

상기 제 2 디바이스(104)는 플립-칩 디바이스인 것을 특징으로 하는 집적회로 패키지 시스템.

**청구항 10**

제 6 항에 있어서,

상기 내부 리드-핑거 시스템(112)은 두께 방향으로 제거된 부분을 갖는 것을 특징으로 하는 집적회로 패키지 시스템.

# *명 세 서*

## *발명의 상세한 설명*

### *기 술 분 야*

[0001] 일반적으로, 본 발명은 집적회로에 관한 것이며, 좀더 상세하게는 디바이스 적층(device stacking)을 채용한 집적회로 패키지 시스템에 관한 것이다.

### *배 경 기 술*

[0002] 집적회로들 및 집적회로 패키지 시스템은 다양한 전자 디바이스들, 예컨대 휴대폰, 포켓 PC, 디지털 카메라, 자동차 엔진, 및 여타의 휴대용/무선 제품들에서 찾아볼 수 있다. 오늘날의 소비자들과 전자제품 시스템들은, 이들 집적회로 시스템이 최소의 풋프린트, 최저의 프로파일(profile), 및 가장 낮은 패키지 비용하에서 메모리와 논리회로에 대한 최대한의 기능 통합을 제공할 것을 요구하고 있다. 그 결과, 이러한 휴대용 전자제품들을 지원하기 위해 요구되는 고레벨의 기능 통합을 제공하기 위해서, 제조자들은 3차원 패키징쪽으로 관심을 돌리고 있다.

[0003] 3차원 패키지 내에서 기능 통합 및 회로 밀도를 개선하기 위한 끊임없는 요구를 만족시키기 위해서 다양한 기술들이 개발되어 왔다. 안타깝게도, 리드프레임 기반의 3차원 패키지들은, 고레벨의 기능 통합 시스템에서 요구되는 회로 밀도의 증가를 감당하기에는 뒤떨어지는 능력을 보여주고 있다. 일반적으로, 리드프레임 패키징은, 가령 증가된 패키지 두께, 더 커진 풋프린트, 및 증가된 회로 밀도를 감당하기에는 부족한 입/출력 리드들(leads)과 같은 여러 요인들 때문에, 3차원 집적을 위한 적절한 해결책을 제공하기에는 한계를 가지고 있다.

### *발명의 내용*

#### *해결 하고자하는 과제*

[0004] 따라서, 동일한 배선(interconnect) 레벨내에서 고밀도의 3차원 디바이스 적층을 허용하는 집적회로 패키지 시스템 및 방법에 대한 요구는 여전히 존재한다. 상업적인 경쟁 압력이 계속적으로 증가하는 점, 소비자들의 기대가 점점 더 커져가는 있다는 점 및 시장에서 의미 있는 제품 차별화를 위한 기회가 점점 사라지고 있는 점을 고

려하면, 이들 문제점에 대한 해결책을 찾아내는 것이 점점 더 중요해지고 있다. 더구나, 비용을 절감하고 효율을 향상시키며 이들 경쟁 압력을 만족시키기 위해서는, 이들 문제점에 대한 해결책을 찾는 것이 무엇보다도 더 시급한 일이 되었다.

[0005] 이러한 문제들에 대한 해결책은 오랫동안 탐구되어 왔지만, 종래의 개발 노력들은 그 어떤 해결책도 가르치거나 제시하지 못했는바, 해당 기술분야의 당업자들은 이들 문제들에 대한 해결책들을 오랫동안 밝혀낼 수 없었다.

## *발명의 실시를 위한 구체적인 내용*

[0006] 본 발명에 따르면 집적회로 패키징 방법이 제공되는바, 상기 방법은, 내부 리드-핑거 시스템과 외부 리드-핑거 시스템을 포함하는 전기 배선 시스템을 제공하는 단계; 상기 전기 배선 시스템의 사이 및 위에 제 1 디바이스, 제 2 디바이스, 그리고 제 3 디바이스를 적층하는 단계; 상기 제 1 디바이스와 제 2 디바이스를 상기 내부 리드-핑거 시스템(112)에 연결하는 단계; 및 상기 제 3 디바이스를 상기 외부 리드-핑거 시스템에 연결하는 단계를 포함한다.

[0007] 본 발명의 몇몇 실시예들은 앞서 설명된 바와같은 본 발명의 실시태양들 이외의 또는 이들을 대체하는 여타의 실시태양들을 갖는다. 본 발명의 실시태양들은, 첨부된 도면들을 참조하여 후술될 발명의 상세한 설명부분을 읽음으로서 해당 기술분야의 당업자들에게 명확해질 것이다.

[0008] 다음의 실시예들은, 해당기술 분야의 당업자들이 본 발명을 만들고 이용할 수 있도록 충분히 자세하게 설명된다. 본 명세서에 개시된 바에 근거하여 다른 실시예들도 분명하다는 것이 이해되어야만 하며, 본 발명의 기술적 사상의 범위를 벗어남이 없이도, 프로세스 변경 또는 기계적 변경들이 만들어질 수도 있다는 것이 이해되어야만 한다.

[0009] 후술될 발명의 상세한 설명에서, 수많은 특정한 세부사항들이 본 발명을 완전히 이해하기 위해서 제공되었다. 하지만, 본 발명은 이러한 특정한 세부사항들이 없이도 실시될 수도 있음은 명백할 것이다. 본 발명을 불명료하게 만드는 것을 회피하기 위해서, 잘 알려진 몇몇 회로들, 시스템 구성들, 및 공정 단계들은 상세히 설명되지 않았다.

[0010] 마찬가지로, 시스템에 관한 실시예들을 도시하고 있는 도면들은 어느 정도 개략적인 도면들이며 축적대로 그려진 것은 아니다. 특히, 명확한 표현을 위해서, 몇몇 치수들은 도면에서 매우 과장되게 표현되었다. 또한, 공통된 구성들을 갖는 다수의 실시예들이 개시 및 설명되었는바, 설명, 서술 및 비교의 간결 명확성을 위해서, 서로 간에 유사한 피쳐들은 유사한 참조번호로 통상적으로 서술될 것이다.

[0011] 설명을 위한 목적으로, 본 명세서에서 사용된 "수평(horizontal)" 이라는 용어는, 그 방향에 상관없이, 전기 배선 시스템(electrical interconnect system)의 통상적인 평면(또는 표면)에 평행한 평면으로 정의된다. 용어 "수직(vertical)" 은, 앞서 정의된 "수평"에 수직한 방향을 일컫는다. 가령, 상에(on), 위에(above) 밑에(below), 바닥(bottom), 탑(top), 사이드(side) (sidewall 에서의 사이드), 위쪽(higher), 아래쪽(lower), 상부(upper), 위로(over) 및 아래에(under) 와 같은 용어들은 수평면에 대해서 정의된다.

[0012] 본 명세서에서 사용된 "프로세스된(processed)" 또는 "프로세싱(processing)" 이라는 용어는, 설명된 구조를 형성하는데 필요한, 물질 또는 포토레지스트의 증착, 패터닝, 노광, 현상, 식각, 세정, 및/또는 이들 물질 또는 포토레지스트의 제거를 포함한다.

[0013] 본 명세서에서 사용된 "절반쯤 식각된(half-etched)", "절반-식각(half-etching)", "스탬프된(stamped)", "스탬핑(stamping)" 이라는 용어는, 전기 배선 시스템의 일부를 두께 방향으로 제거하는 것을 포함하며, 전기 배선 시스템의 두께를 실질적으로 절반정도, 절반보다 적게, 또는 절반보다 많게 제거하는 것을 의미한다. 하지만, 어떤 경우에도 상기 "절반쯤 식각된(half-etched)", "절반-식각(half-etching)", "스탬프된(stamped)", "스탬핑(stamping)" 이라는 용어는, 전기 배선 시스템의 전체 두께의 제거를 포함한다고 정의되지는 않는다.

[0014] 본 명세서에 사용된 "예시(example)" 또는 "예시적인(examplary)" 이라는 용어는 일례(instance) 또는 실례(illustration)를 의미한다. 본 명세서에서, "예시(example)" 또는 "예시적인(examplary)" 것이라고 기술된 본 발명의 임의의 양상 또는 실시예는, 다른 실시예들 및 설계들에 비해서 선호되거나 또는 우수한 것이라고 해석될 필요는 없다.

[0015] 본 명세서에 사용된 "제 1 (first)", "제 2 (second)" 또는 "제 3 (third)" 이라는 용어는, 구성요소들을 서로 구별하기 위한 것일 뿐이며, 본 발명의 범위를 제한하는 것으로 해석되어서는 않될 것이다.

[0016] 이제 도1을 참조하면, 본 발명의 일실시예에 따른 집적회로 패키지 시스템(100)의 단면도가 도시되어 있다. 예시적인 일례로서, 일반적으로 상기 집적회로 패키지 시스템(100)은, 고레벨의 기능적 통합(functional integration)을 요구하는 예컨대, 휴대폰 또는 컴퓨터와 같은 휴대용 전자 디바이스들 내에서 사용될 수 있다.

[0017] 상기 집적회로 패키지 시스템(100)은, 전기 배선 시스템(electrical interconnect system)(108) 사이에서 및/또는 위로 적층된 제 1 디바이스(102), 제 2 디바이스(104) 및 제 3 디바이스(106)를 포함한다. 예시적인 일례로서, 제 1 디바이스(102), 제 2 디바이스(104) 및 제 3 디바이스(106) 각각은, 다양한 구성들 및 배치들을 필요로 할 수도 있는 능동 소자들(active components), 수동 소자들(passive components), 프로세서 소자들, 메모리 소자들, 논리회로 소자들, 디지털 소자들, 아날로그 소자들, 전력 소자들(power components), 등등로부터 선택된 반도체 칩 및 집적회로 패키지들을 포함할 수 있다. 예시적인 일례로서, 제 1 디바이스(102), 제 2 디바이스(104) 및 제 3 디바이스(106) 각각은, 디지털 신호처리기(DSP), 주문형 반도체칩(ASIC), 플립칩 구성, 그래픽 프로세서 유닛, 플래시 메모리, 동적 임의 접근 메모리(DRAM), 자기적 임의 접근 메모리(magentic RAM : MRAM), 정적 임의 접근 메모리(SRAM), 광 센서 디바이스, 미소-전자-기계(micro-electronic-mechanical) 디바이스, RF(radio frequency) 디바이스, 및/또는 이들의 조합을 특별히 더 포함할 수도 있다.

[0018] 또한, 제 1 디바이스(102), 제 2 디바이스(104) 및 제 3 디바이스(106) 각각은, 패키지-인-패키지(package-in-package : PiP) 구성 및 패키지-온-패키지(package-on-package : PoP) 구성을 포함할 수도 있음을 유의해야 한다. 상기 PiP 시스템은, 하나의 칩 스케일 패키지(chip scale package : CSP)를 형성하기 위해서, 기저 어셈블리 패키지(Base Assembly Package : BAP)의 탑(top) 상에 테스트가 끝난 내부 적층 모듈(Internal Stacking Module : ISM)을 적층하는, 3차원 패키지 시스템이다. PoP는, 또 다른 하나의 패키지(또는 적층된 패키지)의 탑(top) 상에 테스트가 끝난 패키지들이 보드 및/또는 전기 배선 마운트 공정동안에 적층되는 3차원 패키지이다.

[0019] 본 발명에 따르면, 상기 제 1 디바이스(102), 제 2 디바이스(104) 및 제 3 디바이스(106) 각각은, 다양한 유형들, 사이즈들, 치수들 및 전기 콘택 기술들을 포함하는 넓은 범위의 반도체 칩 및 집적회로 패키지 구성을 커버하며, 본 발명에서 채용된 칩 또는 패키지 구성의 유형은, 오직 집적회로 패키지 시스템(100)의 설계 사양에 의해서 제한되어야만 한다.

[0020] 디바이스간 구조(inter-device structure)(110)는 제 2 디바이스(104)와 제 3 디바이스(106)를 분리할 수 있다. 디바이스간 구조(110)는 열전도 능력(thermally conducting capabilities)이 있거나 또는 없는 접착제를 포함하거나 스페이서 즉, 잠재적인 붕괴 에너지 장(potentially disruptive energy field)을 차단하는 전자기 간섭 쉴드를 포함하거나 또는 이들의 조합을 포함할 수 있다. 예를 들어, 상기 디바이스간 구조(110)가 접착층이라면, 접착층은 필름 또는 부분적으로 강화되지 않은(unconsolidated)(예컨대, 액체 또는 젤) 접착 물질을 포함할 수 있는바, 이는 제 3 디바이스(106)가 제 2 디바이스(104) 위로 자기정렬되는 것을 허용한다. 또한, 상기 디바이스간 구조(110)가 접착층이라면, 접착층은 임의의 패턴 또는 형상(예컨대, 제로 필렛 구성(zero fillet configuration))으로 형성될 수 있는바, 이는 제 2 디바이스(104)와 제 3 디바이스(106) 사이의 접착을 용이하게 한다.

[0021] 전기 배선 시스템(108)은, 내부 리드-핑거 시스템(112) 및 외부 리드 핑거 시스템(114)에 의해서 정의되는 리드-핑거(lead-finger) 시스템을 포함할 수 있다. 외부 리드-핑거 시스템(114)은 내부 리드-핑거 시스템(112)과 통합되어 형성되는 것이 일반적이며, 상기 외부 리드-핑거 시스템(114)은 외부와의 전기적 연결을 형성하기 위해서 패키지 본체로부터 확장될 수 있다. 예시적으로는, 상기 전기 배선 시스템(108)은 구리와 같은 도전성 물질로 형성될 수 있다.

[0022] 예시적인 일례로서, 전기 배선 시스템(108)은, 얇은 금속 시트(metal sheet) 즉, 플라스틱 테이프 상의 도금된 전도성 패턴을 포함하거나 또는 제 1 디바이스(102), 제 2 디바이스(104) 및 제 3 디바이스(106)를 지지하거나 및/또는 이들(102, 104, 106)과 외부 전기 회로를 전기적으로 연결하기 위한 임의의 적절한 구조를 포함할 수 있다. 설명을 위한 일례로서, 상기 전기 배선 시스템(108)은 리드-핑거 시스템과 함께 리드프레임(leadframe)에 의해서 구현될 수 있는바, 이는 단일 인-라인 리드(single in-line leads), 이중 인-라인 리드(dual in-line leads), 쿼드 플랫 팩 리드(quad flat pack lead), 걸-윙 리드(gull-wing), 제이-리드(j-lead), 낮은 프로파일(low profile)을 유지하기 위해서 패키지 에지의 주위를 에워싸는 리드리스 리드(leadless leads), 핀 그리드 어레이 리드(pin grid array leads), 또는 볼 그리드 어레이 리드(ball grid array leads)를 포함한다. 하지만, 본 발명은 이러한 일례들에 한정되지 않는다는 점을 유의해야 한다. 본 발명에 따르면, 상기 전기 배선 시스템(108)은 가령, 인쇄회로기판(PCB) 또는 집적회로 패키지 시스템(100)을 지지하기 위한 다른 적절한 구조와 같은, 더 높은 레벨의 어셈블리에 집적회로 패키지 시스템(100)을 통합하는 것을 용이하게 하는 임의의 전기

배선 구조(예컨대, leads)를 포함할 수 있다.

[0023] 본 발명의 바람직한 실시예에서는, 상기 전기 배선 시스템(108)은, 절반쯤 식각된(또는 스탬프된) 단일 로우(single row) 또는 이중 로우(dual row) 리드/랜드(lead/land) 구성을 포함할 수 있다. 좀더 상세하게는, 상기 전기 배선 시스템(108)은 단일 로우 또는 이중 로우 리드/랜드 구성을 포함할 수 있는바, 여기서 내부 리드-핑거 시스템(112)은, 와이어 본드 콘택(116) 및 범프 콘택(120)을 후속으로 형성하기 위해서, 절반쯤 식각(또는 스탬핑)된다.

[0024] 와이어 본드 콘택(116)은, 제 1 디바이스(102) 및 제 3 디바이스(106) 각각을 전기 배선 시스템(108)을 통해 외부 전기회로와 전기적으로 상호연결시키기 위해서 이용될 수 있다. 와이어 본드 콘택(116)은 니켈, 팔라디움, 리드, 주석(tin), 금 등등 또는 이들의 조합으로 미리-도금된 영역을 포함할 수 있다. 일례로서 상기 와이어 본드 콘택(116)은 와이어 본드(118)에 의해서 제 1 디바이스(102) 및 제 3 디바이스(106)에 전기적으로 연결될 수 있다. 상기 와이어 본드(118)는 해당 기술분야에서 잘 알려진 물질들 및 기법들을 이용하여 형성될 수 있으며, 와이어 본딩 장비의 기술 및 필요로 하는 최소 조작 공간에 의해서만 제한된다.

[0025] 범프 콘택(120)은, 제 2 디바이스(104)를 전기 배선 시스템(108)을 통해 외부 전기회로와 전기적으로 상호연결시키기 위해서 이용될 수 있다. 일례로서 상기 범프 콘택(120)은 범프 본드(122)에 의해서 제 2 디바이스(104)에 전기적으로 연결될 수 있다. 특히, 본 발명의 범프 콘택(120)은, 탁상 모양의 지형(이하에서는 메사(mesa)라고 지칭함)(126)에 인접하여 형성된 그루브(groove)(124)을 포함한다. 본 발명의 바람직한 실시예에서, 상기 메사(126)는 그루브(124)에 의해서 정의될 수 있는바, 그루브(124)의 깊이는 메사(126)의 높이와 실질적으로 동일하다.

[0026] 비록, 본 실시예에서는, 그루브(124)가 메사(126)의 대향하는 측면들에 상에 형성되어 있는 것으로 도시되어 있지만, 상기 그루브(124)는 메사(126)의 하나 이상의 측면들 상에 형성될 수 도 있으며, 또는 메사(126)의 둘레에 연속해서 형성될 수 도 있다. 또한, 메사(126)의 하나의 측면당 하나 이상의 그루브(124)들이 형성될 수도 있다는 점을 유의해야 한다. 또한, 상기 그루브(124)는 가령 원형, 삼각형, 또는 직사각형 등등과 같은 임의의 디자인 또는 형상을 포함할 수도 있다. 더 나아가 그루브(124)의 깊이와 메사(126)의 높이가 같다는 것으로 한정되어서는 않되며, 상기 그루브(124)는 전기 단락 현상을 최소화할 수 있는 임의의 깊이를 가질 수 있다.

[0027] 해당 기술분야의 당업자라면, 상기 메사(126)는 범프 본드(122)을 받아들이도록 구성될 수 있으며, 상기 그루브(124)는 리플로우 동안에 메사(126)로부터 흘러내리는 과도한 땜납(solder)을 수용하도록 디자인될 수 있다는 점을 인식할 것인바, 이러한 그루브는, 과도한 땜납의 이동에 의해 야기되는 전기 단락을 방지하는데 도움을 줄 수 있다. 또한, 상기 그루브(124)와 상기 메사(126)는, 과도한 땜납으로 인한 전기적 단락의 발생을 감소시키기 위해서, 구성 및 엔지니어링된 솔더 가용성 영역(solder wettable region) 및 솔더 비가용성 영역(solder non-wettable region)의 조합을 더 포함할 수도 있다는 점을 유의해야 한다.

[0028] 이하에서는, 집적회로 패키지 시스템(100)에 대해서 예시적인 패키지 치수들이 제공된다. 하지만, 이들 치수들은 단지 설명을 위한 일례로서 제공되는 것이며, 본 발명의 기술적 사상 또는 첨부된 청구항의 범위를 이에 한정하도록 해석되어서는 않된다. 설명을 위한 일례로서, 상기 집적회로 패키지 시스템(100)은 다음의 치수들로 프로세싱될 수 있다. 약 0.1 밀리미터의 제 1 디바이스 두께(128), 약 0.15 밀리미터의 제 2 디바이스 두께(130), 약 0.1 내지 0.15 밀리미터의 제 3 디바이스 두께(132), 약 0.2 밀리미터의 외부 리드-핑거 시스템의 두께(134), 약 0.15 밀리미터의 내부 리드-핑거 시스템의 두께(136), 약 0.075 밀리미터의 제 1 디바이스 루프 높이(138), 약 0.1 밀리미터의 제 2 디바이스 범프 높이(140), 약 0.15 밀리미터의 제 3 디바이스 루프 높이(142), 약 0.65 밀리미터의 몰드 캡 높이(144), 약 0.1 밀리미터의 몰드 캡 여유(clearance) 높이(146), 약 0.01 내지 약 0.05 밀리미터의 디바이스간 구조의 높이(148).

[0029] 특히, 집적회로 패키지 시스템(100)의 전기 배선 시스템(108)은 패들(paddle)을 포함하지 않는다. 패들에 대한 필요성을 제거함으로써, 집적회로 패키지 시스템(100)의 프로파일은 매우 감소된다. 하지만, 본 발명의 범위는 예컨대 구조적 안정성을 위해서 패들을 사용하는 것을 포함할 수도 있다는 점을 유의해야 한다.

[0030] 더 나아가, 제 1 디바이스(102), 제 2 디바이스(104) 및 제 3 디바이스(106)에 대해서, 매우 얇은 디바이스들을 채용함으로써, 집적회로 패키지 시스템(100)의 프로파일은 더욱 더 감소될 수 있다. 매우 얇은 디바이스들의 사용을 통해서, 상기 집적회로 패키지 시스템(100)은 약 1 밀리미터 또는 그 보다 낮은 패키지 높이를 획득할 수 있는바, 제 2 디바이스(104)와 제 3 디바이스(106)에 대해서 유사한 사이즈의 디바이스들 또는 상이한 사이즈의 디바이스들을 채용하는 경우에도, 약 1 밀리미터 또는 그 보다 낮은 패키지 높이를 획득할 수 있다. 집적회로

패키지 시스템(100)의 이와같은 감소된 프로파일 패키지 디자인은, 집적회로 패키지 시스템(100)의 열 소산(dissipation) 능력을 자연스럽게 향상시키는데, 이는 고체의 열 흐름(heat flux)은 물체의 두께에 반비례하기 때문이며, 이는 고체내에서의 열 전도에 관한 푸리에 법칙이라고 지칭된다.

[0031] 또한, 본 발명에 따르면, 집적회로 패키지 시스템(100)의 열 소산 능력을 더욱 향상시킬 수 있는바, 이는 제 1 디바이스의 뒷면(150)이 외부에 노출되기 때문이다. 이와같이 향상된 열 소산 능력은 제 1 디바이스의 뒷면(150)에 열 전도성 기판 또는 히트 싱크(heat sink)를 부착함으로써 더욱 향상될 수 있다. 집적회로 패키지 시스템(100)의 열 소산 능력을 개선함으로써, 집적회로 패키지 시스템(100)의 신뢰성 및 사용 기간이 개선될 수 있다.

[0032] 또한, 제 1 디바이스(102), 제 2 디바이스(104) 및 제 3 디바이스(106)에 대해 표준 패키지들 또는 디바이스들이 이용될 수도 있음을 유의해야 하며, 따라서 집적회로 패키지 시스템(100)의 제조 비용를 절감할 수 있다.

[0033] 본 발명의 또 다른 특징은, 제 1 디바이스(102), 제 2 디바이스(104) 및 제 3 디바이스(106)를 전기 배선 시스템(108)에 부착하기 전에 이들(102, 104, 106)에 대한 테스트가 가능하다는 점이며, 따라서 알고있는 양품 다이(known good die) 또는 패키지가 제조 공정에서 이용되는 것을 보장할 수 있다. 또한, 제 1 디바이스(102), 제 2 디바이스(104) 및 제 3 디바이스(106)를 전기 배선 시스템(108)에 부착한 이후, 이들 어셈블리들이 추가 패키지 시스템내로 통합되기 전에, 이들 어셈블리들이 테스트될 수도 있다. 이러한 점은, 알고 있는 양품 어셈블리들(known good assemblies)을 최종 제품이 포함하고 있다는 점을 보장하며, 따라서 패키징 공정의 제조 공정 수율을 향상시킬 수 있다.

[0034] 가령, 플라스틱 몰딩 화합물과 같은, 캡슐화 물질(152)이 집적회로 패키지 시스템(100) 위에 형성된다. 특히, 상기 캡슐화 물질(152)은 전기 배선 시스템의 바닥면(154)의 적어도 일부는 커버하지 않으며, 제 1 디바이스의 뒷면(150)의 적어도 일부는 커버하지 않는다. 전기 배선 시스템의 바닥면(154)과 제 1 디바이스의 뒷면(150)을 외부 환경에 노출시킴으로써, 집적회로 패키지 시스템(100)의 열 소산 능력이 크게 개선된다. 더 나아가, 전기 배선 시스템의 바닥면(154)을 노출시킴으로써, 집적회로 패키지 시스템(100)은 전기적 콘택(156)을 선택적으로 포함할 수도 있는바, 이는 보다 높은 밀도의 입/출력 리드들을 허용하기 위함이다.

[0035] 또한, 캡슐화 물질(152)은 집적회로 패키지 시스템(100)을 외부 환경으로부터 보호할 뿐만 아니라 집적회로 패키지 시스템(100)에 대해서 전체적인 구조적 지지 및 안정성을 제공한다. 캡슐화 물질(152) 및 몰딩 기법은 해당 기술분야에서 잘 공지되어 있는바, 따라서 본 명세서에 반복적으로 기술하지는 않았다.

[0036] 앞으로 설명될 도2 내지 도8은 도1의 집적회로 패키지 시스템(100)을 형성하기 위한 예시적인 공정 순서를 도시한 도면들인바, 이들 도면들은 단지 예시적인 것이며 본 발명을 이에 제한하는 것으로 해석되어서는 않된다. 따라서, 권리범위로서 청구된 주제의 범위 또는 사상을 벗어남이 없이도, 많은 변형예들, 추가되는 것들 및/또는 생략되는 것들이 하기에서 설명될 공정 순서도에 적용될 수 있다는 점을 유의해야 한다. 예를 들어, 본 발명의 공정은 더 많은 단계들, 더 적은 단계들 또는 상이한 단계들을 포함할 수도 있다. 또한, 도1의 구조 및 구성요소들과 도2 내지 도8의 구조 및 구성요소들은 동일하기 때문에, 동일한 참조번호들이 사용되었으며 이에 대한 설명은 생략되었다.

[0037] 비록, 도2 내지 도8에는 하나의 집적회로 패키지 시스템(100)을 형성하는 것이 도시되어 있지만, 하나 이상의 하나의 집적회로 패키지 시스템(100)들이 하나의 지지 구조체 상에서 한번에 준비될 수도 있다는 점을 유의해야 하며, 이후 상기 하나 이상의 하나의 집적회로 패키지 시스템(100)들은 후속 제조 단계에서 개별 또는 다수의 반도체 어셈블리들로 분리될 수 있다.

[0038] 이제 도2를 참조하면, 본 발명의 일실시예에 따라서 초기 제조단계에 있는 도1의 집적회로 패키지 시스템의 단면이 도시되어 있다. 전기 배선 시스템(108)은, 내부 리드-핑거 시스템(112), 외부 리드-핑거 시스템(114), 와이어 본드 콘택(116), 범프 콘택(120), 그루브(124), 메사(126) 및 전기 콘택(156)을 포함한다.

[0039] 이러한 단면도에는, 가령, 테이프 및 릴(reel) 구조의 일부인 테이프와 같은, 지지 매개물(support medium)(200)에 전기 배선 시스템(108)을 부착시키는 것이 도시되어 있다. 하지만, 지지 매개물(200)은 앞서 설명된 것으로 제한되지 않으며, 상기 지지 매개물(200)은 제조공정 동안에 전기 배선 시스템(108)을 지지하는데 도움을 줄 수 있는 임의의 구조를 포함할 수 있다는 점을 유의해야 한다.

[0040] 전기 배선 시스템(108) 내에 개구부(202)가 제공된다. 상기 개구부(202)는 리세스(recess)를 제공하는바, 이는 도1의 제 1 디바이스(102)를 내부 리드-핑거 시스템(112) 부분 사이에 후속으로 배치하기 위함이다. 일반적으로, 상기 개구부(202)의 주변둘레(perimeter) 또는 치수는, 내부 리드-핑거 시스템(112)에 의해 정의된

다. 개구부(202)의 치수는, 집적회로 패키지 시스템(100)의 전체 풋프린트를 감소시키기 위해서 최소화될 수도 있으며 또는, 단위 유닛당 생산 비용을 감소시키기 위해서 상기 개구부(202)의 치수가 좀더 크게 만들어질 수도 있다는 점을 유의해야 한다.

[0041] 설명을 위한 일례로서, 상기 개구부(202)는 펀칭 또는 식각에 의해서 전기 배선 시스템(108) 내에 형성될 수도 있다.

[0042] 이제 도3을 참조하면, 제 1 디바이스(102)를 배치하는 동안의 도2의 구조가 도시되어 있다. 이 실시예에 관해서는, 제 1 디바이스(102)는 전기 배선 시스템(108)의 개구부(202)의 중앙에 정렬된다.

[0043] 이제 도4를 참조하면, 제 1 디바이스(102)의 부착 및 와이어 본드(118)가 형성된 이후의 도3의 구조가 도시되어 있다. 이 실시예에 관해서는, 상기 제 1 디바이스(102)는 지지 매개물(200)에 부착되며, 와이어 본드(118)가 형성된다. 일반적으로, 제 1 디바이스(102)의 배치 또는 위치는 내부 리드-핑거 시스템(112) 사이에 있는 것으로 서술될 수 있다.

[0044] 특히, 지지 매개물(202)에 부착된 전기 배선 시스템(108)의 표면은, 제 1 디바이스의 뒷면(150)과 실질적으로 동일 평면(coplanar)이다. 제 1 디바이스(102)가 전기 배선 시스템(108)의 개구부(202) 내에 마운트되는 것을 허용함으로써, 집적회로 패키지 시스템(100)의 전체 치수는 감소될 수도 있는바, 이는 제 1 디바이스(102)를 수용하기 위해서 전기 배선 시스템(108)의 두께를 이용하기 때문이다.

[0045] 제 1 디바이스의 활성면(active side)(300)은 후속 공정 단계(가령, 와이어 본딩)를 위해서 노출된 채로 남아 있다. 특히, 내부 리드-핑거 시스템(112)의 와이어 본드 콘택(116)과 제 1 디바이스(102) 사이의 와이어 본드(118)는 낮은 루프 높이를 나타낼 수 있는바, 이는 절반쯤-식각된 프로파일이 내부 리드-핑거 시스템(112) 상에 적용되기 때문이다.

[0046] 이제 도5를 참조하면, 제 2 디바이스(104)가 배치된 이후에 도4의 구조가 도시되어 있다. 이 실시예에 관해서는, 플립-칩(flip-chip) 디바이스를 포함할 수도 있는 제 2 디바이스(104)가, 제 1 디바이스(102), 개구부(202), 및 내부 리드-핑거 시스템(112) 위에 형성된다. 제 2 디바이스(104)는 범프 본드(122)를 통해 범프 콘택(120)에 전기적으로 연결된다. 상기 범프 본드(122)는, 제 2 디바이스의 바닥면(500)과 제 1 디바이스(102)의 와이어 본드(118) 사이에서 여유를 제공할 수 있기에 충분한 높이를 갖는 것이 바람직하다.

[0047] 부착공정 동안에, 제 2 디바이스(104)의 범프 본드(122)는 범프 콘택(120) 위에 정렬된다. 좀더 상세하게는, 메사(126)에 타겟팅 (targeting)함으로써, 범프 본드(122)가 메사(126) 위에 정렬되며 메사(126)에 전기적으로 연결될 수 있다. 또는, 각각의 그루브(124) 사이의 위치에 범프 본드(122)를 타겟팅함으로써, 범프 본드(122)가 메사(126) 위에 정렬되며 메사(126)에 전기적으로 연결될 수 있다. 특히, 내부 리드-핑거 시스템(112) 위에 제 2 디바이스(104)를 형성함으로써, 집적회로 패키지 시스템(100)의 전체 프로파일 또는 높이가 감소될 수 있는바, 이는 집적회로 패키지 시스템(100)에서 높이가 감소된 부분을 이용하기 때문이다.

[0048] 이제 도6을 참조하면, 제 3 디바이스(106)가 배치된 이후에 도5의 구조가 도시되어 있다. 제 3 디바이스(106)는 제 2 디바이스(104) 위에 정렬되며, 디바이스간 구조(110)를 통해서 제 2 디바이스(104)에 부착된다. 즉, 디바이스간 구조(110)가 제 2 디바이스(104)와 제 3 디바이스(106) 사이에 형성된다. 비록, 제 3 디바이스(106)는 제 2 디바이스(104) 보다 작은 사이즈를 갖는 것으로 도시되어 있긴 하지만, 집적회로 패키지 시스템(100) 내에서 회로 밀도를 최대화하기 위해서, 상기 제 3 디바이스(106)는 제 2 디바이스(104)와 동일한 사이즈 또는 약간 더 큰 사이즈를 가질 수도 있다는 점을 유의해야 한다.

[0049] 이제 도7을 참조하면, 와이어 본드(118)가 형성된 이후에 도6의 구조가 도시되어 있다. 와이어 본드(118)는 제 3 디바이스(106)와 외부 리드-핑거 시스템(114) 사이에 형성된다.

[0050] 이제 도8을 참조하면, 캡슐화 물질(152)이 형성된 이후에 도7의 구조가 도시되어 있다. 캡슐화 물질(152)은 제 1 디바이스(102), 제 2 디바이스(104), 제 3 디바이스(106), 전기 배선 시스템(108), 디바이스간 구조(110), 내부 리드-핑거 시스템(112), 외부 리드-핑거 시스템(114), 와이어 본드(118), 범프 본드(122) 및 와이어 본드 콘택(116) 및 범프 콘택(120) 부분을 커버한다. 특히, 도7의 지지 매개물(200) 때문에, 이러한 몰딩 공정은 지지 매개물(200)이 제거된 이후에도 제 1 디바이스의 뒷면(150)과 전기 배선 시스템의 바닥면(154)이 노출되게 한다.

[0051] 지지 매개물(200)이 제거된 이후에, 집적회로 패키지 시스템(100)은, 타이 바 절단 라인(tie bar removal lines)(미도시)을 따라, 전기 배선 시스템(108)으로부터 단일화(singulation)된다. 단일화 이후, 집적회로 패키

지 시스템(100)은 그 주변부 에지들을 따라 단일화 특징들(characteristics of singulation)을 나타내거나 또는 단일화 특징들을 보유할 것이다. 상기 단일화 특징들은 가령, 미소-마소(micro-abrasion)와 같은 물리적인 특성을 포함할 수 있는바, 이는 레이저 공정 또는 기계적인 다이싱(dicing) 공정을 나타내는 것이다.

[0052] 추가적으로, 캡슐화 물질(152)을 강화시키기 위해서, 단일화 이전 또는 단일화 이후에, 몰딩후 치료공정(post mold cure process)이 수행될 수 있다. 또한, 필요하다면, 전기 배선 시스템의 바닥면(154) 상에 형성된 전기 콘택(156)은, 전도성과 접착성을 향상시키기 위한 선택적인 도금 공정을 경험할 수도 있다.

[0053] 이제 도9를 참조하면, 본 발명의 일실시예에 따른 집적회로 패키지 시스템(100)에 대한 집적회로 패키징 방법(900)의 순서도가 도시되어 있다. 집적회로 패키징 방법(900)은, 내부 리드-핑거 시스템과 외부 리드-핑거 시스템을 포함하는 전기 배선 시스템을 제공하는 단계(블록 902); 상기 전기 배선 시스템의 사이 및 위에 제 1 디바이스, 제 2 디바이스 및 제 3 디바이스를 적층하는 단계(블록 904); 상기 제 1 디바이스와 상기 제 2 디바이스를 상기 내부 리드-핑거 시스템에 연결하는 단계(블록 906); 및 상기 제 3 디바이스를 상기 외부 리드-핑거 시스템에 연결하는 단계(블록 908)를 포함한다.

[0054] 따라서, 본 발명은 다양한 양상들을 갖고 있음이 밝혀졌다. 이러한 양상들 중 하나는, 본 발명에 따르면, 감소된 프로파일 패키지내에서 간략화된 디바이스 적층 프로세스를 제공할 수 있다는 점이다. 본 발명에서는, 와이어 본딩, 범프 본딩, 리드 절반-식각을 조합하고, 전기 배선 시스템의 개구부 내에 디바이스를 형성함으로써 이를 달성할 수 있다.

[0055] 본 발명의 다른 양상은, 하나의 전기 배선 레벨 시스템을 적용하면서도, 증가된 회로 밀도를 갖는 감소된 프로파일 패키지를 제공할 수 있다는 점이다. 본 발명에서는, 하나의 전기 배선 시스템 사이 및 위에 3개의 개별 디바이스들을 적층함으로써 이를 달성할 수 있다.

[0056] 본 발명의 또 다른 양상은, 집적회로 패키지 시스템의 열 소산 능력을 향상시킬 수 있다는 점이다. 본 발명에서는, 향상된 열 소산을 위해서 디바이스의 뒷면을 외부 환경에 노출시킴으로써 이를 달성할 수 있다.

[0057] 본 발명의 또 다른 중요한 양상은, 비용을 절감하고, 시스템을 간략화하며, 성능을 향상시키고자 하는 추세를 유용하게 지원할 수 있으며 이에 부응할 수 있다는 점이다. 본 발명의 이와같은 유용한 양상들 및 또 다른 양상들은 결과적으로, 기술수준을 적어도 다음 레벨로 향상시킬 수 있다.

[0058] 따라서, 본 발명에 따른 집적회로 패키지 시스템은, 동일한 배선 레벨내에서 회로 밀도를 향상시킬 수 있는, 중요하며 그리고 지금까지 알려지지 않았으며 또한 이용가능하지 않았던 해결책들, 성능들 및 기능적 양상들을 제공한다. 결과적인 프로세스들 및 구성들은, 직접적이며(straightforward), 비용면에서 효과적이며, 복잡하지 않으며, 응용가능성이 높으며, 효과적인바, 공지된 기술들을 적용함으로서 놀라울 정도로 명백히 구현될 수 있다. 따라서, 이들 프로세스들 및 구성들은 집적회로 패키지 디바이스들의 제조에 효율적 및 경제적으로 용이하게 적용될 수 있다.

[0059] 비록, 본 발명은 특정한 최적 실시모드에 관하여 설명되었지만, 앞서 설명된 내용을 참조한다면, 수많은 대체예들, 수정예들 및 변형예들이 가능함은 해당 기술분야의 당업자에게 명백할 것이다. 따라서, 본 발명은 첨부된 청구항들의 범위내에 속하는 이러한 모든 대체예들, 수정예들 및 변형예들을 포괄하도록 의도된다. 본 명세서에서 이제까지 설명된 모든 내용들 또는 첨부된 도면에서 도시된 모든 내용들은, 예시적이며 비제한적인 의미로 해석되어야만 한다.

## *도면의 간단한 설명*

[0060] 도1은 본 발명의 일실시예에 따른 집적회로 패키지 시스템의 단면도이다.

[0061] 도2는 초기 제조단계에서 도1의 집적회로 패키지 시스템의 단면을 도시한 것이다.

[0062] 도3은 제 1 디바이스가 배치되는 동안에 도2의 구조를 도시한 도면이다.

[0063] 도4는 제 1 디바이스의 부착 및 와이어 본드의 형성 이후에 도3의 구조를 도시한 도면이다.

[0064] 도5는 제 2 디바이스의 배치 이후에 도4의 구조를 도시한 도면이다.

[0065] 도6은 제 3 디바이스의 배치 이후에 도5의 구조를 도시한 도면이다.

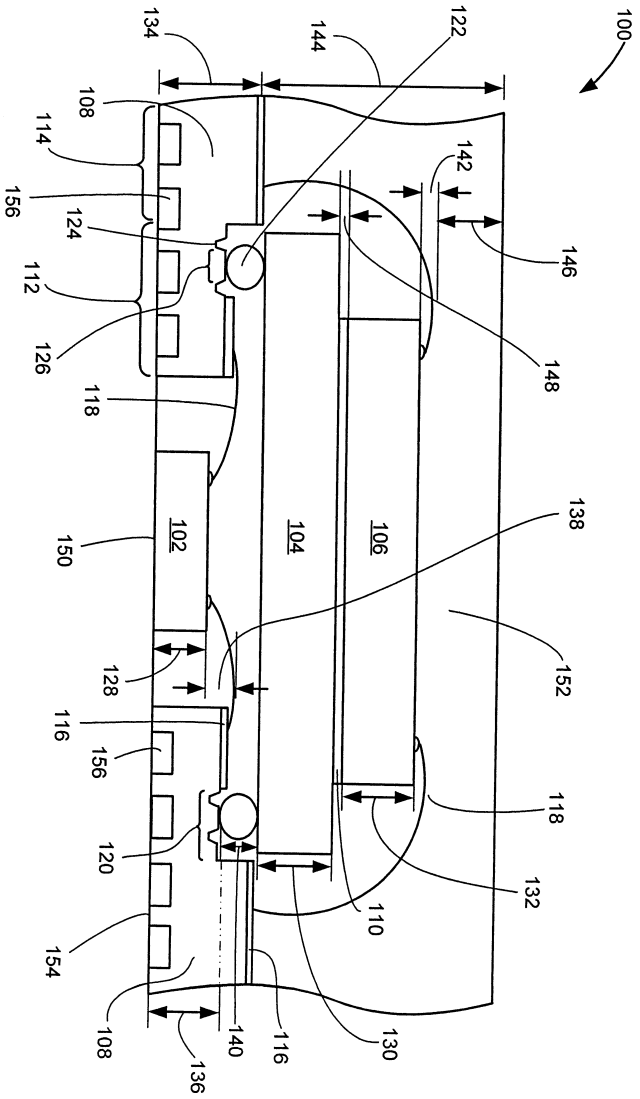
[0066] 도7은 와이어 본드 형성 이후에 도6의 구조를 도시한 도면이다.

[0067] 도8은 캡슐화 물질의 형성 이후에 도7의 구조를 도시한 도면이다.

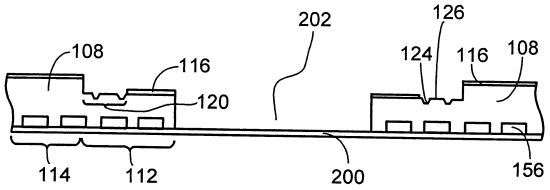
[0068] 도9는 본 발명의 일실시예에 따라 집적회로 패키지 시스템을 위한 집적회로 패키징 방법의 순서도이다.

## 도면

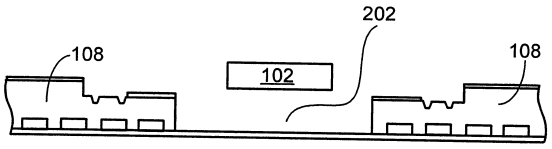
### 도면1



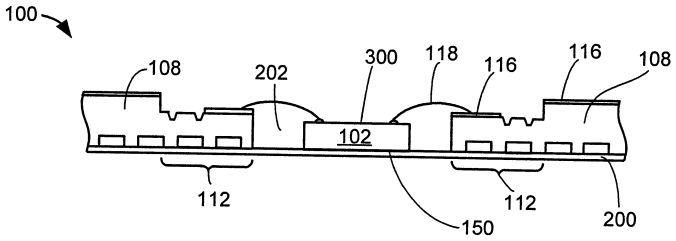

### 도면2



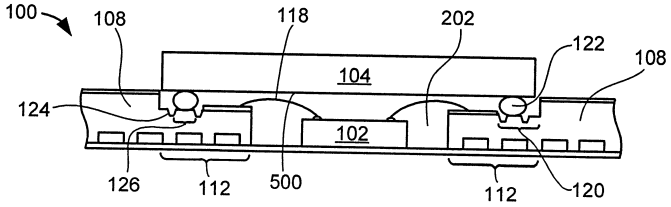
도면3



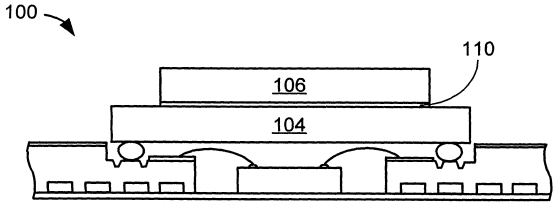

도면4



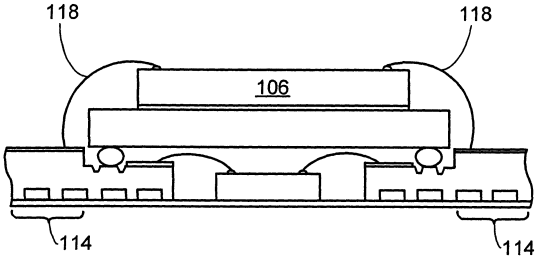

도면5



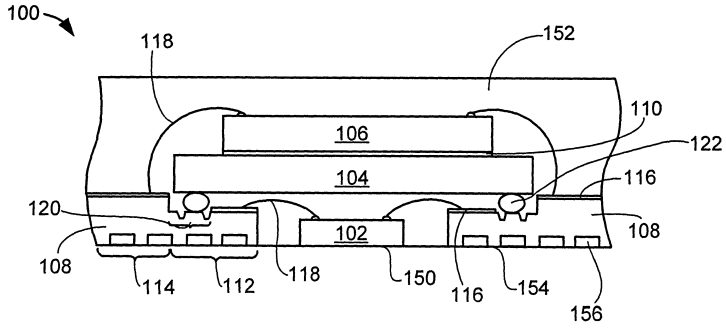

도면6



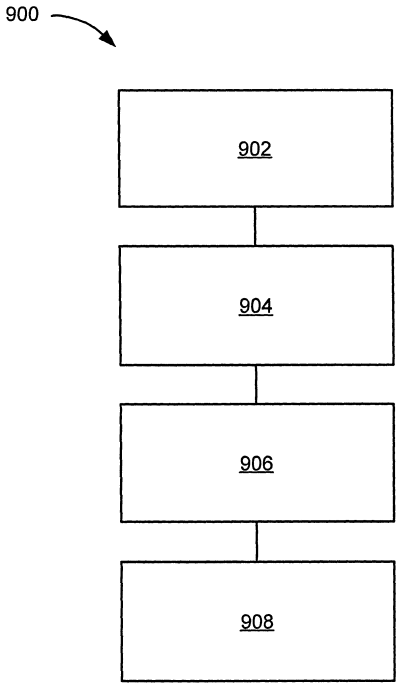

도면7



도면8


100
118
152
110
106
122
104
116
120
102
108
108
114
112
118
150
116
154
156

도면9


900
902
904
906
908