

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 21/8238

H01L 27/092



[12] 发明专利说明书

专利号 ZL 02147949.6

[45] 授权公告日 2005 年 8 月 17 日

[11] 授权公告号 CN 1215554C

[22] 申请日 2002.10.31 [21] 申请号 02147949.6

[30] 优先权

[32] 2001.11.1 [33] KR [31] 67849/2001

[71] 专利权人 海力士半导体有限公司

地址 韩国京畿道

[72] 发明人 林宽容 赵兴在 朴大奎 吕寅硕

审查员 梁素平

[74] 专利代理机构 北京市柳沈律师事务所

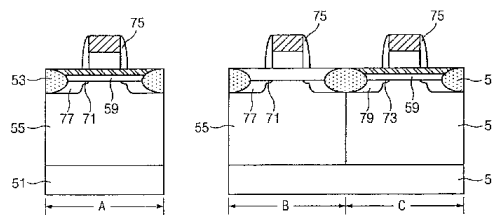
代理人 李晓舒 魏晓刚

权利要求书 2 页 说明书 9 页 附图 19 页

[54] 发明名称 互补型金属氧化物半导体器件及其制造方法

[57] 摘要

本发明公开了一种互补型金属氧化物半导体器件及其制造方法。该方法在单元 NMOS 与周围 PMOS 的栅极氧化物膜上分别进行退耦等离子体氮化处理，从而在栅极氧化物膜表面上形成氮化硅。此外，具有表面沟道的单栅极 CMOS 可通过总体上简单的工艺更轻易地形成，而无需单独的瞬时离子注入处理，即或是使用 n+ 多晶硅层时也这样。该 CMOS 的单元 NMOS 的临限电压约为 +0.9V，周围 PMOS 的临界电压约为 -0.5V 及以上，周围 NMOS 的临界电压约为 +0.5V 或以下。此外，因单元 NMOS 已具 +0.9V 的临界电压，故不须另提供反向偏压来获得 +0.9V 的临界电压，且顺利地形成具低功耗的器件。本发明的制造方法对于提高器件特性、产量和可靠性非常有利。



ISSN 1008-4274

1. 一种制造互补型金属氧化物半导体器件的方法，该方法包括步骤：
在一半导体衬底上形成一栅极氧化物膜，该半导体衬底包括位于一周
5 围电路区内的 n 阱与 p 阱、以及位于一单元区内的一 p 阱；
氮化周围电路区的 n 阱与单元区的 p 阱上的所述栅极氧化物膜的表面；
以及
在该栅极氧化物膜上形成一栅极电极。
2. 如权利要求 1 所述的方法，其中该栅极氧化物膜的厚度为 5 至 100Å。
- 10 3. 如权利要求 1 所述的方法，其中该氮化的步骤包括：
在温度为 0 至 400℃，反应室真空度为 5 至 20mT，且 RF 等离子体功
率为 100 至 700W 条件下，将退耦等离子体氮化处理进行 50 至 100 秒，以
及
进行一热处理。
- 15 4. 如权利要求 3 所述的方法，其中该退耦等离子体氮化处理使用选自
N₂、NH₃、N₂O、NF₃ 和 NO 构成的组的至少一种气体，且其流量为 10 至 500
sccm。
5. 如权利要求 3 所述的方法，其中该热处理在一 N₂、Ar 或其混合物的
气氛中，或在真空中，在 100 至 800℃ 的温度下，进行 1 至 30 分钟。
- 20 6. 如权利要求 1 所述的方法，其中栅极氧化物膜包括一高介电膜。
7. 如权利要求 6 所述的方法，其中该高介电膜包括选自 Al₂O₃、HfO₂、
Hf:SiO₂ 和 Zr:SiO₂ 构成的组的一种材料。
8. 如权利要求 1 所述的方法，其中该栅极电极包括一多晶硅层与一金
属层的叠层结构。
- 25 9. 如权利要求 8 所述的方法，其中，该多晶硅层包括一掺杂有其功函
数为 4.1 至 4.3eV 的 n 型杂质的多晶硅层。
10. 如权利要求 8 所述的方法，其中该金属层包括一 W/WN 层。
11. 如权利要求 1 所述的方法，其中该栅极电极包括一第一金属层与一
第二金属层的叠层结构。
- 30 12. 如权利要求 11 所述的方法，其中该第一金属层包括选自功函数为
4.1 至 4.3eV 的 TaN_x、TaSi_xN_y 和 Ta 构成的组的一种材料。

13. 如权利要求 11 所述的方法，其中该第二金属层包括一 W/WN 层。

14. 一种互补型金属氧化物半导体器件，包括：

一半导体衬底，其在一周围电路区中含有 n 阱与 p 阱，而在单元区中含有 p 阱；

5 一栅极氧化物膜，其形成在该半导体衬底上并具有一氮化表面，该氮化表面形成在周围电路区中的 n 阱与单元区中的 p 阱的半导体衬底上；以及

一栅极电极，其形成在栅极氧化物膜上。

互补型金属氧化物半导体器件及其制造方法

5 技术领域

本发明涉及一种半导体器件及其制造方法，尤其涉及一种互补型金属氧化物半导体(以下简称 CMOS 场效晶体管)器件及其制造方法

背景技术

10 一般而言，CMOS 器件包括低功耗 PMOS 晶体管和对称形成的可高速运行的 NMOS 晶体管。虽然其集成度低，且制造过程繁复，但是 CMOS 通常仍具有低功耗特性。

图 1 是示出一半导体器件的单元区及周围电路区的平面图。

15 如图 1 所示，于 CMOS 器件中，单元区 100 内的 NMOS 临界电压(threshold voltage)约为 +1V，以减少器件运行期间的漏电流(off current)，且周围电路区 200 内的 PMOS 与 NMOS 的临界电压应当高于 -0.5V 并低于 +0.5V，以增加操作速度。为达成该种结果，需要单独的掩模(mask)及额外的离子注入，这使得制造过程极为复杂。

20 CMOS 栅极电极传统上由具高熔点的多晶硅层所形成，可使薄膜易于沉积，并易于作线路图，对氧化气氛具稳定性，且易于平坦化。

传统栅极电极利用 n⁺多晶硅作为 NMOS 与 PMOS 区。但是，因 PMOS 区中的反掺杂(counter doping)，故将形成掩埋沟道(buried channel)，导致短沟道效应(short channel effect)因而增加泄漏电流。

25 为了克服上述缺点，在 NMOS 区中的栅极电极使用 n⁺多晶硅，而在 PMOS 区中的栅极电极则使用 p⁺多晶硅，因而作为双栅极电极，可在 NMOS 区与 PMOS 区上形成一表面沟道(surface channel)。

图 2a 至 2e 是剖视图，说明现有 CMOS 的制造方法，其中，"A"表示其上可形成单元区 NMOS 的区间，"B"表示其上可形成周围电路区 PMOS 的区间，而"C"表示其上可形成周围电路区 NMOS 的区间。

30 如图 2a 所示，界定一有源区域的一场氧化物 13 形成在一半导体衬底

11 上。

之后，利用一离子注入掩模，选择性地将 p 型和 n 型杂质注入半导体衬底 11，并进行一驱入(drive-in)处理，形成 p 阱 15 及 n 阱 17。

5 如图 2b 所示，藉一热氧化物处理，使第一氧化物膜 19 生成于半导体衬底 11 上，且可供调整临界电压的杂质离子则注入于所得的结构中。此处，第一氧化物膜 19 的作用是在杂质离子的注入而须调整临界电压的期间，可防止半导体衬底产生表面缺陷。

如图 2c 所示，第一氧化物膜 19 已被移除，且在所得的衬底上形成一第二氧化物膜 21 与一未掺杂多晶硅层 23。

10 接着，借着利用 n 阱掩模(未示)而实行离子注入，p 阱 15 上的多晶硅层 23 掺杂以诸如含磷(P)或砷(As)离子的 n 型杂质。

其次，借着利用 p 阱掩模而实行离子注入，n 阱 17 上的多晶硅层 23 乃掺杂以诸如硼(B)或 BF_2 离子的 p 型杂质。

如图 2d 所示，多晶硅层 23 上形成一金属层 29。

15 利用一栅极电极掩模而实行一照像处理，可选择性地蚀刻金属层 29，多晶硅层 23 及第二氧化物膜 21，因而可分别在 p 阱 15 及 n 阱 17 的顶侧形成第二氧化物膜 21 的一栅极氧化物及一栅极电极 31。此处，栅极电极 31 包括多晶硅层 23 与金属层 29 的叠层构造。

20 如图 2e 所示，在作驱入处理后，接着利用 n 阱掩模(未示)进行 n 型杂质离子的离子注入，则 p 阱 15 中的栅极电极 31 两侧，即形成一低浓度的 n 型杂质区 33。

之后，在作驱入处理后，接着利用 p 阱掩模(未示)进行 p 型杂质离子的离子注入，则 n 阱 17 中的栅极电极 31 两侧，即形成一低浓度的 p 型杂质区 35。

25 之后，于栅极电极的一侧壁上形成一氮化物间隔物 37。

此后，在作驱入处理后，接着利用 n 阱掩模(未示)进行 n 型杂质离子高浓度的离子注入；则 p 阱 15 中的栅极电极 15 包括间隔物 37 的两侧上，乃形成一高浓度的 n 型杂质区 39。

30 其后，在作驱入处理后，接着利用 p 阱掩模(未示)进行 p 型杂质离子高浓度的离子注入，则 n 阱 17 中的栅极电极 31 包括间隔物 37 的两侧上，形成一高浓度的 p 型杂质区 41。

如上述,因现有 CMOS 器件及其制造方法包含双多硅栅极电极的形成,故现有 CMOS 器件的特性即因下述效应而降低。

5 第一,当 PMOS 区中的 p+多晶硅栅极电极的栅极氧化物膜区内的硼未活化时,CMOS 多晶硅栅极电极处将产生栅极电极的栅极耗尽效应(gate depletion effect),因而减低了反向电容(reverse capacitance),并增加了临界电压。

第二,在多晶硅栅极电极中残存有硼离子的现象,将贯穿栅极氧化物膜而扩散至半导体衬底的沟道区内,亦即,将发生硼贯穿现象。结果,平带电压(flat band voltage)与临界电压均将变化,栅极氧化物的完整性(GOI)特性劣化。

10

发明内容

因此本发明的目的是提供一种 CMOS 器件及其制造方法,其中,通过在一单元区 NMOS 及一周围电路 PMOS 的栅极氧化物膜上进行 DPN(退耦等离子体氮化, Decoupled Plasma Nitridation)处理,并且在栅极氧化物膜表面形成氮化硅膜,形成一种具有表面沟道(surface channel)的单栅极 CMOS,从而毋须任何多余的离子注入处理,即可非常容易地形成具有表面沟道的单栅极 CMOS,即便使用 n+多晶硅层的栅极电极时也这样。该单栅极 CMOS 的单元区 NMOS 的临界电压可约为 +0.9V,周围电路 PMOS 的临界电压可约在 -0.5V 及以下,而周围电路 NMOS 的临界电压约可在 +0.5V 及以下。

15

为实现上述目的,提供一种半导体器件的 CMOS,包括:一半导体衬底,具有位于周围电路区内的一 n 阱及一 p 阱,及位于单元区中的一 p 阱;一栅极氧化物膜,其形成在该半导体衬底上并具有一氮化表面,该氮化表面形成在周围电路区的 n 阱与单元区的 p 阱的半导体衬底上;及一栅极电极,其形成于栅极氧化物膜上。

20

本发明的另一目的是提供一种半导体器件的 CMOS 的制造方法,包括下述步骤:于周围电路区中含有 n 阱与 p 阱以及在单元区中含有 p 阱的半导体衬底上形成一栅极氧化物膜;氮化周围电路区的 n 阱与单元区的 p 阱上的该栅极氧化物膜的表面;以及在该栅极氧化物膜上形成一栅极电极。

25

本发明的原理为,单元 NMOS 与周围电路 PMOS 的栅极氧化物膜经过 DPN(退耦等离子体氮化)处理以在栅极氧化物膜的表面上形成一氮化硅,从

而形成一个具有表面沟道的单栅极 CMOS。因此,即便使用 n+多晶硅层的栅极电极,单元区 NMOS 的临界电压仍可约为 +0.9V,周围 PMOS 的临界电压亦可约为 -0.5V 及以下,且周围 NMOS 的临界电压可为 +0.5V 及以下,而无需另外进行瞬时离子注入处理。

5

附图说明

结合附图,通过以下的说明和所附权利要求,本发明的上述及其它目的和特点将变得更加清晰。这些附图仅示出了本发明的优选实施例,而不应视作对其范围的限制,本发明将配合以下附图说明其特点及细节,其中:

- 10 图 1 为表示单元区及周围电路的平面图;
 图 2a 至 2e 为表示传统器件的 CMOS 制造方法的剖视图;
 图 3a 至 3e 为表示本发明第一实施例的 CMOS 制造方法的剖视图;
 图 4a 至 4e 为表示本发明第二实施例的 CMOS 制造方法的剖视图;
 图 5 为曲线图,表示在一栅极氧化物膜上进行退耦等离子体氮化(DPN)处理后, MOS 的电容-电压(C-V)曲线;

图 6 为一特性图,表示栅极氧化物膜未经 DPN 处理的 D_{it} (界面陷阱密度, Interface trap density)特性。

图 7 为一特性图,表示栅极氧化物膜经 DPN 处理后的 D_{it} (界面陷阱密度)特性。

20 附图中的附图标记说明如下:

100	单元区	200	周围电路区
11	半导体衬底	13	场氧化物
15	p 阱	17	n 阱
19	第一氧化物膜	21	第二氧化物膜
23	未掺杂多晶硅层	29	金属层
31	栅极电极	33	低浓度 n 型杂质区
35	低浓度 p 型杂质区	37	氮化物间隔物
39	高浓度 n 型杂质区	51	半导体衬底
53	器件隔离膜	55	p 阱
57	n 阱	59	第一氧化物膜
61	第一光致抗蚀剂膜图形	63	氮化硅

65	多晶硅层	67	金属层
69	栅极电极	71	低浓度 n 型杂质区
73	低浓度 p 型杂质区	75	氮化硅间隔物
77	高浓度 n 型杂质区	79	高浓度杂质区

具体实施方式

现将参照附图说明本发明的优选实施例。在以下描述中，各附图中均以相同标号表示相同构件。而说明中所界定的特殊结构，诸如一电路中的详细结构及元件等，仅提供来帮助全面理解本发明。因此，本领域技术人员知晓，本发明可通过不同的结构来实现。同时，现有的功能与结构在说明书中未详细描述，因为其将使本发明在不须要的细节上造成模糊不清。

图 3a 至 3e 为制造根据本发明第一实施例的 CMOS 器件的方法的剖视图。图中，"A"表示其上拟形成 NMOS 区的区域，"B"表示其上拟形成周围电路 PMOS 的区域，而"C"表示其上拟形成周围电路 NMOS 的区域。

参考图 3a 所示，在一半导体衬底 51 上，形成一界定一有源区的一器件隔离膜 53。

之后，利用一离子注入掩模，将 p 型或 n 型杂质选择性地离子注入到半导体衬底 51 中，并进行一驱入处理(drive-in process)，以形成一 p 阱 55 及一 n 阱 57。

其次，其为一栅极氧化物膜的第一氧化物膜 59，藉热氧化物半导体衬底 51 的方式而生成成为 5 至 100Å 的厚度。一种诸如 Al_2O_3 、 HfO_2 、 $Hf:SiO_2$ 或 $Zr:SiO_2$ 膜的不与多晶硅发生反应的高介电膜亦可用以取代热氧化物膜。

如图 3b 所示，第一氧化物膜 59 上被覆有一第一光致抗蚀剂膜。之后，将该第一光致抗蚀剂膜曝光并使其显影，以形成一第一光致抗蚀剂图形 61，此一图形可覆盖拟形成周围电路 NMOS 的区域 B。

其后，利用光致抗蚀剂膜图形作为掩模进行 DPN 处理，将位于拟形成单元区 NMOS 的区域 B 中与拟形成周围电路 PMOS 的区域 C 中的栅极氧化物膜 59 的表面予以氮化，从而形成一氮化硅 63。

此处，DPN 处理在温度为 0~400℃、反应室真空度为 5~20mT、RF 等离子体功率为 100~700W 的条件下，且在氮的流量为 10~500sccm 的氮气氛中进行 50~100 秒。

此外, DPN处理除使用氮气(N_2)外, 亦可使用选自 NH_3 、 N_2O 、 NF_3 及 NO 组成的组的一种气体、或其混合物。

作完栅极氧化物膜 59 的 DPN 处理后, 在 N_2 、Ar 或真空中, 或其联合环境中, 施行温度为 $100\sim 800^\circ C$, 时间为 $1\sim 30$ 分钟的热处理。

5 如图 3c 所示, 去除第一光致抗蚀剂膜图形 61, 并在含有厚度为 100 至 1000\AA 的栅极氧化物膜 59 的所得结构上, 分别形成一多晶硅层 65 及一金属层 67。此处, 多晶硅层 65 由掺杂有其功函数(work function)为 $4.1\sim 4.3\text{eV}$ 的 n 型杂质的多晶硅层所形成。此外, 金属层 67 由 W/WN 层所形成, 以降低栅极电阻(gate resistance)。可形成一硅化物以取代金属层 67。

10 如图 3d 所示, 金属层 67 与多晶硅层 65 通过利用一栅极电极掩模进行一光刻工序而蚀刻。此处, 包括多晶硅层 65 与金属层 67 的叠层结构的栅极电极 69 分别形成在拟形成单元区 NMOS 的区域 A、拟形成周围电路 NMOS 的区域 B、以及拟形成周围电路 PMOS 的区域 C 的半导体衬底 51 上。

15 如图 3e 所示, 在拟形成单元区 NMOS 的区域 A 与在拟形成周围电路 NMOS 的区域 B 内的栅极电极 69 的两侧的 p 阱 55 的表面上, 藉离子注入低浓度 n 型杂质, 形成低浓度 n 型杂质区。

类似的, 在拟形成周围电路 PMOS 的区域 C 内的栅极电极两侧的 n 阱 57 的表面上, 藉离子注入低浓度 p 型杂质, 形成低浓度 p 型杂质区 73。

20 之后, 在栅极电极 69 的侧壁上形成氮化硅间隔物 75。

其次, 在拟形成单元区 NMOS 的区域与在拟形成周围电路 NMOS 的区域 B 内的氮化硅间隔物 75 的两侧的 p 阱 55 的表面上, 藉离子注入高浓度 n 型杂质, 形成高浓度 n 型杂质区 77, 从而形成一具有 LDD(轻微掺杂漏极, lightly doped drain)结构的 n 型源极/漏极杂质区。

25 其后, 在拟形成周围电路 PMOS 的区域 C 内的氮化硅隔离物 75 两侧的 n 阱 57 的表面上, 藉离子注入高浓度 p 型杂质, 形成高浓度杂质区 79, 从而形成具有 LDD 结构的 p 型源极/漏极杂质区。

30 图 4a 至 4e 为剖视图, 示出了根据本发明第二实施例的半导体 CMOS 的制造方法。图中, "A"表示其上拟形成单元区 NMOS 的区域, "B"表示其上拟形成周围电路 PMOS 的区域, 而"C"表示其上拟形成周围电路 NMOS 的区域。

如图 4a 所示, 界定一有源区的器件隔离膜 53 形成于半导体衬底 51 上。

之后, 利用一离子注入掩模, 选择性地将 p 型或 n 型杂质离子注入到半导体衬底 51 中, 并施行驱入处理, 以形成 p 阱 55 及 n 阱 57。

其次, 其为栅极氧化物膜的第一氧化物膜 59 通过热氧化该半导体衬底 51 生长至厚度为 5 至 100Å。此处, 该第一氧化物膜 59, 亦可使用诸如 Al_2O_3 、 HfO_2 、 HfSiO_2 或 ZrSiO_2 膜的不与多晶硅发生反应的高介电膜, 以取代热氧化物膜。

如图 4b 所示, 第一光致抗蚀剂膜被覆于栅极氧化物膜 59 上, 且第一光致抗蚀剂膜得以曝光并显影, 以形成仅覆盖其处拟形成周围电路 NMOS 的区域 C 的第一光致抗蚀剂膜。

其后, 利用第一光致抗蚀剂膜图形 61 作为掩模, 进行 DPN 处理, 以氮化拟形成单元区 NMOS 的区域 A 与拟形成周围电路 PMOS 的区域 C 内的栅极氧化物膜 59 的表面, 从而形成氮化硅 63。

此处, DPN 处理在温度为 0~400°C、反应室真空度为 5~20mT、RF 等离子体功率为 100~700W 的条件下, 在氮气流量为 10~500sccm 的氮气氛中, 进行 50~100 秒。

此外, 选自 NH_3 、 N_2O 、 NF_3 和 NO 组成的组的一种含氮气体, 或其混合物亦可取代 DPN 处理用的氮气。

栅极氧化物膜 59 作完 DPN 处理后, 即在温度为 100~800°C, 在 N_2 、Ar 或其混合物的气氛中, 或在真空中, 进行 1~30 分钟的热处理。

如图 4c 所示, 去除第一光致抗蚀剂膜图形 61, 且在包括厚度为 100 至 1000Å 的栅极氧化物膜 59 的所得结构上, 分别形成一第一金属层 64 及一第二金属层 66。

此处, 第一金属层由功函数为 4.1 至 4.3eV 的诸如 TaN_x 、 TaSi_xN_y 或 Ta 层的一种层所形成。

此外, 第二金属层 66 由一 W/WN 层所形成, 以减少栅极电阻。亦可形成硅化物以取代第二金属层 67。

如图 4d 所示, 第二金属层 67 与第一金属层 65 通过利用一栅极电极掩模进行光刻处理而得以蚀刻。此处, 包括第一金属层 65 与第二金属层 67 的叠层结构的栅极电极 69 分别形成于拟形成单元区 NMOS 的区域 A、拟形成周围电路 NMOS 的区域 B、以及拟形成周围电路 PMOS 的区域 C 内的半

导体衬底 51 上。

如图 4e 所示, 在拟形成单元区 NMOS 的区域 A 和拟形成周围电路 NMOS 的区域 B 内的栅极电极 69 的两侧的 p 阱 55 的表面上, 藉离子注入低浓度 n 型杂质, 形成低浓度 n 型杂质区 71。

- 5 类似的, 藉离子注入低浓度 p 型杂质, 在拟形成周围电路 PMOS 的区域 C 内的栅极电极 69 两侧的 n 阱 57 的表面上, 形成一低浓度 p 型杂质区 73。

之后, 通过在包括栅极电极 69 的前侧上形成氮化硅, 并通过蚀刻该附属膜(subject film), 在栅极电极 69 的侧壁上形成氮化硅间隔物 75。

- 10 其次, 在拟形成单元区 NMOS 的区域 A、和拟形成周围电路 NMOS 的区域 B 内的氮化硅间隔物 75 两侧的 p 阱 55 的表面上, 藉注入高浓度 n 型杂质, 形成高浓度 n 型杂质区 77, 从而形成一具有 LDD 结构的 n 型源极/漏极杂质区。

- 15 其后, 在拟形成周围电路 PMOS 的区域 C 内的氮化硅间隔物 75 两侧的 n 阱 57 的表面上, 藉注入高浓度 p 型杂质离子的方式, 形成一高浓度杂质区 79, 从而形成一种具有 LDD 结构的 p 型源极/漏极杂质区。

- 20 图 5 是一曲线图, 示出了具有和不具有退耦等离子体氮化(DPN)处理过的栅极氧化物膜的 MOS 的电容-电压(C-V)曲线。图 6 是一曲线图, 示出了具有未经 DPN 处理的栅极氧化物膜的 NMOS 的 D_{it} (Interface trap density, 界面陷阱密度)特性, 以及图 7 是一曲线图, 示出了具有经 DPN 处理的栅极氧化物膜的 NMOS 的 D_{it} 特性。

参考图 5, 具有 DPN 处理过的栅极氧化物膜的 NMOS, 其临界电压较具有未经 DPN 处理的栅极氧化物膜的 NMOS 的高出 +0.4V 至 +0.5V。

- 25 如图 6 及图 7 所示, 具有经 DPN 处理($1 \times 10^{11}/\text{eV}\cdot\text{cm}^2$)的栅极氧化物膜的 NMOS, 其 D_{it} 特性优于具有未经 DPN 处理($1 \times 10^{10}/\text{eV}\cdot\text{cm}^2$)的栅极氧化物膜的 NMOS 的 D_{it} (界面陷阱密度(Interface trap density))特性。

- 30 具有一表面沟道的单栅极 CMOS 因下述理由而具有驱动电压低、性能良好、器件产量高且可靠性好等优点, 该表面沟道包括通过在单元区 NMOS 与周围电路 PMOS 的栅极氧化物膜上施行 DPN 处理而形成于栅极氧化物膜表面上的氮化物。

第一, 在使用包括 n^+ 多晶硅层的栅极电极的情况下, 不须额外的离子

注入处理，即可形成具表面沟道的 CMOS，其单元区 NMOS 的临界电压为 +0.9V，周围电路 PMOS 的临界电压为 -0.5V 及以上，且周围电路 NMOS 的临界电压为 +0.5V 及以下。

第二，由于栅极氧化物膜的 DPN 处理而使单元区 NMOS 具有 +0.9V 的临界电压，所以不需要 +0.9V 的临界电压的另外的反向偏压(back bias)，因而实现了更低的功耗。

第三，因为在形成单元区 NMOS 期间，不需要用以调整临界电压所需的单独的离子注入处理，故可简化处理过程。

最后，因为在形成栅极电极期间，并不使用掺杂处理，故栅极电极的耗尽效应或传统双多晶硅栅极电极中所见的硼贯穿现象可加以防止。

虽然本发明已经参照优选实施例详述如上，但是对本领域技术人员明显的是，本发明的范围不限于这些实施例。相反，本发明涵盖所附权利要求的精髓和范围所包含的所有装置和方法。

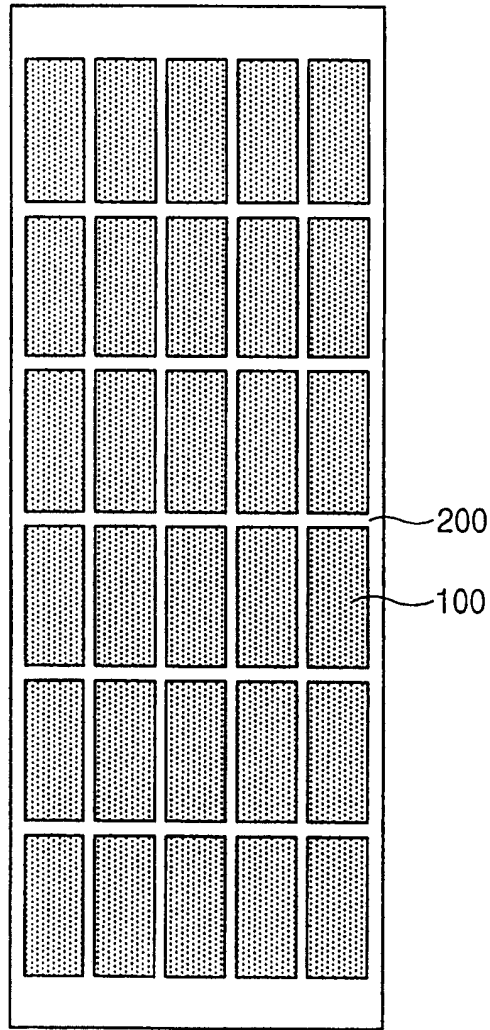


图 1

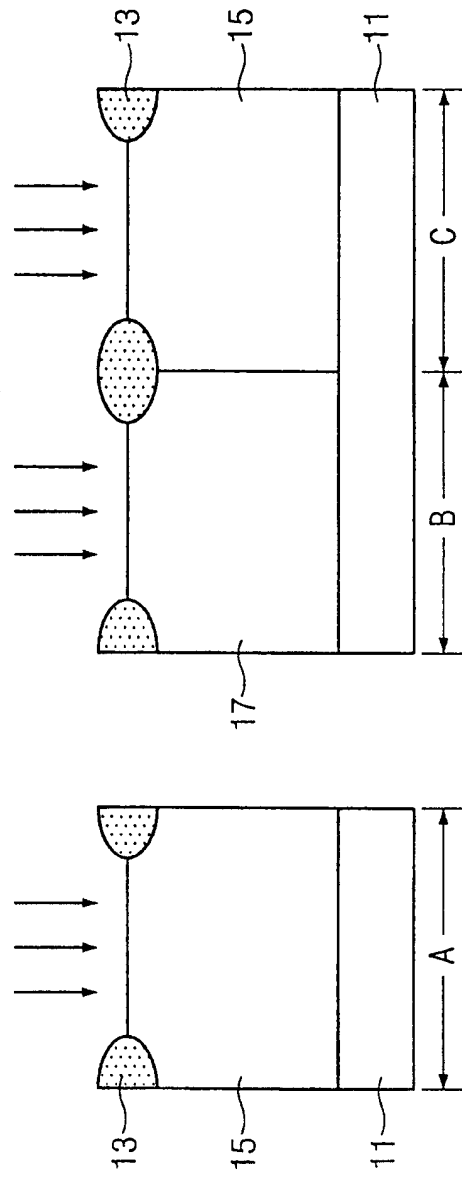


图 2a

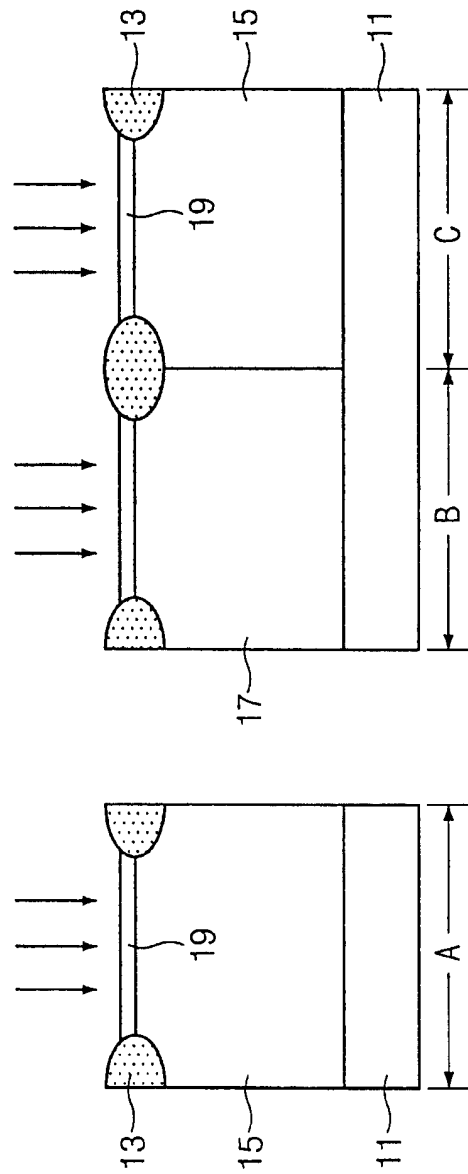


图 2b

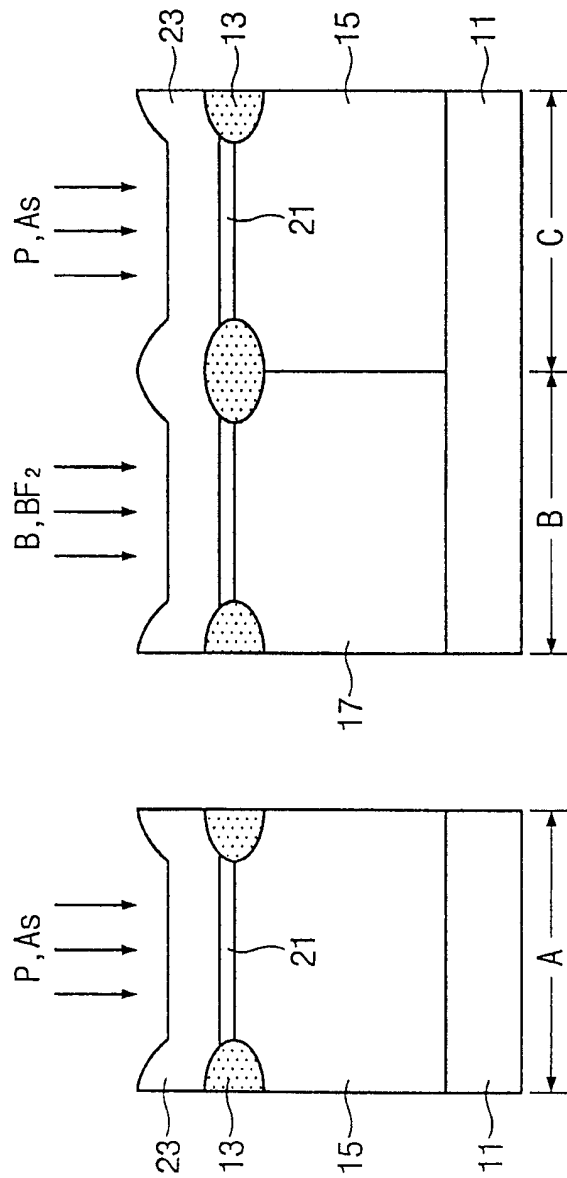


图 2c

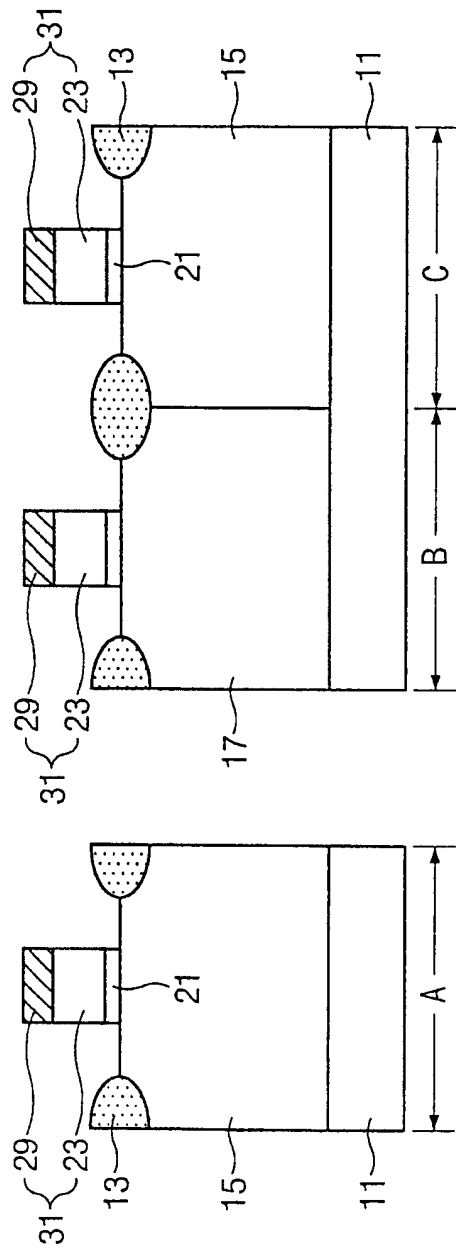


图 2d

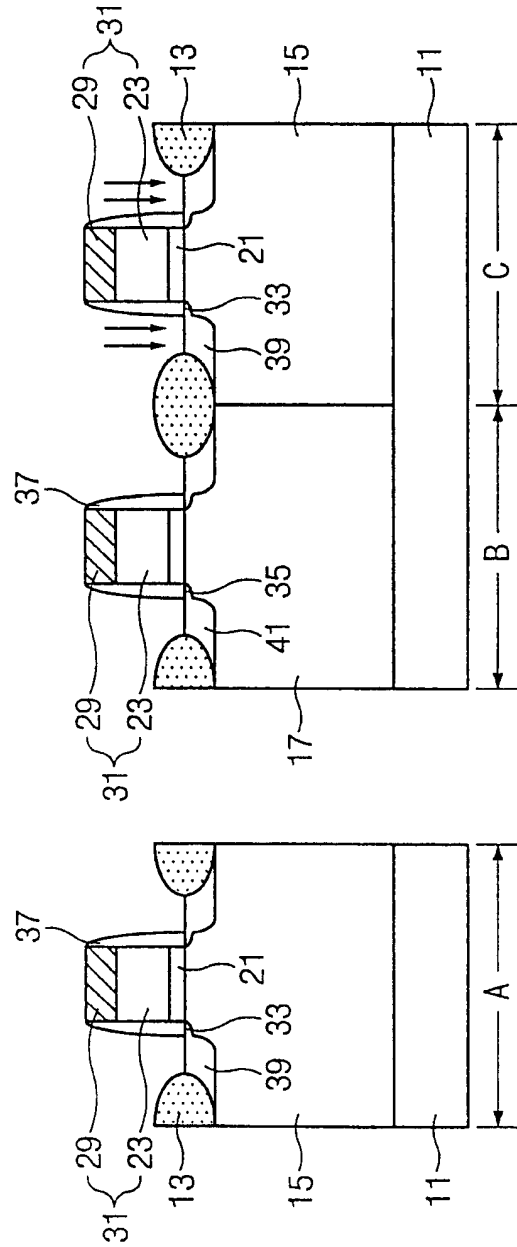


图 2e

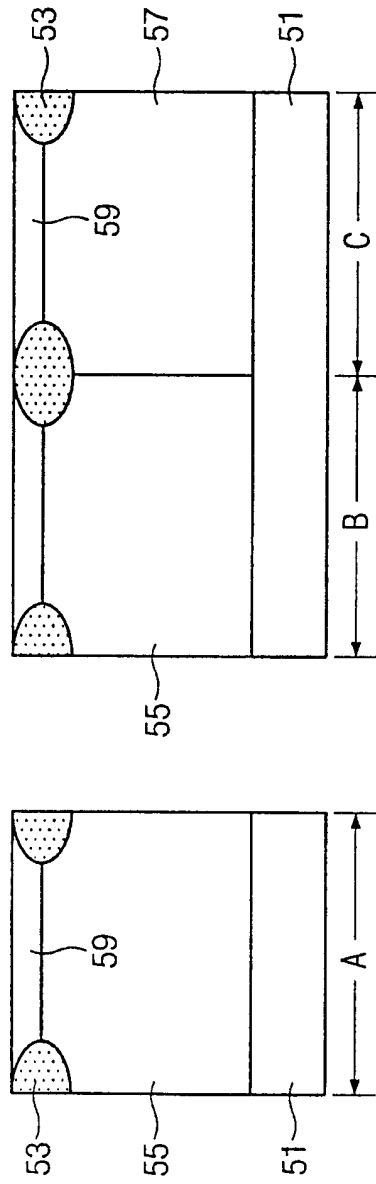


图 3a

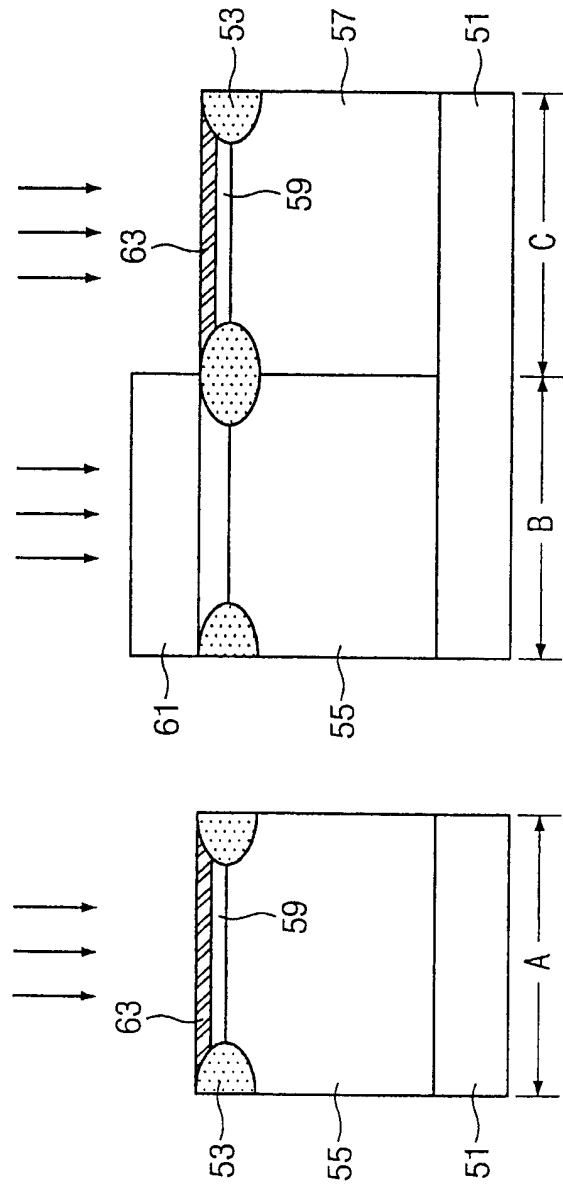


图 3b

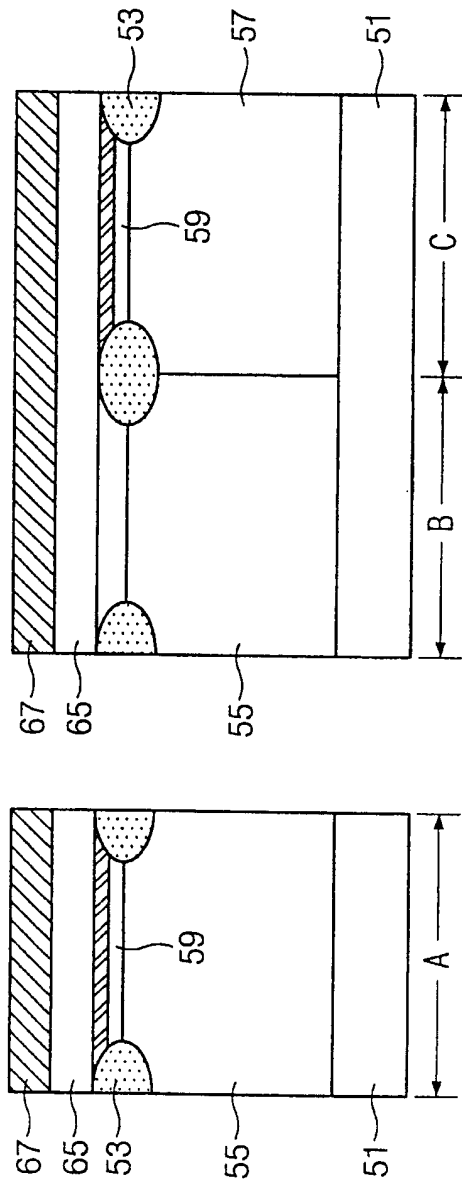


图 3C

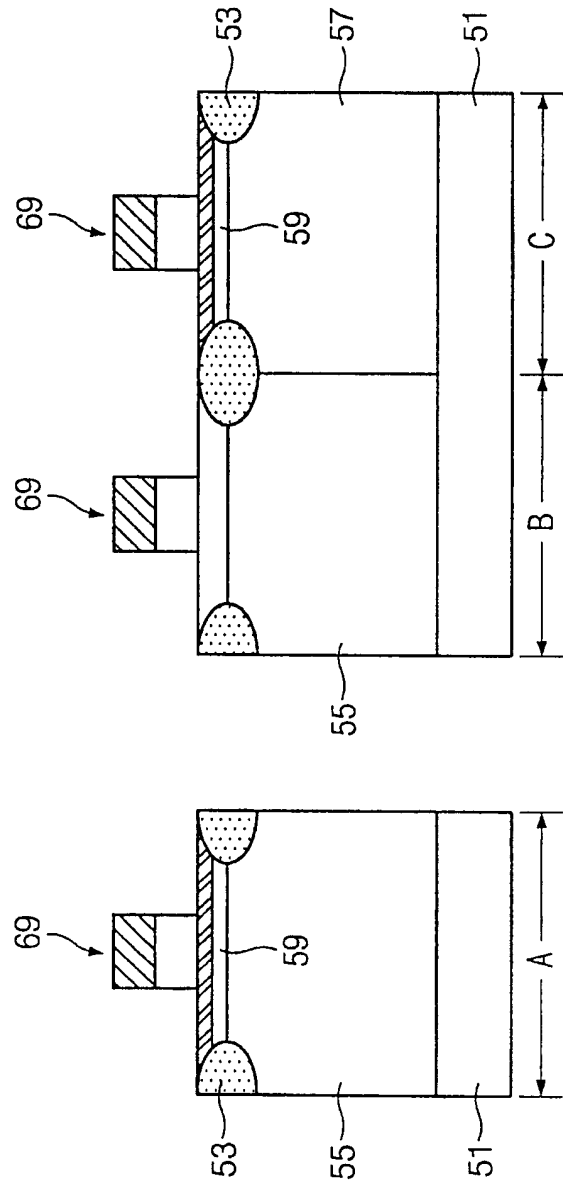


图 3d

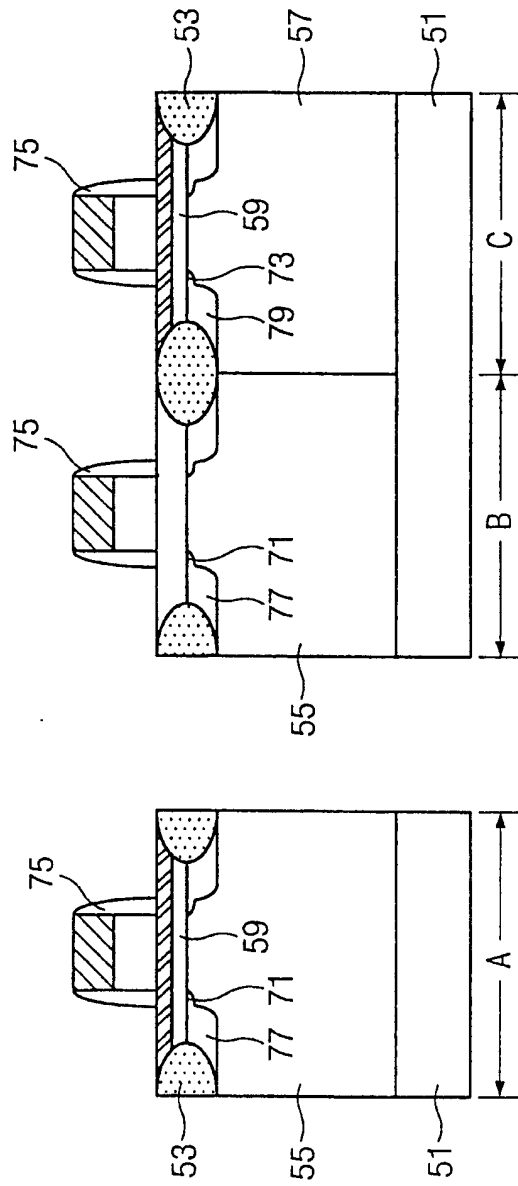


图 3e

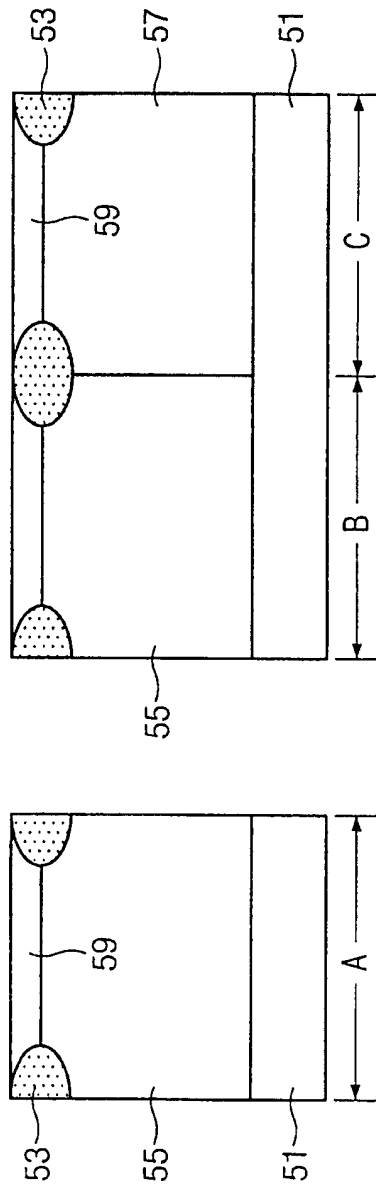


图 4a

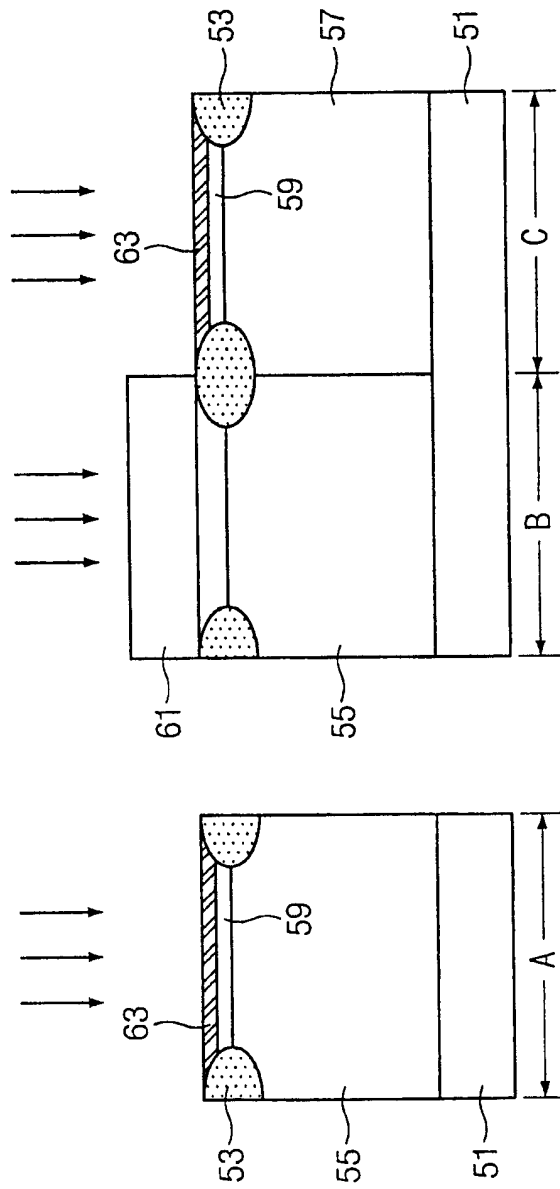


图 4b

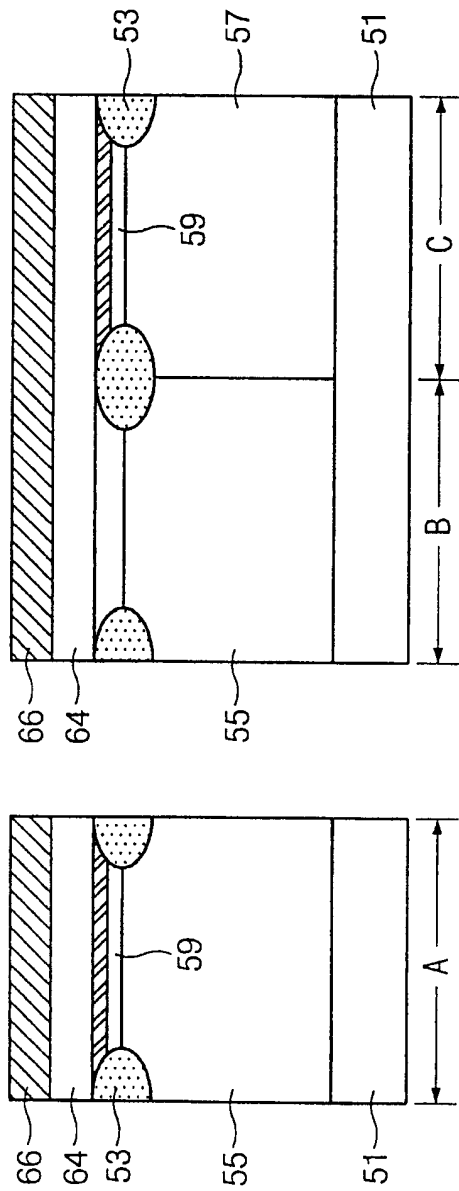


图 4C

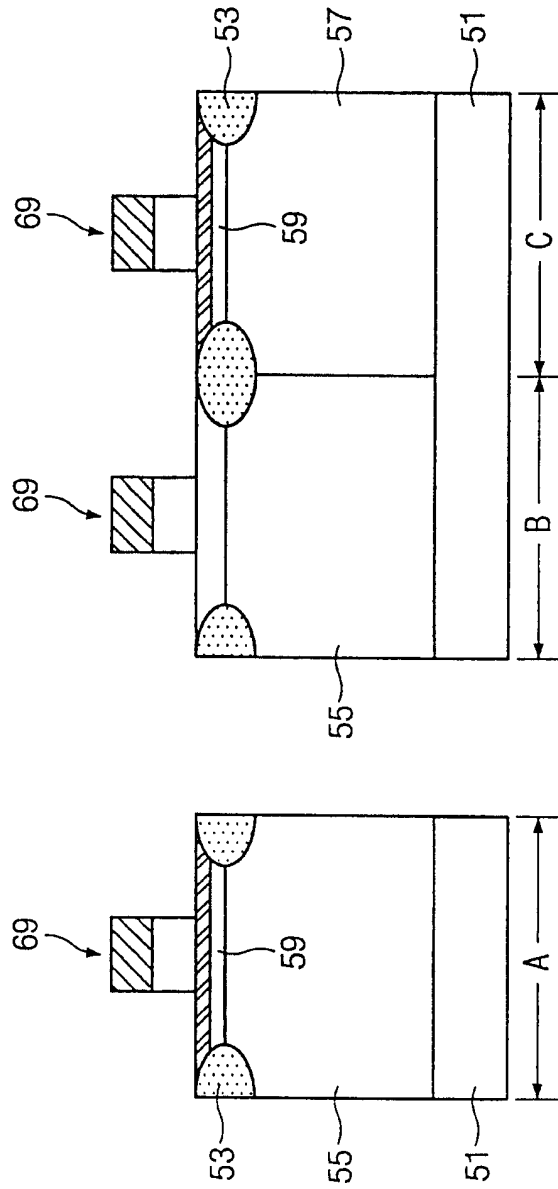


图 4d

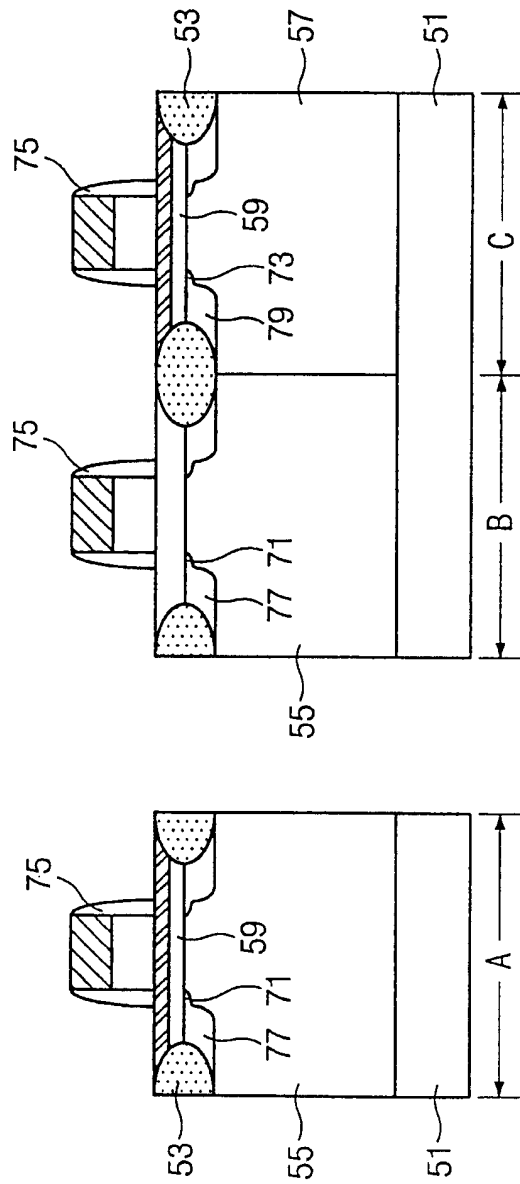


图 4e

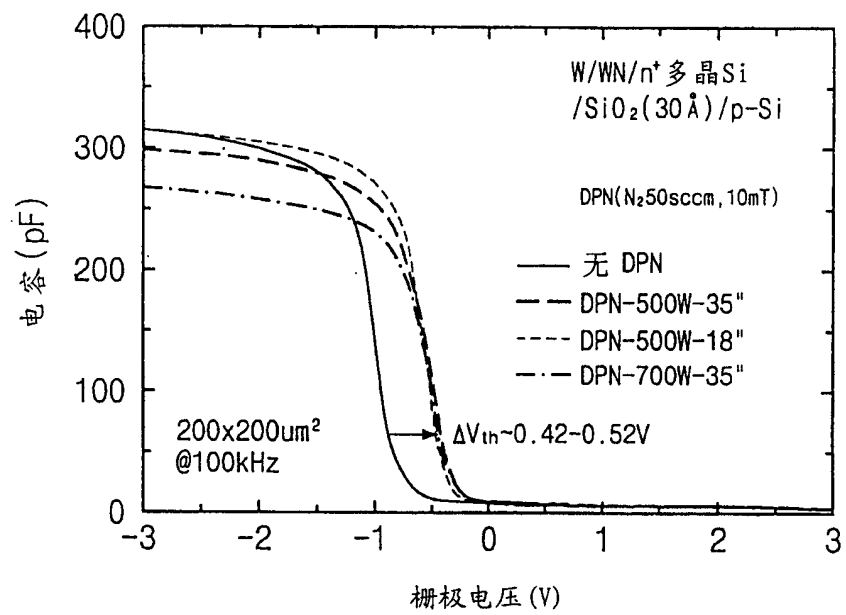


图 5

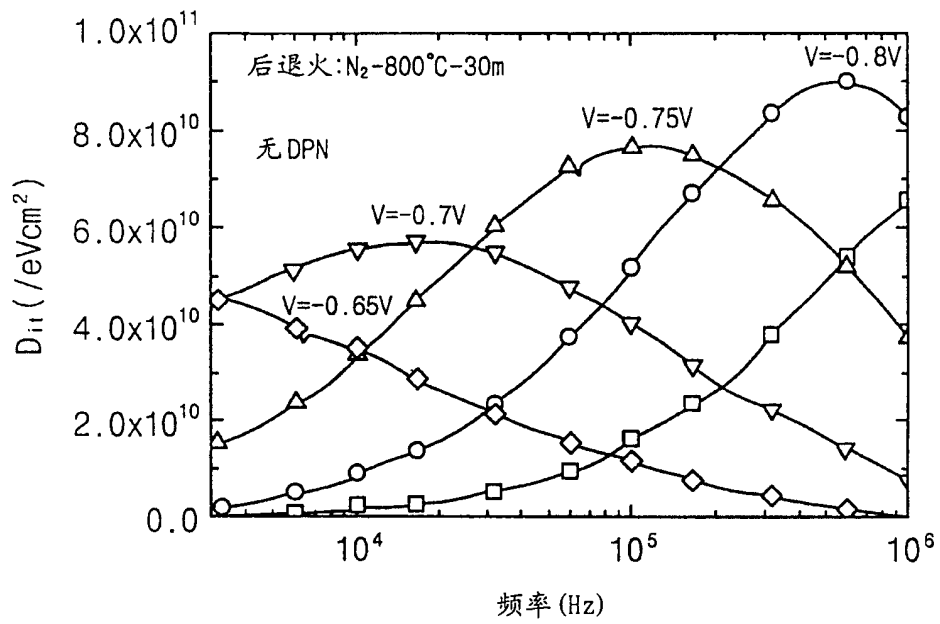


图 6

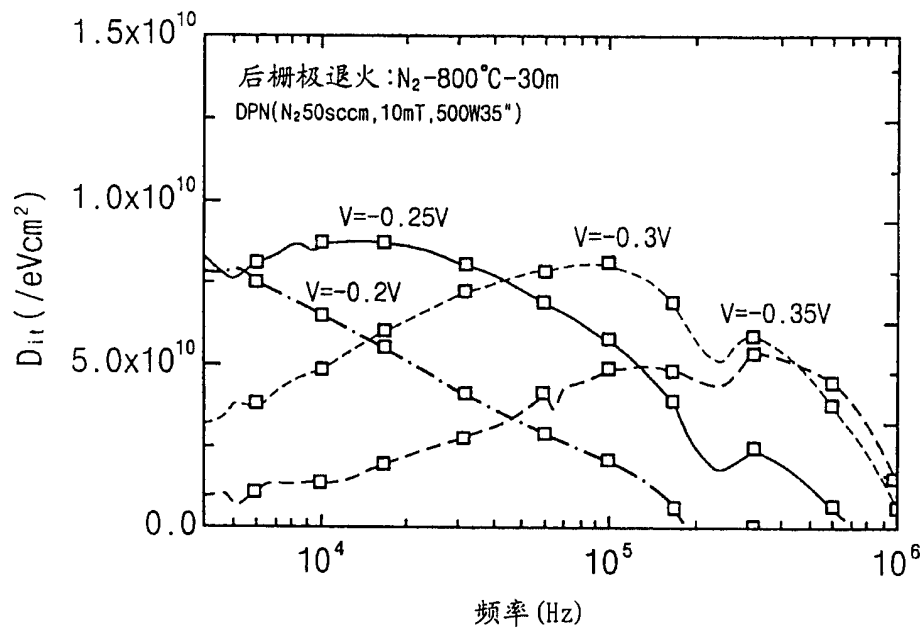


图 7