



(12) 发明专利申请

(10) 申请公布号 CN 115775573 A

(43) 申请公布日 2023. 03. 10

(21) 申请号 202210099929.9

G11C 29/42 (2006.01)

(22) 申请日 2022.01.27

(30) 优先权数据

2021-145658 2021.09.07 JP

(71) 申请人 铠侠股份有限公司

地址 日本东京

(72) 发明人 清水孝洋

(74) 专利代理机构 北京律盟知识产权代理有限

责任公司 11287

专利代理师 杨林勳

(51) Int. Cl.

G11C 7/10 (2006.01)

G11C 5/14 (2006.01)

G11C 16/10 (2006.01)

G11C 16/26 (2006.01)

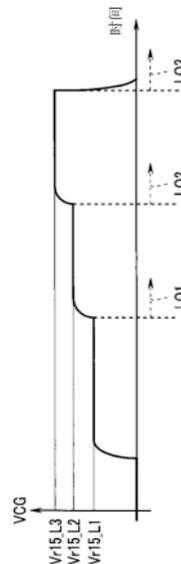
权利要求书2页 说明书26页 附图23页

(54) 发明名称

半导体存储装置

(57) 摘要

实施方式提供一种抑制读出动作时间变长的半导体存储装置。实施方式的非易失性存储器2具有：存储器单元阵列21；及序列发生器25，能够执行第1写入动作、与第1写入动作后的第2写入动作，且在第2写入动作中，执行写入n位数据的程序动作、与进行通过程序动作写入的n位数据的检验的检验动作。序列发生器25读出写入与存储器单元MT1相邻的2个存储器单元MT2、MT3的数据，基于读出的数据、与通过第1写入动作写入存储器单元MT1的数据，设定多个用在第2写入动作的存储器单元MT1的检验动作的检验电压电平。



1. 一种半导体存储装置,其具有:

存储器单元阵列,包含多个每1个存储器单元能够存储 n (n 为2以上的整数) 位数据的存储器单元;及

控制电路,能够执行对各存储器单元写入 n 位中 p ($p < n$) 位数据的第1写入动作、与所述第1写入动作后对所述各存储器单元写入所述 n 位数据的第2写入动作,并且在所述第2写入动作中,执行写入所述 n 位数据的程序动作、与进行通过所述程序动作写入的所述 n 位数据的检验的检验动作;且

所述控制电路读出写入与第1存储器单元相邻的至少1个第2存储器单元的至少1个第1数据,基于读出的所述第1数据、与通过所述第1写入动作写入所述第1存储器单元的第2数据,设定多个用在所述第2写入动作的所述第1存储器单元的所述检验动作的检验电压电平。

2. 根据权利要求1所述的半导体存储装置,其中所述控制电路根据所述第1数据设定所述多个检验电压电平。

3. 根据权利要求2所述的半导体存储装置,其中所述控制电路在所述第2写入动作中,以根据所述第1数据阶段性变高的方式设定所述多个检验电压电平。

4. 根据权利要求1所述的半导体存储装置,其中所述控制电路如果在所述第2写入动作中,接收所述 n 位数据的写入指令,那么执行读出所述第1数据的第1读出处理与读出所述第2数据的第2读出处理。

5. 根据权利要求1所述的半导体存储装置,其具有用来存储所述至少1个第1数据的至少1个第1锁存电路。

6. 根据权利要求1所述的半导体存储装置,其中所述至少1个第1锁存电路具有用在与所述第1存储器单元相邻的2个存储器单元的2个所述第1锁存电路。

7. 根据权利要求5所述的半导体存储装置,其具有存储所述第2数据的第2锁存电路。

8. 一种半导体存储装置,其具有:

存储器单元阵列,包含多个每1个存储器单元能够存储 n (n 为2以上的整数) 位数据的存储器单元;及

控制电路,能够执行对各存储器单元写入 n 位中 p ($p < n$) 位数据的第1写入动作、与所述第1写入动作后对所述各存储器单元写入所述 n 位数据的第2写入动作,并且在所述第2写入动作中,执行写入所述 n 位数据的程序动作、与进行通过所述程序动作写入的所述 n 位数据的检验的检验动作;且

所述控制电路探索通过所述第1写入动作写入的数据所对应的2个阈值电压分布的谷位置,基于探索到的所述谷位置的电压,变更用在所述检验动作的检验动作开始循环。

9. 根据权利要求8所述的半导体存储装置,其中所述控制电路根据所述谷位置的电压、与为了读出所述数据而预先设定的读出电压的差,变更所述检验动作开始循环。

10. 根据权利要求9所述的半导体存储装置,其中所述控制电路在所述谷位置低于为了读出所述数据而所述预先设定的读出电压的情况下,以延迟所述检验动作的开始的方式,变更所述检验动作开始循环。

11. 根据权利要求9所述的半导体存储装置,其中所述控制电路如果在所述第2写入动作中,接收所述 n 位数据的写入指令,那么执行探索所述谷位置的谷位置探索处理、与进行

通过所述第1写入动作写入的所述p位数据的读出的数据读出处理。

12. 根据权利要求11所述的半导体存储装置,其中所述数据读出处理基于探索到的所述谷位置,进行通过所述第1写入动作写入的所述p位数据的读出。

半导体存储装置

[0001] 相关申请

[0002] 本申请享受以日本专利申请2021-145658号(申请日:2021年9月7日)为基础申请的优先权。本申请通过参考所述基础申请而包括基础申请的全部内容。

技术领域

[0003] 本发明的实施方式涉及一种半导体存储装置。

背景技术

[0004] 有通过半导体存储装置进行多次写入动作(写入序列)而进行多值数据的写入的方式。在这种方式中,有进行多值数据的写入所需要的时间变长的情况。另外,有由于写入多值数据,而从半导体存储装置读出数据所需要的时间变长的情况。

发明内容

[0005] 实施方式的目的在于提供一种抑制用来读出动作的时间或用来写入动作的时间变长的半导体存储装置。

[0006] 实施方式的半导体存储装置具有:存储器单元阵列,包含多个每1个存储器单元能够存储 n (n 为2以上的整数)位数据的存储器单元;及控制电路,能够执行对各存储器单元写入 n 位中 p ($p < n$)位数据的第1写入动作、与所述第1写入动作后对所述各存储器单元写入所述 n 位数据的第2写入动作,并且在所述第2写入动作中,执行写入所述 n 位数据的程序动作、与进行通过所述程序动作写入的所述 n 位数据的检验的检验动作;且所述控制电路读出写入与第1存储器单元相邻的至少1个第2存储器单元的至少1个第1数据,基于读出的所述第1数据、与通过所述第1写入动作写入所述第1存储器单元的第2数据,设定多个用在所述第2写入动作的所述第1存储器单元的所述检验动作的检验电压电平。

附图说明

[0007] 图1是表示第1实施方式的存储器系统的构成例的框图。

[0008] 图2是表示第1实施方式的非易失性存储器的构成例的框图。

[0009] 图3是表示第1实施方式的3维构造的存储器单元阵列的块的构成例的图。

[0010] 图4是第1实施方式的3维构造的NAND (Not-AND:与非)存储器单元阵列的一部分区域的剖视图。

[0011] 图5是表示第1实施方式的存储器单元的阈值电压分布的图。

[0012] 图6是表示第1实施方式的感测放大器的1个感测放大器单元的具体构成的一例的电路图。

[0013] 图7是表示第1实施方式的写入动作的各布线的电压变化的图。

[0014] 图8是表示第1实施方式的检验动作的各布线的电压变化的图。

[0015] 图9是表示第1实施方式的2阶段写入方式的阈值电压的分布的图。

- [0016] 图10是表示第1实施方式的2阶段写入方式的写入动作的次序的图。
- [0017] 图11是表示第1实施方式的相邻的2条字线的2个相邻存储器单元的阈值电压分布的例子的图。
- [0018] 图12是表示第1实施方式的相邻的2条字线的2个相邻存储器单元的阈值电压分布的例子的图。
- [0019] 图13是表示第1实施方式的数据保存劣化引起的阈值电压分布的变化的图。
- [0020] 图14是表示第1实施方式的MLC写入动作(第1次写入动作)的指令序列的图。
- [0021] 图15是表示第1实施方式的QLC写入动作(第2次写入动作)的指令序列的图。
- [0022] 图16是表示第1实施方式的QLC写入动作(第2次写入动作)的指令序列、与伴随着指令序列的执行的7个锁存电路的数据的存储状况的图。
- [0023] 图17是表示第1实施方式的1个锁存电路所存储的数据的图。
- [0024] 图18是用来说明第1实施方式的检验动作的阈值电压分布与6个锁存电路的数据的关系的图。
- [0025] 图19是表示第1实施方式的状态S15的检验动作时的检验电压电平的变化了的图。
- [0026] 图20是表示第1实施方式的使用1个锁存电路的情况的数据的例子的图。
- [0027] 图21是表示第1实施方式的使用1个锁存电路的情况的内部数据读出处理的5个锁存电路ADL~EDL的数据的变化的图。
- [0028] 图22是用来说明第2实施方式的MLC写入动作(第1次写入动作)结束后的数据保存劣化引起的4个电平的阈值电压分布的变化的图。
- [0029] 图23是表示第2实施方式的V_{th}跟踪读取的选择字线的读出电压的变化的图。
- [0030] 图24是表示第2实施方式的V_{th}跟踪读取的谷位置探索处理的图。
- [0031] 图25是表示第2实施方式的写入动作的循环与检验动作的关系的图。
- [0032] 图26是表示第2实施方式的每个循环的阈值电压分布的变化的图。
- [0033] 图27是表示第2实施方式的循环15、与循环16的检验动作时的读出电压的变化的图。
- [0034] 图28是表示第2实施方式的数据保存劣化所对应的每个循环的阈值电压分布的变化的图。
- [0035] 图29是表示第2实施方式的预先假设数据保存劣化,设定检验动作开始循环的情况的每个循环的阈值电压分布的变化的图。
- [0036] 图30是表示第2实施方式的QLC写入动作(第2次写入动作)的指令序列的图。
- [0037] 图31是表示第2实施方式的成为写入动作的循环与检验动作的对象的状态的关系的图。
- [0038] 图32是第2实施方式的QLC写入动作(第2次写入动作)的流程图。
- [0039] 图33是表示第2实施方式的根据使用V_{th}跟踪读取的各电平的读出电压的偏差量,调整各状态的检验动作开始循环的结果的循环与检验动作的关系的图。

具体实施方式

- [0040] 以下,参考附图说明实施方式。
- [0041] (第1实施方式)

[0042] (存储器系统的构成)

[0043] 图1是表示本发明的实施方式的存储器系统的构成例的框图。本实施方式的存储器系统具备存储器控制器1、与作为半导体存储装置的非易失性存储器2。存储器系统能够与主机连接。主机为例如个人电脑、移动终端等电子机器。

[0044] 非易失性存储器2是非易失地存储数据的存储器,具备例如NAND存储器(NAND型闪存)。非易失性存储器2是例如具有每个存储器单元晶体管(以下,也称为存储器单元)能够存储4位(bit)的存储器单元的NAND存储器,也就是4位/单元(Cell)(QLC:Quad Level Cell(四级单元))的NAND存储器。

[0045] 存储器控制器1依照来自主机的写入请求来控制向非易失性存储器2写入数据。另外,存储器控制器1依照来自主机的读出请求来控制从非易失性存储器2读出数据。在存储器控制器1与非易失性存储器2之间,收发芯片启用信号/CE、就绪忙碌信号/RB、指令锁存启用信号CLE、地址锁存启用信号ALE、写入启用信号/WE、读取启用信号RE、/RE、写入保护信号/WP、数据也就是信号DQ<7:0>、数据选通信号DQS、/DQS的各信号。

[0046] 例如,非易失性存储器2与存储器控制器1分别作为半导体芯片(以下,也简称为“芯片”)形成。

[0047] 芯片启用信号/CE是用来启用非易失性存储器2的信号。就绪忙碌信号/RB是用来表示非易失性存储器2是就绪状态(受理来自外部的命令的状态)、还是忙碌状态(不受理来自外部的命令的状态)的信号。指令锁存启用信号CLE是表示信号DQ<7:0>为指令的信号。地址锁存启用信号ALE是表示信号DQ<7:0>为地址的信号。写入启用信号/WE是用来将接收到的信号提取到非易失性存储器2的信号,通过存储器控制器1每次接收指令、地址、及数据时被断言。以在信号/WE为“L(Low:低)”电平的期间提取信号DQ<7:0>的方式对非易失性存储器2指示。

[0048] 读取启用信号RE、/RE是存储器控制器1用来从非易失性存储器2读出数据的信号。例如,它使用于控制输出信号DQ<7:0>时的非易失性存储器2的动作时刻。写入保护信号/WP是用来对非易失性存储器2指示禁止数据写入及抹除的信号。信号DQ<7:0>是在非易失性存储器2与存储器控制器1之间收发的数据的实体,包含指令、地址、及数据。数据选通信号DQS、/DQS是用来控制信号DQ<7:0>的输入输出的时刻的信号。

[0049] 存储器控制器1具备RAM(Random Access Memory:随机存取存储器)11、处理器12、主机接口13、ECC(Error Checking and Correction:错误检查和纠正)电路14及存储器接口15。RAM11、处理器12、主机接口13、ECC电路14及存储器接口15彼此由内部总线16连接。

[0050] 主机接口13将从主机接收到的请求、用户数据(写入数据)等输出到内部总线16。另外,主机接口13向主机发送从非易失性存储器2读出的用户数据、与来自处理器12的应答等。

[0051] 存储器接口15基于处理器12的指示,控制向非易失性存储器2写入用户数据等的处理及从非易失性存储器2将它读出的处理。

[0052] 处理器12总括地控制存储器控制器1。处理器12为例如CPU(Central Processing Unit:中央处理单元)、MPU(Micro Processing Unit:微处理单元)等。处理器12在从主机经由主机接口13接收请求的情况下,进行依照所述请求的控制。例如,处理器12依照来自主机的请求,向存储器接口15指示向非易失性存储器2写入用户数据及奇偶性。另外,处理器12

依照来自主机的请求,向存储器接口15指示自非易失性存储器2读出用户数据及奇偶性。

[0053] 处理器12对存储于RAM11的用户数据,决定非易失性存储器2上的存储区域(存储器区域)。用户数据经由内部总线16存储于RAM11。处理器12对写入单位也就是页面单位的数据(页面数据)实施存储器区域的决定。在本说明书中,将存储于非易失性存储器2的1页面的用户数据定义为单元数据。单元数据一般被编码并作为代码字存储在非易失性存储器2。在本实施方式中,编码并非必须。存储器控制器1虽然也可将单元数据不编码地存储在非易失性存储器2,但是在图1中,表示进行编码的构成作为一构成例。在存储器控制器1不进行编码的情况下,页面数据与单元数据一致。另外,可基于1个单元数据产生1个代码字,也可基于分割单元数据的分割数据产生1个代码字。另外,也可使用多个单元数据产生1个代码字。

[0054] 处理器12对每个单元数据决定写入目的地的非易失性存储器2的存储器区域。在非易失性存储器2的存储器区域分配物理地址。处理器12使用物理地址来管理单元数据的写入目的地的存储器区域。处理器12以指定已决定的存储器区域(物理地址)向非易失性存储器2写入用户数据的方式向存储器接口15指示。处理器12管理用户数据的逻辑地址(主机管理的逻辑地址)与物理地址的对应。处理器12在接收到包含来自主机的逻辑地址的读出请求的情况下,特定与逻辑地址对应的物理地址,指定物理地址并向存储器接口15指示用户数据的读出。

[0055] ECC电路14将存储于RAM11的用户数据编码,产生代码字。另外,ECC电路14解码从非易失性存储器2读出的代码字。

[0056] RAM11暂时存储从主机接收到的用户数据直到向非易失性存储器2存储为止,或暂时存储从非易失性存储器2读出的数据直到向主机发送为止。RAM11是例如SRAM(Static Random Access Memory:静态随机存取存储器)或DRAM(Dynamic Random Access Memory:动态随机存取存储器)等通用存储器。

[0057] 在图1中表示存储器控制器1分别具备ECC电路14与存储器接口15的构成例。然而,ECC电路14也可内置在存储器接口15。另外,ECC电路14也可内置在非易失性存储器2。

[0058] 在从主机接收到写入请求的情况下,存储器系统如接下来这样动作。处理器12成为写入对象的数据暂时存储在RAM11。处理器12读出存储在RAM11的数据,并输入到ECC电路14。ECC电路14将输入的数据编码,并将代码字输入到存储器接口15。存储器接口15将输入的代码字写入非易失性存储器2。

[0059] 在从主机接收到读出请求的情况下,存储器系统如接下来这样动作。存储器接口15将从非易失性存储器2读出的代码字输入到ECC电路14。ECC电路14解码输入的代码字,并将解码的数据存储在RAM11。处理器12将存储在RAM11的数据经由主机接口13发送到主机。

[0060] (非易失性存储器的构成)

[0061] 图2是表示本实施方式的非易失性存储器的构成例的框图。非易失性存储器2具备存储器单元阵列21、输入输出电路22、逻辑控制电路23、寄存器24、序列发生器25、电压产生电路26、行译码器27、感测放大器28、输入输出用焊盘群29、逻辑控制用焊盘群30、及电源输入用端子群31。

[0062] 存储器单元阵列21包含与字线及位线建立关联的多个非易失性存储器单元(未图示)。各存储器单元与行及列建立对应。存储器单元阵列21具备多个块BLK。存储器单元阵列

21包含多个存储器单元。如稍后叙述,各存储器单元能够每1存储器单元存储n(n为2以上的整数)位数据。

[0063] 输入输出电路22在与存储器控制器1之间,收发信号 $DQ<7:0>$ 、及数据选通信号DQS、/DQS。输入输出电路22将信号 $DQ<7:0>$ 内的指令及地址传送到寄存器24。另外,输入输出电路22在与感测放大器28之间收发写入数据、及读出数据。

[0064] 逻辑控制电路23从存储器控制器1接收芯片启用信号/CE、指令锁存启用信号CLE、地址锁存启用信号ALE、写入启用信号/WE、读取启用信号RE、/RE、及写入保护信号/WP。另外,逻辑控制电路23将就绪忙碌信号/RB传送到存储器控制器1,并将非易失性存储器2的状态通知给外部。

[0065] 在寄存器24,存储着指令、地址及状态。更具体来说,寄存器24包含指令寄存器24A、地址寄存器24B及状态寄存器24C,并且分别存储指令、地址及状态。

[0066] 序列发生器25是基于保持在指令寄存器24A的指令,控制整个非易失性存储器2的动作的控制电路。

[0067] 电压产生电路26基于来自序列发生器25的指示,产生数据的写入、读出、及抹除等动作所需要的电压。

[0068] 行译码器27从地址寄存器24B接收地址所包含的块地址及行地址,基于所述块地址选择对应的块,且基于所述行地址选择对应的字线。

[0069] 感测放大器28在读出数据时,感测从存储器单元读出到位线的数据,并将感测出的读出数据传送到输入输出电路22。感测放大器28在写入数据时,将经由位线写入的写入数据传送到存储器单元。更具体来说,感测放大器28包含感测放大器单元群28A与数据寄存器28B,在读出数据时,将通过感测放大器单元群28A读出的读出数据存储于数据寄存器28B。另外,在写入数据时,将存储于数据寄存器28B的写入数据传送到感测放大器单元群28A,并且从感测放大器单元群28A经由位线对存储器单元写入写入数据。

[0070] 输入输出用焊盘群29因为在与存储器控制器1之间进行包含数据的各信号的收发,所以具备与信号 $DQ<7:0>$ 、及数据选通信号DQS、/DQS对应的多个端子(焊盘)。

[0071] 逻辑控制用焊盘群30因为在与存储器控制器1之间进行各信号的收发,所以具备与芯片启用信号/CE、指令锁存启用信号CLE、地址锁存启用信号ALE、写入启用信号/WE、读取启用信号RE、/RE、及写入保护信号/WP对应的多个端子(焊盘)。

[0072] 电源输入用端子群31因为从外部对非易失性存储器2供给各种动作电源,所以具备输入电源电压 V_{cc} 、 V_{ccQ} 、 V_{pp} 、与接地电压 V_{ss} 的多个端子。电源电压 V_{cc} 作为动作电源一般是从外部赋予的电路电源电压,被输入例如3.3V左右的电压。电源电压 V_{ccQ} 被输入例如1.2V的电压。电源电压 V_{ccQ} 于在存储器控制器1与非易失性存储器2之间收发信号时被使用。电源电压 V_{pp} 是比电源电压 V_{cc} 更高电压的电源电压,被输入例如12V的电压。在向存储器单元阵列21写入数据、或抹除数据时,需要20V左右的较高的电压。这时,与由电压产生电路26的升压电路升压约3.3V的电源电压 V_{cc} 相比,升压约12V的电源电压 V_{pp} 更能够以高速且低消耗电力产生所期望的电压。另一方面,在例如无法供给高电压的环境中使用非易失性存储器2的情况下,也可不对电源电压 V_{pp} 供给电压。即使在不供给电源电压 V_{pp} 的情况下,如果供给电源电压 V_{cc} ,那么非易失性存储器2也能够执行各种动作。也就是说,电源电压 V_{cc} 是标准供给到非易失性存储器2的电源,且电源电压 V_{pp} 是根据例如使用环境而追加/任

意供给的电源。

[0073] (NAND存储器单元阵列的构成)

[0074] 图3是表示3维构造的存储器单元阵列21的块的构成例的图。图3表示构成3维构造的存储器单元阵列21的多个块中的1个块BLK。存储器单元阵列21的其它块也具有与图3同样的构成。此外,本实施方式也能够应用于2维构造的存储器单元阵列。

[0075] 如图所示,块BLK包含例如4个串单元(SU0~SU3)。另外各个串单元SU包含多个NAND串NS。NAND串NS的每一个在这里包含8个存储器单元MT(MT0~MT7)、与选择晶体管ST1、ST2。此外,NAND串NS所包含的存储器单元MT的个数在这里虽然为8个,但是不限于8个,例如也可为32个、48个、64个、96个等。选择晶体管ST1、ST2虽然在电性电路上作为1个晶体管表示,但是构造上也可与存储器单元晶体管相同。另外,例如为了提高切断特性,也可分别使用多个选择晶体管作为选择晶体管ST1、ST2。此外,在存储器单元MT与选择晶体管ST1、ST2之间,也可设置伪单元晶体管。

[0076] 多个存储器单元MT串联连接配置在选择晶体管ST1、ST2间。多个存储器单元MT的一端侧的存储器单元MT7连接于选择晶体管ST1,多个存储器单元MT的另一端侧的存储器单元MT0连接于选择晶体管ST2。

[0077] 串单元SU0~SU3的各个选择晶体管ST1的栅极分别连接于选择栅极线SGD0~SGD3。另一方面,选择晶体管ST2的栅极在处于同一块BLK内的多个串单元SU间共通连接于同一选择栅极线SGS。另外,处于同一块BLK内的存储器单元MT0~MT7的栅极分别共通连接于字线WL0~WL7。也就是说,字线WL0~WL7及选择栅极线SGS在同一块BLK内的多个串单元SU0~SU3间共通连接,与此相对,选择栅极线SGD即使在同一块BLK内也在串单元SU0~SU3的每一个中独立。

[0078] 在构成NAND串NS的存储器单元MT0~MT7的栅极,分别连接着字线WL0~WL7。在块BLK内处于同一行的存储器单元MTi的栅极连接于同一字线WLi。此外,在以下的说明中,有将NAND串NS简称为“串”的情况。

[0079] 各NAND串NS连接于对应的位线。因此,各存储器单元MT经由NAND串NS所包含的选择晶体管ST或其它存储器单元MT连接于位线。如上所述,一并抹除处于同一块BLK内的存储器单元MT的数据。另一方面,以存储器单元组MG单位(或页面单位)进行数据的读出及写入。在本说明书中,将连接于1个字线WLi,且属于1个串单元SU的多个存储器单元MT定义为存储器单元组MG。在本实施方式中,非易失性存储器2是能够保持4位(16值)数据的QLC(Quad Level Cell)的NAND存储器。因此,1个存储器单元组MG能够保持4页面数据。各存储器单元MT能够保持的4位分别对应于所述4页面。

[0080] 图4是3维构造的NAND存储器单元阵列的一部分区域的剖视图。如图4所示,在p型井区域(P-well)上形成着多个NAND串NS。也就是说,在p型井区域上,积层着作为选择栅极线SGS发挥功能的多个布线层333、作为字线WLi发挥功能的多个布线层332、及作为选择栅极线SGD发挥功能的多个布线层331。

[0081] 且,形成着贯通所述布线层333、332、331到达p型井区域的存储器孔334。在存储器孔334的侧面,依序形成块绝缘膜335、电荷存储膜(电荷保持区域)336、及栅极绝缘膜337,并且进一步在存储器孔334内嵌入导电体柱338。导电体柱338包含例如多晶硅,在NAND串NS所包含的存储器孔MT以及选择晶体管ST1及ST2动作时作为形成沟道之区域发挥作用。也就

是说,布线层331、导电体柱338及它们之间的膜335~337分别作为选择晶体管ST1发挥功能,布线层332、导电体柱338及它们之间的膜335~337分别作为存储器单元MT发挥功能,布线层333、各导电体柱338及它们之间的膜335~337作为选择晶体管ST2发挥功能。

[0082] 在各NAND串NS中,在p型井区域上依序形成着选择晶体管ST2、多个存储器单元MT、及选择晶体管ST1。在导电体柱338更上侧,形成作为位线BL发挥功能的布线层。在导电体柱338的上端,形成着连接导电体柱338与位线BL的接触插塞339。

[0083] 此外,在p型井区域的表面内,形成着n+型杂质扩散层及p+型杂质扩散层。在n+型杂质扩散层上形成接触插塞340,在接触插塞340上形成作为源极线SL发挥功能的布线层。

[0084] 以上图4所示的构成在图4的纸面的深度方向排列着多个,利用在深度方向排列成一列的多个NAND串的集合,形成1个串单元SU。

[0085] (阈值电压分布)

[0086] 图5是表示存储器单元(存储器单元晶体管)的阈值电压分布的图。图5表示4位/单元的非易失性存储器2的阈值电压分布例。在非易失性存储器2中,根据存储器单元MT所存储的多值数据(这里为4位)的各数据值,设定存储器单元MT的阈值电压。也就是说,各存储器单元MT能够存储n(n为2以上的整数)位数据,并将与各数据值对应的阈值电压设定于各存储器单元MT。因为向电荷存储膜(电荷保持区域)注入电荷量是概率性的,所以如图5所示,也统计分布各存储器单元MT的阈值电压。

[0087] 如稍后所述,4位对应于下级(Lower Level)页面、中级(Middle Level)页面、上级(Upper Level)页面及顶级(Top Level)页面的数据。

[0088] 另外,在本实施方式中,分2阶段进行数据的写入。序列发生器25能够执行对各存储器单元写入n位中p($p < n$)位数据的第1写入动作(稍后叙述的MLC写入动作)、与第1写入动作后通过对各存储器单元追加写入(n-p)位数据而写入n位数据的第2写入动作(稍后叙述的QLC写入动作)。序列发生器25在第2写入动作(QLC写入动作)中,执行写入n位数据的程序动作、与进行通过程序动作写入的n位数据的检验的检验动作。

[0089] 在本实施方式中,在第1次写入动作中,对下级页面与中级页面写入2位数据,在第2次写入动作中,通过追加写入上级页面与顶级页面的2位数据而写入4位数据。图5表示写入上级页面与顶级页面的数据后的存储器单元MT的阈值电压分布。如稍后所述,在第1次写入动作中,将与4个阈值电压分布对应的4个电平 E_r 、A、B、C中的任一个对应的数据写入各存储器单元MT。也就是说,在第1次写入动作中,将与2位数据对应的4个阈值电压分布所对应的4个电平 E_r 、A、B、C中的任一个对应的数据写入各存储器单元MT。利用第2次写入动作,将与4位数据对应的16个阈值电压分布所对应的16个状态 E_r 、S1、 \dots 、S15中的任一个对应的数据写入各存储器单元MT。

[0090] 图5是横轴为阈值电压 V_{th} 且纵轴为存储器单元数(单元数),由 DE_r 、DS1、DS2、DS3、 \dots 、DS13、DS14、DS15的16个山型区域表示阈值电压分布,所述各区域的阈值电压的宽度对应于各靶区域。在图5的例子中,通过在16个靶区域内的任一个设定存储器单元MT的阈值电压,而能够使存储器单元MT存储能取得16值的数据(4位数据)。

[0091] 在本实施方式中,将阈值电压 V_{th} 为图5的电压 V_{r1} 以下的靶区域称为状态 E_r ,将阈值电压大于电压 V_{r1} 且为电压 V_{r2} 以下的靶区域称为状态S1,将阈值电压大于电压 V_{r2} 且为电压 V_{r3} 以下的靶区域称为状态S2,将阈值电压大于电压 V_{r3} 且为电压 V_{r4} 以下的靶区域称

为状态S3。以下同样,如图5所示,根据各个电压设定状态S4到S15。

[0092] 也就是说,状态表示与使各存储器单元MT存储的数据值对应的任一个靶区域,在4位16值的情况下,将靶区域分为状态Er、S1~S15的16个状态。此外,将分别与各状态Er、S1、S2、S3、…、S13、S14、S15对应的阈值电压分布分别称为分布DEr、DS1、DS2、DS3、…、DS13、DS14、DS15。电压Vr1~Vr15为成为各靶区域的边界的基准电压。此外,在检验动作中,对字线WL施加电压Vr1~Vr15作为检验电压,通过感测放大器单元SAU感测流动于位线BL的电流。在判定对象的存储器单元MT断开的情况下,判定达到与状态对应的阈值电压。

[0093] (感测放大器)

[0094] 接下来,对读出动作及检验动作的感测放大器28的动作进行说明。

[0095] 图6是表示感测放大器单元群28A所包含的1个感测放大器单元、与它所对应的数据寄存器28B所包含的1个锁存电路XDL的具体构成的一例的电路图。感测放大器28包含感测放大器单元群28A与数据寄存器28B。感测放大器单元群28A包含分别与位线BL0~BL(m-1)建立关联的多个感测放大器单元SAU。另外,数据寄存器28B包含分别与多个感测放大器单元SAU对应的多个锁存电路XDL。在图6中表示连接于1条位线BL的1个感测放大器单元SAU与1个锁存电路XDL的详细电路构成。

[0096] 如图6所示,感测放大器单元SAU包含感测放大器部SA、以及锁存电路SDL、ADL、BDL、CDL、DDL、EDL及FDL。感测放大器部SA以及锁存电路SDL、ADL、BDL、CDL、DDL、EDL、FDL及XDL以彼此能够接收数据的方式连接。其中锁存电路SDL、ADL、BDL、CDL、DDL、EDL及FDL通过总线LBUS连接。总线LBUS与锁存电路XDL经由晶体管54及总线DBUS连接。锁存电路SDL、ADL、BDL、CDL、DDL、EDL、FDL及XDL暂时保持读出数据、写入数据及稍后叙述的各种数据。锁存电路XDL连接于输入输出电路22,使用于在感测放大器单元SAU与序列发生器25之间输入输出数据。对晶体管54的栅极输入控制信号SW。通过控制信号SW,控制总线LBUS与总线XBUS的连接及切断。

[0097] 在锁存电路ADL与BDL,分别存储着下级页面数据与中级页面数据。在锁存电路CDL与DDL,分别存储着上级页面数据与顶级页面数据。如稍后所述,在锁存电路EDL与FDL,存储着与相邻存储器单元MT的写入数据(阈值电压)相关的信息。

[0098] 锁存电路ADL、BDL、CDL及DDL存储写入数据的4位数据。锁存电路EDL与FDL存储与稍后所述相邻的2个存储器单元MT的阈值电压相关的信息。如果将选择字线WL_n的某1个存储器单元设为存储器单元MT1,那么将关于相邻字线WL(n+1)的(与存储器单元MT1相邻)相邻存储器单元MT2与相邻字线WL(n-1)的(与存储器单元MT1相邻)相邻存储器单元MT3的阈值电压相关的信息(这里为表示是否为Er电平的信息)分别存储在锁存电路EDL与FDL。例如,在锁存电路EDL存储着数据“1”的情况下,表示相邻存储器单元MT2的阈值电压为“Er”电平。

[0099] 锁存电路SDL包含例如反相器50、51及n沟道MOS(Metal Oxide Semiconductor:金属氧化物半导体)晶体管52、53。反相器50的输入节点及反相器51的输出节点连接于节点LAT。反相器51的输入节点及反相器50的输出节点连接于节点INV。通过反相器50、51,保持节点INV、LAT的数据。将来自序列发生器25的写入数据供给到节点LAT。在节点INV中保持的数据是节点LAT所保持的数据的反转数据。

[0100] 晶体管52的漏极/源极路的一端连接于节点INV,另一端连接于总线LBUS。另外,晶

晶体管53的漏源/源极路的一端连接于节点INV,另一端连接于总线LBUS。对晶体管53的栅极输入控制信号STL,对晶体管52的栅极输入控制信号STI。

[0101] 此外,因为各锁存电路ADL、BDL、CDL、DDL、EDL及XDL的电路构成与锁存电路SDL同样,所以省略说明。此外,供给到感测放大器单元SAU的各种控制信号是从序列发生器25赋予的。

[0102] 感测放大器部SA包含例如p沟道MOS晶体管40、n沟道MOS晶体管41~48、及电容器49。

[0103] 感测放大器部SA在读出动作中,感测读出到对应的位线BL的数据,判定读出的数据是“0”还是“1”。另外,感测放大器部SA在程序动作中,将对应的位线BL设定为与写入数据“0”、“1”对应的电压值。

[0104] 在感测放大器部SA中,晶体管40~44关系到程序动作。在供给内部电源电压也就是电压VDD的电源线与节点COM之间,串联连接晶体管40的源极/漏极路及晶体管41的漏极/源极路。另外,在节点COM与供给接地电压也就是电压V_{SS}的节点SRC之间,连接晶体管44的漏极/源极路。另外,在节点COM与位线BL之间串联连接晶体管42的漏极/源极路及晶体管43的漏极/源极路。

[0105] 晶体管40、44的栅极连接于节点INV。因此,在节点LAT与“0”数据对应为低电平(以下,也称为“L”)的情况下,INV被维持为高电平(以下,也称为“H”),晶体管40断开且晶体管44接通。相反地,在节点LAT与“1”数据对应为“H”的情况下,节点INV被维持为“L”,晶体管40接通且晶体管44断开。

[0106] 在程序动作时,分别供给到晶体管45、46的栅极的控制信号HLL、XXL为“L”,且晶体管45、46断开。供给到晶体管41的控制信号为“H”,且晶体管41接通。另外,通常在程序动作时,通过控制信号BLC、BLS,导通晶体管42、43。

[0107] 因此,如果“0”数据保持于节点LAT,那么晶体管40断开且晶体管44接通,将来自节点SRC的电压V_{SS}(例如0V)等位线电压V_{b1_L}供给到位线BL。另外,如果“1”数据保持于节点LAT,那么晶体管40接通且晶体管44断开,根据赋予给晶体管42、43的控制信号BLC、BLS,将例如2.5V等位线电压V_{b1_H}供给到位线BL。

[0108] 感测放大器部SA的所有晶体管40~48及电容器49关系到检验动作。在晶体管40的漏极与节点COM之间串联连接晶体管45的漏极/源极路及46的漏极/源极路。另外,在总线LBUS与基准电压点之间,串联连接晶体管48的漏极/源极路及47的漏极/源极路。晶体管45的源极与晶体管46的漏极连接于感测节点SEN,感测节点SEN连接于晶体管47的栅极。对晶体管45~48的栅极,分别施加控制信号HLL、XXL、感测节点SEN的电压或控制信号STB。感测节点SEN经由电容器49施加时钟CLK。

[0109] 图7是表示写入动作的各布线的电压变化的图。图7表示程序动作的各布线的电压变化。程序动作依照施加于字线及位线的程序电压及位线电压进行。不对字线(图7的选择WL、非选择WL)施加电压的块BLK是非为写入对象的非选择块BLK(图7下段)。另外,因为位线电压通过连接于位线BL的选择晶体管ST1导通而被施加于存储器单元MT,所以写入对象的块BLK(选择块BLK)中未施加选择栅极线SGD的串单元SU是非为写入对象的非选择SU(图7中段)。此外,针对选择块BLK的非选择SU(图7中段),也可在施加程序电压V_{pgm}之前,将选择栅极线SGD设为例如5V使选择晶体管ST1导通。

[0110] 针对写入对象的块BLK (选择块BLK) 的写入对象的串单元SU (选择SU) (图7上段), 在施加程序电压 V_{pgm} 之前, 如图7上段的左侧所示, 针对选择SU将选择栅极线SGD设为例如5V, 使选择晶体管ST1导通。另外, 在程序动作时, 选择栅极线SGS为例如0V。因此, 选择晶体管ST2成为断开状态。另一方面, 在图7上段的右侧所示的施加程序电压 V_{pgm} 时, 将选择栅极线SGD设为例如2.5V。由此, 选择晶体管ST1的导通、非导通的状态由连接于选择晶体管ST1的位线BL的位线电压决定。

[0111] 如上所述, 感测放大器28对各位线BL传送数据。对被赋予“0”数据的位线BL施加例如0V的接地电压 V_{ss} 作为位线电压 V_{b1_L} 。对被赋予“1”数据的位线BL施加禁止写入电压 $V_{inhibit}$ (例如2.5V) 作为位线电压 V_{b1_H} 。因此, 在施加程序电压 V_{pgm} 时, 连接于被赋予“0”数据的位线BL的选择晶体管ST1导通, 连接于被赋予“1”数据的位线BL的选择晶体管ST1切断。连接于切断的选择晶体管ST1的存储器单元MT成为禁止写入。

[0112] 连接于成为导通状态的选择晶体管ST1的存储器单元MT依照施加于字线WL的电压进行电子向电荷存储膜的注入。虽然连接于被赋予电压 V_{pass} 作为字线电压的字线WL的存储器单元MT不论阈值电压如何都成为导通状态, 但不进行电子向电荷存储膜的注入。另一方面, 连接于被赋予程序电压 V_{pgm} 作为字线电压的字线WL的存储器单元MT根据程序电压 V_{pgm} 进行电子向电荷存储膜的注入。

[0113] 也就是说, 行译码器27在选择块BLK中选择任一个字线WL, 对选择字线施加电压 V_{pgm} , 对其它非选择字线WL施加电压 V_{pass} 。电压 V_{pgm} 是用来通过隧道现象将电子注入电荷存储膜的高电压, 为 $V_{pgm} > V_{pass}$ 。一面通过行译码器27控制字线WL的电压, 一面通过感测放大器28对各位线BL供给数据, 由此进行存储器单元阵列21对各存储器单元MT的写入动作。

[0114] 图8是表示检验动作的各布线的电压变化的图。行译码器27选择完成程序动作的块BLK及串单元SU, 对所选择的块BLK的选择栅极线SGS及所选择的串单元SU的选择栅极线SGD施加例如5V。由此, 在所选择的串单元SU所包含的NAND串中, 选择晶体管ST1与选择晶体管ST2这两个成为接通状态。

[0115] 另一方面, 对非选择的块BLK的选择栅极线SGS、及所选择的块BLK的非选择的串单元SU的选择栅极线SGD施加电压 V_{ss} , 使选择晶体管ST1及/或ST2为断开状态。由此, 在非选择的串单元SU所包含的NAND串中, 至少选择晶体管ST1成为断开状态。另外, 在非选择的块BLK所包含的NAND串中, 选择晶体管ST1与选择晶体管ST2这两个成为断开状态。

[0116] 另外, 行译码器27在选择块BLK中选择任一个字线WL, 对选择字线WL施加电压 V_{cgrv} , 对其它非选择栅极线WL施加电压 V_{read} 。例如, 在进行用来将存储器单元MT的阈值电压设为电平A的程序动作的情况下, 在检验动作中使用电压AV作为电压 V_{cgrv} 。同样地, 在进行用来将存储器单元MT的阈值电压设为电平B的程序动作的情况下, 在检验动作中使用电压BV作为电压 V_{cgrv} 。电压 V_{read} 是使连接于非选择字线WL的存储器单元MT与它们的阈值电压无关地接通的电压, 为 $V_{read} > V_{cgrv}$ (GV)。GV在MLC写入动作的情况下, 为与电平C对应的检验电压 V_{rC} , 在QLC写入动作的情况下, 为与状态S15对应的检验电压 V_{r15} 。

[0117] 另外, 例如在第1次写入动作的中级页面数据的检验动作中, 如图8中虚线所示, 电压 V_{cgrv} 具有电平A与电平C的2个电压电平。

[0118] 且, 感测放大器28将各位线BL充电到电压 V_{b1} 。电压 V_{b1} 大于源极线SL的电压 V_{s1} , 为 $V_{b1} > V_{s1}$ 。由此, 在所选择的串单元SU所包含的NAND串中, 根据连接于选择字线WL的存储

器单元MT的阈值电压,电流从位线BL侧向源极线SL侧流动(或不流动)。由此,能够验证阈值电压是否上升到所期望的电平。

[0119] 如上所述,写入动作通过重复包含程序动作与检验动作的循环而执行。在程序动作中,对选择字线WL施加程序电压 V_{pgm} 。在接下来的检验动作中,与验证的阈值电压电平对应,在MLC写入动作的情况下施加与电平A~C对应的检验电压 $V_{rA} \sim V_{rC}$ 中的至少1个,在QLC写入动作的情况下施加与状态S1~S15对应的检验电压 $V_{r1} \sim V_{r15}$ 中的至少1个。此外,有时在各循环中,在执行程序动作之后,多次执行检验动作。相反地,有时在各循环中,在执行程序动作之后,不执行检验动作。也就是说,写入动作包含多个循环,各循环至少包含程序动作。另外,各循环可能包含1次或多次检验动作。在各循环中,接着程序动作后执行检验动作。

[0120] 第1次循环的程序电压 V_{pgm} 被设定为最低的电压值,随着第2次、第3次...推进循环,慢慢地将程序电压 V_{pgm} 设定为较大的电压值。另外,预先设定在各循环中进行检验动作的状态。如稍后所述,在每个目标状态,设定检验动作开始循环。只在特定的循环中进行各状态的检验动作,利用检验动作,判定阈值电压达到设定的靶区域的存储器单元MT之后禁止写入。

[0121] (动作)

[0122] 数据的写入通过将写入序列多次分割执行的多阶段(在本实施方式中为2阶段)写入方式进行。在2阶段写入方式中,在第1次,写入 n_1 (在本实施方式中,为 $n_1=4$)页面中的一半的页面(在本实施方式中,为2页面)的数据,在第2次,写入剩余的一半的页面(在本实施方式中,为2页面)的数据。

[0123] 图9是表示2阶段写入方式的阈值电压 V_{th} 的分布的图。图9的横轴表示阈值电压 V_{th} ,纵轴表示存储器单元数。

[0124] 如图9所示,在第1次写入动作中,进行用来将各存储器单元MT用作存储2位数据的MLC(Multiple Level Cell:多级单元)的写入。也将第1次写入动作称为MLC写入动作。在第1次写入动作(MLC写入动作)中,将4值数据(电平Er、A、B、C)中的任一个对应的数据写入各存储器单元MT。在第2次写入动作中,进行用来将各存储器单元MT用作存储4位数据的QLC的写入。也将第2次写入动作称为QLC写入动作。在第2次写入动作(QLC写入动作)中,将各单元中16值数据(状态S0~S15)中的任一个所对应的数据写入各存储器单元MT。

[0125] 在MLC写入动作中,写入4页面内的下级(Lower Level)页面与中级(Middle Level)页面的数据。也就是说,在第1次写入动作中,将4值(Er、A、B、C)中的任一个数据写入选择字线WL中某选择栅极线SGD所对应的存储器单元组MG中包含的各存储器单元MT。在图9中,“M”表示中级页面的数据的读出电压,“L”表示下级页面的数据的读出电压。也就是说,写入的下级页面与中级页面的数据以在进行QLC写入动作之前也能够读出的方式写入。

[0126] 如图9所示,通过QLC写入动作将通过MLC写入动作写入的4值的各电平进一步分割为4个电平,由此将16值数据写入各存储器单元MT。

[0127] 有序列发生器25对存储器单元组MG所包含的各存储器单元MT一次写入例如4页面的数据的情况。在所述情况下,在例如锁存电路ADL、BDL、CDL及DDL分别存储着下级、中级、上级及顶级的页面数据。序列发生器25使用存储在4个锁存电路ADL、BDL、CDL及DDL的数据,将4页面数据写入各存储器单元组MG。

[0128] 在2阶段写入方式中,序列发生器25在执行MLC写入动作之后执行QLC写入动作。更

具体来说,序列发生器25在执行MLC写入动作之后,空出时间,执行QLC写入动作。在所述情况下,在QLC写入动作时,序列发生器25从成为QLC写入动作的对象的各存储器单元MT读取出下级页面数据及中级页面数据。序列发生器25使用读出的下级页面数据及中级页面数据、与从存储器控制器1接收到的上级页面数据及顶级页面数据来执行QLC写入动作。由此,能够减少从存储器控制器1向非易失性存储器2传送的数据的量。

[0129] 图10是表示2阶段写入方式的写入动作的顺序的图。图10只表示多个字线WL的一部分字线WL0~WL2,串单元表示SU0~SU4的5个情况。图10中的“[”与“]”的括号内的编号表示写入动作的顺序。

[0130] 在2阶段写入方式中,交替进行对相邻的2条字线WL的写入。如图10所示,在依序执行串单元SU0~SU4对字线WL0的MLC写入动作之后([1]~[5]),进行串单元SU0对字线WL1的MLC写入动作([6])。

[0131] 在串单元SU0对字线WL1的MLC写入动作([6])之后,执行串单元SU0对字线WL0的QLC写入动作([7])。在串单元SU0对字线WL0的QLC写入动作之后,返回到串单元SU1,进行串单元SU1对字线WL1的MLC写入动作([8])。

[0132] 之后,同样地,如图10所示,交替执行对字线WL0与字线WL1的MLC写入动作与QLC写入动作([9]~[15])。

[0133] 在串单元SU4对字线WL0的QLC写入动作([15])之后,进行串单元SU0对字线WL2的MLC写入动作([16])。在串单元SU0对字线WL2的MLC写入动作([16])后,执行串单元SU0对字线WL1的QLC写入动作([17])。

[0134] 之后,与对字线WL0与字线WL1的MLC写入动作与QLC写入动作同样,交替执行对字线WL1与字线WL2的MLC写入动作与QLC写入动作([17]~)。

[0135] 如以上,在所有串单元SU0~SU4的字线WL(n-1)的所有存储器单元MT执行QLC写入动作之后([15]),在串单元SU0的字线WL(n+1)的1个存储器单元MT执行MLC写入动作([16])。且,在对所述存储器单元MT执行MLC写入动作之后,返回到串单元SU0的字线WL_n,执行QLC写入动作([17])。

[0136] 在2阶段写入方式的情况下,在执行MLC写入动作之后,经过时间后执行QLC写入动作。这里,由于时间经过,而发生数据保存劣化(存储器单元MT保持的电子经时变化所致的存储器单元MT的阈值电压的变动)。例如,在即使通过QLC写入动作对某存储器单元MT写入状态S15的数据,相邻存储器单元MT的阈值电压也为电平Er等较低的阈值电压的状态的情况下,有状态S15的存储器单元MT的阈值电压分布受到相邻字线的相邻存储器单元MT的影响,在阈值电压变低的方向上偏差的情况。

[0137] 图11及图12是表示相邻的2条字线WL_n、WL(n+1)的2个相邻存储器单元MT的阈值电压分布的例子。图11的下段表示对字线WL_n的电平C的存储器单元MT,执行QLC写入动作的情况的阈值电压分布。

[0138] 例如,在选择字线WL_n的某存储器单元MT1的阈值电压分布通过MLC写入动作成为电平C时,所述电平C的存储器单元MT(以下,也称为MT1)的阈值电压通过QLC写入动作,阈值电压电平成为状态S12到S15中的任一个。

[0139] 图11的上段表示存储器单元MT1的相邻存储器单元MT(也就是相邻字线WL(n+1)的存储器单元(以下,也称为MT2))的阈值电压分布通过MLC写入动作,成为电平C时,执行QLC

写入动作的情况的阈值电压分布。存储器单元MT2的阈值电压分布通过之后的QLC写入动作成为状态S12~S15中的任一个。

[0140] 图12的上段表示存储器单元MT2的阈值电压电平通过MLC写入动作,成为电平Er时,执行QLC写入动作的情况的阈值电压分布。所述存储器单元MT2的阈值电压电平通过之后的QLC写入动作成为状态S0~S3中的任一个。

[0141] 在图11及图12中的任一个的情况下,执行QLC写入动作之后的存储器单元MT1的阈值电压也受到相邻存储器单元MT2的电荷的影响,发生数据保存劣化。然而,在图11的情况下,因为存储器单元MT1的阈值电压与相邻存储器单元MT2的阈值电压的差较小,所以存储在存储器单元MT1的电荷不易向存储器单元MT2泄漏。另一方面,在图12的情况下,因为存储器单元MT1的阈值电压与相邻存储器单元MT2的阈值电压的差较大,所以存储在存储器单元MT1的电荷容易向存储器单元MT2泄漏。特别是在图12的情况下,因为存储器单元MT1为最高的阈值电压(电平C),且相邻存储器单元MT2为最低的阈值电压(电平Er),所以存储在存储器单元MT1的电荷特别容易向存储器单元MT2泄漏。因此,电平C的存储器单元MT1的阈值电压分布在执行QLC写入动作后,容易变化,也就是容易向低电压侧偏差。字线WLn的各存储器单元MT1的阈值电压分布的偏差量根据相邻字线WL(n+1)的相邻存储器单元MT2的阈值电压的电平(或状态)而不同。

[0142] 图11及图12虽然表示相邻字线WL(n+1)的存储器单元MT2的电荷对选择字线WLn的存储器单元MT1的阈值电压的影响,但是相邻字线WL(n-1)的存储器单元MT3的电荷也影响到存储器单元MT1的阈值电压。

[0143] 图13是表示数据保存劣化引起的阈值电压分布的变化的图。在图13中,以实线表示刚执行QLC写入动作后的阈值电压分布,以虚线或一点划线表示由于数据保存劣化而偏差的阈值电压分布。

[0144] 在图11的情况下,因为相邻的2个存储器单元MT1、MT2的阈值电压都较高,所以数据保存劣化所致的电荷从存储器单元MT1向相邻存储器单元MT2的泄漏量较少。在这种情况下,如虚线所示,数据保存劣化所致的存储器单元MT1的阈值电压分布的偏差量较小。

[0145] 然而,在图12的情况下,因为存储器单元MT1的阈值电压较高,且存储器单元MT2的阈值电压较低,所以数据保存劣化所致的电荷从存储器单元MT1向相邻存储器单元MT2的泄漏量较多。由此,在图13中,如一点划线所示,数据保存劣化所致的存储器单元MT1的阈值电压分布的偏差量dTH较大。

[0146] 数据保存劣化所致的存储器单元MT1的阈值电压分布的偏差量dTH根据选择字线WLn的各存储器单元MT的相邻存储器单元MT2、MT3的电荷量而不同。

[0147] 例如,在相邻存储器单元MT2的阈值电压分布为电平A的情况下,在数据保存劣化的存储器单元MT1中阈值电压分布的偏差量小于图13所示的偏差量dTH。此外,在存储器单元MT2为阈值电压的电平B的情况下,在数据保存劣化的存储器单元MT1中阈值电压分布的偏差量进一步小于图13所示的偏差量dTH。

[0148] 另外,如上所述,存储器单元MT1的阈值电压不仅受相邻字线WL(n+1)的相邻存储器单元MT2的阈值电压的电平(或状态)影响,也受相邻字线WL(n-1)的相邻存储器单元MT3的阈值电压的电平(或状态)影响。

[0149] 由此,在本实施方式中,基于相邻的2个存储器单元MT2与MT3这两个的阈值电压,

调整关于存储器单元MT1的QLC写入动作的检验电压电平。

[0150] 另外,因为存储器单元MT1的电荷的泄漏量根据存储器单元MT1的数据(目标状态)与各相邻存储器单元MT2、MT3的数据的差而不同,所以优选为根据所述差,调整QLC写入动作的检验电压电平。

[0151] 然而,因为在存储器单元MT1的阈值电压与各相邻存储器单元MT2、MT3的阈值电压的差最大的情况下,存储器单元MT1的电荷的泄漏量最多,所以也可只在读出的存储器单元MT2、MT3的数据、与存储器单元MT1的写入数据(目标状态)的差最大的情况下,调整QLC写入动作的检验电压电平。

[0152] 因此,在以下说明的本实施方式中,只在相邻存储器单元MT2、MT3的数据、与存储器单元MT1的写入数据(目标状态)的差最大的情况下,调整检验电压电平。换句话说,例如在图13的情况下,调整关于存储器单元MT1的QLC写入动作的检验电压电平。

[0153] 在序列发生器25执行QLC写入动作时进行检验电压电平的调整。在图13中,以存储器单元MT1的阈值电压分布成为二点划线所示的较高的阈值电压分布的方式,设定检验电压电平。

[0154] 接下来,说明序列发生器25的写入动作的序列。图14是表示MLC写入动作的指令序列的图。在进行MLC写入动作时,存储器控制器1向非易失性存储器2输出MLC写入指令、地址及数据。MLC写入指令是指示MLC写入的执行的指令。

[0155] 序列发生器25接收MLC写入指令。此外,序列发生器25在接收到MLC写入指令之后,接收地址与写入数据。在接收指令、地址及数据之后,序列发生器25执行MLC写入动作。将接收到的数据经由锁存电路XDL,存储在2个锁存电路ADL、BDL。序列发生器25基于存储在锁存电路ADL、BDL的下级页面数据与中级页面数据,执行MLC写入动作。

[0156] 图15是表示QLC写入动作的指令序列的图。在进行QLC写入动作时,存储器控制器1向非易失性存储器2输出QLC写入指令、地址及数据。QLC写入指令是指示执行QLC写入的指令。

[0157] 首先,序列发生器25接收QLC写入指令。此外,序列发生器25在接收到QLC写入指令之后,接收地址与数据。在接收数据后,序列发生器25从与相邻字线WL (n+1) 对应的存储器单元组MG的各存储器单元MT及与相邻字线WL (n-1) 对应的存储器单元组MG的各存储器单元MT读出数据。也将从与相邻字线WL (n+1) 对应的存储器单元组MG的各存储器单元MT及与相邻字线WL (n-1) 对应的存储器单元组MG的各存储器单元MT读出数据的处理称为相邻单元读出处理NDR。

[0158] 以下,也将通过MLC写入动作写入的数据称为MLC写入数据。在相邻单元读出处理NDR中,读出相邻字线WL (n-1) 的MLC写入数据、与相邻字线WL (n+1) 的MLC写入数据。

[0159] 接下来,序列发生器25从与选择字线WLn对应的存储器单元组MG的各存储器单元MT读出MLC写入数据。也将从与选择字线WLn对应的存储器单元组MG的各存储器单元MT读出MLC写入数据的处理称为写入对象单元读出处理SDR。在写入对象单元读出处理SDR中,读出通过MLC写入动作写入选择字线WLn的下级页面的读出与中级页面的读出。

[0160] 如以上,序列发生器25如果在QLC写入动作中,接收QLC写入指令,那么执行读出相邻字线WL (n+1)、WL (n-1) 的多个存储器单元MT的数据的相邻单元读出处理NDR与读出选择字线WLn的各存储器单元MT的MLC写入数据的写入对象单元读出处理SDR。

[0161] 以下,将包含相邻单元读出处理NDR与写入对象单元读出处理SDR的处理称为内部数据读出处理IDL1。

[0162] 且,序列发生器25执行QLC写入动作。在QLC写入动作中,执行程序动作与检验动作。程序动作包含向选择字线WL施加程序电压与施加检验电压。QLC写入动作基于下级及中级页面的数据、与上级及顶级页面的数据执行。下级及中级页面的数据通过写入对象单元读出处理SDR获得,并存储在数据锁存电路ADL、BDL。从存储器控制器1发送上级及顶级页面的数据,并存储在数据锁存电路CDL、DDL。

[0163] 序列发生器25基于相邻字线WL (n+1)、WL (n-1) 的多个存储器单元(以下,也称为相邻存储器单元)MT的数据(也就是阈值电压分布的电平)与字线WLn的多个存储器单元(以下,也称为写入对象存储器单元)的MT写入数据(也就是阈值电压分布的电平)的差,调整QLC写入动作的检验电压电平。

[0164] 对QLC写入动作更具体地进行说明。

[0165] 图16是表示QLC写入动作的指令序列、与伴随指令序列的执行的7个锁存电路XDL~FDL的数据的存储状况的图。

[0166] 在就绪忙碌信号/RB为高(High)电平时,序列发生器25接收指定上级页面数据的指令c1、写入指令c2、地址数据(Add(WLn))、上级页面数据(Data_U)、及指令c3。从存储器控制器1发送的指令及地址分别存储在指令寄存器24A及地址寄存器24B。将上级页面数据(Data_U)向锁存电路XDL传送、并存储。

[0167] 如图16所示,序列发生器25将就绪忙碌信号/RB设为低(Low)电平,基于存储在指令寄存器24A的指令,将存储在锁存电路XDL的上级页面数据(Data_U)传送到锁存电路CDL。在传送后,就绪忙碌信号/RB成为高电平。

[0168] 接下来,在就绪忙碌信号/RB为高电平时,序列发生器25接收指定顶级页面数据的指令c4、写入指令c2、地址数据(Add(WLn))、顶级页面数据(Data_T)、及指令c5。从存储器控制器1发送的指令及地址分别存储在指令寄存器24A及地址寄存器24B。将顶级页面数据(Data_T)向锁存电路XDL传送、并存储。

[0169] 如图16所示,序列发生器25将就绪忙碌信号/RB设为低电平,基于存储在指令寄存器24A的指令,将存储在锁存电路XDL的顶级页面数据(Data_T)传送到锁存电路DDL。

[0170] 接下来,序列发生器25执行内部数据读出处理IDL1。

[0171] 在相邻单元读出处理NDR中,读出相邻的2个字线WL (n+1)、WL (n-1) 的多个存储器单元MT的MLC写入数据。

[0172] 如图16所示,进行相邻字线WL (n+1) 的数据读出(WL (n+1) read),序列发生器25基于所述数据读出的结果,将相邻存储器单元MT2的写入数据(阈值电压)相关的信息存储在锁存电路EDL。

[0173] 图17是表示存储在锁存电路EDL的数据的图。如图17所示,在读出的数据(阈值电压)为电平A、B、C的情况下,序列发生器25在锁存电路EDL存储“0”。另外,在读出的数据(阈值电压)为电平Er的情况下,序列发生器25在锁存电路EDL存储“1”。

[0174] 接下来,读出相邻的字线WL (n-1) 的多个存储器单元MT的MLC写入数据。

[0175] 接下来,如图16所示,进行相邻字线WL (n-1) 的数据读出(WL (n-1) read),序列发生器25基于所述数据读出的结果,将与相邻存储器单元MT2的写入数据(阈值电压)相关的信

息存储在锁存电路FDL。

[0176] 接着相邻单元读出处理NDR执行写入对象单元读出处理SDR。在写入对象单元读出处理SDR中,读出字线WLn的多个存储器单元MT的MLC写入数据。序列发生器25将所述数据读出的结果存储在锁存电路ADL、BDL。下级页面数据被存储在芯片电路ADL,中级页面数据被存储在锁存电路BDL。

[0177] 序列发生器25一面基于存储在锁存电路ADL~FDL的数据调整检验电压电平,一面对字线WLn(通过字线WLn及选择栅极线SGD的组合选择的存储器单元组MG)执行写入动作。

[0178] 如上所述,在本实施方式中,对在选择字线WLn中通过MLC写入动作写入电平C的数据的存储器单元MT,进行检验电压电平的调整。因此,在向目标状态为S12~S15的存储器单元MT的程序动作后的检验动作中,进行检验电压电平的调整。

[0179] 图18是用来说明阈值电压分布、与检验动作的锁存电路ADL~FDL的数据的关系的图。图18所包含的分布图的横轴为阈值电压,纵轴为存储器单元组MG的所述阈值电压所对应的存储器单元MT的个数。图19是表示状态S15的检验动作时的检验电压电平的变化的图。图19的横轴为时间,纵轴为检验电压电平(或读出电压VCG)。

[0180] 图18的SS1表示相邻字线WL(n+1)、WL(n-1)的2个相邻存储器单元MT2、MT3的MLC写入数据都为电平Er时(实例1)的锁存电路ADL~FDL的数据的变化。在锁存电路EDL与FDL,都存储着“1”。在锁存电路ADL~DDL,分别存储“0”作为与状态S15对应的数据。

[0181] 图18的SS2表示相邻字线WL(n+1)的相邻存储器单元MT2的MLC写入数据为电平A、B、C中的任一个,且相邻字线WL(n-1)的相邻存储器单元MT3的MLC写入数据为电平Er时(实例2)的锁存电路ADL~FDL的数据的变化。在锁存电路EDL,存储着“0”,在锁存电路FDL,存储着“1”。在锁存电路ADL~DDL,分别存储着“0”作为与状态S15对应的数据。

[0182] 图18的SS3表示相邻字线WL(n+1)的相邻存储器单元MT2的MLC写入数据为电平Er,且相邻字线WL(n-1)的相邻存储器单元MT3的MLC写入数据为电平A、B、C中的任一个时(实例3)的锁存电路ADL~FDL的数据的变化。在锁存电路EDL,存储着“1”,在锁存电路FDL,存储着“0”。在锁存电路ADL~DDL,分别存储着“0”作为与状态S15对应的数据。

[0183] 图18的SS4表示相邻字线WL(n+1)与WL(n-1)的2个相邻存储器单元MT2、MT3的MLC写入数据为电平A、B、C中的任一个时(实例4)的锁存电路ADL~FDL的数据的变化。在锁存电路EDL与FDL,都存储着“0”。在锁存电路ADL~DDL,分别存储着“0”作为与状态S15对应的数据。

[0184] 在实例1的情况下,电荷向相邻存储器单元MT的泄漏量最多。在实例4的情况下,电荷向相邻存储器单元MT的泄漏量最少。在实例2与3的情况下,电荷向相邻存储器单元MT的泄漏量不多于实例1,不少于实例4。

[0185] 因此,将各存储器单元MT1的检验电压电平设定为3阶段中的任一个,执行数据的写入动作。

[0186] 序列发生器25基于相邻字线WL(n+1)与WL(n-1)的2个相邻存储器单元MT2、MT3的MLC写入数据、写入对象的存储器单元MT1的MLC写入数据、及目标状态数据,对选择字线WLn的各存储器单元MT1执行检验动作。

[0187] 在各存储器单元MT1中,如果目标状态并非S12~S15中的任一个,那么不进行检验电压电平的调整。

[0188] 另外,在各存储器单元MT1中,即使目标状态为S12~S15中的任一个,在2个存储器单元MT2、MT3这两个的MLC写入数据并非Er电平时(为电平A、B、C中的任一个时),也不进行检验电压电平的调整。也就是说,在实例4的情况下,不进行检验电压电平的调整。

[0189] 然而,在各存储器单元MT1中,在目标状态为S12~S15中的任一个,且2个存储器单元MT2、MT3中的一个的MLC写入数据为Er电平时,进行检验电压电平的调整。也就是说,在实例2与3的情况下,进行检验电压电平的调整。

[0190] 另外,在各存储器单元MT1中,即使在目标状态为S12~S15中的任一个,且2个存储器单元MT2、MT3这两个的MLC写入数据为Er电平时,也进行检验电压电平的调整。也就是说,在实例1的情况下,也进行检验电压电平的调整。

[0191] 为了状态S12~S15的各状态的检验动作,序列发生器25设定多个检验电压电平。在每个存储器单元MT设定检验电压电平。

[0192] 与实例1~4对应,如图19所示,将检验电压电平设定为多个电平。图19表示在状态S15的检验动作中,使用多个电平的检验电压Vr15_L1、Vr15_L2、Vr15_L3取代标准的1个检验电压Vr15的例子。例如,检验电压Vr15_L2比检验电压Vr15_L1高出特定的偏移量,检验电压Vr15_L3比检验电压Vr15_L2高出特定的偏移量。也就是说,序列发生器25在与QLC写入动作所包含的某状态相对的检验动作中,取代标准的1个检验电压,阶段性施加多个电平的检验电压。根据写入相邻的2个存储器单元MT2、MT3的数据,选择应用多个电平的检验电压中的哪一个。

[0193] 对实例4的存储器单元MT应用检验电压Vr15_L1。对实例2、3的存储器单元MT应用检验电压Vr15_L2。对实例1的存储器单元MT应用检验电压Vr15_L3。

[0194] 在图18与图19中,虽然表示在状态S15的检验动作中使用多个电平的检验电压的例子,但是在状态S12、S13、S14每一个的检验动作中,也可使用多个电平的检验电压。在状态S12、S13、S14每一个的检验动作中,也与状态S15的检验动作同样使用3阶段的检验电压。此外,检验电压的偏移量也可在每个状态中不同。

[0195] 由此,在选择字线WLn的状态S15的检验动作中,对实例4的存储器单元MT应用检验电压Vr15_L1,对实例2、3的存储器单元MT应用检验电压Vr15_L2,对实例1的存储器单元MT应用检验电压Vr15_L3。

[0196] 如以上,序列发生器25读出写入与存储器单元MT1相邻的2个存储器单元MT2、MT3的数据,基于所述读出的数据、与通过MLC写入动作写入存储器单元MT1的数据,设定多个用在QLC写入动作的存储器单元MT1的检验动作的检验电压电平。

[0197] 另外,序列发生器25在2个存储器单元MT2、MT3这两个为电平Er的情况、与一个为电平Er的情况下,变更多个检验电压电平。也就是说,序列发生器25根据写入2个存储器单元MT2、MT3的数据设定多个检验电压电平。

[0198] 此外,如果检验动作以检验电压Vr15_L1、Vr15_L2、Vr15_L3中的任一个对应的电平通过,那么与所述存储器单元MT对应设置的锁存电路ADL~DDL的数据从全部为“0”的数据重写为全部为“1”的数据(表示状态S0的数据)。也就是说,锁存电路ADL~DDL的数据被维持为全部为“0”的数据,直到判断存储器单元MT达到状态S15的阈值电压分布为止。然而,如果检验动作以检验电压Vr15_L1、Vr15_L2、Vr15_L3中的任一个对应的电平通过,那么与所述存储器单元MT对应设置的锁存电路ADL~DDL的数据从全部为“0”的数据(表示状态S15的

数据)更新为全部为“1”的数据(表示状态S0的数据),从下次以后的循环的程序动作的对象排除所述存储器单元MT(设定为禁止写入状态)。此外,不变更锁存电路EDL、FDL的数据。

[0199] 具体来说,在图19中,针对与实例4对应的存储器单元MT,如果检验动作以检验电压 V_{r15_L1} 通过,那么执行锁存电路ADL~DDL的数据锁存操作L01,将锁存电路ADL~DDL的数据全部更新为“1”。针对与实例2或实例3对应的存储器单元MT,如果检验动作以检验电压 V_{r15_L2} 通过,那么执行锁存电路ADL~DDL的数据锁存操作L02,将锁存电路ADL~DDL的数据全部更新为“1”。另外,针对与实例1对应的存储器单元MT,如果检验动作以检验电压 V_{r15_L3} 通过,那么执行锁存电路ADL~DDL的数据锁存操作L03,将锁存电路ADL~DDL的数据“0”全部更新为“1”。

[0200] 此外,在所述例子中,虽然使用与相邻字线 $WL(n+1)$ 与 $WL(n-1)$ 对应的锁存电路EDL、FDL,但是也可只使用1个锁存电路EDL。也就是说,只要有至少1个存储相邻字线 $WL(n+1)$ 与 $WL(n-1)$ 的2个相邻存储器单元的数据的锁存电路即可。

[0201] 图20是表示使用1个锁存电路EDL的情况的数据的例子图。图20表示将2个相邻存储器单元MT2、MT3的数据相关的信息存储在1个锁存电路EDL的数据。

[0202] 如图20所示,在2个字线 $WL(n+1)$ 与 $WL(n-1)$ 的2个相邻存储器单元MT2、MT3的数据都为 E_r 时,序列发生器25在锁存电路EDL存储“1”。在2个存储器单元MT2、MT3中的一个的数据为 E_r 时,序列发生器25在锁存电路EDL存储“0”。在2个相邻存储器单元MT2、MT3的数据都为A、B、C中的任一个时,序列发生器25在锁存电路EDL存储“0”。也就是说,图20是表示对2个相邻存储器单元MT2、MT3的读出结果、与存储于锁存电路EDL的数据的对应的图表。

[0203] 图21是表示使用1个锁存电路EDL的情况的内部数据读出处理IDL1的锁存电路ADL~EDL的数据的变化的图。如图21所示,进行相邻字线 $WL(n+1)$ 的多个存储器单元MT2的MLC写入数据的读出($WL(n+1)$ read),将所述数据读出的结果存储在锁存电路EDL。

[0204] 接下来,虽然读出相邻的字线 $WL(n-1)$ 的多个存储器单元MT3的MLC写入数据,但是序列发生器25依照图20所示的图表,将基于2个相邻存储器单元MT2、MT3的读出结果的数据存储在锁存电路EDL。且,序列发生器25进行选择字线 WLn 的多个存储器单元MT1的MLC写入数据的读出(WLn read),将所述数据读出的结果存储在锁存电路ADL、BDL。且,序列发生器25一面基于存储在锁存电路ADL~EDL的数据调整检验电压电平,一面对字线 WLn 执行写入动作。

[0205] 由此,即使使用1个锁存电路EDL,也能够获得与所述实施方式同样的效果。

[0206] 如以上,将假设电荷向相邻存储器单元MT2、MT3的泄漏最多的存储器单元MT1(实例1的存储器单元)的检验电压电平设定得较高。另外,将假设电荷向相邻存储器单元MT2、MT3的泄漏不少的存储器单元MT1(实例2、3的存储器单元)的检验电压电平也设定得略高。

[0207] 结果,在刚执行QLC写入动作之后,与电平 E_r 的存储器单元MT2、MT3相邻的存储器单元MT1具有较高的阈值电压分布。因此,即使存储器单元MT1的阈值电压分布移位到较低,在相同的字线 WL 内,相同状态的多个存储器单元MT的阈值电压分布也大致一致。

[0208] 因为选择字线 WLn 的各存储器单元MT1的阈值电压分布根据相邻字线 $WL(n+1)$ 、 $WL(n-1)$ 的对应的相邻存储器单元MT2、MT3的阈值电压分布的状态受影响,所以有选择字线 WLn 的各存储器单元MT1的阈值电压分布较大地不均的可能性。如果为了在阈值电压分布不均的状态下读出数据,而执行例如进行相邻的字线的读出等追加的读出电压电平修正处

理,那么为了读出数据需要更长的时间。

[0209] 与此相对,根据本实施方式,因为这种修正处理的发生率下降,所以能够减少读出数据所需要的时间。

[0210] 接下来,说明所述实施方式的变化例。

[0211] (变化例1)

[0212] 在所述实施方式中,各感测放大器单元SAU将表示相邻存储器单元MT2与MT3的数据是否为电平Er的数据存储在锁存电路EDL与FDL。然而,如上所述,电荷的泄漏量根据存储器单元MT1与各相邻存储器单元MT2、MT3的数据的差而不同。由此,各感测放大器单元SAU也可具有能够存储表示相邻存储器单元MT2、MT3的数据(电平Er、A、B、C)的信息的更多的锁存电路,根据存储器单元MT1的MLC写入数据(或目标状态)与相邻存储器单元MT2、MT3的数据的差,更精细地设定多个检验电压电平。

[0213] 例如,在相邻存储器单元MT2为电平Er的情况、与为电平A的情况下,也可使检验电压电平不同。

[0214] 也就是说,保持相邻存储器单元MT2、MT3的数据处于4个电平Er、A、B、C中的哪一个,根据所述保持的数据、与存储器单元MT1的MLC写入数据(或目标状态)的差,序列发生器25更精细地设定检验电压电平。

[0215] 根据这种构成,检验电压电平能够更精细且阶段性变更,并且能够抑制读出数据所需的时间由于数据保存劣化而恶化。

[0216] (变化例2)

[0217] 也可只考虑相邻的2个存储器单元MT2与MT3中的任一个来调整关于存储器单元MT1的QLC写入动作的检验电压电平。

[0218] 在所述实施方式中,在执行选择字线WLn的存储器单元MT1的QLC写入动作时,根据2个存储器单元MT2、MT3的2个MLC写入数据与存储器单元MT1的MLC写入数据(或目标状态)的差,调整字线WLn的QLC写入动作的检验电压电平。然而,也可根据相邻字线WL(n+1)与WL(n-1)的2个存储器单元MT2、MT3的至少一个的MLC写入数据与存储器单元MT1的MLC写入数据(或目标状态)的差,调整对字线WLn的QLC写入动作的检验电压电平。例如,也可根据相邻字线WL(n+1)的存储器单元MT2的MLC写入数据与存储器单元MT1的MLC写入数据(或目标状态)的差,调整对字线WLn的QLC写入动作的检验电压电平。

[0219] 利用本实施例2,也能够获得与第1实施方式同样的效果。

[0220] (第2实施方式)

[0221] 在第1实施方式中,在第2次写入动作(QLC写入动作)时,假设将来的数据保存劣化所致的电荷的泄漏,在假设的泄漏量较多的情况下以阈值电压分布变高的方式预先调整检验电压电平。

[0222] 然而,在第1次写入动作(MLC写入动作)之后立即进行第2次写入动作(QLC写入动作)的情况下,未发生数据保存劣化。另一方面,如果在第1次写入动作之后,经过某种程度的时间后进行第2次写入动作,那么发生数据保存劣化。

[0223] 因此,在第2实施方式中,在第2次写入动作时,进行MLC写入数据(通过第1次写入动作写入的数据)的读出,检测阈值电压分布的偏差量,也就是判定数据保存劣化的程度。且,根据所述偏差量(差),调整各状态的检验动作开始循环。

[0224] 本实施方式也与第1实施方式同样,作为多段写入方式的例子,说明各存储器单元组MG能够保持4位数据,且与图9相同的2阶段写入方式的情况。

[0225] 因为本实施方式的存储器系统的构成与第1实施方式的存储器系统的构成相同,所以在本实施方式的存储器系统的构成要件中,对与第1实施方式的存储器系统相同的构成要件省略说明,对不同的构成进行详细叙述。

[0226] 首先,对数据保存劣化的阈值电压分布的变化进行说明。图22是用来说明执行MLC写入动作之后的数据保存劣化引起的4个电平的阈值电压分布的变化的图。

[0227] 图22的上段表示刚执行MLC写入动作之后的4个电平 E_r 、A、B、C的阈值电压分布。“M”表示中级页面的数据的读出电压,“L”表示下级页面的数据的读出电压。在执行MLC写入动作之后,使用读出电压L,能够读出下级页面的数据,并且使用读出电压M,能够读出中级页面的数据。读出电压M、L是例如序列发生器25保持的设定信息,且预先设定。以下,也将下级页面与中级页面的数据的读出称为MLC读出。

[0228] 图22的下段表示从执行MLC写入动作后经过时间的情况的4个电平 E_r 、A、B、C的阈值电压分布。3个电平A、B、C的阈值电压分布由于数据保存劣化而变化,且应施加于选择字线的读出电压M、L下降。图22的下段表示电平B的读出电压L只下降偏差量 d_v 。

[0229] 所述偏差量 d_v 通过稍后叙述的 V_{th} 跟踪读取检测。同样地,也利用 V_{th} 跟踪读取算出电平A、C的阈值电压分布的偏差量。

[0230] 如果当电平A、B、C的阈值电压分布由于数据保存劣化而变化时,为了QLC写入动作,而使用预先设定的读出电压M、L进行MLC数据的读出,那么有将读出的数据作为不同的数据读出的情况。在所述情况下,发生读出错误。作为结果,QLC写入动作的MLC读出的可靠性下降。

[0231] 另外,一般来说假设在QLC写入动作时,阈值电压未达到目标状态附近的情况下,省略检验动作。通过省略检验动作,谋求写入时间TPROG的缩短。因此,与写入动作所包含的多个循环对应,预先设定检验动作开始循环。

[0232] 然而,如果由于数据保存劣化,而执行MLC写入动作之后的阈值电压分布移位到较低的电压侧,那么在开始用在目标状态的检验动作时,各存储器单元MT的阈值电压分布未达到目标状态附近。因此,由于执行无用的检验动作,写入时间TPROG不必要地变长。

[0233] 因此,在本实施方式中,首先在QLC写入动作的MLC读出中,进行 V_{th} 跟踪读取。 V_{th} 跟踪读取探索MLC读出的读出电压的最佳值,使用通过所述探索获得的修正读出电压,进行MLC读出。因为使用通过所述MLC读出而读出的MLC数据,执行QLC写入动作,所以防止发生MLC读出的读出错误。

[0234] 图23是表示 V_{th} 跟踪读取的选择字线 WLn 的读出电压的变化的图。图24是表示 V_{th} 跟踪读取的谷位置探索处理的图。

[0235] 如图23所示,QLC写入动作的MLC读出包含探索读取与最佳值读取的2个读取动作。以下,也将QLC写入时的MLC读出称为内部数据读出处理IDL2。图23表示使用读出中级页面的数据时的读出电压AR与CR各自的最佳值的数据读出的情况。

[0236] 探索读取是用来通过 V_{th} 跟踪读取探索最佳读出电压的读出。如图23所示,探索读取包含读出电压AR的探索读取SR1、与读出电压CR的探索读取SR2。另外,最佳值读取包含读出电压AR的最佳值读取OR1、与读出电压CR的最佳值读取OR2。图24是用来说明探索电平 E_r

与电平A的2个阈值电压分布间的读出电压的最佳值的V_{th}跟踪读取的图。省略说明探索电平A与电平B间、及电平B与电平C间的读出电压的最佳值的V_{th}跟踪读取。

[0237] 如图24所示,在V_{th}跟踪读取中,为了算出存在于电平E_r与电平A之间的最佳读出电压(也就是谷位置),而进行多次读出。使读出电压在特定的范围内变化来进行多次读出。基于由电平间假设的数据保存劣化假设的偏差量来预先设定V_{th}跟踪读取的特定的范围与读出次数。

[0238] 例如从多次读出的各次接通的存储器单元MT的数量与断开的存储器单元MT的数量的比例来判定谷位置。

[0239] 此外,在图24中,虽然为了探索中级页面的最佳读出电压,而表示电平E_r与A的谷位置探索的V_{th}跟踪读取,但是针对下级页面与中级页面的3个最佳读出电压进行V_{th}跟踪读取。

[0240] 图24表示基于互不相同的9个读出电压v₁~v₉,在特定的范围内进行9次读出的情况。在探索读取中,基于读出的数据,算出最佳的读出电压并判定谷位置。在每条字线WL判定各谷位置。

[0241] 如稍后所述,基于由V_{th}跟踪读取判定的谷位置处于由读出电压v₁~v₉规定的多个范围r₁、r₂、r₃、r₄、r₅中的哪一个,调整检验动作开始循环的位置。也就是说,调整开始检验动作的时刻。

[0242] 因为使用算出的各页面的最佳的读出电压,执行MLC读出,所以能够防止MLC读出时的读出错误。

[0243] 另外,在每个目标状态,设定着特定的检验动作开始循环。

[0244] 图25是表示写入动作的循环与检验动作的关系的图。图25表示循环1到36的范围。预先设定进行如图25所示的检验动作的状态与循环的关系,基于所述预先设定进行检验动作。

[0245] 数据的写入动作包含程序动作与检验动作。图25表示与各状态对应进行检验动作的循环。在各状态S₁~S₁₅中,从第1次循环执行程序动作。在各状态S₁~S₁₅中,程序动作进行到最大且包含圆形记号的循环为止。

[0246] 图25中的箭头表示每个目标状态的检验动作开始循环。图25中的圆形记号表示能够进行检验动作的循环。例如,对状态S₅的数据的检验动作从循环7进行到循环16为止。循环7为S₅的检验动作开始循环,循环16为S₅的检验动作结束循环。换句话说,因为假设状态S₅的数据利用循环1到循环6的程序动作,阈值电压未达到目标状态(S₅)的附近,所以省略到循环6为止的检验动作。这样,通过省略无用的检验动作,而谋求写入时间T_{PROG}的缩短。

[0247] 在本实施方式中,根据由所述V_{th}跟踪读取判定的谷位置处于多个范围r₁、r₂、r₃、r₄、r₅中的哪一个,来变更各状态的检验动作开始循环。

[0248] 在本实施方式中,例如序列发生器25保持与由V_{th}跟踪读取判定的谷位置对应的偏移量d_L,基于预先设定的图表再设定与所述偏移量d_L对应的检验动作开始循环。此外,根据谷位置的偏差量d_v,变更对于检验动作开始循环的偏移量。这里,以谷位置处于r₁的范围时的偏移量(也就是加法循环数)为2d_L,谷位置处于r₂的范围时的偏移量为d_L,谷位置处于r₃的范围时的偏移量为0,谷位置处于r₄的范围时的偏移量为(-d_L),谷位置处于r₅的范围时的偏移量为(-2d_L)的方式,变更偏移量。由此,例如在将偏移量d_L设为“1”的情况下,在谷

位置处于 r_1 的范围时,即使将某状态的检验动作开始循环设定为10,也只延迟2个循环,所述状态的检验动作开始循环被变更为12。另外,在谷位置处于 r_4 的范围时,即使将某状态的检验动作开始循环设定为10,也只提早1个循环,所述状态的检验动作开始循环被变更为9。

[0249] 也就是说,序列发生器25探索与通过MLC写入动作写入的数据对应的阈值电压分布间的谷位置,基于探索的谷位置的电压,变更用在检验动作的检验动作开始循环。这里,序列发生器25根据谷位置的电压、与为了读出MLC数据而预先设定的读出电压的差,变更检验动作开始循环。

[0250] 图26是表示每个循环的阈值电压分布的变化的图。图26表示以电平B的阈值电压分布成为状态S10的阈值电压分布的方式进行程序动作时的阈值电压分布的变化、与检验动作的开始时刻。

[0251] 例如如图9所示,电平B的阈值电压分布的电荷通过QLC写入动作,成为状态S6、S7、S10、S11中的任一个。在程序动作中施加的程序电压 V_{pgm} 的大小与存储器单元MT的阈值电压的上升量有相关关系。因此,对于某状态 S_n ,应开始检验动作的时刻与循环对应决定。也就是说,在每个状态 S_n ,设定检验动作开始循环 $N(S_n)$ 。例如,在状态S10的情况下,如果不假设数据保存劣化,那么如图25所示,表示对状态S10开始检验动作的时刻的检验动作开始循环 $N(S10)$ 为16。如果不假设数据保存劣化,那么如图26所示,在循环15以前,进行状态S10的检验动作是无用的。通过从预先设定的循环 $N(S_n)$ 执行状态S10的检验动作,而能够抑制执行无用的检验动作,且获得状态S10的所期望的阈值电压分布。

[0252] 在图25中,状态S10的检验动作开始的检验动作开始循环 $N(S10)$ 为16。也就是说,在循环15以前(在由循环计数值 L_c 表示执行中的循环的情况下, L_c 不足 $N(S10)$ 时),不执行用在状态S10的检验动作。在图26中 d_1 表示电平B的阈值电压分布, d_2 表示循环15以前的阈值电压分布。

[0253] 从电平B的阈值电压分布产生状态S10的阈值电压分布。各存储器单元MT的阈值电压分布以随着循环进行(随着循环计数值 L_c 增加),阈值电压慢慢变高的方式变化。

[0254] 图27是表示在循环15($L_c=15$)、与循环16($L_c=16$)中,检验动作时施加于选择字线的读出电压的变化的图。根据图25的图表,在循环15($L_c=15$)中,执行关于状态S5到S9的检验动作。同样地,在循环16($L_c=16$)中,执行关于状态S5到S10的检验动作。

[0255] 例如,在图26中从 d_1 所示的电平B的阈值电压分布产生 d_4 所示的状态S10的阈值电压分布的情况下,由循环15以前($L_c < N(S10)$)的程序动作产生的阈值电压分布 d_2 不达到虚线所示的检验电压 V_{r10} (用在状态S10的检验电压)。另一方面,由循环16($L_c=N(S10)$)的程序动作产生的阈值电压分布 d_3 达到虚线所示的检验电压 V_{r10} 的附近。因此,在假设如图26所示的阈值电压分布的变化的情况下,在循环15以前无需状态S10的检验动作,在循环以后执行状态S10的检验动作,由此能够省略无用的检验动作,且产生所期望的分布 d_4 作为状态S10的阈值电压分布。

[0256] 也就是说,如果表示执行中的循环的循环计数值 L_c 成为 $N(S_n)$ (在图26的例子中,为 $N(S10)=16$),那么开始用在所述状态 S_n 的检验动作。如果假设理想的状态,那么在检验动作开始循环 $N(S_n)$ 之前的循环中如图26的 d_2 所示未达到目标状态的检验电压(虚线所示的检验电压 V_{r10}),如图26的 d_3 所示,成为在检验动作开始循环 $N(S_n)$ 中一部分接近目标状态的检验电压的状态。通过从图26的 d_3 所示的状态开始检验动作,而能够省略无用的检验

动作,且如图26的d4所示产生宽度较窄的分布作为各状态的阈值电压分布。

[0257] 然而,有执行MLC写入动作之后的阈值电压分布(例如电平B)向较低的电压侧移位的情况。

[0258] 图28是表示MLC写入动作结束之后的数据保存劣化引起的每个循环的阈值电压分布的变化的图。如图28所示,在电平B的阈值电压分布从虚线所示的位置变化到实线所示的位置的情况下,例如,由循环15以前的程序动作产生的阈值电压分布d3未达到与目标状态(S10)对应的检验电压(V_{r10}),由循环16+M的程序动作获得的阈值电压分布da达到与目标状态(S10)对应的检验电压(V_{r10})的附近为止。在所述情况下,在循环16+M之前实施的检验动作无用,整个写入动作的时间只增加第M次检验动作时间t1。

[0259] 也就是说,在MLC数据的阈值电压分布向较低的电压侧移位的情况下,如果从不假设地设定数据保存劣化的检验动作开始循环执行检验动作,那么发生无用的检验动作。

[0260] 另一方面,如果简单假设阈值电压分布向较低的电压侧移位并设定检验动作开始循环N(S_n),那么在数据保存劣化的影响较小的情况下,可能发生过度编程。

[0261] 图29是表示简单假设阈值电压分布向较低的电压侧移位并将检验动作开始循环N(S_n)再设定为更大的值的情况下的每个循环的阈值电压分布的变化的图。例如,考虑作为与不假设数据保存劣化的情况下的状态S10相对的检验动作开始循环N(S10),并非16,而再设定为比它大的17的例子。这里,假设在数据保存劣化导致的阈值电压分布向较低的电压侧的移位小于假设的情况下,如图29所示,由循环16(原来的检验动作开始循环N(S10))的程序动作产生的阈值电压分布d2来到检验电压(V_{r10})的附近。且,由循环17(再设定为较大值的检验动作开始循环N(S10))的程序动作产生的阈值电压分布d3的某程度的部分超过检验电压(V_{r10})。各存储器单元MT是即使阈值电压已超过检验电压,如果在程序动作之前未由检验动作设定为禁止写入状态,那么也成为程序动作的对象。结果,担心如图29的d4所示产生宽度较广的分布作为各状态的阈值电压分布。假设在阈值电压分布达到更高状态的检验电压的情况下(或,由于存储器单元组MG中阈值电压达到更高状态的检验电压的存储器单元MT的数量变多,而存储器控制器1的ECC电路14无法进行错误订正的情况),成为过度编程。

[0262] 因此,在本实施方式中,根据执行MLC写入动作之后的阈值电压分布的偏差量dv,调整对各状态 S_n 的检验动作开始循环N(S_n)。

[0263] 具体来说,在QLC写入动作中,对通过MLC写入而写入的数据的阈值电压分布进行 V_{th} 跟踪,检测最佳的读出电压。根据所述检测获得的最佳的读出电压、与当初假设的读出电压的差(图22的偏差量dv),变更对需要的状态的检验动作开始循环。例如,根据电平B的阈值电压分布的偏差量dv,将状态S6、S7、S10、S11的检验动作开始循环设定为只大特定量,并使检验动作的开始延迟。也就是说,序列发生器25在谷位置低于为了读出MLC写入数据而预先设定的读出电压的情况下,以延迟检验动作的开始的方式,变更检验动作开始循环。

[0264] 如以上,因为基于电平间的谷位置最佳的读出电压执行MLC读出,所以在QLC写入动作中读出MLC写入数据时的可靠性提高。此外,因为根据与通常的读出电压的偏差量dv,变更对各状态 S_n 的检验动作开始循环N(S_n),所以能够省略无用的检验动作,谋求写入时间TPROG的缩短化。

[0265] 图30是表示QLC写入动作的指令序列的图。

[0266] 在进行QLC写入动作时,序列发生器25接收QLC写入指令。

[0267] 此外,序列发生器25接收与接收到的QLC写入指令相关的地址与数据。

[0268] 在接收数据后,序列发生器25对选择字线WLn执行所述谷位置探索处理VS。也就是说,算出关于MLC数据的最佳读出电压。

[0269] 接下来,序列发生器25使用最佳读出电压,执行选择字线WLn的各存储器单元MT的MLC写入数据的读出处理(也称为写入对象单元读出处理SDR1)。在所述写入对象单元读出处理SDR1中,也执行下级页面的读出与中级页面的读出的2次读出。

[0270] 如以上,序列发生器25如果在QLC写入动作中,接收QLC写入指令,那么执行探索谷位置的谷位置探索处理VS、与进行通过MLC写入而写入的数据的读出的数据读出处理(SDR1)。在写入对象单元读出处理SDR1中,基于探索到的谷位置进行通过MLC写入动作写入的数据的读出。

[0271] 且,序列发生器25执行QLC写入动作。在QLC写入动作中,根据各电平的读出电压的偏差量dv,调整各状态的检验动作开始循环N(Sn)。

[0272] 具体来说,序列发生器25使状态S1~S15的至少一部分的检验动作开始循环延迟,以不进行所述无用的检验动作,或减少无用的检验动作的数量。

[0273] 图31是表示关于本实施方式的写入动作的循环与成为检验动作的对象的状态的关系的图。如果将检验动作开始循环设定为只大特定量,那么从预先设定的检验动作开始循环到新设定的检验动作开始循环为止,省略成为对象的状态的检验动作。在图31中,虚线的圆形记号表示省略的检验动作。

[0274] 图32是QLC写入动作的流程图。由Lc表示与执行中的循环对应的循环计数值。例如,在第1次循环中,Lc成为1。此外,在本流程图中,将执行QLC写入动作之前的循环计数值Lc设置为0。

[0275] 序列发生器25将循环计数值Lc递增1,并将特定的程序脉冲施加于选择字线WL(步骤S101)。以下,“步骤”也表述为“s”。例如,“步骤101”也表述为“s101”。

[0276] 序列发生器25判定在所述循环中成为检验动作的对象各状态Sn的程序是否结束(s102)。n为1~15中的任一个。例如,在循环1中状态S1成为检验动作的对象,在循环3中状态S1及S2成为检验动作的对象,在循环20中状态S8、S9、S10、S11及S12成为检验动作的对象。

[0277] 在所述循环中成为检验动作的对象各状态Sn相关的程序结束时(s102:是(YES)),序列发生器25判定状态S15的程序是否结束(也就是n=15?)(s103)。

[0278] 在程序到状态S15为止结束时(s103:是),序列发生器25结束图32的处理。

[0279] 在程序到状态S15为止未结束时(s103:否(No)),序列发生器25将n递增1(s108),之后执行s102的处理。

[0280] 在所述循环中成为检验动作的对象各状态Sn相关的程序未结束时(s102:否),序列发生器25判定循环计数值Lc(执行中的循环)是否为各状态Sn的检验动作开始循环N(Sn)以上(s105)。也就是说,在所述循环中,判定是否需要执行状态Sn的检验动作。

[0281] 在循环计数值Lc(执行中的循环)并非各状态Sn的检验动作开始循环N(Sn)以上时(s105:否),序列发生器25将循环计数值Lc递增1(s104)。在s104之后,序列发生器25将特定的程序脉冲输出到选择字线WL,执行下一个循环的程序动作(s101)。

[0282] 在循环计数值Lc (执行中的循环) 为状态Sn的检验动作开始循环N (Sn) 以上时 (s105:是), 序列发生器25对所述状态Sn执行检验动作 (s106)。

[0283] 在s106之后, 序列发生器25判定是否已经执行状态S15的检验动作 (也就是n=15?) (s107)。

[0284] 在已经执行状态S15的检验动作时 (s107:是), 序列发生器25执行s104。这时, 在S104中, 将n初始化。

[0285] 在并非已经执行状态S15的检验动作时 (s107:否), 序列发生器25将n递增1 (s108), 之后, 执行s102的处理。

[0286] 图33是表示根据使用Vth跟踪读取的各电平的读出电压的偏差量dv, 调整各状态的检验动作开始循环N (Sn) 的结果的循环与检验动作的关系的图。

[0287] 在图33中, 关于施加阴影的状态, 表示变更检验动作开始循环N (Sn)。例如, 状态S4的检验动作开始循环N (S4) 只省略偏移量2dL。也就是说, 在循环5与循环6中不执行状态S4的检验动作。同样地, 状态S10的检验动作开始循环N (S10) 只省略偏移量dL。另外, 状态S12~S15的检验动作开始循环N (S12)~N (S15) 只追加偏移量dL。

[0288] 如以上, 根据本实施方式, 因为能够抑制执行无用的检验动作, 所以能够避免对阈值电压分布的不良影响, 且减少写入数据所需要的时间。

[0289] 尤其, 因为在QLC写入动作之前取得由MLC数据的Vth跟踪读取检测出的谷位置的信息, 决定检验动作开始循环, 所以能够以有用的最佳的次数执行检验动作。

[0290] 此外, 在所述各实施方式中, 非易失性存储器2虽然是每个存储器单元能够存储4位的QLC的NAND存储器, 但是非易失性存储器2也可为2位/单元、3位/单元、或5位/单元的NAND存储器。另外, 也可为通过3次以上的写入动作写入多值数据的方式。例如, 在为3位/单元的NAND存储器的情况下, 也可为在第1次写入动作中写入1位的数据, 在第2次写入动作中写入剩下2位的数据的方式。例如, 在为5位/单元的NAND存储器的情况下, 可为在第1次写入动作中写入2位的数据且在第2次写入动作中写入剩下3位的数据的方式, 也可为在第1次写入动作中写入3位的数据且在第2次写入动作中写入剩下2位的数据的方式。另外, 例如, 在为5位/单元的NAND存储器的情况下, 也可为在第1次写入动作中写入1位的数据, 在第2次写入动作中写入其它2位的数据, 且在第3次写入动作中写入剩下2位的数据的方式。

[0291] 虽已说明本发明的若干个实施方式, 但所述实施方式是作为例子而例示的, 并非意在限定发明的范围。所述新颖的实施方式可用其它各种方式实施, 在不脱离发明主旨的范围内, 可进行各种省略、置换、变更。所述实施方式或它的变化包含在发明范围或主旨, 且包含在权利要求书所记载的发明与其均等的范围内。

[0292] [符号的说明]

[0293] 1: 存储器控制器

[0294] 2: 非易失性存储器

[0295] 12: 处理器

[0296] 13: 主机接口

[0297] 14: ECC电路

[0298] 15: 存储器接口

[0299] 16: 内部总线

- [0300] 21:存储器单元阵列
- [0301] 22:输入输出电路
- [0302] 23:逻辑控制电路
- [0303] 24:寄存器
- [0304] 25:序列发生器
- [0305] 26:电压产生电路
- [0306] 27:行译码器
- [0307] 28:感测放大器
- [0308] 29:输入输出用焊盘群
- [0309] 30:逻辑控制用焊盘群
- [0310] 31:电源输入用端子群
- [0311] 40~48:晶体管
- [0312] 49:电容器
- [0313] 50,51:反相器
- [0314] 52,53:晶体管
- [0315] 331,332,333:布线层
- [0316] 334:存储器孔
- [0317] 335:块绝缘膜
- [0318] 336:电荷存储膜
- [0319] 337:栅极绝缘膜
- [0320] 338:导电体柱
- [0321] 339,340:接触插塞。

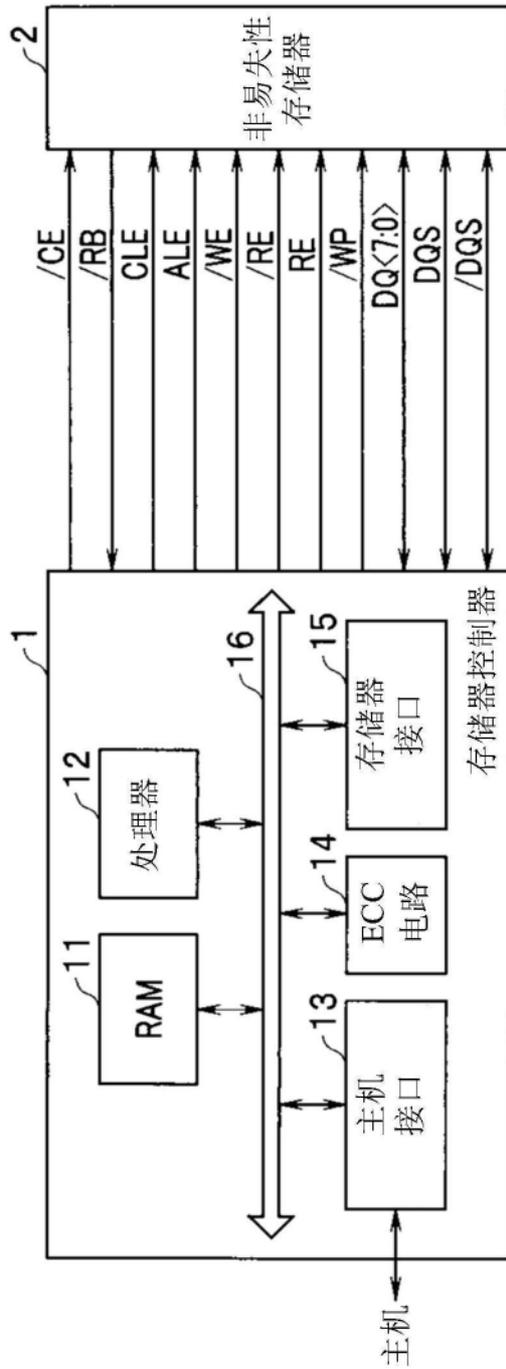


图1

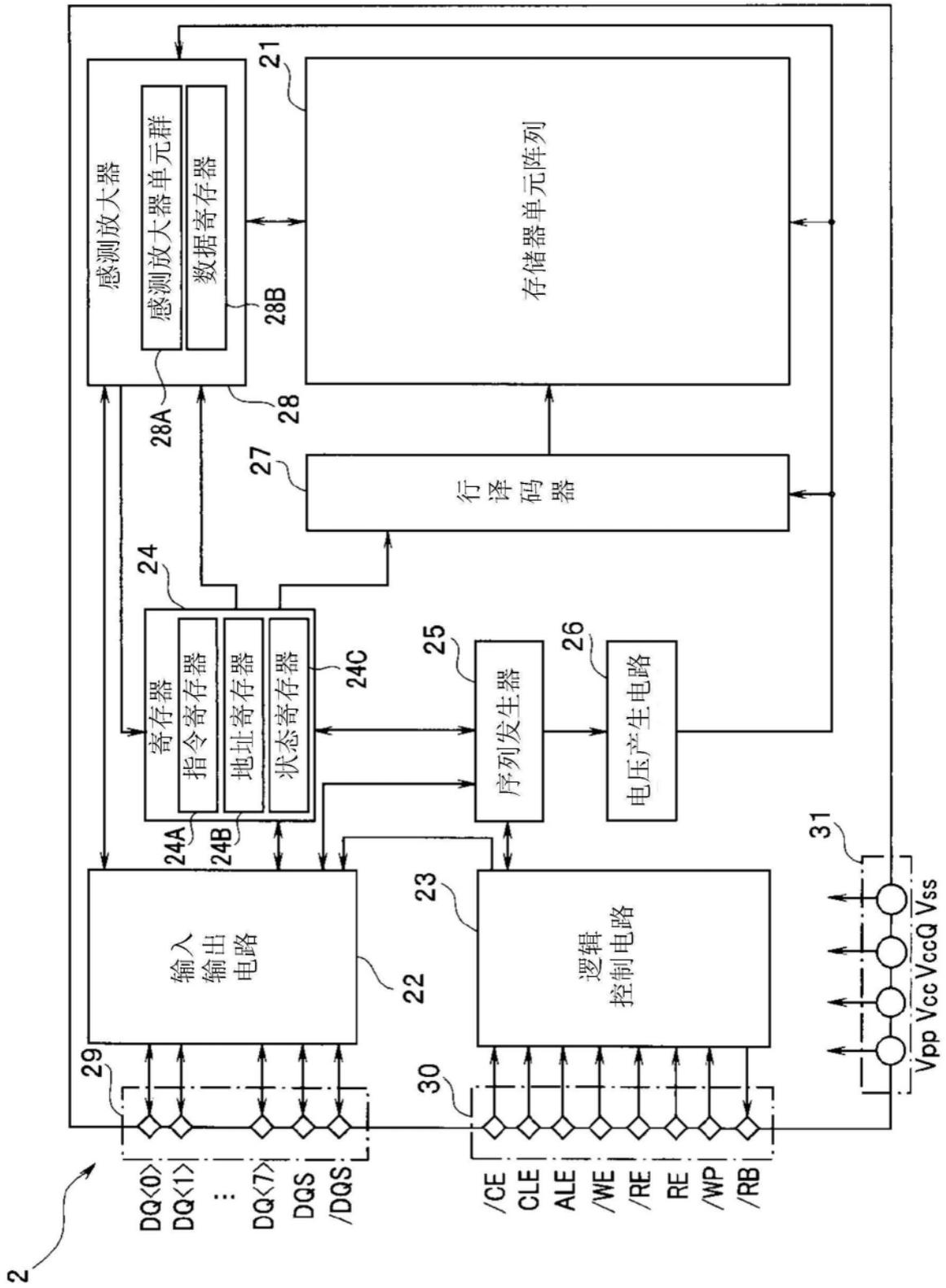


图2

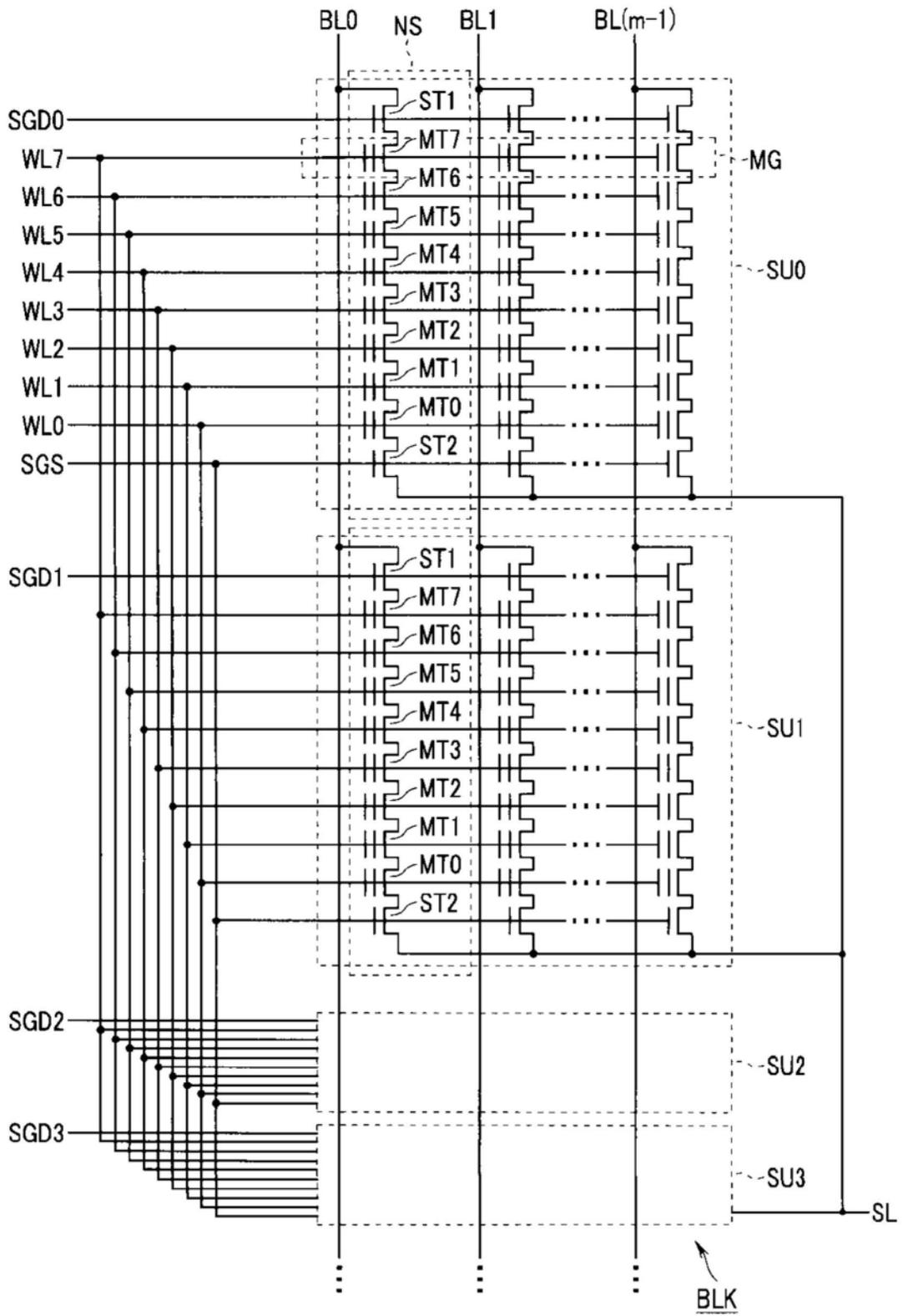


图3

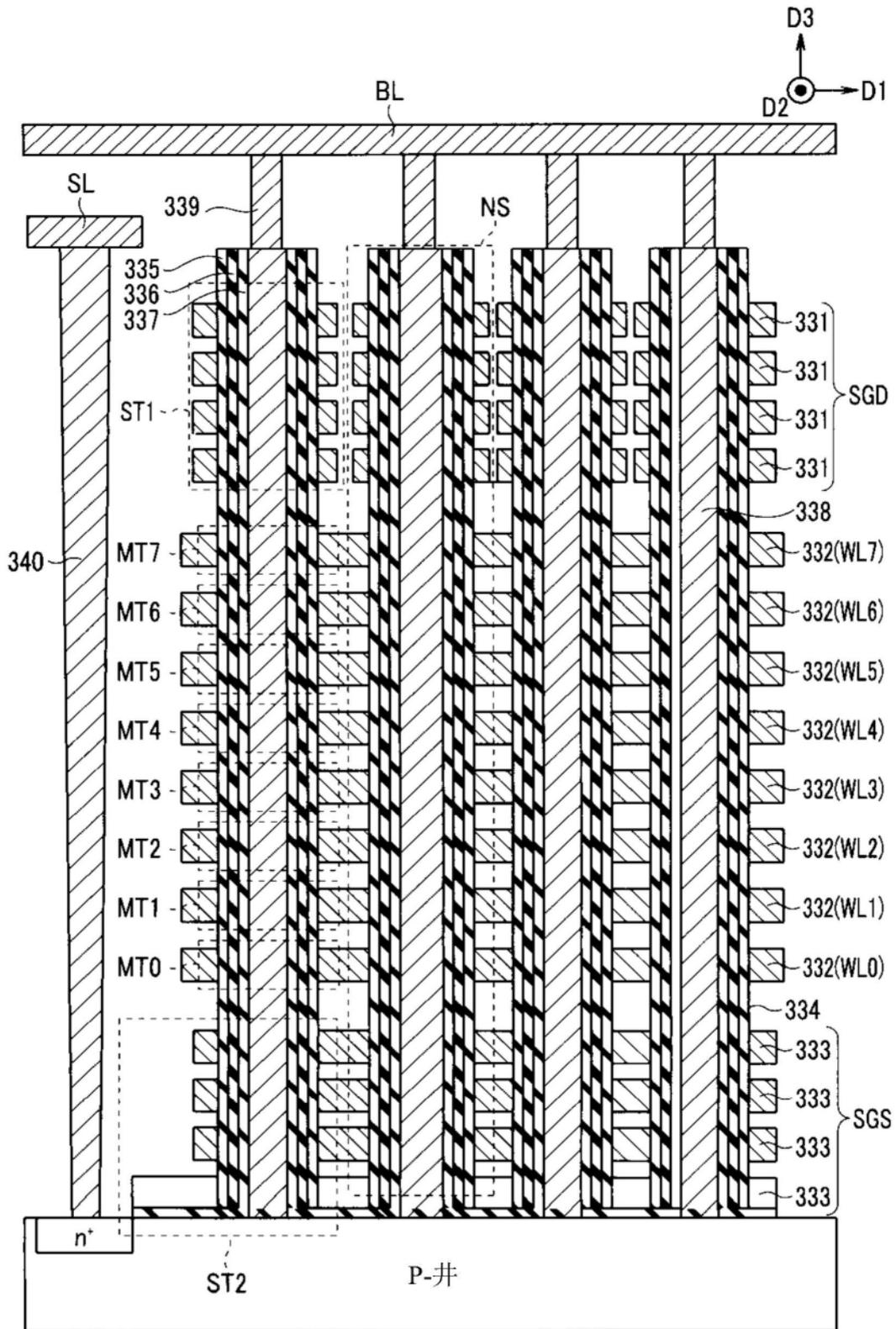


图4

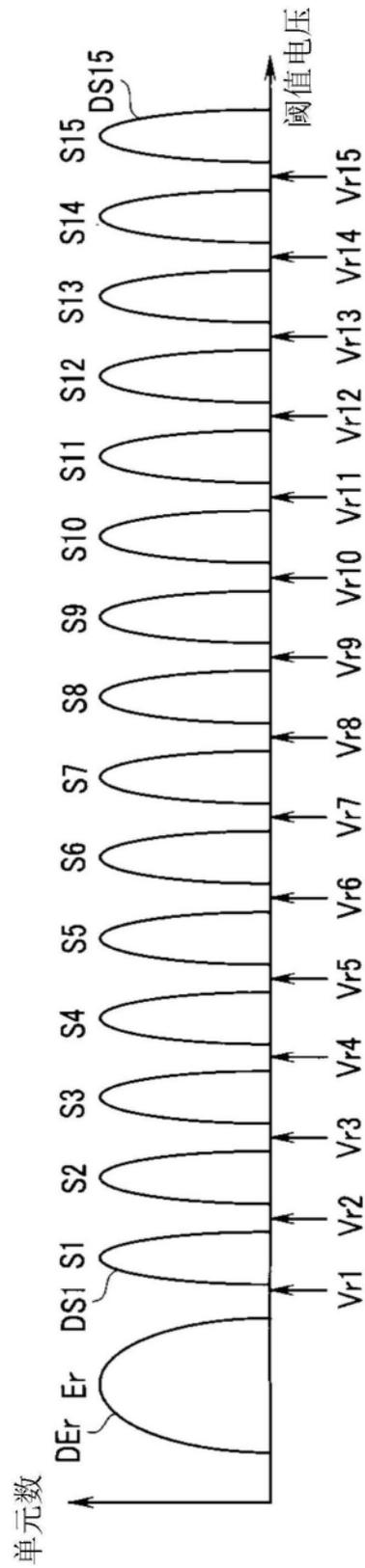


图5

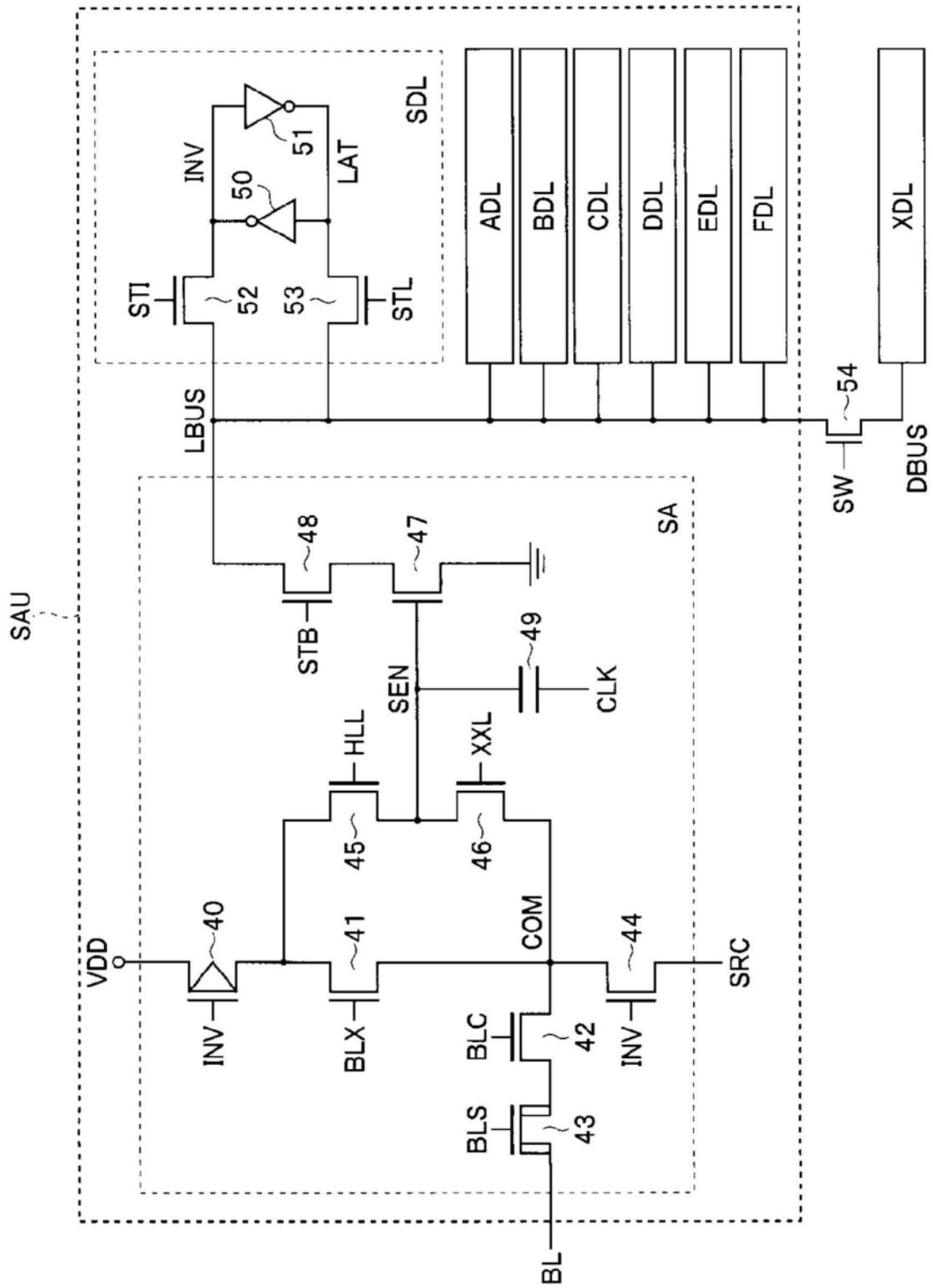


图6

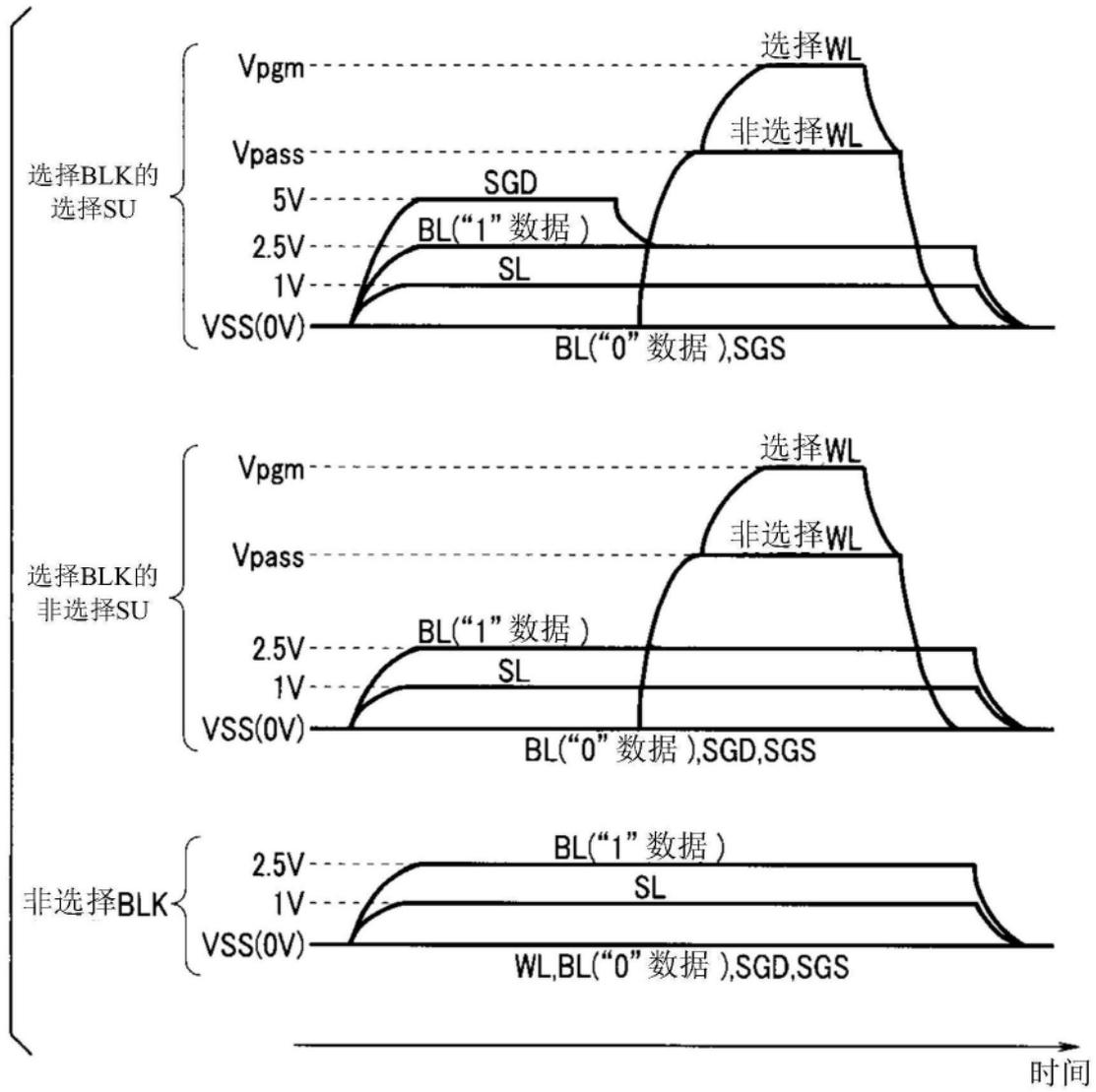


图7

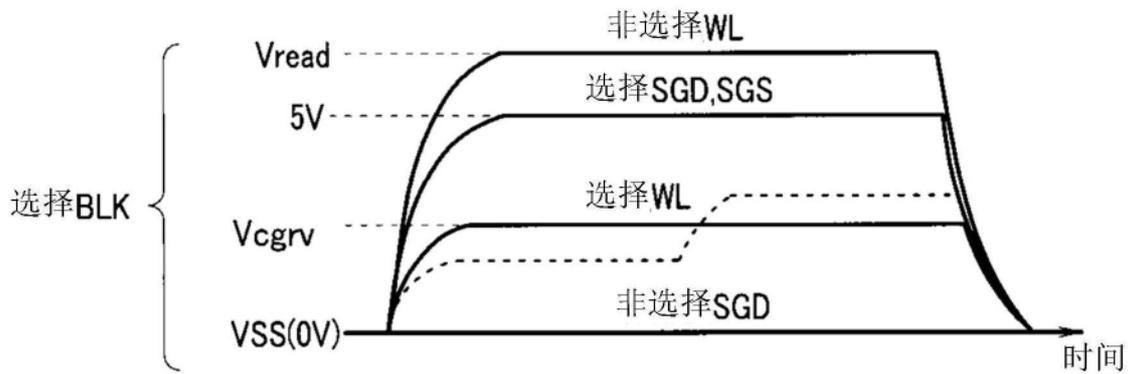


图8

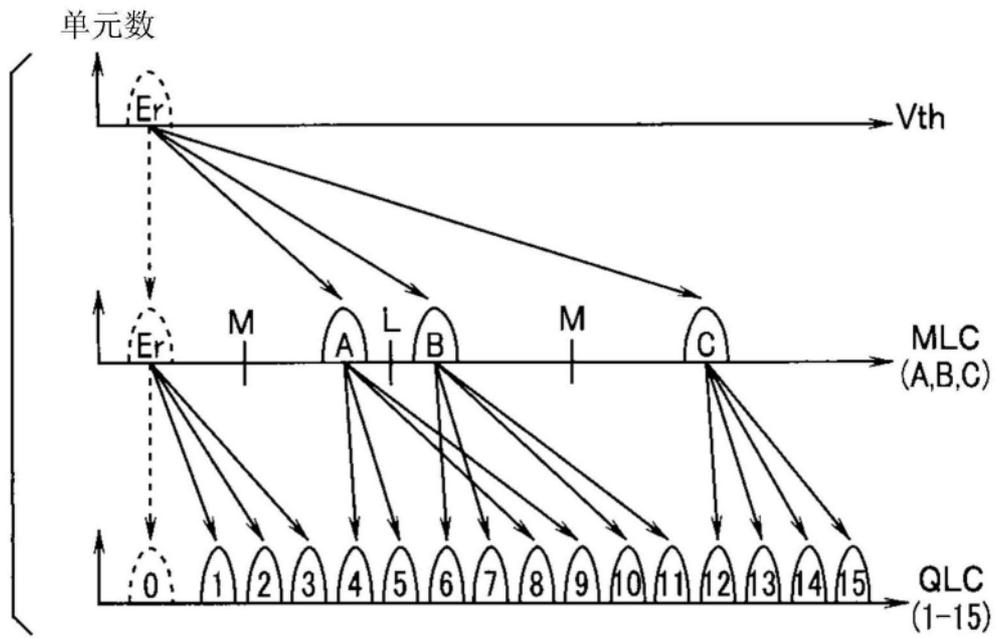


图9

WL#		SU0	SU1	SU2	SU3	SU4
2	QLC					
	MLC	[16]				
1	QLC	[17]				
	MLC	[6]	[8]	[10]	[12]	[14]
0	QLC	[7]	[9]	[11]	[13]	[15]
	MLC	[1]	[2]	[3]	[4]	[5]

图10

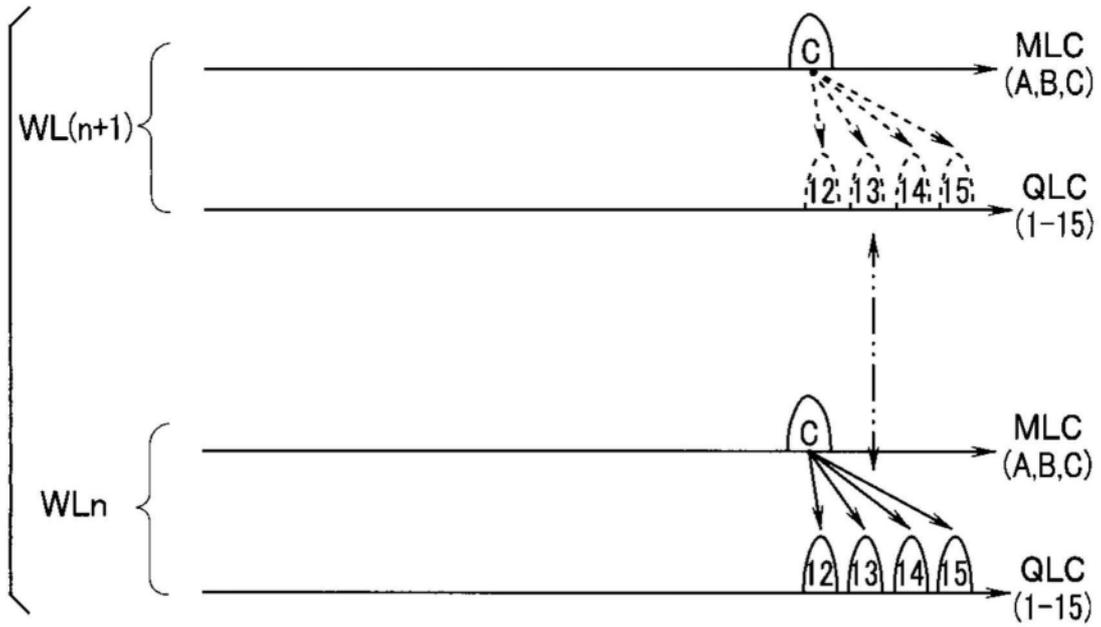


图11

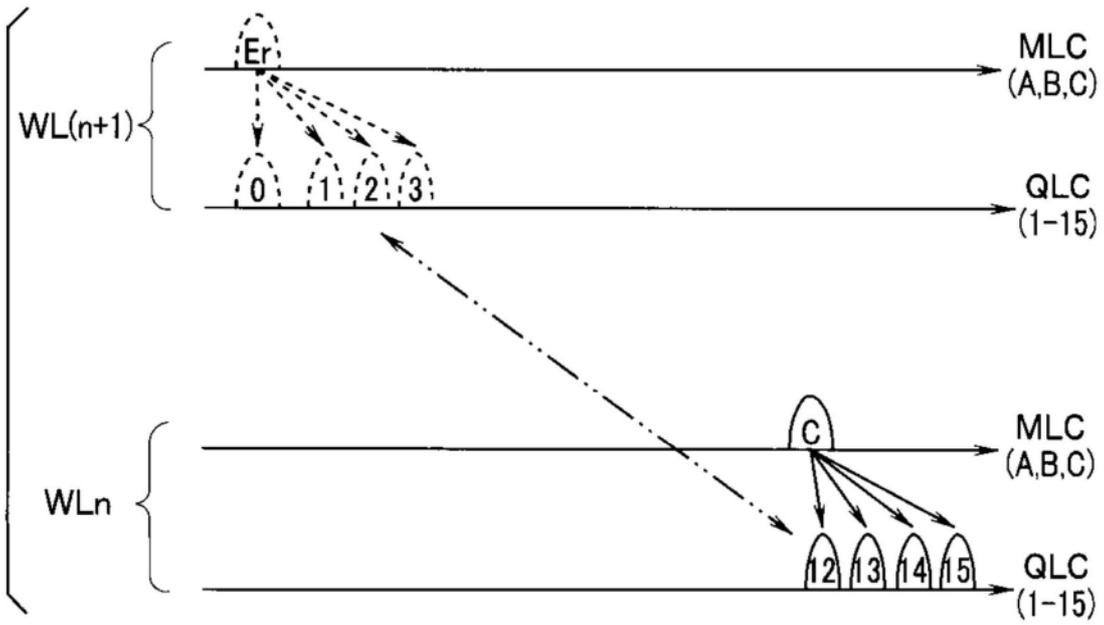


图12

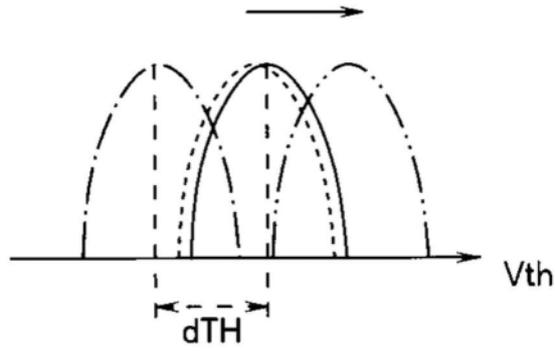


图13

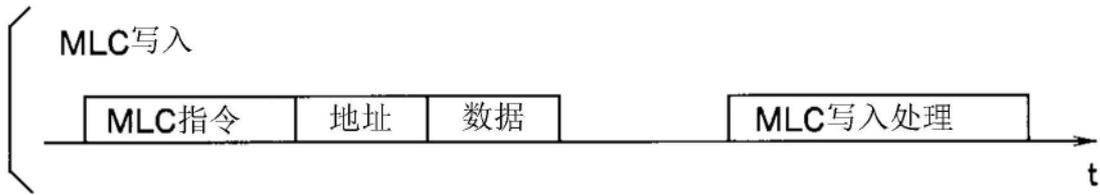


图14

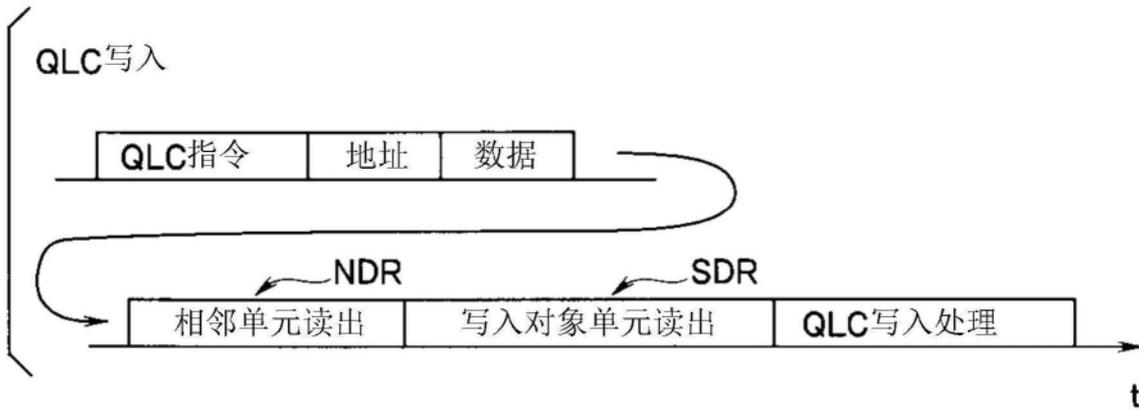


图15

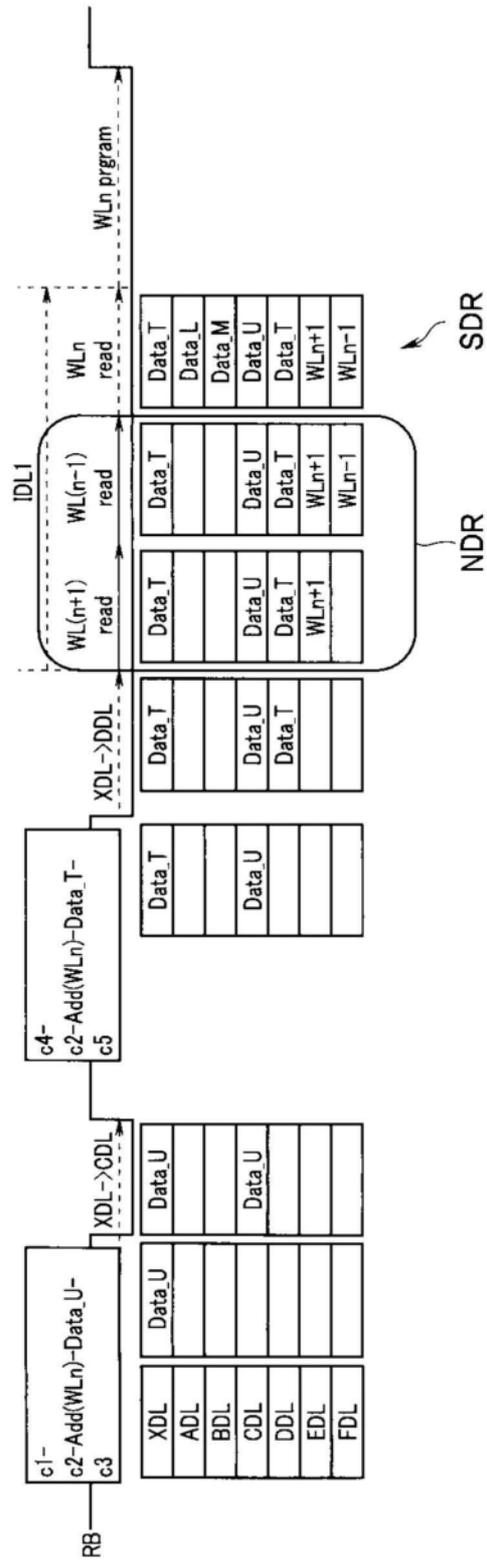


图16

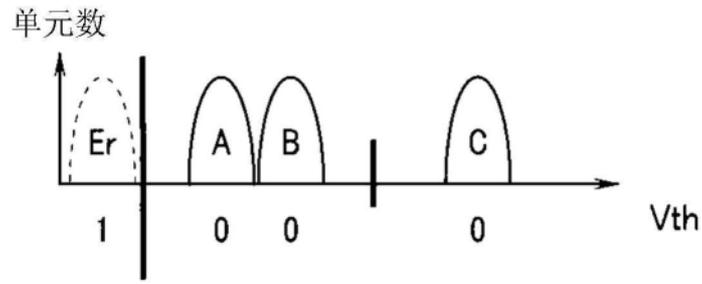


图17

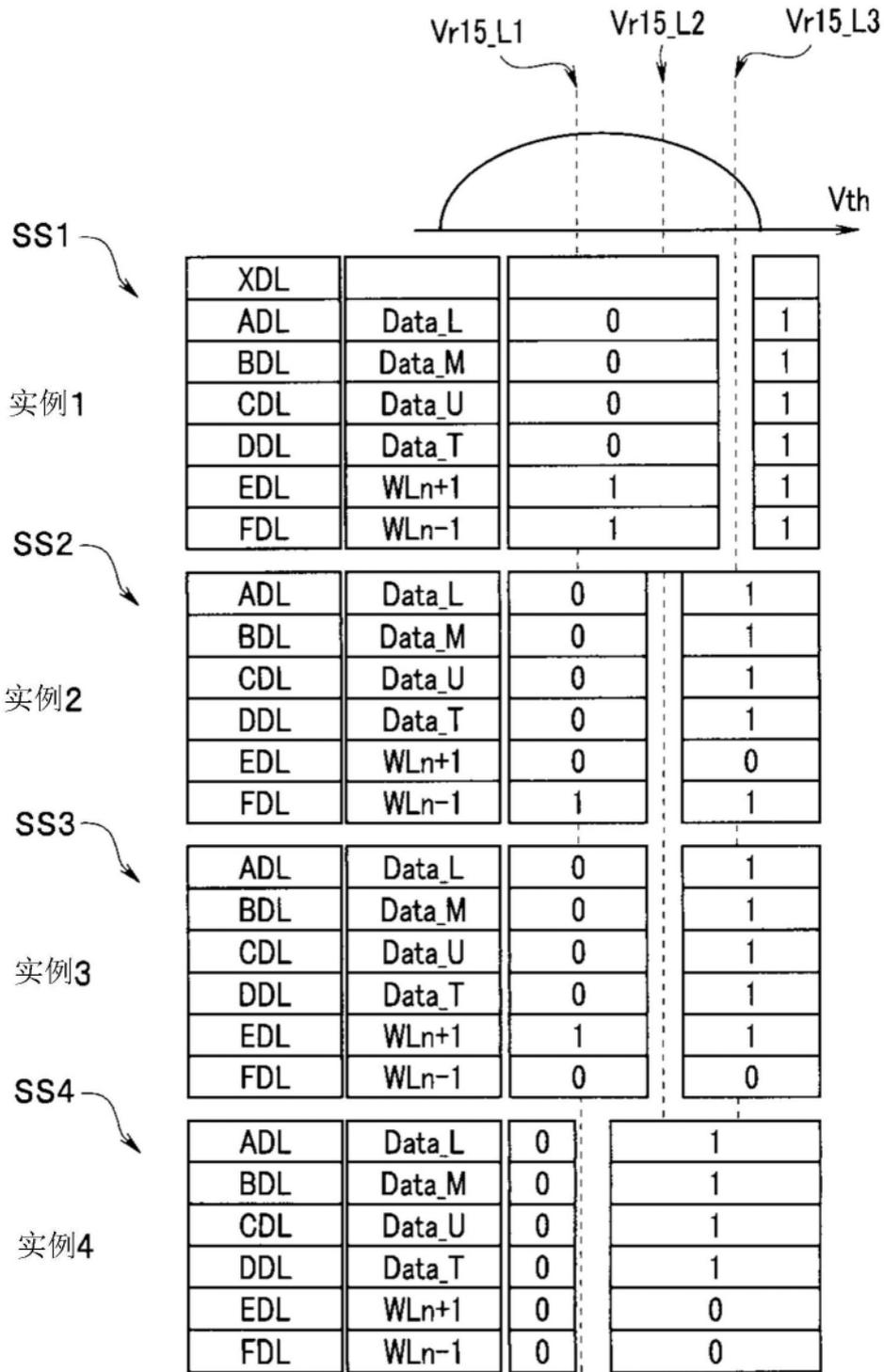


图18

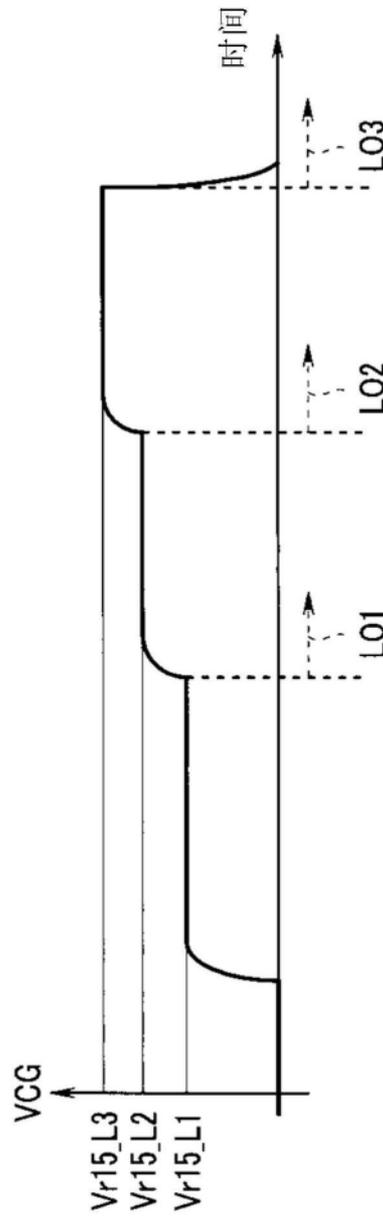


图19

存储的数据	WL(n+1)=Er	WL(n+1)=A/B/C
WL(n-1)=Er	1	0
WL(n-1)=A/B/C	0	0

图20

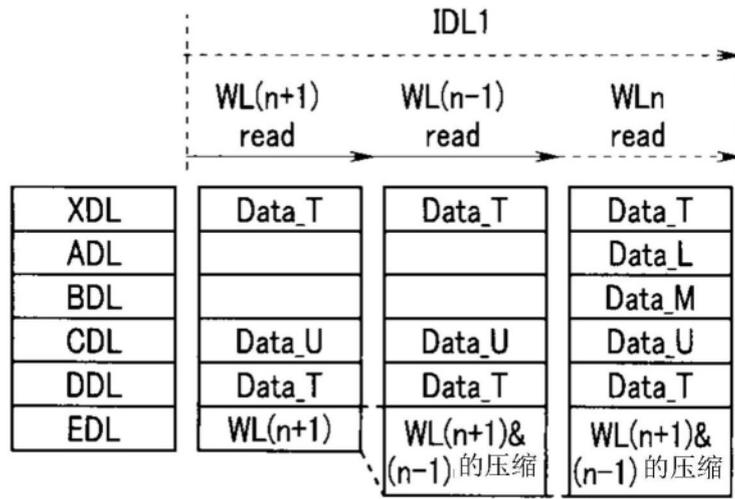


图21

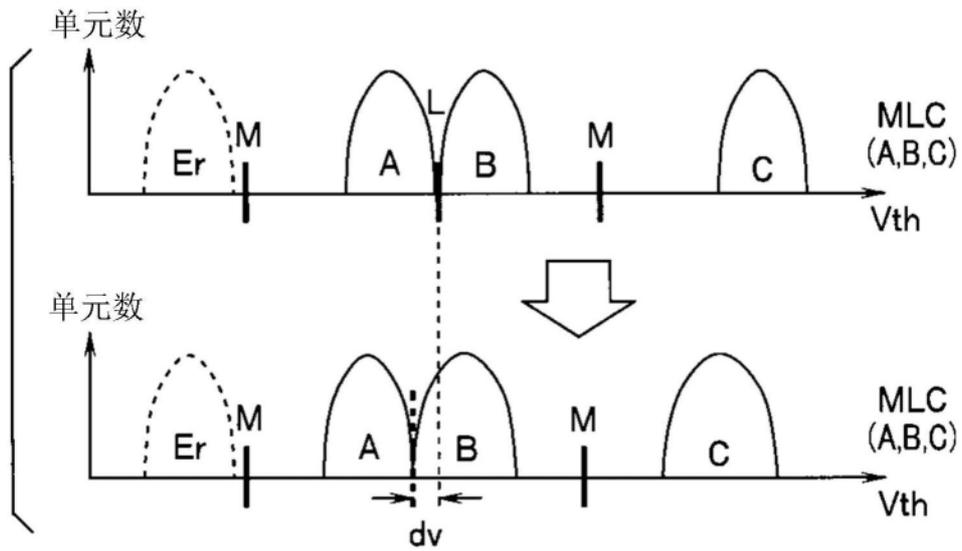


图22

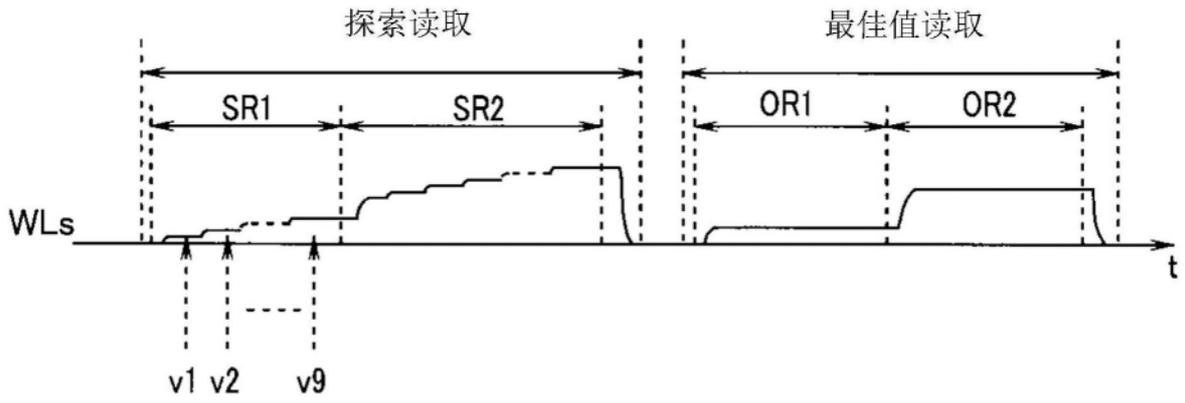


图23

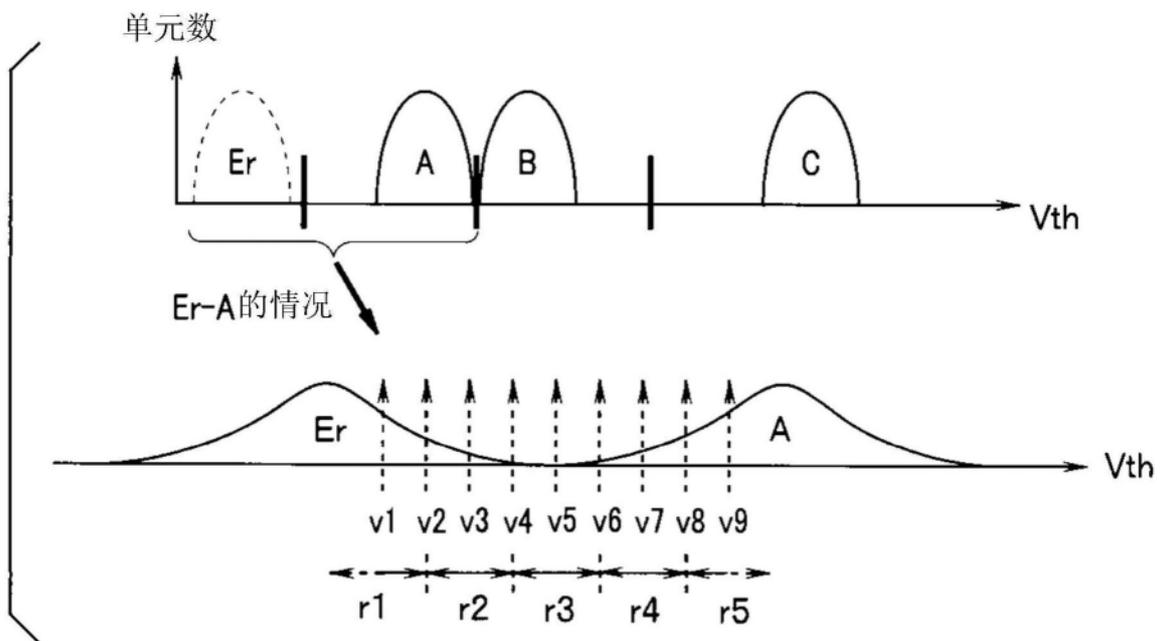


图24

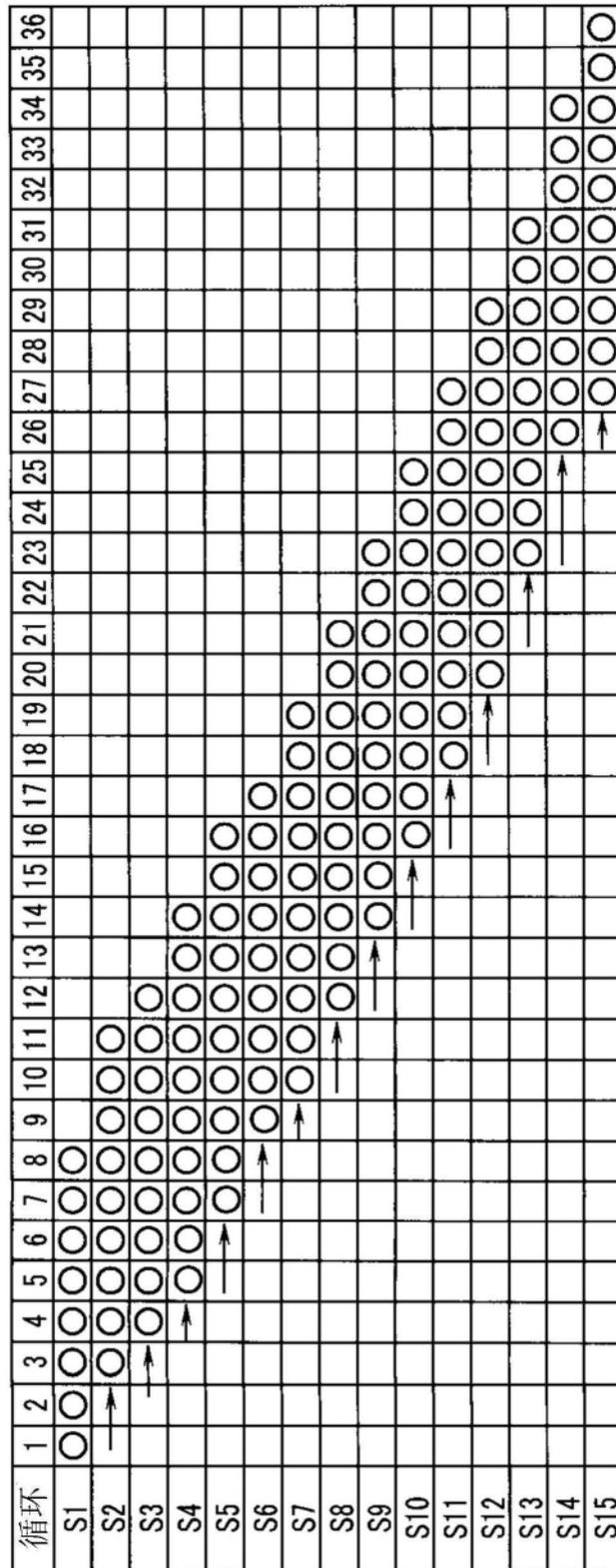


图25

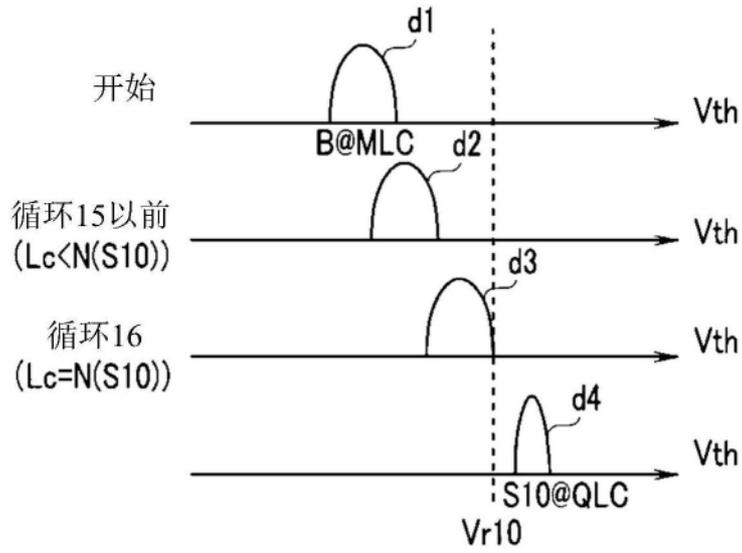


图26

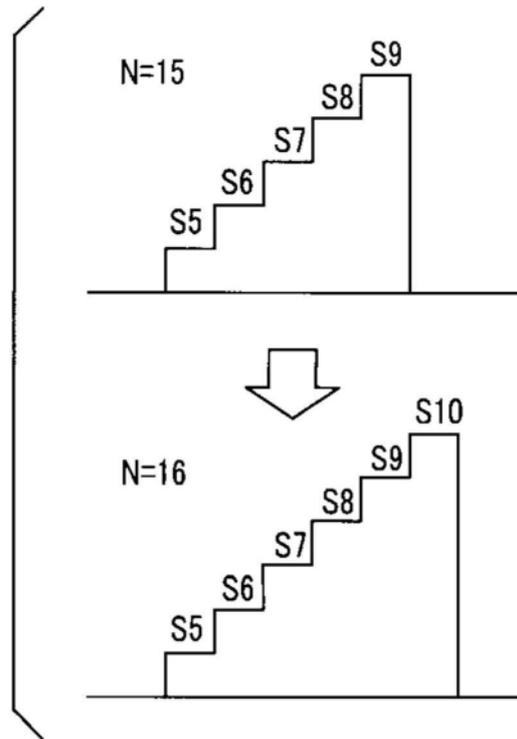


图27

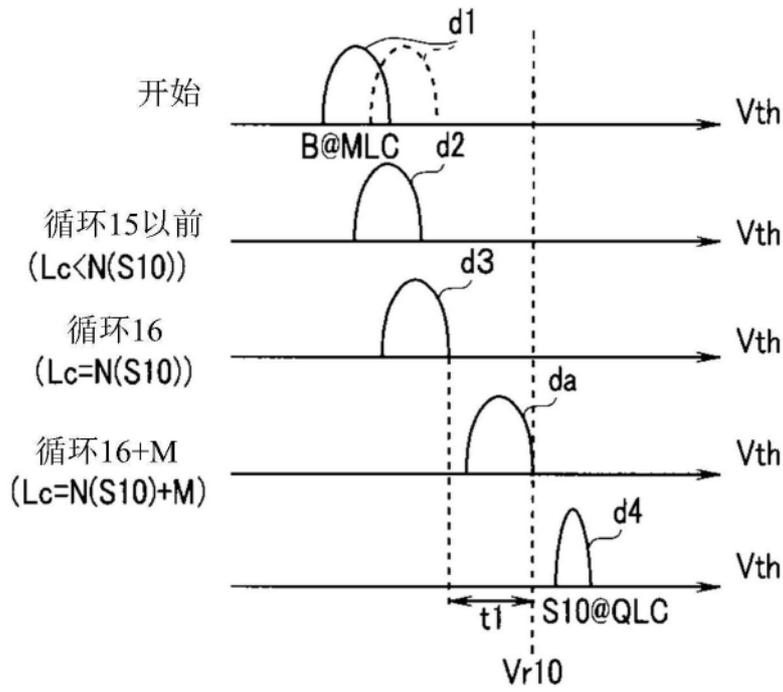


图28

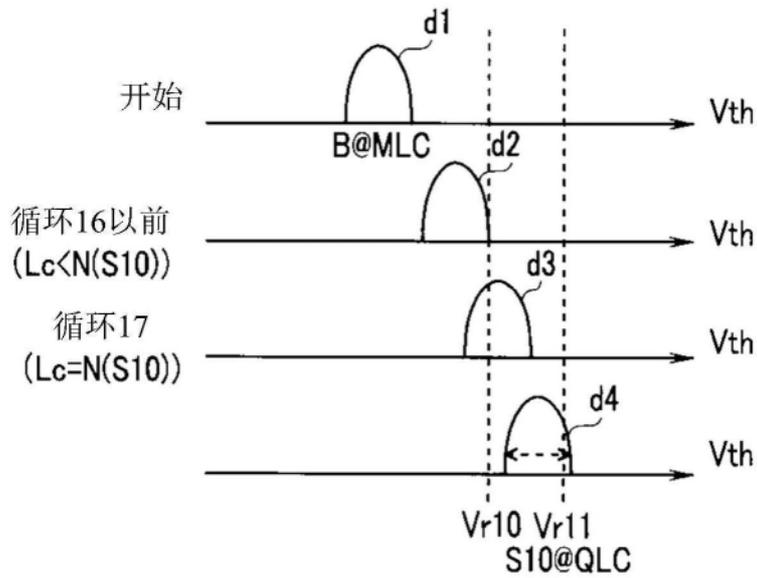


图29

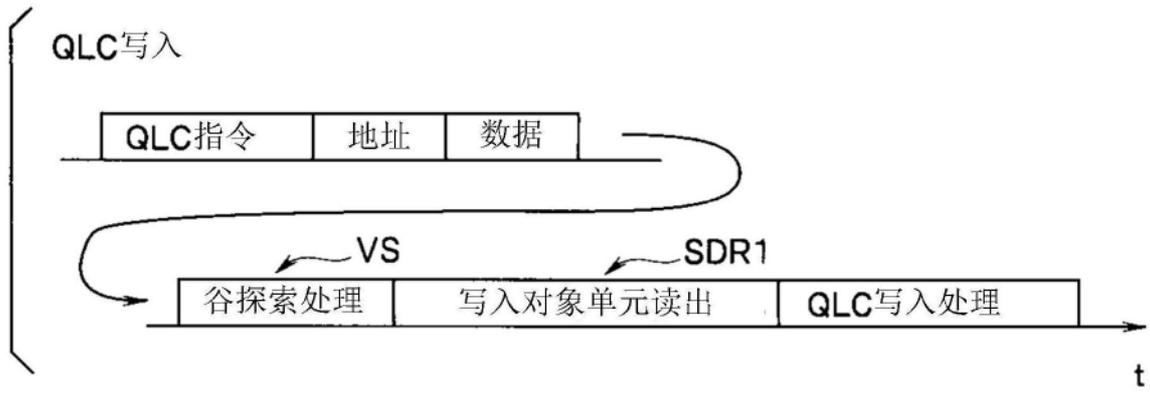


图30

循环	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	
S1	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
S2			○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
S3				○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
S4					○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
S5						○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
S6							○	○	○	○	○	○	○	○	○	○	○	○	○	○
S7								○	○	○	○	○	○	○	○	○	○	○	○	○
S8									○	○	○	○	○	○	○	○	○	○	○	○
S9										○	○	○	○	○	○	○	○	○	○	○
S10											○	○	○	○	○	○	○	○	○	○
S11												○	○	○	○	○	○	○	○	○
S12													○	○	○	○	○	○	○	○
S13														○	○	○	○	○	○	○
S14															○	○	○	○	○	○
S15																○	○	○	○	○

图31

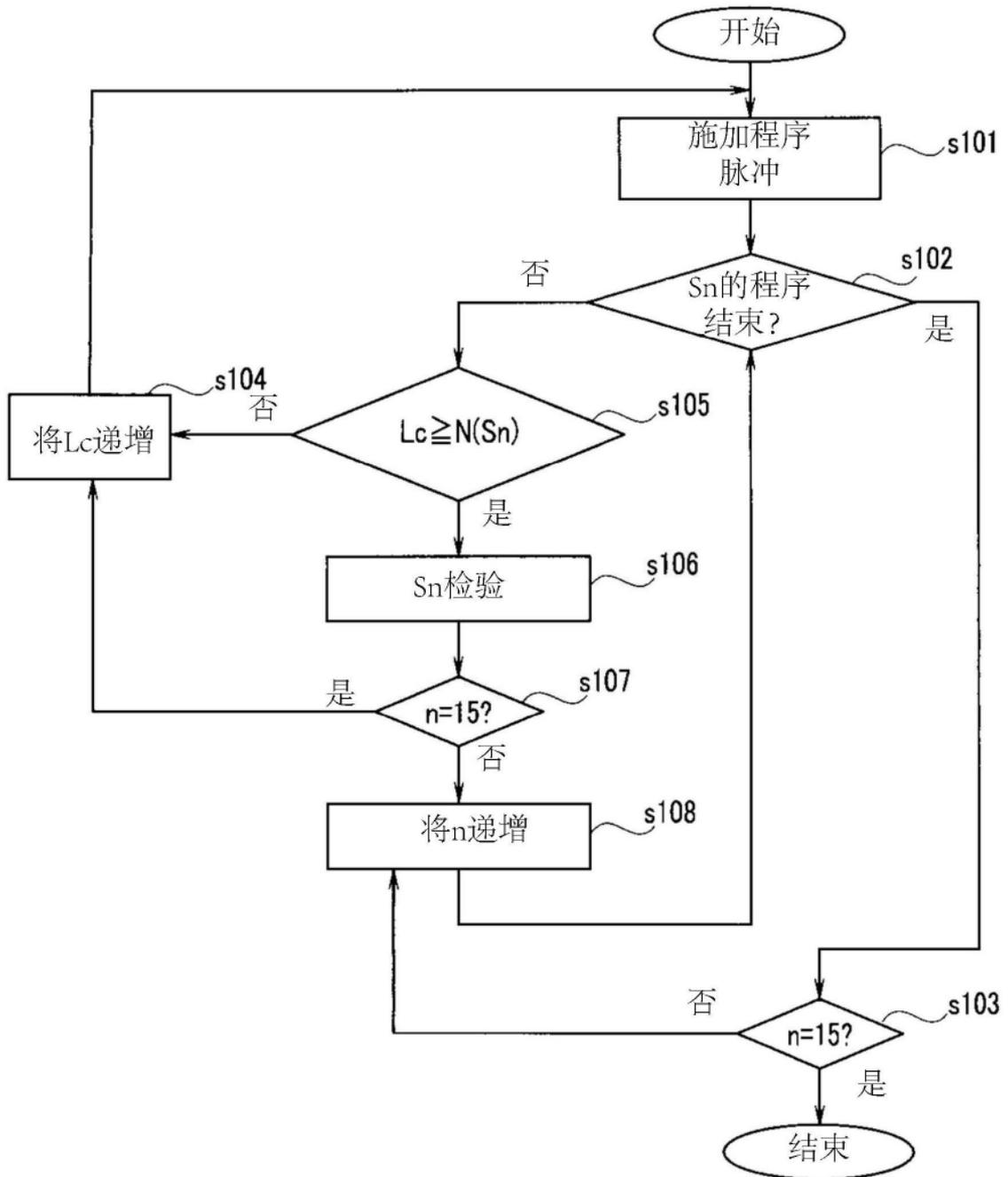


图32

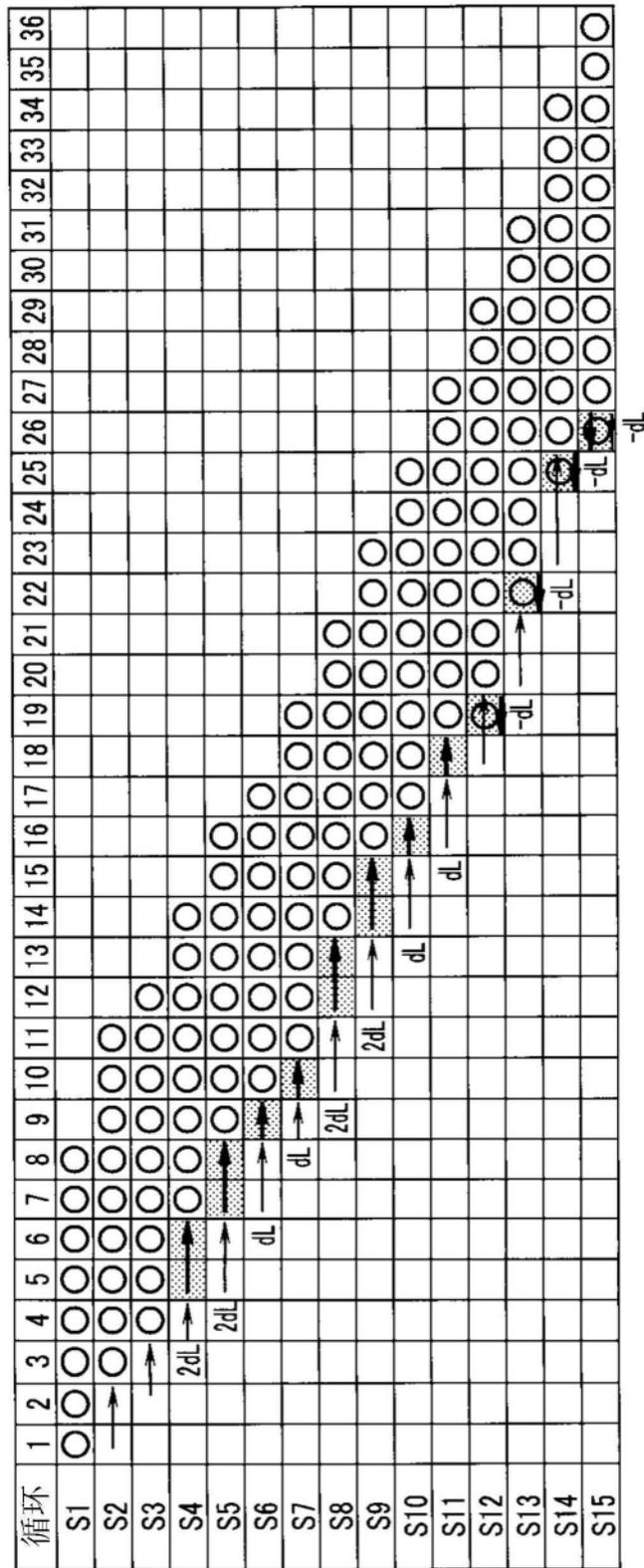


图33