

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-89082

(P2013-89082A)

(43) 公開日 平成25年5月13日(2013.5.13)

(51) Int.Cl.	F I	テーマコード (参考)
<b>G 0 6 F 12/16 (2006.01)</b>	G 0 6 F 12/16 3 2 0 F	5 B 0 1 8
<b>G 1 1 C 29/42 (2006.01)</b>	G 1 1 C 29/00 6 3 1 D	5 L 1 0 6

審査請求 未請求 請求項の数 8 O L (全 32 頁)

(21) 出願番号	特願2011-229926 (P2011-229926)	(71) 出願人	000003078
(22) 出願日	平成23年10月19日 (2011.10.19)		株式会社東芝
			東京都港区芝浦一丁目1番1号
		(74) 代理人	100089118
			弁理士 酒井 宏明
		(72) 発明者	原 徳正
			東京都港区芝浦一丁目1番1号 株式会社東芝内
		(72) 発明者	鳥井 修
			東京都港区芝浦一丁目1番1号 株式会社東芝内
		Fターム(参考)	5B018 GA02 HA14 MA23 NA06 QA15 QA16 RA02 5L106 AA10 BB02 BB12

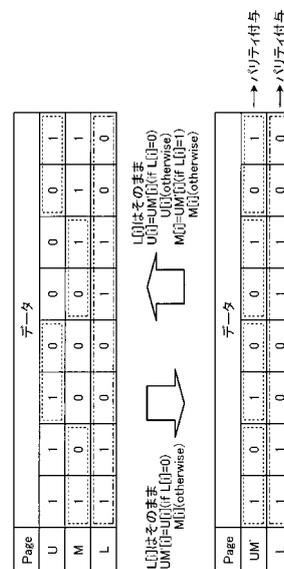
(54) 【発明の名称】 メモリコントローラ、半導体記憶システムおよびメモリ制御方法

(57) 【要約】

【課題】パリティデータデータの増大を抑えることができるメモリコントローラを得ること。

【解決手段】各しきい値分布に対して、3ビットのデータが割り当てられ、第1のビットが第1ページのデータを表現し、第2のビットが第2ページのデータを表現し、第3のビットが第3ページのデータを表現する3ビット/セルのメモリセルを有する不揮発性半導体メモリを制御するメモリコントローラであって、不揮発性半導体メモリの第1のメモリ領域に、第1～第3の3ページ分のデータを書き込む場合に、第1のメモリ領域の各メモリセルに書き込まれるデータの第1のビット及び第2のビットから、隣接するしきい値分布への移動によりエラーとなるビットを抽出して仮想ページを生成する制御部と、仮想ページに対する第1の誤り訂正符号を生成する符号化部と、3ページ分のデータと第1の誤り訂正符号とを不揮発性半導体メモリへ書き込むインターフェイス部とを備える。

【選択図】 図7



## 【特許請求の範囲】

## 【請求項 1】

各しきい値分布に対して、3ビットのデータが割り当てられ、第1のビットが第1ページのデータを表現し、第2のビットが第2ページのデータを表現し、第3のビットが第3ページのデータを表現する3ビット/セルのメモリセルを有する不揮発性半導体メモリを制御するメモリコントローラであって、

前記不揮発性半導体メモリの第1のメモリ領域に、第1ページ、第2ページ、第3ページの3ページ分のデータを書き込む場合に、前記第1のメモリ領域の各メモリセルに書き込まれるデータの第1のビット及び第2のビットから、隣接するしきい値分布への移動によりエラーとなるビットを抽出して仮想ページを生成する制御部と、

前記仮想ページに対する第1の誤り訂正符号を生成する符号化部と、

前記3ページ分のデータと前記第1の誤り訂正符号とを前記不揮発性半導体メモリへ書き込むインターフェイス部と

を備えることを特徴とするメモリコントローラ。

## 【請求項 2】

各しきい値分布に対して、3ビットのデータが割り当てられ、第1のビットが第1ページのデータを表現し、第2のビットが第2ページのデータを表現し、第3のビットが第3ページのデータを表現する3ビット/セルのメモリセルを有する不揮発性半導体メモリを制御するメモリコントローラであって、

前記しきい値分布ごとの前記3ビットのデータの割り付けがグレイ・コードであり、前記グレイ・コードの第1ページ、第2ページの境界数が2であり、第3ページの境界数が3であり、

前記メモリの第1のメモリ領域に、第1ページ、第2ページ、第3ページの3ページ分のデータを書き込む場合に、前記第3ページの値を参照し、前記第3ページが1である場合には、第1ページのビットを抽出し、前記第3ページが0である場合には、第2ページのビットを抽出して仮想ページを生成する制御部と、

前記仮想ページに対する第1の誤り訂正符号を生成する符号化部と、

前記3ページ分のデータと前記第1の誤り訂正符号とを前記不揮発性半導体メモリへ書き込むインターフェイス部と

を備えることを特徴とするメモリコントローラ。

## 【請求項 3】

前記不揮発性半導体メモリから読み出されたデータと誤り訂正符号とに基づいて誤り訂正処理を行う誤り訂正処理部をさらに備え、

前記インターフェイス部は、前記不揮発性半導体メモリから前記3ページ分のデータと前記第1の誤り訂正符号とを読み出し、

前記制御部は、前記読み出された3ページ分のデータから前記仮想ページを生成し、前記誤り訂正処理部は、前記第1の誤り訂正符号に基づいて、前記仮想ページに対する誤り訂正処理を実行することを特徴とする請求項1又は2に記載のメモリコントローラ。

## 【請求項 4】

前記符号化部は、前記第3ページに対する第2の誤り訂正符号を生成し、前記インターフェイス部は、前記第1の誤り訂正符号と前記第2の誤り訂正符号を、前記第1乃至3ページの冗長データとして分散して前記不揮発性半導体メモリに書き込むことを特徴とする請求項1乃至3に記載のメモリコントローラ。

## 【請求項 5】

前記不揮発性半導体メモリから読み出したデータに対して誤り訂正処理を行う誤り訂正処理部、をさらに備え、

前記制御部は、さらに、前記2以上のページの書き込みデータのうち前記仮想ページデータを除いたデータに対する誤り訂正符号を前記仮想ページ符号より訂正能力の低い少ビット誤り訂正符号として生成するよう前記符号化部へ指示し、前記少ビット誤り訂正符号を前記2以上のページの書き込みデータとともに前記不揮発性半導体メモリへ格納するよ

10

20

30

40

50

う前記インターフェイス部へ指示し、前記不揮発性半導体メモリからの読み出し時に、読み出した前記2以上のページの書き込みデータから前記仮想ページデータ以外を選択し、選択したデータと前記少ビット誤り訂正符号とに基づいて誤り訂正処理を行うよう前記誤り訂正処理部へ指示し、当該誤り訂正処理後のデータに基づいてページごとの書き込みデータを復元する、ことを特徴とする請求項1乃至4のいずれか1項に記載のメモリコントローラ。

【請求項6】

前記不揮発性半導体メモリから読み出したデータに対して誤り訂正処理を行う誤り訂正処理部、をさらに備え、

前記制御部は、さらに、前記2以上のページの書き込みデータに対するページごとの誤り訂正符号を前記仮想ページ符号より訂正能力の低いページ誤り訂正符号として生成するよう前記符号化部へ指示し、前記ページ誤り訂正符号を前記2以上のページの書き込みデータとともに前記不揮発性半導体メモリへ格納するよう前記インターフェイス部へ指示し、前記ページごとの書き込みデータの復元の後に、復元後の書き込みデータとページ誤り訂正符号とに基づいて誤り訂正処理を行うよう前記誤り訂正処理部へ指示する、ことを特徴とする請求項1乃至4のいずれか1項に記載のメモリコントローラ。

10

【請求項7】

各しきい値分布に対して、3ビットのデータが割り当てられ、第1のビットが第1ページのデータを表現し、第2のビットが第2ページのデータを表現し、第3のビットが第3ページのデータを表現する3ビット/セルのメモリセルを有する不揮発性半導体メモリと

20

、  
前記不揮発性半導体メモリの第1のメモリ領域に、第1ページ、第2ページ、第3ページの3ページ分のデータを書き込む場合に、前記第1のメモリ領域の各メモリセルに書き込まれるデータの第1のビット及び第2のビットから、隣接するしきい値分布への移動によりエラーとなるビットを抽出して仮想ページを生成する制御部と、

前記仮想ページに対する第1の誤り訂正符号を生成する符号化部と、

前記3ページ分のデータと前記第1の誤り訂正符号とを前記メモリへ書き込むインターフェイス部と

を備えることを特徴とする半導体記憶システム。

【請求項8】

各しきい値分布に対して、3ビットのデータが割り当てられ、第1のビットが第1ページのデータを表現し、第2のビットが第2ページのデータを表現し、第3のビットが第3ページのデータを表現する3ビット/セルのメモリセルを有する不揮発性半導体メモリを制御するメモリ制御方法であって、

30

前記不揮発性半導体メモリの第1のメモリ領域に、第1ページ、第2ページ、第3ページの3ページ分のデータを書き込む場合に、前記第1のメモリ領域の各メモリセルに書き込まれるデータの第1のビット及び第2のビットから、隣接するしきい値分布への移動によりエラーとなるビットを抽出して仮想ページを生成する制御ステップと、

前記仮想ページに対する第1の誤り訂正符号を生成する符号化ステップと、

前記3ページ分のデータと前記第1の誤り訂正符号とを前記メモリへ書き込みステップと、

40

を含むことを特徴とするメモリ制御方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、メモリコントローラ、半導体記憶システムおよびメモリ制御方法に関する。

【背景技術】

【0002】

NAND型フラッシュメモリでは、一般的に、記憶するデータに対するエラー訂正が行

50

われる。近年のNAND型フラッシュメモリの微細化・超多値化とともに貯蔵したデータにエラーが発生する確率が上がっている。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特表2009-512055号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

NAND型フラッシュメモリの微細化・超多値化に伴いエラーが発生する確率が上がると、エラー訂正後のデータ正当性を維持するために必要となるパリティデータ量が増大する。これはパリティデータを保存するためのメモリサイズ量が増大することを意味しており、コスト上昇を引き起こし問題となる。または、コスト上昇を抑えるためにパリティデータ量を増やさずエラー訂正能力を据え置いた場合は、貯蔵したデータのエラーを訂正しきれずに、エラー残存確率が増大してしまう。

10

【課題を解決するための手段】

【0005】

本願発明の一態様によれば、各しきい値分布に対して、3ビットのデータが割り当てられ、第1のビットが第1ページのデータを表現し、第2のビットが第2ページのデータを表現し、第3のビットが第3ページのデータを表現する3ビット/セルのメモリセルを有する不揮発性半導体メモリを制御するメモリコントローラであって、不揮発性半導体メモリの第1のメモリ領域に、第1ページ、第2ページ、第3ページの3ページ分のデータを書き込む場合に、第1のメモリ領域の各メモリセルに書き込まれるデータの第1のビット及び第2のビットから、隣接するしきい値分布への移動によりエラーとなるビットを抽出して仮想ページを生成する制御部と、仮想ページに対する第1の誤り訂正符号を生成する符号化部と、3ページ分のデータと第1の誤り訂正符号とを不揮発性半導体メモリへ書き込むインターフェイス部とを備える。

20

【図面の簡単な説明】

【0006】

【図1】図1は、第1の実施の形態にかかる半導体記憶システムの構成例を示すブロック図である。

30

【図2】図2は、第1の実施の形態のメモリセルのしきい値とデータの割付の一例を示す図である。

【図3】図3は、ECC回路の構成例を示す図である。

【図4】図4は、電荷リークによるエラー発生の様子を示す図である。

【図5】図5は、ソフトウェアによるエラー発生の様子を示す図である。

【図6】図6は、オーバープログラムによるエラー発生の様子を示す図である。

【図7】図7は、第1の実施の形態のエラー訂正対象とするデータの選び方の一例を示す図である。

【図8】図8は、仮想ページUM'の生成とパリティ生成手順の一例を示す図である。

40

【図9】図9は、第1の実施の形態のNANDフラッシュメモリへのデータおよびパリティの格納位置の一例を示す図である。

【図10】図10は、第1の実施の形態のNANDフラッシュメモリへの書き込み手順の一例を示すフローチャートである。

【図11】図11は、第1の実施の形態のNANDフラッシュメモリからの読み出し手順の一例を示すフローチャートである。

【図12】図12は、第2の実施の形態に本実施の形態のエラー訂正対象とするデータの選び方の一例を示す図である。

【図13】図13は、仮想ページU'、M'の生成とパリティ生成手順の一例を示す図である。

50

【図 1 4】図 1 4 は、第 2 の実施の形態の N A N D フラッシュメモリへのデータおよびパリティの格納位置の一例を示す図である。

【図 1 5】図 1 5 は、第 2 の実施の形態の N A N D フラッシュメモリへの書き込み手順の一例を示すフローチャートである。

【図 1 6】図 1 6 は、第 2 の実施の形態の N A N D フラッシュメモリからの読み出し手順の一例を示すフローチャートである。

【図 1 7】図 1 7 は、第 3 の実施の形態に本実施の形態のエラー訂正対象とするデータの選び方の一例を示す図である。

【図 1 8】図 1 8 は、第 3 の実施の形態の N A N D フラッシュメモリへのデータおよびパリティの格納位置の一例を示す図である。

10

【図 1 9】図 1 9 は、第 3 の実施の形態の N A N D フラッシュメモリへの書き込み手順の一例を示すフローチャートである。

【図 2 0】図 2 0 は、第 3 の実施の形態の N A N D フラッシュメモリからの読み出し手順の一例を示すフローチャートである。

【図 2 1】図 2 1 は、第 4 の実施の形態のメモリセルのしきい値とデータの割付の一例を示す図である。

【図 2 2】図 2 2 は、第 4 の実施の形態に本実施の形態のエラー訂正対象とするデータの選び方の一例を示す図である。

【図 2 3】図 2 3 は、仮想ページ H '、U ' の生成手順の一例を示す図である。

【図 2 4】図 2 4 は、第 4 の実施の形態の N A N D フラッシュメモリへのデータおよびパリティの格納位置の一例を示す図である。

20

【図 2 5】図 2 5 は、第 4 の実施の形態の N A N D フラッシュメモリへの書き込み手順の一例を示すフローチャートである。

【図 2 6】図 2 6 は、第 4 の実施の形態の N A N D フラッシュメモリからの読み出し手順の一例を示すフローチャートである。

【図 2 7】図 2 7 は、E C C 回路を内蔵しない N A N D フラッシュメモリの一例を示す図である。

【図 2 8】図 2 8 は、E C C 回路を内蔵する N A N D フラッシュメモリの一例を示す図である。

【発明を実施するための形態】

30

【0007】

以下に添付図面を参照して、実施形態にかかるメモリコントローラ、半導体記憶システムおよびメモリ制御方法を詳細に説明する。なお、これらの実施形態により本発明が限定されるものではない。

【0008】

(第 1 の実施の形態)

図 1 は、第 1 の実施の形態にかかる半導体記憶システムの構成例を示すブロック図である。本実施の形態の半導体記憶システムは、メモリコントローラ 1 と N A N D フラッシュメモリ (不揮発性半導体メモリ) 2 で構成される。N A N D フラッシュメモリ 2 は、不揮発性メモリであり、メモリコントローラ 1 からの制御により書き込み・読み出し・消去などの動作を行う。

40

【0009】

メモリコントローラ 1 は、ランダムアクセスメモリ (R A M) 1 1、プロセッサ 1 2、ホストインターフェイス 1 3、E C C (Error Checking and Correction) 回路 1 4、メモリインターフェイス (インタフェース部) 1 5 およびデータバス 1 6 を備える。

【0010】

ホストインターフェイス 1 3 は、ホストとのデータ交換に必要なプロトコルを備える。ホストの例としては、パーソナルコンピュータや C P U (Central Processing Unit) コア等があげられる。メモリインターフェイス 1 5 は、N A N D フラッシュメモリ 2 とのデータ交換に必要なプロトコルを備え、N A N D フラッシュメモリ 2 との間でコマンド、

50

アドレス、制御信号およびデータの送受信を行う。

【0011】

プロセッサ12は、半導体記憶システムの各構成要素を統括的に制御する制御部であり、CPUコア、ROM(Read Only Memory)、DMA(Direct Memory Access)コントローラなどで構成される。プロセッサ12は、ホストからホストインターフェイス13およびデータバス16経由で命令を受けた場合に、その命令に従った制御を行う。例えば、プロセッサ12は、ホストからの命令に従って、NANDフラッシュメモリ2へのデータの書き込みやNANDフラッシュメモリ2からのデータの読み出しなどを、メモリインターフェイス15へ指示する。また、プロセッサ12は、ECC回路14へ誤り訂正符号化処理または復号化処理の実施を指示する。

10

【0012】

ECC回路14は、プロセッサ12からの指示に従って、NANDフラッシュメモリ2へ書き込むデータに対する誤り訂正符号化処理を行うとともにNANDフラッシュメモリ2に格納されたデータのエラーの検出や訂正処理を行う。RAM11は、プロセッサ12のワーキングメモリとして使用される。なお図1の構成例には示されていないが、メモリコントローラ15にはホストとのインターフェイスのためのコードデータを格納するROMなどをさらに含むことがある。このように、図1の構成例は一例であり本実施の形態の半導体記憶システムは図1の構成例に限定されず、一般的な構成の変形が行われていてもよい。

【0013】

NANDフラッシュメモリ2は、1つのメモリセルに3bit以上のデータを格納する。本実施の形態では、1つのメモリセルに3bitのデータを格納する例を説明する。図2は、NANDフラッシュメモリ2のメモリセルにデータを格納する際のメモリセルのしきい値とデータの割付の一例を示す図である。1つのメモリセルに3bitのデータを格納するため、7つの境界閾値である境界#1~#7を用いて8種類のしきい値分布を定義している。NANDフラッシュメモリ2は、ページ(Page)単位で読み出し・書き込み動作を行う。一般に、多値セルでは、1つのメモリセルに格納される各bitには異なるページが割当られる。ここでは、3bitに対応するページアドレスをそれぞれU(Upper)、M(Middle)、L(Lower)とする。

20

【0014】

図2の上側の図は、メモリセルごとに格納される各ページのデータの値の組み合わせとメモリセルのしきい値の対応の一例を示している。図2の下側の図は、メモリセルのしきい値を横軸にとり、セル数を縦軸にとった場合のセル数の分布(しきい値分布)の例を示している。図2に示したデータの割付は、隣接するしきい値分布に割り当てるデータは1bitの違いとなるいわゆるグレイ・コードとしているが、その理由は後述する。

30

【0015】

図2に示すように、U、M、Lのページごとにみると、ページUでは、データの値が1から0または0から1となる境界が2箇所(図2の境界#3と境界#7)存在する。ページMでは、境界が2箇所(図2の境界#1と境界#5)存在し、ページLでは、境界が3箇所(図2の境界#2、境界#4および境界#6)存在する。以下では、このような各ページへの境界数の割当を、U、M、Lの順に境界数(分割数)を示して、2-2-3分割と呼ぶこととする。各ページへの境界数の割当は、これに限定されず、他の例については後述する。

40

【0016】

次に、本実施の形態のNANDフラッシュメモリ2の書き込みおよび読み出しの全体動作について説明する。まず、プロセッサ12は、ホストからデータの書き込みを指示されると、ECC回路14にデータの誤り訂正符号化の実施を指示する。ホストから送信される書き込み対象のデータは、RAM11に一時的に格納される。ECC回路14は、RAM11に格納されたデータに基づいて誤り訂正符号化処理を実施し、誤り訂正符号を生成する。

50

## 【 0 0 1 7 】

そして、プロセッサ 1 2 は、メモリアンターフェイス 1 5 に対してデータおよび当該データに対して生成された誤り訂正符号（以下、本実施の形態ではパリティとよぶ）を NAND フラッシュメモリ 2 へ書き込みよう指示する。この際、メモリアンターフェイス 1 5 へデータおよび誤り訂正符号の書き込みアドレスを指示し、メモリアンターフェイス 1 5 は、指示されたアドレスへデータおよびパリティを書き込む。プロセッサ 1 2 は、論理アドレスと、NAND フラッシュメモリ 2 の物理アドレスと、の対応を保持しており、メモリアンターフェイス 1 5 に対しては書き込みアドレスとして物理アドレスを指定する。なお、ここでは、書き込み時に論理アドレスと物理アドレスを直接変換する例について説明したが、これに限らず、多段階でアドレスを変換する（ホスト装置の論理アドレスから半導体記憶システムの論理アドレスへ一旦変換した後に、物理アドレスへ変換する等）の方式としてもよい。

10

## 【 0 0 1 8 】

また、プロセッサ 1 2 は、ホストからデータの読み出しを指示されると、当該データの NAND フラッシュメモリ 2 からの読み出しをメモリアンターフェイス 1 5 へ指示する。ホストからは論理アドレスにより読み出し対象のデータが指定されるため、プロセッサ 1 2 は、保持している論理アドレスと NAND フラッシュメモリ 2 の物理アドレスとの対応に基づいて対応する物理アドレスをメモリアンターフェイス 1 5 へ指示する。この際、プロセッサ 1 2 は、読み出しデータに対応するパリティも読み出す。プロセッサ 1 2 は、読み出したデータとパリティに基づく誤り訂正復号化処理の実施を ECC 回路 1 4 へ指示する。ECC 回路 1 4 は、指示に基づいて誤り訂正復号化処理を実施する。プロセッサ 1 2 は、誤り訂正復号化処理後のデータをホストインターフェイス 1 3 経由でホストへ送信する。

20

## 【 0 0 1 9 】

図 3 は、ECC 回路 1 4 の構成例を示す図である。図 3 に示した ECC 回路 1 4 は、 BCH 方式を採用する ECC 回路である。この ECC 回路 1 4 では、Parity Generator（符号化部）1 4 1 は NAND フラッシュメモリ 2 へのデータの書き込み時に、データバス 1 6 経由で入力される所定のサイズの書き込みデータに基づいて誤り訂正符号化処理によりパリティを生成する。なお、所定のサイズは任意な数値を設定可能であるが、例えば、セクターサイズである。セクターサイズは、例えば、5 1 2 バイト（4 0 9 6 b i t）である。Parity Generator 1 4 は、生成したパリティをデータバスへ返信する。

30

## 【 0 0 2 0 】

Syndrome Generator 1 4 2 , Key Equation Solver 1 4 3 , Chien Search 1 4 4 , Error Correction 1 4 5 の各ユニットは、NAND フラッシュメモリ 2 からのデータの読み出し動作時に使用される誤り訂正処理部を構成し、読み出したデータのエラー有無の検出とエラー訂正データの出力を行う。読み出したデータは、データバス 1 6 から Syndrome Generator 1 4 2 へ入力される。Syndrome Generator 1 4 2 は、入力されたデータに基づいて Syndrome を形成して、これを Key Equation Solver 1 4 3 へ入力する。Key Equation Solver 1 4 3 は、Syndrome を用いて誤り位置多項式を導出しエラーのビット数を判定する。Key Equation Solver 1 4 3 は、エラービット数が 1 より大きい場合は誤り位置多項式を Chien Search 1 4 4 へ入力する。Chien Search 1 4 4 は、入力された誤り位置多項式に基づいてエラーのビットの場所を特定する。Error Correction 1 4 5 は、エラーのビットの場所に応じてビットデータを反転することによりエラーを訂正する。

40

## 【 0 0 2 1 】

なお、図 3 の構成は一例であり、本実施の形態は、ECC 回路 1 4 の構成は図 3 の例に限られない。また、誤り訂正方式は、BCH、リード・ソロモン符号、LDPC（Low Density Parity Check）など様々なものが実用化されており、誤り訂正方式も BCH に限らずどのような方式を用いてもよい。

## 【 0 0 2 2 】

50

ここで、NANDフラッシュメモリに格納されたデータのエラーについて説明する。NANDフラッシュメモリに格納されたデータにエラーが発生する要因は様々なものがあるが、代表的な要因として、電荷リーク、ソフトプログラム、オーバープログラムがある。

【0023】

図4は、電荷リークによるエラー発生の様子を示す図である。NANDフラッシュメモリのメモリセルは、しきい値電圧分布によってONセルとOFFセルに区分される。ONセルはデータ“1”を格納した状態で、OFFセルはデータ“0”を格納した状態である。電荷リークによるエラーは、書き込みがされてOFFセルとなったセルが、ONセルとして読み出されるエラーである。

【0024】

電荷リークは、メモリセルのフローティングゲートや酸化膜にトラップされた電子が酸化膜を通してメモリセルのチャンネルに漏れることである。NANDフラッシュメモリでは、読み出し動作時には、選択ワードライン(図4では、WL31を選択ワードラインとする)には選択読み出し電圧 $V_{cgr}$ が印加され、非選択ワードライン(WL0~WL30およびWL32~WL63)には非選択読み出し電圧 $V_{read}$ が印加される。ここで $V_{read}$ は、非選択ワードラインに連結されているメモリセルをONさせるのに充分高い電圧である。選択ワードラインに連結されたメモリセルに電荷リークが発生すると、メモリセルのしきい値電圧は低くなり、OFFセルのしきい値分布がONセルの方に移動する。

【0025】

図4の分布31は、電荷リークが発生していない場合のONセルのしきい値分布を示し、分布32は、電荷リークが発生していない場合のOFFセルのしきい値分布を示している。電荷リークが発生すると、OFFセルのしきい値分布は、点線の分布33に示したように下降する。このように電荷リークにより下降したしきい値が $V_{cgr}$ より低くなると、本来はOFFセルであるメモリセルが読み出し時にONセルとして読み出され、エラーとなる。

【0026】

図5は、ソフトプログラムによるエラー発生の様子を示す図である。ソフトプログラムとは、読み出しの動作時に非選択読み出し電圧が印加されることにより、チャンネルからフローティングゲートに電子がわずかに流入することである。ソフトプログラムによるエラーは、書き込みがされておらずONセルであったメモリセルがOFFセルとして読み出されるエラーである。

【0027】

図5の分布31は、ソフトプログラムが発生していない場合のONセルのしきい値分布を示し、分布32は、ソフトプログラムが発生していない場合のOFFセルのしきい値分布を示している。選択ワードライン(WL31)に連結されたメモリセルにソフトプログラムが発生すると、メモリセルのしきい値電圧は分布34に示すように上昇し、ONセルのしきい値分布がOFFセルの方に移動する。しきい値が $V_{cgr}$ より高くなると、ONセルであるのに、本来はONセルであるメモリセルが読み出し時にOFFセルとして読み出され、エラーとなる。

【0028】

図6は、オーバープログラムによるエラー発生の様子を示す図である。オーバープログラムとは、書き込み時に相対的に書き込み速度が速いメモリセルが書き込み後に上限電圧より高いしきい値電圧になることである。分布31は、オーバープログラムが発生していない場合のONセルのしきい値分布を示し、分布32は、オーバープログラムが発生していない場合のOFFセルのしきい値分布を示している。分布35は、オーバープログラムにより上限電圧を超えたメモリセルのしきい値分布を示している。この上限電圧は $V_{read}$ より低い必要があるが、書き込み動作時はしきい値が上限電圧を超えたかどうかのチェックはしないのが通例である。

【0029】

10

20

30

40

50

オーバープログラムによるエラーは、書き込みがされておらずONセルであったメモリセルがOFFセルとして読み出されるエラーである。読み出し動作時、選択ワードライン(WL31)にVcgrが印加され読み出し対象のメモリセルが正しくONしたとしても、同じセルストリング上の非選択ワードライン(WL0~WL30およびWL32~WL63)に接続されたメモリセルにオーバープログラムが発生すると、このセルストリングのチャンネル抵抗は増加する。チャンネル抵抗が増加すれば、ONセルである選択メモリセルがあたかもOFFしたように読み出され、エラーとなる。

#### 【0030】

以上に説明した3つのエラー代表要因のうち、電荷リークとソフトプログラムはしきい値分布が移動することにより生じる。多値メモリセルの場合は、しきい値分布が隣接するしきい値分布として誤って読み出されることになる。図2で例示したようなグレイ・コードによるデータ割付をしておけば、これらの要因でのエラーの量はメモリセル内の1bitにとどめることができる。例えば、図2の例では、境界#1と境界#2の間の分布Aが、境界#1以下の分布Erとして読み出されるか、または境界#2と境界#3の間の分布Bとして読み出されるかのいずれかとなる。分布Erとして読み出された場合はページMにおいて1bitのエラーが生じ、分布Bとして読み出された場合はページLにおいて1bitのエラーが生じることになる。

10

#### 【0031】

一方、上述のオーバープログラムによれば、しきい値分布は最上位電圧の分布に移動したように読み出されるため、2bitのエラーも発生しうる。またメモリセルが物理的に破損しているような不良セルは、一般的にはメモリチップの製造テスト工程で除外されたり冗長メモリセルに置き換え処理がなされたりするが、その後の使用過程でも疲労などにより破損しうる。このような不良セルの読み出し動作時のエラー挙動は予測が難しく、全3bitがエラーとなることもある。

20

#### 【0032】

しかしながら、適切な製造テスト工程を経た後はエラーの要因の大多数が電荷リークとソフトプログラムによる隣へのしきい値分布移動であるということが一般的に観測されている。本実施の形態および後続の実施の形態では、この事実に基づいて、エラー訂正の対象を隣へのしきい値分布移動に限定する、または隣へのしきい値分布移動をエラー訂正の主対象とすることでエラー訂正能力を下げずにコストを下げる。または、コストを上げずにエラー訂正能力を向上させる。以下、主にエラー訂正能力を下げずにコストを下げる例を説明するが、同様の手法でコストを上げずにエラー訂正能力を向上させる効果を得ることができることは自明である。

30

#### 【0033】

図7は、本実施の形態のエラー訂正対象とするデータの選び方の一例を示す図である。図7では、図2で示したデータ割付を前提としている。エラー要因が隣のしきい値分布への移動であるとする、両隣の隣接しきい値分布でデータが変化しないデータはエラーが発生しない。図7では、ページUおよびMのうち、破線で囲まれた以外のデータは、しきい値分布が隣へ移動してもデータが変化しない。例えば、左から2番目のデータ“1, 0, 1”(=“ページUのデータ, ページMのデータ, ページLのデータ”)は、隣のしきい値分布に移動すると“1, 1, 1”または“1, 0, 0”となるが、ページUのデータはいずれに移動した場合も“1”のまま変化しない。

40

#### 【0034】

なお、ページLでは、実際には、図2で示した分布Erと分布Gの場合に、実際には隣のしきい値分布へ移動してもデータは変化しないが、ここでは、手順を簡易にするためにページLはすべてのデータでデータエラーが発生するものと扱う。

#### 【0035】

本実施の形態では、ページUおよびMについては、隣のしきい値分布への移動によりデータの値が変化しない破線で囲まれたデータのみをエラー訂正対象(パリティ付与対象)とする。ページLについては、全てのデータをエラー訂正対象とする。ここでは、ページU

50

およびMのデータのうち、エラー訂正対象抜き出した仮想ページUM'を一時的に生成し、仮想ページUM'のデータに対してパリティを付与する。

【0036】

図7の下側の図は、仮想ページUM'の抽出方法を示している。図7の上側の図と比較するとわかるように、ページUにおいて破線で囲まれているデータに対応するしきい値分布ではページMのデータは破線で囲まれていない。同様に、ページMにおいて破線で囲まれているデータに対応するしきい値分布ではページUのデータは破線で囲まれていない。従って、仮想ページUM'として、各しきい値分布に対してページUとページMのいずれか一方のデータを抽出すればよい。

【0037】

次に、仮想ページUM'の生成方法について述べる。ここでは、ページLのデータの値に基づいて仮想ページUM'を生成する方法を述べる。なお、仮想ページUM'の生成方法はこれに限定されない。例えば、しきい値分布ごとにページUのデータを抽出するかページMのデータを抽出するかの対応を保持しておき、ページU, M, Lの3ビットのデータの値に基づいて対応するしきい値分布を識別して保持している対応に基づいてデータを抽出して、仮想ページUM'の生成する方法等としてもよい。

【0038】

仮想ページUM'のデータをUM'[i] (iはページ内のデータの番号を示す整数)とする。このとき、ページLのデータの値に基づいて仮想ページUM'を生成する規則を、以下の式(1)に示す。

$$UM'[i] = \begin{matrix} U[i] & (\text{if } L[i] = 0) \\ M[i] & (\text{otherwise}) \end{matrix} \quad \dots (1)$$

【0039】

そして、生成した仮想ページUM'の所定のサイズのデータに基づいてパリティを生成し、NANDフラッシュメモリ2への書き込み動作時には書き込みデータとともにパリティを書き込む。ページLについては従来と同様に所定のサイズのデータに基づいてパリティを生成する。従って、本実施の形態では、ページLおよびUM'の2ページ分のデータに対してパリティを付与する。従来はページL, M, Nの3ページ分のデータに対してパリティを付与する方法に比べ、本実施の形態ではパリティ付与対象のデータを削減できる。

【0040】

図8は、仮想ページUM'の生成とパリティ生成手順の一例を示す図である。図8の左上図は、ホストから送信されたデータをプロセッサ12が各ページに割り付けた状態を示している。データ41, 42, 43は、各々1つのメモリセルに格納される3ビットのデータである。データ51, 52, 53は、それぞれデータ41, 42, 43に基づいて生成された仮想ページUM'のデータである。前述の式(1)に従って、UM'[i]を抽出すると、図8の右上図のようになる。ここでは、例として、データ41, 42, 43を示す番号(i)を1, 2, 3とする。データ41は、ページLのデータが“0”であるから式(1)に従って、UM'[1]=U[1]=1となる。データ43は、ページLのデータが“1”であるから式(1)に従って、UM'[3]=M[3]=1となる。

【0041】

そして、仮想ページUM'のデータとページLのデータとに基づいてパリティが生成され、図8の左下図に示すように、ページU, MおよびLのデータとパリティが書き込まれる。

【0042】

このようなパリティの付加の方法をとることにより、パリティデータサイズを減らすことが可能になる。以下、数値の一例を挙げて説明する。1ページのユーザデータ量を4096bitとし、このうち40bitを訂正可能な能力のECC回路14を用いるとする。4096bitを40bit訂正可能にするためのパリティデータ量は、 BCH方式による最小データ量として520bitである(40bit×13:13=12+1;40

10

20

30

40

50

9 6 = 2<sup>12</sup> )。

【 0 0 4 3 】

従って、各ページにパリティを付加する従来例では、各ページに 5 2 0 b i t のパリティデータ量を必要とする。このため、1 ページサイズ ( データとパリティの合計サイズ ) は 4 6 1 6 b i t となる。本実施の形態では、ページ L に対しては、従来と同等の 4 0 b i t 訂正可能としなければ同等の不良確率にすることは出来ないため、5 2 0 b i t のパリティデータ量とする。

【 0 0 4 4 】

仮想ページ U M ' に対しては、ページ L と同等の不良確率にするには 4 / 3 倍の訂正能力とする。4 / 3 倍の理由は以下による。仮想ページ U M ' では、ページ U でしきい値分布の移動によりエラーとなる場合とページ M でしきい値分布の移動によりエラーとなる場合との両方を含む。従って、仮想ページ U M ' のエラー確率は、ページ U、M の両ページの合計となる。図 2 に示すように、ページ U は隣の分布へ移動してデータエラーとなる箇所が 2 箇所 ( 境界 # 3、境界 # 7 )、ページ M も隣の分布へ移動してデータエラーとなる箇所が 2 箇所 ( 境界 # 1、境界 # 5 ) であり、合計すると 4 箇所である。これに対して、ページ L は 3 箇所 ( 境界 # 2、境界 # 4、境界 # 6 ) であるため、仮想ページ U M ' のエラー発生確率は、比率としてはページ L の 4 / 3 倍となる。従って、ページ U M ' に対するパリティデータ量は 6 9 4 b i t となる。

【 0 0 4 5 】

図 9 は、本実施の形態の N A N D フラッシュメモリ 2 へのデータおよびパリティの格納位置の一例を示す図である。図 9 では、N A N D フラッシュメモリ 2 の 1 つのワードラインを共有する 3 つのページアドレスのメモリセルへのデータ格納位置を示している。前述した誤り訂正符号化の対象とする所定のデータサイズを 4 0 9 6 b i t とした例を示しているが、誤り訂正符号化の対象とする所定のデータサイズはこれに限定されない。

【 0 0 4 6 】

本実施の形態では、パリティは 2 ページ分のサイズのデータ量に対して生成されているため、パリティデータを 3 ページアドレスにまたがるパリティ格納エリアに分散して格納する。図 9 では、仮想ページ U M ' ( U M ' パリティ ) のパリティとページ L のパリティ ( L パリティ ) を両方とも 3 分して 3 ページに振り分けているが、これに限らずどのような分散のさせ方でもよい。また、パリティのデータ量は、ページ L が 5 2 0 b i t、仮想ページ U M ' を 6 9 4 b i t としているが、パリティのデータ量はこれらに限定されない。

【 0 0 4 7 】

なお、前述したページ L、仮想ページ U M ' のパリティデータ量は 3 で割り切れないため、整数に切り上げている。図 9 の例では、1 ページのパリティデータ量は 4 0 9 6 b i t であり、1 ページサイズ ( 1 ページ分のデータとパリティのデータ量 ) は 4 5 0 2 b i t となり、ページごとに 5 2 0 b i t のパリティを付加する場合の 1 ページサイズ 4 6 1 6 b i t よりデータ量を削減することができる。ここでは、パリティのデータ量を削減する例を示したが、従来例と同等の各ページ 5 2 0 b i t ずつ計 1 5 6 0 b i t のパリティデータ量を確保したとすれば、誤り訂正能力を上げることが可能となる。この場合は不良確率を向上させるメリットとなることはいうまでもない。

【 0 0 4 8 】

N A N D フラッシュメモリ 2 からの読み出し動作時には、書き込みデータ ( ページ U、M、L のデータ ) と対応するパリティとが同時に読み出される。ただし、本実施の形態では、パリティは仮想ページ U M ' とページ L の 2 ページ分のデータに対するものである。ページ L はそのまま誤り訂正処理を行えばよいが、ページ U および M については、書き込み時と同様に仮想ページ U M ' を作成する。そして、仮想ページ U M ' に対して誤り訂正処理を行った後、再度、ページ U、M に復元する。

【 0 0 4 9 】

なお、前述の式 ( 1 ) に示したようにページ L のデータを用いて仮想ページ U M ' を生

10

20

30

40

50

成するためには、Lのデータが正しいことが前提となる。従って、手順としては、まずページLの誤り訂正処理を行い、次に仮想ページUM'の生成を行い、その上で仮想ページUM'の誤り訂正処理を行う。

【0050】

ここで、仮想ページUM'のデータからページUおよびMのデータを復元する規則は以下の式(2)の通りである。なお、復元後のページUのデータをUA[i]、復元後のページMのデータをMA[i]とする。書き込み時の逆方向となる。エラー訂正対象外のデータは仮想ページUM'から復元するのではなくNANDフラッシュメモリ2から読み出したデータ(式(2)の左辺のU[i]、M[i])そのままとなる。

$$\begin{aligned} UA[i] &= UM'[i] \quad (\text{if } L[i] = 0) \\ &U[i] \quad (\text{otherwise}) \\ MA[i] &= UM'[i] \quad (\text{if } L[i] = 1) \\ &M[i] \quad (\text{otherwise}) \end{aligned} \quad \dots (2)$$

10

【0051】

また、本実施の形態のさらなるメリットとして、従来全3ページを独立にエラー訂正動作していたところを、ページU、Mの2ページ分をひとまとまりとしてエラー訂正するということによるエラー訂正確率向上という効果が期待できる。これは、ページUまたはページMの片方のページのエラー発生確率が低い場合、結果として、もう片方のページのエラー訂正に訂正能力を振り分けることができるためである。

20

【0052】

図10は、本実施の形態のNANDフラッシュメモリ2への書き込み手順の一例を示すフローチャートである。まず、メモリコントローラ1のプロセッサ12は、同一ワードラインへ書き込むページU、M、Lの3ページのデータに基づいて仮想ページUM'のデータ(UM'の一時データ)を生成し、RAM11へ格納する(ステップS1)。プロセッサ12は、ECC回路14に対してページLに対するパリティの生成を指示する(ステップS2)。この指示により、ECC回路14は、RAM11に格納されているページLのデータに対してパリティを生成する。

【0053】

次に、プロセッサ12は、UM'の一時データに基づいてパリティを生成するようECC回路14へ指示する(ステップS3)。この指示により、ECC回路14は、RAM11に格納されているUM'の一時データに対してパリティを生成する。

30

【0054】

プロセッサ12は、ページUM'、ページLのパリティを3ページのパリティ格納アドレスに振り分け、ページU、M、Lのデータと振り分けたパリティとを結合したデータをRAM11上に生成する(ステップS4)。その後、プロセッサ12は、メモリアンターフェイス15に対して、ページU、M、Lの3ページ分のデータ(パリティを含む)の書き込みを指示する(ステップS5)。

【0055】

図11は、本実施の形態のNANDフラッシュメモリ2からの読み出し手順の一例を示すフローチャートである。まず、メモリコントローラ1のプロセッサ12は、メモリアンターフェイス15に対して、読み出し対象のページデータのNANDメモリ2からの読み出しを指示する(ステップS11)。この際、読み出し対象データが格納された選択ワードラインに格納されたU、M、Lの3ページ分のデータおよびパリティを全て読み出す。ただし、ページLのみを読み出す場合は、3ページ分のデータを読み出す必要はなく、従来と同様にページLのページデータ(Lパリティを含む)を読み出して従来と同様に誤り訂正を行えばよい。

40

【0056】

次に、プロセッサ12は、ページLのページデータおよびパリティをECC回路14に送信し、ページLのデータに対するエラー検出を指示する(ステップS12)。ECC回路14は、指示に基づいてページLのデータのエラー検出を行う。

50

## 【0057】

プロセッサ12は、ECC回路14からエラー検出結果を取得し、エラーが存在するかどうかを判定する(ステップS13)。エラーが存在したら(ステップS13 Yes)、ECC回路14に対して、ページLのデータのエラー訂正を指示する(ステップS14)。ECC回路14は、指示に基づいてエラービットのすべてについてデータ反転してエラー訂正を行う。

## 【0058】

プロセッサ12は、ページU、M、Lのデータに基づいて、UM'の一時データを生成し(ステップS15)、UM'の一時データと読み出したUM'のパリティをECC回路14に入力してエラー検出の実施を指示する(ステップS16)。ECC回路14は、指示に基づいてUM'の一時データのエラー検出を行う。

10

## 【0059】

プロセッサ12は、UM'の一時データのエラー検出結果をECC回路14から取得し、エラーが存在するかどうかを判定する(ステップS17)。エラーが存在したら(ステップS17 Yes)、ECC回路14に対して、UM'の一時データのエラー訂正を指示する(ステップS18)。ECC回路14は、指示に基づいてエラービットのすべてについてデータ反転してエラー訂正を行う。

## 【0060】

次に、プロセッサ12は、エラー訂正後(エラーのないビットは読み出しデータのまま)のUM'の一時データおよびページLのデータに基づいてページU、M、Lの3ページ分のデータを復元する(ステップS19)。なお、ページについては、エラー訂正後のページLがそのまま復元後のページLのデータである。

20

## 【0061】

ステップS13で、ページLのデータにエラーが存在しなければ(ステップS13 No)、ステップS14は実施せずに、ステップS15へ進む。また、ステップS17で、UM'の一時データにエラーが存在しなければ(ステップS17 No)、ステップS18は実施せずに、ステップS19へ進む。

## 【0062】

このように、本実施の形態では、2つのページのデータのうち、エラーの発生確率が高いデータを抽出して仮想的な1ページ分のデータを生成し、この仮想的な1ページ分のデータに対してパリティを生成するようにした。このため、各ページについてそれぞれパリティを付加する場合に比べ、エラー訂正符号(パリティ)を効率的に使用することが可能になり、パリティデータ量を増やさずエラー訂正能力を向上させることができる。またエラー訂正能力を向上させないのであれば、パリティデータ量を減らすことができるのでパリティデータを格納するNANDフラッシュメモリ2のメモリセル量やECC回路14の規模を減らすことができコストを削減することができる。

30

## 【0063】

なお、本実施の形態では、図2に示したに示した2-2-3分割のデータ割付の例について、境界数が3であるLのデータの値によって式(1)に従って仮想ページのデータを生成した。これに限らず、3ページへのデータ境界数の配分が2、2、3個であれば、どのようなデータ割り付けであっても適用可能である。例えば、U、M、Lの順に3-2-2分割であってもよい。

40

## 【0064】

この理由は、グレイ・コードでは、境界数2個の2ページと境界数3個の1ページの境界位置割り付けは一意に決まり、本手法は境界位置のみに依存しデータが“1”であるか“0”であるかは問わない。従って、この一意に決まっている境界位置割付のうち、境界数を3とするページをU、M、Lのどのページとするか、だけの差である。従って、境界数3個のページのデータにより境界数2個の2ページのデータに対する一時データを生成すればよい。例えば、3-2-2分割の場合には、境界数が3であるページUの値に基づいて、ページMおよびLに基づいて仮想的な1ページ分のデータを生成することができる

50

。

## 【 0 0 6 5 】

(第2の実施の形態)

次に、第2の実施の形態の半導体記憶システムについて説明する。本実施の形態の半導体記憶システムの構成は、第1の実施の形態と同様である。以下、第1の実施の形態と異なる部分を説明する。

## 【 0 0 6 6 】

第1の実施の形態では、隣接するしきい値分布への移動によるエラーだけを訂正しているが、実際には隣接しないしきい値分布への移動(2レベル以上の移動)等大幅な誤りがわずかな確率ながら発生する。本実施の形態では、第1の実施の形態の利点を有しつつ、隣接するしきい値分布への移動以外の誤りでも訂正可能にする手法を説明する。

10

## 【 0 0 6 7 】

図12は、本実施の形態に本実施の形態のエラー訂正対象とするデータの選び方の一例を示す図である。図12では、図2に示すデータ割付を前提としている。第1の実施の形態との相違点は、エラー訂正対象から除外していたデータによって仮想ページを生成し、この仮想ページのデータにパリティを付加する点である。本実施の形態では、第1の実施の形態の仮想ページUM'と同一の方法で仮想ページU'を生成する。加えて、本実施の形態では、ページUおよびMのデータのうち仮想ページU'に含まれないデータを用いて仮想ページM'を生成する。

20

## 【 0 0 6 8 】

すなわち、図12の破線で示したデータで仮想ページU'を構成し、それ以外の一点鎖線で示したデータで仮想ページM'を構成する。仮想ページM'は1つのメモリセル内で隣のしきい値分布への移動よりも大幅な誤りが発生した場合にエラーとなるデータで構成されるため、仮想ページM'のデータにエラーが発生する確率は仮想ページUのデータに比べてはるかに少ない。このため、仮想ページM'に対するエラー訂正能力は高くなくてよく、パリティデータ量は少量でよい。

## 【 0 0 6 9 】

仮想ページU'、仮想ページM'にそれぞれ対応する一時データU'[i]、M'[i]を生成する規則を以下の式(3)に示す。

$$\begin{aligned} U'[i] &= U[i] \quad (\text{if } L[i] = 0) \\ &M[i] \quad (\text{otherwise}) \\ M'[i] &= U[i] \quad (\text{if } L[i] = 1) \\ &M[i] \quad (\text{otherwise}) \end{aligned} \quad \dots (3)$$

30

## 【 0 0 7 0 】

NANDフラッシュメモリ2への書き込み動作時には、上記の式(3)に従って一時データを生成し、仮想ページU'、仮想ページM'、ページLの3ページ分のデータに対してパリティを付与する。

## 【 0 0 7 1 】

図13は、仮想ページU'、M'の生成とパリティ生成手順の一例を示す図である。図13の左上図は、ホストから送信されたデータをプロセッサ12が各ページに割り付けた状態を示している。データ41, 42, 43は、各々1つのメモリセルに格納される3ビットのデータである。データ54, 55, 56は、それぞれデータ41, 42, 43に基づいて生成された仮想ページU'、M'のデータである。前述の式(3)に従って、U'[i]、M'[i]を抽出すると、図8の右上図のようになる。ここでは、例として、データ41, 42, 43を示す番号(i)を1, 2, 3とする。データ41は、ページLのデータが“0”であるから式(3)に従って、U'[1] = U[1] = 1、M'[1] = M[1] = 1となる。データ43は、ページLのデータが“1”であるから式(3)に従って、U'[3] = M[3] = 1、M'[1] = U[1] = 0となる。

40

## 【 0 0 7 2 】

そして、仮想ページU'、M'のデータとページLのデータとに基づいてパリティが生

50

成され、図13の左下図に示すように、ページU、MおよびLのデータとパリティが書き込まれる。

【0073】

NANDフラッシュメモリ2からの読み出し動作時には、ページLは第1の実施の形態と同様にはそのままパリティを用いて誤り訂正すればよい。ページUとページMについては、仮想ページU'、仮想ページM'の生成(仮想ページU'、仮想ページM'に対応する一時データの生成)を行い、ページごとにパリティを用いて誤り訂正を行う。その後、ページU、ページMのデータを復元する。また、仮想ページU'、仮想ページM'に対応する一時データを作成するためにはページLのデータが正しいことが前提となっているため、手順としては、ページLの訂正を行った後に仮想ページU'、仮想ページM'の生成を行う。そして、その上で仮想ページU'、仮想ページM'の誤り訂正を行い、ページU、ページLの復元となる。

10

【0074】

仮想ページU'、仮想ページM'の一時データからページU、Mのデータを復元する規則を以下の式(4)に示す。

$$\begin{aligned} U[i] &= U'[i] && (\text{if } L[i] = 0) \\ &M'[i] && (\text{otherwise}) \\ M[i] &= U'[i] && (\text{if } L[i] = 1) \\ &M'[i] && (\text{otherwise}) \end{aligned} \quad \dots (4)$$

【0075】

次に、データ量の数値例を挙げる。第1の実施の形態の数値例と同様に、1ページのユーザデータ量を4096bitとし、このうち40bitを訂正可能な能力のBCH方式によるECC回路14を用いるとすると、パリティデータ量は520bitである。

20

【0076】

本実施の形態では、ページLに対して40bit訂正可能とするためには第1の実施の形態と同様にパリティデータ量は520bitとなる。仮想ページU'に対しては、ページUとMのそれぞれを40bit訂正可能とするためには第1の実施の形態の仮想ページUM'と同様に694bitとなる。2レベル以上誤るエラーについては4つのメモリセルまで訂正可能であるようにすると、仮想ページM'に対するパリティデータ量は104bitである(2ページ×4bit×13; 13=12+1; 4096=2<sup>12</sup>)。

30

【0077】

図14は、本実施の形態のNANDフラッシュメモリ2へのデータおよびパリティの格納位置の一例を示す図である。図14では、NANDフラッシュメモリ2の1つのワードラインを共有する3つのページアドレスのメモリセルへのデータ格納位置を示している。前述した誤り訂正符号化の対象とする所定のデータサイズを4096bitとした例を示しているが、誤り訂正符号化の対象とする所定のデータサイズはこれに限定されない。

【0078】

本実施の形態では、パリティデータは3ページ分のサイズのデータ量に対して生成されているが、ページM'のデータに対するパリティ(M'パリティ)はデータサイズがU'パリティおよびLパリティと比較すると小さい。そのためここでは、U'パリティとLパリティを3ページアドレスにまたがるパリティ格納エリアに分散して格納し、M'パリティは1つのページアドレスに格納している。各パリティの各ページのパリティ格納エリアへの配分はどのような分散のさせ方でも発明の効果は同じである。

40

【0079】

なお、前述したパリティデータ量は3で割り切れないため、整数に切り上げている。この例では、1ページのパリティデータ量は440bitであり、1ページサイズは4536bitとなる。このように、本実施の形態では、第1の実施の形態よりはエラー訂正能力を向上させた分増加してするものの、従来の4616bitよりはデータ量を削減している。

【0080】

50

図15は、本実施の形態のNANDフラッシュメモリ2への書き込み手順の一例を示すフローチャートである。まず、メモリコントローラ1のプロセッサ12は、同一ワードラインへ書き込むページU、M、Lの3ページのデータに基づいて仮想ページU'、M'のデータ(仮想ページU'、M'の一時データ)を生成し、RAM11へ格納する(ステップS21)。プロセッサ12は、ECC回路14に対してページLに対するパリティの生成を指示する(ステップS22)。この指示により、ECC回路14は、RAM11に格納されているページLのデータに対してパリティを生成する。

【0081】

次に、プロセッサ12は、仮想ページU'の一時データに基づいてパリティを生成するようECC回路14へ指示する(ステップS23)。この指示により、ECC回路14は、RAM11に格納されているU'の一時データに対してパリティを生成する。

10

【0082】

次に、プロセッサ12は、仮想ページM'の一時データに基づいてパリティを生成するようECC回路14へ指示する(ステップS24)。この指示により、ECC回路14は、RAM11に格納されているM'の一時データに対してパリティを生成する。なお、ステップS23とステップS24の順序は逆でもよい。

【0083】

プロセッサ12は、仮想ページU'、M'およびページLのパリティを3ページのパリティ格納アドレスに振り分け、ページU、M、Lのデータと振り分けたパリティとを結合したデータをRAM11上に生成する(ステップS25)。その後、プロセッサ12は、メモリアインターフェイス15に対して、ページU、M、Lの3ページ分のデータ(パリティを含む)の書き込みを指示する(ステップS26)。

20

【0084】

図16は、本実施の形態のNANDフラッシュメモリ2からの読み出し手順の一例を示すフローチャートである。まず、メモリコントローラ1のプロセッサ12は、メモリアインターフェイス15に対して、読み出し対象のページデータのNANDメモリ2からの読み出しを指示する(ステップS31)。この際、読み出し対象データが格納された選択ワードラインに格納されたU、M、Lの3ページ分のデータおよびパリティを全て読み出す。

【0085】

次に、プロセッサ12は、ページLのページデータおよびパリティをECC回路14に送信し、ページLのデータに対するエラー検出を指示する(ステップS32)。ECC回路14は、指示に基づいてページLのデータのエラー検出を行う。

30

【0086】

プロセッサ12は、ECC回路14からエラー検出結果を取得し、エラーが存在するかどうかを判定する(ステップS33)。エラーが存在したら(ステップS33 Yes)、ECC回路14に対して、ページLのデータのエラー訂正を指示する(ステップS34)。ECC回路14は、指示に基づいてエラービットのすべてについてデータ反転してエラー訂正を行う。

【0087】

プロセッサ12は、ページU、M、Lのデータに基づいて、U'、M'の一時データを生成し(ステップS35)、U'の一時データと読み出したU'パリティとをECC回路14に入力してエラー検出の実施を指示する(ステップS36)。ECC回路14は、指示に基づいてU'の一時データのエラー検出を行う。

40

【0088】

プロセッサ12は、U'の一時データのエラー検出結果をECC回路14から取得し、エラーが存在するかどうかを判定する(ステップS37)。エラーが存在したら(ステップS37 Yes)、ECC回路14に対して、U'の一時データのエラー訂正を指示する(ステップS38)。ECC回路14は、指示に基づいてエラービットのすべてについてデータ反転してエラー訂正を行う。

【0089】

50

次に、M'の一時データと読み出したM'パリティとをECC回路14に入力してエラー検出の実施を指示する(ステップS39)。ECC回路14は、指示に基づいてM'の一時データのエラー検出を行う。

【0090】

プロセッサ12は、M'の一時データのエラー検出結果をECC回路14から取得し、エラーが存在するか否かを判定する(ステップS40)。エラーが存在したら(ステップS40 Yes)、ECC回路14に対して、M'の一時データのエラー訂正を指示する(ステップS41)。ECC回路14は、指示に基づいてエラービットのすべてについてデータ反転してエラー訂正を行う。

【0091】

次に、プロセッサ12は、エラー訂正後(エラーのないビットは読み出しデータのまま)のU'、M'の一時データおよびページLのデータに基づいてページU、M、Lの3ページ分のデータを復元する(ステップS42)。

【0092】

ステップS33で、ページLのデータにエラーが存在しなければ(ステップS33 No)、ステップS34は実施せずに、ステップS35へ進む。また、ステップS37で、U'の一時データにエラーが存在しなければ(ステップS37 No)、ステップS38は実施せずに、ステップS39へ進む。また、ステップS40で、M'の一時データにエラーが存在しなければ(ステップS40 No)、ステップS41は実施せずに、ステップS42へ進む。

【0093】

本実施の形態では、第1の実施の形態と同様にページUおよびMのうちエラー発生確率の多いデータで仮想ページU'を生成してこの仮想ページに対するパリティを生成する。さらに、本実施の形態では、ページUおよびMのうち仮想ページU'を構成しないデータで別の仮想ページM'を構成して、仮想ページM'に対して、仮想ページU'より誤り訂正能力の低いパリティを生成するようにした。このため、第1の実施の形態と同様の効果が得られるとともに、メモリしきい値が2つ隣まで移動してしまったり、オーバープログラムなどによるメモリセルのしきい値が大きく移動してしまったり、するようなメモリセル内の2ビット以上のエラーでも訂正可能になる。

【0094】

(第3の実施の形態)

次に、第3の実施の形態の半導体記憶システムについて説明する。本実施の形態の半導体記憶システムの構成は、第1の実施の形態と同様である。以下、第1の実施の形態と異なる部分を説明する。

【0095】

図17は、本実施の形態に本実施の形態のエラー訂正対象とするデータの選び方の一例を示す図である。図17では、図2に示すデータ割付を前提としている。仮想ページUM'の生成方法と、仮想ページUM'に対するパリティの生成方法は第1の実施の形態と同様である。第1の実施の形態との相違点は、ページU、Mのデータに対しても、ページごとにそれぞれパリティを付加することである。

【0096】

第2の実施の形態で述べたように、隣接しないしきい値分布への移動(2レベル以上の移動)等大幅な誤りがわずかな確率ながら発生する。本実施の形態では、第1の実施の形態の利点を有しつつ、隣接するしきい値分布への移動以外の誤りでも訂正可能にするために、ページU、Mのデータに対してもパリティを付加する。ただし、隣接するしきい値分布に対応するエラーの訂正は、ページUM'のパリティを用いて実施できるため、ページU、Mに対するパリティは、エラー訂正能力はそれほど高くないとよくパリティデータ量は少量でよい。

【0097】

NANDフラッシュメモリ2からの読み出し動作時には、まず、第1の実施の形態と同

10

20

30

40

50

様にページLの誤り訂正を行い、次に仮想ページUM'の生成を行い、その上でページUM'の誤り訂正を行ってページU、Mを復元する。その後、ページU、Mについての誤り訂正を行う。

【0098】

次に、データ量の数値例を挙げる。第1の実施の形態の数値例と同様に、1ページのユーザデータ量を4096bitとし、このうち40bitを訂正可能な能力のBCH方式によるECC回路14を用いるとすると、パリティデータ量は520bitである。

【0099】

本実施の形態では、ページLに対して40bit訂正可能とするためには、第1の実施の形態と同様にページLのパリティデータ量は520bitである。ページU、Mのそれぞれを40bit訂正可能とするためには第1の実施の形態と同様に、ページUM'のパリティデータ量は694bitとなる。さらに、ページU、Mについて2レベル以上誤るセルの数を4セルまで訂正可能であるようにするには、ページU、Mに対するパリティデータ量はそれぞれ52bitである(4bit×13; 13=12+1; 4096=2<sup>12</sup>)。

10

【0100】

図18は、本実施の形態のNANDフラッシュメモリ2へのデータおよびパリティの格納位置の一例を示す図である。図18では、NANDフラッシュメモリ2の1つのワードラインを共有する3つのページアドレスのメモリセルへのデータ格納位置を示している。前述した誤り訂正符号化の対象とする所定のデータサイズを4096bitとした例を示しているが、誤り訂正符号化の対象とする所定のデータサイズはこれに限定されない。

20

【0101】

本実施の形態では、パリティデータは4ページ分のサイズのデータ量に対して生成されているが、ページUのデータに対するパリティ(Uパリティ)、およびページMのデータに対するパリティ(Mパリティ)は、データサイズがUM'パリティおよびLパリティと比較すると小さい。ここでは、UM'パリティ、Lパリティ、UパリティおよびMパリティのすべてのパリティをすべて3ページアドレスにまたがるパリティ格納エリアに分散して格納している。各パリティの各ページのパリティ格納エリアへの配分はどのような分散のさせ方でも発明の効果は同じである。

【0102】

前述したパリティデータ量は3で割り切れないため、整数に切り上げている。この例では、1ページのパリティデータ量は442bitであり、1ページサイズは4538bitとなる。この例では、ページサイズは、エラー訂正能力を向上させた分、第1の実施の形態よりは増加しているが、従来の4616bitよりはデータ量を削減している。

30

【0103】

図19は、本実施の形態のNANDフラッシュメモリ2への書き込み手順の一例を示すフローチャートである。まず、メモリコントローラ1のプロセッサ12は、同一ワードラインへ書き込むページU、M、Lのうち、ページUのデータに対するパリティの生成を指示する(ステップS51)。ECC回路14は、指示に基づいてページUのデータに対してパリティを生成する。

40

【0104】

次に、プロセッサ12は、ページMのデータに対するパリティの生成を指示する(ステップS52)。ECC回路14は、指示に基づいてページMのデータに対してパリティを生成する。

【0105】

次に、プロセッサ12は、ページU、M、Lの3ページのデータに基づいて仮想ページUM'のデータ(仮想ページUM'の一時データ)を生成し、RAM11へ格納する(ステップS53)。そして、プロセッサ12は、ECC回路14に対してページLに対するパリティの生成を指示する(ステップS54)。この指示により、ECC回路14は、RAM11に格納されているページLのデータに対してパリティを生成する。さらに、プロ

50

セッサ 1 2 は、E C C 回路 1 4 に対して仮想ページ U M ' に対するパリティの生成を指示する (ステップ S 5 5 )。この指示により、E C C 回路 1 4 は、R A M 1 1 に格納されている仮想ページ U M ' のデータに対してパリティを生成する。

【 0 1 0 6 】

そして、プロセッサ 1 2 は、仮想ページ U M '、ページ U、M、L のパリティを 3 ページのパリティ格納アドレスに振り分け、ページ U、M、L のデータと振り分けたパリティとを結合したデータを R A M 1 1 上に生成する (ステップ S 5 6 )。その後、プロセッサ 1 2 は、メモリアンターフェイス 1 5 に対して、ページ U、M、L の 3 ページ分のデータ (パリティを含む) の書き込みを指示する (ステップ S 5 7 )。

【 0 1 0 7 】

図 2 0 は、本実施の形態の N A N D フラッシュメモリ 2 からの読み出し手順の一例を示すフローチャートである。まず、メモリコントローラ 1 のプロセッサ 1 2 は、メモリアンターフェイス 1 5 に対して、読み出し対象のページデータの N A N D メモリ 2 からの読み出しを指示する (ステップ S 6 1 )。この際、読み出し対象データが格納された選択ワードラインに格納された U、M、L の 3 ページ分のデータおよびパリティを全て読み出す。

【 0 1 0 8 】

次に、プロセッサ 1 2 は、ページ L のページデータおよびパリティを E C C 回路 1 4 に送信し、ページ L のデータに対するエラー検出を指示する (ステップ S 6 2 )。E C C 回路 1 4 は、指示に基づいてページ L のデータのエラー検出を行う。

【 0 1 0 9 】

プロセッサ 1 2 は、E C C 回路 1 4 からエラー検出結果を取得し、エラーが存在するかどうかを判定する (ステップ S 6 3 )。エラーが存在したら (ステップ S 6 3 Y e s )、E C C 回路 1 4 に対して、ページ L のデータのエラー訂正を指示する (ステップ S 6 4 )。E C C 回路 1 4 は、指示に基づいてエラービットのすべてについてデータ反転してエラー訂正を行う。

【 0 1 1 0 】

プロセッサ 1 2 は、ページ U、M、L のデータに基づいて、U M ' の一時データを生成し (ステップ S 6 5 )、生成した U M ' の一時データと読み出した U M ' パリティとを E C C 回路 1 4 に入力してエラー検出の実施を指示する (ステップ S 6 6 )。E C C 回路 1 4 は、指示に基づいて U M ' の一時データのエラー検出を行う。

【 0 1 1 1 】

プロセッサ 1 2 は、U M ' の一時データのエラー検出結果を E C C 回路 1 4 から取得し、エラーが存在するかどうかを判定する (ステップ S 6 7 )。エラーが存在したら (ステップ S 6 7 Y e s )、E C C 回路 1 4 に対して、U M ' の一時データのエラー訂正を指示する (ステップ S 6 8 )。E C C 回路 1 4 は、指示に基づいてエラービットのすべてについてデータ反転してエラー訂正を行う。

【 0 1 1 2 】

次に、エラー訂正後のページ L のデータ、エラー訂正後の U M ' のデータを用いて、ページ U のデータおよびページ M のデータを復元する (ステップ S 6 9 )。ここで復元されるページ U およびページ M のデータは、U M ' パリティによる誤り訂正がなされたデータ (すなわち隣接するしきい値分布への移動の誤りが訂正されたデータ) である。

【 0 1 1 3 】

プロセッサ 1 2 は、復元後のページ U のデータと読み出した U パリティとを E C C 回路 1 4 に入力してエラー検出の実施を指示する (ステップ S 7 0 )。E C C 回路 1 4 は、復元後のページ U のエラー検出を行う。

【 0 1 1 4 】

プロセッサ 1 2 は、復元後のページ U のエラー検出結果を E C C 回路 1 4 から取得し、エラーが存在するかどうかを判定する (ステップ S 7 1 )。エラーが存在したら (ステップ S 7 1 Y e s )、E C C 回路 1 4 に対して、復元後のページ U のエラー訂正の実施を指示する (ステップ S 7 2 )。E C C 回路 1 4 は、指示に基づいてエラービットのすべてに

10

20

30

40

50

ついてデータ反転してエラー訂正を行う。

【0115】

次に、プロセッサ12は、復元後のページMのデータと読み出したUパリティとをECC回路14に入力してエラー検出の実施を指示する(ステップS73)。プロセッサ12は、復元後のページMのエラー検出結果をECC回路14から取得し、エラーが存在するか否かを判定する(ステップS73)。エラーが存在したら(ステップS74 Yes)、ECC回路14に対して、復元後のページMのエラー訂正の実施を指示する(ステップS75)。ECC回路14は、指示に基づいてエラービットのすべてについてデータ反転してエラー訂正を行う。

【0116】

ステップS63で、ページLのデータにエラーが存在しなければ(ステップS63 No)、ステップS64は実施せずに、ステップS65へ進む。また、ステップS67で、UM'の一時データにエラーが存在しなければ(ステップS67 No)、ステップS68は実施せずに、ステップS69へ進む。また、ステップS71で、復元後のページUにエラーが存在しなければ(ステップS71 No)、ステップS72は実施せずに、ステップS73へ進む。また、ステップS74で、復元後のページMにエラーが存在しなければ(ステップS74 No)、ステップS75は実施しない。

【0117】

本実施の形態では、第1の実施の形態と同様に第1の実施の形態と同様にページUおよびMのうちエラー発生確率の多いデータで仮想ページUM'を生成してこの仮想ページに対するパリティを生成する。さらに、本実施の形態では、ページU、Mについても仮想ページUM'より誤り訂正能力の低いパリティを生成するようにした。このため、第1の実施の形態と同様の効果が得られるとともに、メモリしきい値が2つ隣まで移動してしまったり、オーバープログラムなどによるメモリセルのしきい値が大きく移動してしまったり、するようなメモリセル内の2ビット以上のエラーでも訂正可能になる。

【0118】

また、本実施の形態では、第2の実施の形態よりパリティデータ量は増える。しかしながら、第2の実施の形態では一時データを2ページ分生成する必要があったところが本実施例では1ページ分でのよいので、一時データを保持するためのワーキングメモリを小さくすることが可能である。

【0119】

(第4の実施の形態)

図21は、第4の実施の形態におけるNANDフラッシュメモリ2のメモリセルにデータを格納する際のメモリセルのしきい値とデータの割付の一例を示す図である。本実施の形態の半導体記憶システムの構成は、第1の実施の形態と同様である。以下、第1の実施の形態と異なる部分を説明する。

【0120】

本実施の形態では、1つのメモリセルに4bitを格納する例について説明する。4bitを格納するために、16種類のしきい値分布を定義し、図21に示すように各々のしきい値分布にデータを割り当てている。本実施の形態でも、隣接するしきい値分布に割り当てるデータは1bitの差となるグレイ・コードとしている。1つのメモリセルに格納される4bitにそれぞれ対応するページアドレスを、それぞれT(Top)、H(Higher)、U(Upper)、L(Lower)とする。図21では、両側の隣接するしきい値分布への移動でデータが変化しない位置を破線で囲っている。

【0121】

図22は、本実施の形態に本実施の形態のエラー訂正対象とするデータの選び方の一例を示す図である。前述したように、エラー要因が隣へのしきい値分布移動であるとする、両隣の隣接しきい値分布でデータが変化しないデータはエラーが発生しない。1つのメモリセルに3bitのデータを格納する場合(3bit/セルの場合)は、第1の実施の形態の図7で示したように、エラーが発生しない分布位置(図7の例では、ページU、M

10

20

30

40

50

の破線以外の位置)がページ間での分布位置重なりを持たない。さらに、3bit/セルの場合は、第1の実施の形態で説明したように、残りの1つのページ(図7の例では、ページL)のデータ値によって、対応するしきい値分布において、どちらのページが、エラーが発生しやすいかを判別することが可能であった。

#### 【0122】

しかし、図21に示すように、1つのメモリセルに4bitのデータを格納する場合には、エラーが発生しない分布位置を2つのページ間で重なりなく、またぬけなく抽出することはできない場合がある。4ページのうちの2つのページ(ページA、Bとする)に着目した場合に、ページAにおいてエラーが発生しない位置であるしきい値分布がページBにおいてはエラーが発生する位置であり、かつページBにおいてエラーが発生しない位置であるしきい値分布がページAにおいてはエラーが発生する位置である場合には、第1の実施の形態と同様にページA、Bからエラーが発生する位置のデータを抽出することができる。しかし、図21のように、エラーが発生しない分布位置を2つのページ間で重なる場合は、2ページのデータからエラーが発生するデータだけを抽出した仮想ページを生成することができない。

10

#### 【0123】

したがって、本実施の形態では、隣へのしきい値分布移動によりエラーが生じるデータだけを含む仮想ページを生成できないため、2つ以上の境界を超えてしきい値分布が移動するエラーが生じるデータも含んだ仮想ページを生成する。ただし、後者のデータ(2つ以上の境界を超えてしきい値分布が移動するエラーが生じるデータ)は、少なくなるよう仮想ページを生成する。図22の例では、ページH、Uのデータによりこの仮想ページを構成し、この仮想ページをページU'としている。また、ページH、UのうちページU'を構成しないデータにより別の仮想ページを構成し、この別の仮想ページを仮想ページH'としている。仮想ページH'は、2つ以上の境界を超えてしきい値分布が移動するエラーが生じるデータが大多数だが、隣へのしきい値分布移動によるエラーが生じるデータを少量含む。そして仮想ページH'、U'の両方についてパリティを付加する。エラー訂正能力は、仮想ページU'を高く、仮想ページH'は低くてよい。ページT、Lについては、それぞれページごとにパリティを付加する。

20

#### 【0124】

仮想ページH'、U'を構成する一時データを、それぞれH'[i]、U'[i]とすると、H'[i]、U'[i]を生成する規則は以下の式(5)で表すことができる。

30

$$\begin{aligned} H'[i] &= H[i] \quad (\text{if } L[i] = 1) \\ &\quad U[i] \quad (\text{otherwise}) \\ U'[i] &= H[i] \quad (\text{if } L[i] = 0) \\ &\quad U[i] \quad (\text{otherwise}) \quad \dots (5) \end{aligned}$$

#### 【0125】

図22の例では、仮想ページH'を構成する位置を破線で囲み、仮想ページU'を構成する位置を一点鎖線で囲んでいる。図21からわかるように、一番左のしきい値分布Erは、ページU、Hもいずれも隣へのしきい値分布移動によりエラーが生じるデータでない。しかし、図22の上側の図をみるとわかるように、ページUのしきい値分布Erに対応するデータは仮想ページU'に割り当てられる。このように、仮想ページU'は、隣へのしきい値分布移動によりエラーが生じるデータを多く含むものの、しきい値分布移動によりエラーが生じるデータでないものも含んでいる。

40

#### 【0126】

なお、ここでは、L[i]の値に基づいて仮想ページH'、U'を生成するようにしたが、仮想ページH'と仮想ページU'のうち、仮想ページU'が仮想ページH'より、隣へのしきい値分布移動によりエラーが生じるデータを多く含むような仮想ページの生成方法であれば、上記の式(5)で示した生成方法に限定されない。例えば、上記のしきい値分布Erに対応するデータは、図22の例と逆に、仮想ページU'にページHのデータを割り当て、仮想ページH'にページUのデータを割り当ててもよい。この場合には、ペー

50

ジ L の値に基づいて仮想ページ U'、H' を生成することができないため、ページ T、H、U、L の各データの値との仮想ページ U'、H' との対応表等を用いて仮想ページ U'、H' を生成する。

【0127】

NANDフラッシュメモリ 2 への書き込み動作時には、式 (5) の規則に従って 2 ページ分の一時データを生成する。そして、それ以外の 2 ページと合わせた 4 ページ分のデータに対してパリティを付与する。なお、式 (5) では、ページ H、U のデータを用いて仮想ページ H'、U' を生成する例を示したが、他の 2 ページを用いて、同様に仮想ページを生成してもよい。

【0128】

図 23 は、本実施の形態の仮想ページ H'、U' の生成手順の一例を示す図である。図 23 の左側の図は、元になるページ T、H、U、L のデータ例を示し、右側の図は、生成された仮想ページ H'、U' のデータ例を示している。データ 61、62、63、64 は、各々 1 つのメモリセルに格納される 4 ビットのデータである。データ 71、72、73、74 は、それぞれデータ 61、62、63、64 に基づいて生成された仮想ページ H'、U' のデータである。

【0129】

NANDフラッシュメモリ 2 からの読み出し動作時には、ページ T、L はそのまま誤り訂正すればよい。ページ H、U については、H' [i]、U' [i] という一時データを作成し、作成した一時データ (仮想ページ) に対して誤り訂正を行った後に、ページ H、U に復元する。また H' [i]、U' [i] という一時データを作成するためには、ページ L のデータが正しいことが前提となっているため、手順としては、まずページ L の訂正を行い、次に H' [i]、U' [i] の生成を行い、その上で H' [i]、U' [i] の訂正を行い、ページ H、U の復元となる。

【0130】

一時データ H' [i]、U' [i] から、ページ H、L のデータ (H [i]、U [i]) を復元する規則は書き込み時の逆方向となり以下の式 (6) に示す通りである。

$$\begin{aligned} H [i] &= H' [i] \quad (\text{if } L [i] = 1) \\ &U [i] \quad (\text{otherwise}) \\ U [i] &= H' [i] \quad (\text{if } L [i] = 0) \\ &U [i] \quad (\text{otherwise}) \quad \dots (6) \end{aligned}$$

【0131】

以上のようなパリティの付加の方法をとることにより、4 bit / セルの場合でも他のパリティデータ量を減らすことが可能になる。

【0132】

図 24 は、本実施の形態の NANDフラッシュメモリ 2 へのデータおよびパリティの格納位置の一例を示す図である。この例では、T パリティ、H' パリティ、U' パリティ、L パリティを、それぞれ 4 ページアドレスにまたがるパリティ格納エリアに分散して格納する。ここでは、T パリティ、H' パリティ、U' パリティ、L パリティをそれぞれ 4 等分して分散させているが、T パリティ、H' パリティ、U' パリティ、L パリティの各パリティ格納エリアへの分散させ方はこれに限らず、どのような分散のさせ方でも発明の効果は同じである。H' パリティは、他のパリティに比べパリティデータ量を減らすことができる。

【0133】

図 25 は、本実施の形態の NANDフラッシュメモリ 2 への書き込み手順の一例を示すフローチャートである。まず、メモリコントローラ 1 のプロセッサ 12 は、同一ワードラインへ書き込むページ H、U、L の 3 ページのデータに基づいて仮想ページ H'、U' の一時データを生成し、RAM 11 へ格納する (ステップ S81)。なお、NANDフラッシュメモリ 2 へ書き込むのはページ T、H、U、L の 4 ページであるが、式 (5) に示すように、仮想ページ H'、U' の生成にページ T は用いない。

10

20

30

40

50

## 【0134】

プロセッサ12は、ECC回路14に対してページTに対するパリティの生成を指示する(ステップS82)。この指示により、ECC回路14は、RAM11に格納されているページTのデータに対してパリティを生成する。プロセッサ12は、ECC回路14に対してページLに対するパリティの生成を指示する(ステップS83)。この指示により、ECC回路14は、RAM11に格納されているページLのデータに対してパリティを生成する。

## 【0135】

次に、プロセッサ12は、仮想ページH'の一時データに基づいてパリティを生成するようECC回路14へ指示する(ステップS84)。この指示により、ECC回路14は、RAM11に格納されているH'の一時データに対してパリティを生成する。

10

## 【0136】

次に、プロセッサ12は、仮想ページU'の一時データに基づいてパリティを生成するようECC回路14へ指示する(ステップS85)。この指示により、ECC回路14は、RAM11に格納されているU'の一時データに対してパリティを生成する。

## 【0137】

プロセッサ12は、仮想ページH'、U'およびページT、Lのパリティを4ページのパリティ格納アドレスに振り分け、ページT、H、U、Lのデータと振り分けたパリティとを結合したデータをRAM11上に生成する(ステップS86)。その後、プロセッサ12は、メモリアインターフェイス15に対して、ページT、H、U、Lの4ページ分のデータ(パリティを含む)の書き込みを指示する(ステップS87)。

20

## 【0138】

図26は、本実施の形態のNANDフラッシュメモリ2からの読み出し手順の一例を示すフローチャートである。まず、メモリコントローラ1のプロセッサ12は、メモリアインターフェイス15に対して、読み出し対象のページデータのNANDメモリ2からの読み出しを指示する(ステップS91)。なお、読み出し対象データが格納された選択ワードラインに格納されたT、H、U、Lの4ページ分のデータおよびパリティを全て読み出すとする。ただし、ページT、Lのみを読み出す場合は、従来と同様にページT、Lのページデータ(Lパリティ、Tパリティを含む)をそれぞれ読み出して従来と同様にそれぞれ誤り訂正を行えばよい。また、ページHのみ、またはページUのみ、またはページHおよびUを読み出す場合には、ページH、U、Lの3ページを読み出す。

30

## 【0139】

次に、プロセッサ12は、ページTのページデータおよびパリティをECC回路14に送信し、ページTのデータに対するエラー検出を指示する(ステップS92)。ECC回路14は、指示に基づいてページTのデータのエラー検出を行う。

## 【0140】

プロセッサ12は、ECC回路14からエラー検出結果を取得し、エラーが存在するかどうかを判定する(ステップS93)。エラーが存在したら(ステップS93 Yes)、ECC回路14に対して、ページTのデータのエラー訂正を指示する(ステップS94)。ECC回路14は、指示に基づいてエラービットのすべてについてデータ反転してエラー訂正を行う。

40

## 【0141】

次に、プロセッサ12は、ページLのページデータおよびパリティをECC回路14に送信し、ページLのデータに対するエラー検出を指示する(ステップS95)。ECC回路14は、指示に基づいてページLのデータのエラー検出を行う。

## 【0142】

プロセッサ12は、ECC回路14からエラー検出結果を取得し、エラーが存在するかどうかを判定する(ステップS96)。エラーが存在したら(ステップS96 Yes)、ECC回路14に対して、ページLのデータのエラー訂正を指示する(ステップS97)。ECC回路14は、指示に基づいてエラービットのすべてについてデータ反転してエラ

50

ー訂正を行う。

【0143】

プロセッサ12は、ページH、U、Lのデータに基づいて、H'、U'の一時データを生成し(ステップS98)、H'の一時データと読み出したH'パリティとをECC回路14に入力してエラー検出の実施を指示する(ステップS99)。ECC回路14は、指示に基づいてH'の一時データのエラー検出を行う。

【0144】

プロセッサ12は、H'の一時データのエラー検出結果をECC回路14から取得し、エラーが存在するか否かを判定する(ステップS100)。エラーが存在したら(ステップS100 Yes)、ECC回路14に対して、H'の一時データのエラー訂正を指示する(ステップS101)。ECC回路14は、指示に基づいてエラービットのすべてについてデータ反転してエラー訂正を行う。

10

【0145】

次に、U'の一時データと読み出したU'パリティとをECC回路14に入力してエラー検出の実施を指示する(ステップS102)。ECC回路14は、指示に基づいてU'の一時データのエラー検出を行う。

【0146】

プロセッサ12は、U'の一時データのエラー検出結果をECC回路14から取得し、エラーが存在するか否かを判定する(ステップS103)。エラーが存在したら(ステップS103 Yes)、ECC回路14に対して、U'の一時データのエラー訂正を指示する(ステップS104)。ECC回路14は、指示に基づいてエラービットのすべてについてデータ反転してエラー訂正を行う。

20

【0147】

次に、プロセッサ12は、エラー訂正後(エラーのないビットは読み出しデータのまま)のH'、U'の一時データおよびページL、Tのデータに基づいて、ページT、H、U、Lの4ページ分のデータを復元する(ステップS105)。ただし、ページT、Lは、復元処理は必要ないため、エラー訂正後のデータそのままが復元データとなる。

【0148】

ステップS93で、ページTのデータにエラーが存在しなければ(ステップS93 No)、ステップS94は実施せずに、ステップS95へ進む。また、ステップS96で、Lの一時データにエラーが存在しなければ(ステップS96 No)、ステップS97は実施せずに、ステップS98へ進む。また、ステップS100で、H'の一時データにエラーが存在しなければ(ステップS100 No)、ステップS101は実施せずに、ステップS102へ進む。また、ステップS103で、U'の一時データにエラーが存在しなければ(ステップS103 No)、ステップS104は実施せずに、ステップS105へ進む。

30

【0149】

このように、本実施の形態では、1つのメモリセルに4bitのデータを格納する場合に、2ページ分のデータから、エラー発生確率の高い仮想ページとエラー発生確率の低い仮想ページとを生成し、それぞれの仮想ページにパリティを付加するようにした。このため、エラー発生確率の低い仮想ページのパリティデータ量を少なくすることができ、パリティ格納領域を効率的に使用することができる。このため、パリティデータ量を増やさずエラー訂正能力を向上させることができる。

40

【0150】

なお、第1の実施の形態～第4の実施の形態では、2ページ分のデータからエラー発生確率の多い仮想ページを生成するようにしたが、3ページ以上のデータから、エラー発生確率の多い仮想ページを生成するようにしてもよい。この場合、第1の実施の形態のようにエラー発生確率の多い仮想ページだけにパリティを付加してもよいし、第2の実施の形態のようにさらに元のページに低い訂正能力のパリティを付加してもよい。また、エラー発生確率の低い1以上の仮想ページも生成して、エラー発生確率の低い仮想ページに低い

50

訂正能力のパリティを付加してもよい。

【0151】

(第5の実施の形態)

以上の実施の形態では、メモリコントローラ1がECC回路14を備える半導体記憶システムの例を示したが、ECC回路を内蔵するNANDフラッシュメモリも存在する。

【0152】

図27は、ECC回路を内蔵しないNANDフラッシュメモリの一例を示す図である。図27に示すように、このNANDフラッシュメモリは、NAND Memory Cell Array 21と、Sense Amp. (Amplifier) 22と、Page Buffer 23と、Row Decoder 24と、Voltage Supply 25と、Controller 26と、NAND I/O (Input/Output) Interface 27と、を備える。上述の第1の実施の形態～第4の実施の形態では、このようにECC回路を備えないNANDフラッシュメモリを用いることを前提としている。なお、図27は、一般的な構成の一例を示すものであり、図27の構成に限定されない。各部の動作は、従来と同様であり、詳細な説明は省略する。

10

【0153】

図28は、ECC回路を内蔵するNANDフラッシュメモリの一例を示す図である。図28の例では、図25の構成例にECC回路28およびRAM 29を追加している。なお、図28は、一般的な構成の一例を示すものであり、ECC回路28を備えていれば図28の構成に限定されない。

【0154】

図28に例示したNANDフラッシュメモリを用いる場合は、上述のNANDコントローラのECC回路14の動作をNANDフラッシュメモリ内のECC回路28が実施する。第1の実施の形態～第4の実施の形態で述べた仮想ページの生成等に関するプロセッサ12の動作は、このNANDフラッシュメモリに接続するメモリコントローラが内蔵するプロセッサが行うようにしてもよいし、NANDフラッシュメモリ内のController 26が行うようにしてもよい。

20

【0155】

このように、第1の実施の形態～第4の実施の形態は、様々な構成の半導体記憶システムに適用可能であり、半導体記憶システムに制約はない。

【0156】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

30

【符号の説明】

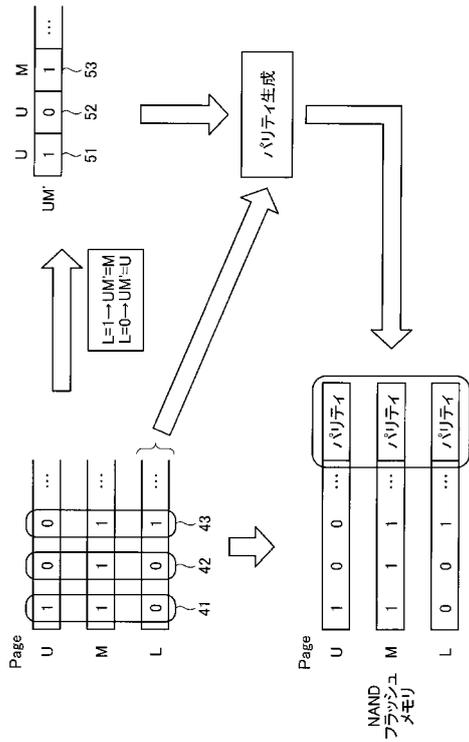
【0157】

1 メモリコントローラ、2 NANDフラッシュメモリ、12 プロセッサ、14 ECC回路、15 メモリインターフェイス。

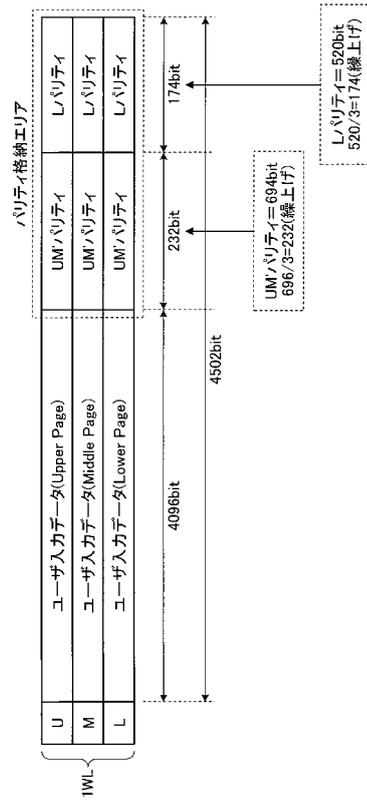
40



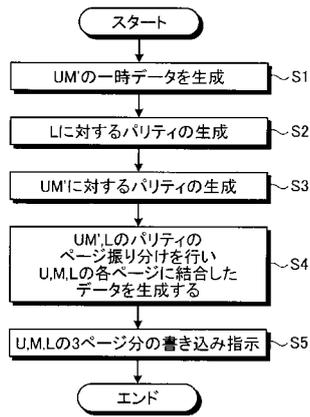
【 図 8 】



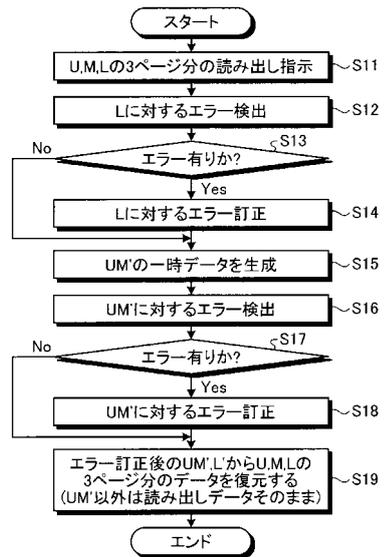
【 図 9 】



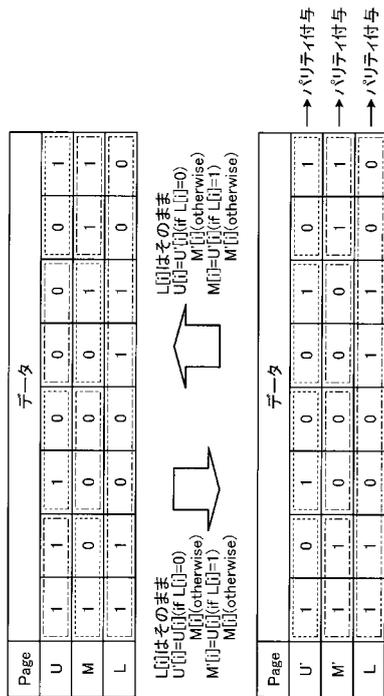
【 図 10 】



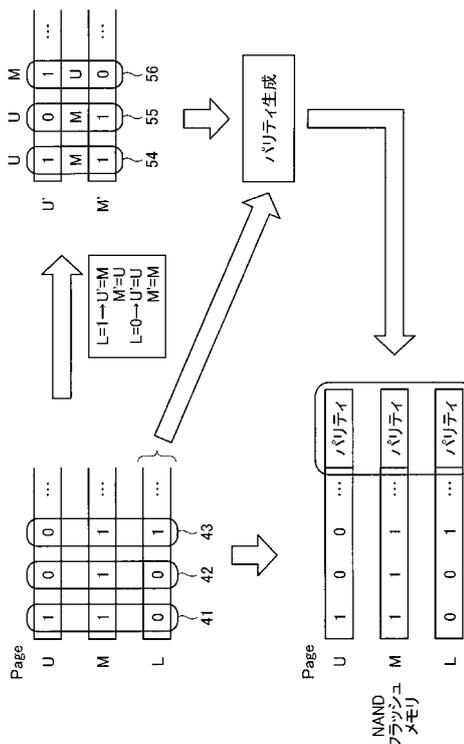
【 図 11 】



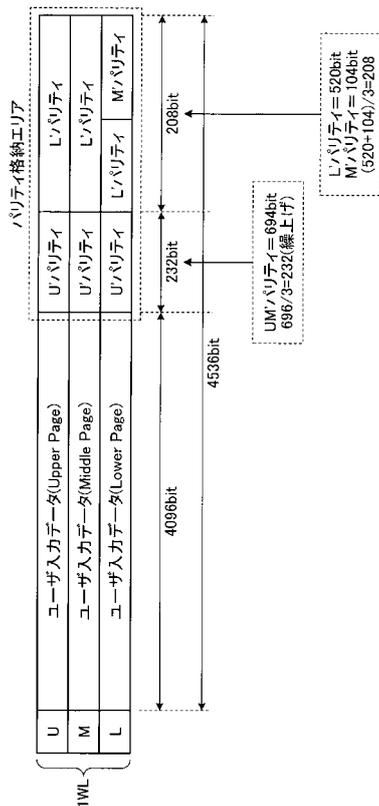
【 図 1 2 】



【 図 1 3 】



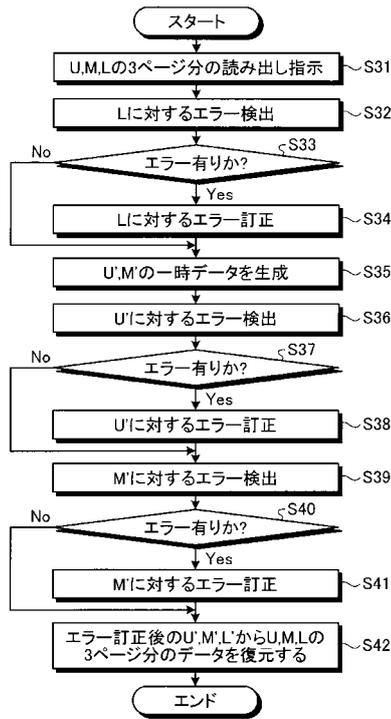
【 図 1 4 】



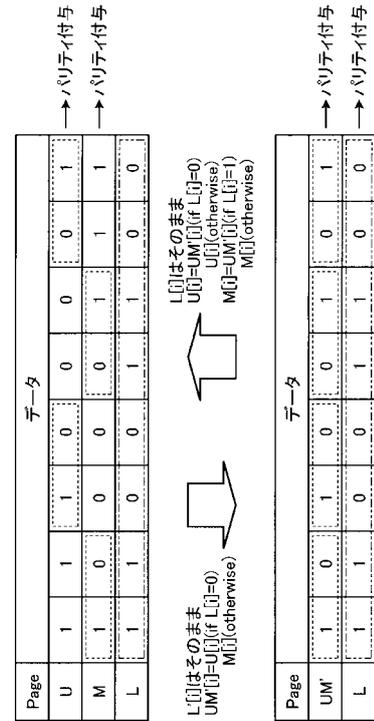
【 図 1 5 】



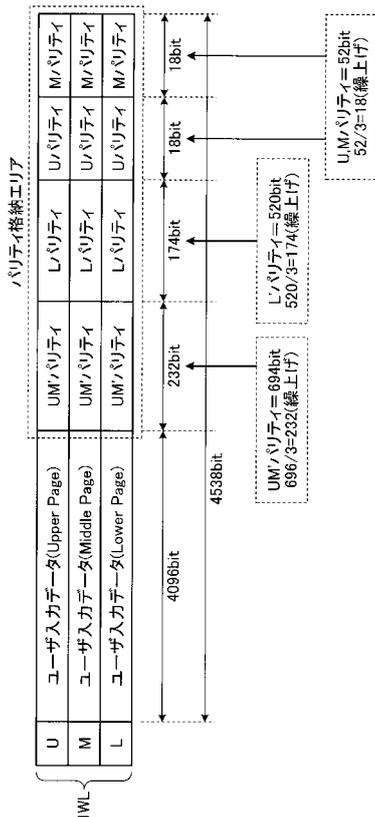
【 図 1 6 】



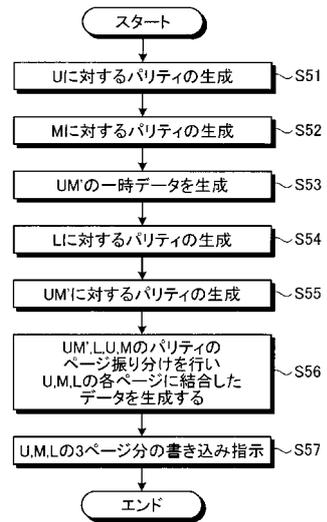
【 図 1 7 】



【 図 1 8 】

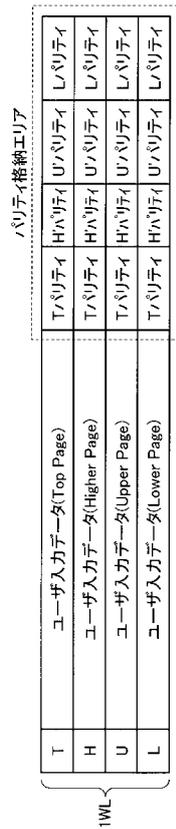


【 図 1 9 】

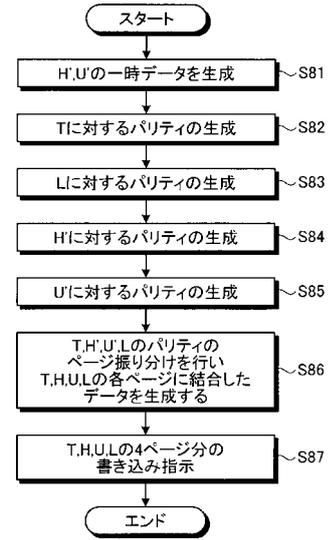




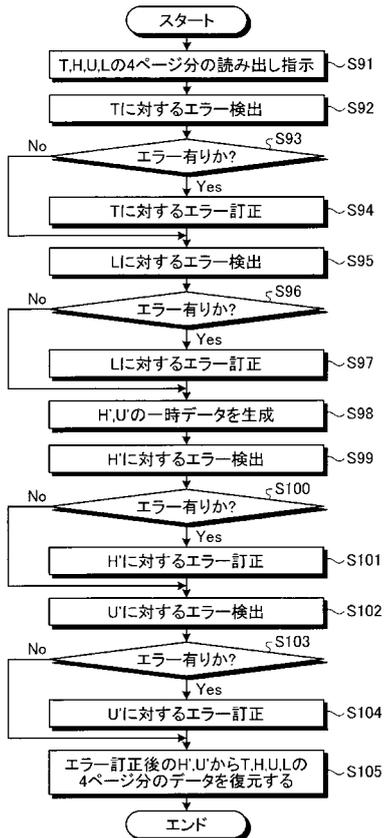
【 図 2 4 】



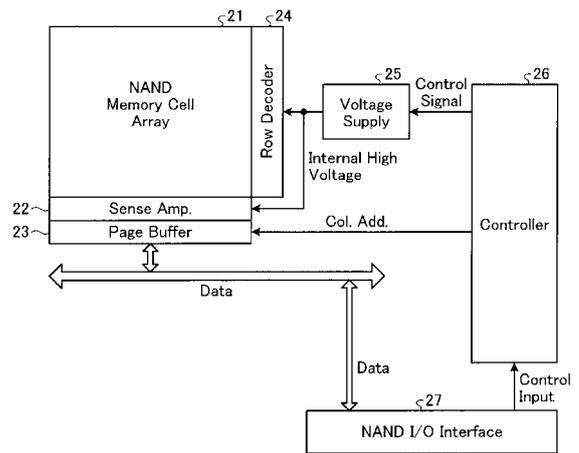
【 図 2 5 】



【 図 2 6 】



【 図 2 7 】



【 図 2 8 】

