(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [6]
G11C 11/407
G11C 7/313

(45) 공고일자 2001년11월30일
(11) 등록번호 10-0305646
(24) 등록일자 2001년08월01일

(21) 출원번호 10-1998-0019786
(22) 출원일자 1998년05월29일

(65) 공개번호 특1999-0086677
(43) 공개일자 1999년12월15일

(73) 특허권자 주식회사 하이닉스반도체
박종섭
경기 이천시 부발읍 아미리 산136-1

(72) 발명자 성준배
경기도 이천시 창전동 412-9 대동빌라 102호

(74) 대리인 이정훈
이후동

심사관 : 최정윤

(54) 클럭보정회로

요약

본 발명은 반도체 메모리 소자의 클럭보정회로에 관한 것으로, 특히 기존의 DLL(Delay_Locked Loop) 회로에 하프믹서를 사용하여 모든 락 범위(Lock Range)를 미리 줄여주므로써 빠른 락 타임(Lock Time)과 매우 작은 지터(Jitter)를 갖는 클럭신호를 발생시킨 클럭보정회로에 관한 것으로, 상기 목적 달성을 위해 기존 DLL 장치의 외부클럭 입력단과 지연소자 입력단 사이에 다수개의 위상변환부와 한개의 하프믹서로 구성되는 트랙부를 추가하여 외부클럭의 위상을 미리 피드백클럭의 위상에 근접시킨 후 최종적으로 기존의 DLL 장치를 통하여 보정된 신호와 피드백클럭과의 위상차를 줄임에 따라 락 타임이 줄어들고 지터의 크기가 감소되는 효과가 있다.

대표도

도 6

명세서

도면의 간단한 설명

도 1은 종래기술에 따른 일반적인 DLL 블록도.

도 2는 종래기술로서 지연소자가 아날로그 타입일 때 제어기로 카운터와 디지탈 아날로그 변환기를 사용한 경우의 DLL 블록도.

도 3은 종래기술로서 지연소자가 아날로그 타입일 때 제어기로 전하 펌프를 사용한 경우의 DLL 블록도.

도 4는 종래기술로서 지연소자가 디지탈 타입일 때 제어기로 카운터와 선택기를 사용한 경우의 DLL 블록도.

도 5는 본 발명에 따른 일반적인 DLL 블록도.

도 6은 본 발명의 제1 실시예로 상기 도 5의 트랙부에 제1 위상변환부와 제2 위상변환부 및 하프믹서를 구비하여 위상차를 빠르게 보정한 DLL 블록도.

도 7은 상기 도 6의 제1 위상변환부에 대한 상세블록도.

도 8은 상기 도 6의 제2 위상변환부에 대한 상세블록도.

도 9는 상기 도 6의 하프믹서에 대한 상세회로도.

도 10은 본 발명의 제2 실시예로 다수개의 위상변환부를 통해 위상차를 빠르게 보정한 DLL 블록도.

도 11은 상기 도 6에 대한 동작위상도.

도 12는 상기 도 10에 대한 동작위상도.

〈도면의 주요부분에 대한 부호의 설명〉

10 : 지연소자 20 : 제어기

30 : 위상검출기 7, 40 : 모델부

21 : 디지탈 아날로그 변환기 22 : 카운터

23 : 전하펌프부 24 : 선택기

50 : 트랙부 1, 51 : 제1 위상변환부

2, 53 : 제2 위상변환부 6, 51-1, 53-1, 100 : 하프믹서

51-3 : 제1 위상검출기 51-5 : 제2 위상검출기

51-7 : 제1 차등먹스 51-9 : 제2 차등먹스

53-3 : 제3 위상검출기 53-5 : 제3 차등먹스

3 : 제3 위상변환부 4 : 제4 위상변환부

5 : 제n 위상변환부 Extclk : 외부클럭

Intclk : 내부클럭 Fbclk : 피드백클럭

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 메모리 소자의 클럭보정회로에 관한 것으로, 특히 기존의 DLL(Delay_Locked Loop) 회로에 하프믹서를 사용하여 모든 락 범위(Lock Range)를 미리 줄여주므로써 빠른 락 타임(Lock Time)과 매우 작은 지터(Jitter)를 갖는 클럭신호를 발생시키기 위한 클럭보정회로에 관한 것이다.

최근 주목을 받고 있는 고속의 싱크로너스 디램(SDRAM), 램버스 디램(Rambus DRAM), 싱크링크 디램(SyncLink DRAM) 그리고 더블 데이터 레이트(Double Data Rate) 등에서 데이터의 셋업 타임과 홀드 타임의 문제를 해결하기 위해 클럭보정회로가 사용되고 있다.

일반적으로 디지탈 시스템의 속도가 빨라지면서 Chip 내부의 클럭을 PLL(Phase Locked Loop)이나 DLL을 이용하여 생성시켜 외부클럭(Extclk)과 내부클럭(Intclk)의 Skew를 없애주거나, 공통된 데이터 버스를 사용하는 Device들간의 타이밍 차이를 줄여서 더욱 빠른 속도로 시스템을 동작시키려는 노력이 진행되고 있다.

이러한 PLL이나 DLL을 사용하는 이유는 첫째, IC의 집적도가 커지면 Chip 내부의 클럭 Loading이 증가하여 클럭 드라이버의 딜레이가 매우 커지게 된다.

이와 같이 클럭 드라이버의 딜레이가 커지면 셋업 타임과 홀드 타임이 커지게 되고 높은 주파수의 시스템 설계에 큰 제약을 주게 되는데 이때 On-Chip PLL을 사용하여 클럭 드라이버의 Skew를 없앨 수가 있다.

둘째, 많은 회로들은 50%의 Duty Cycle을 요구하는데 대부분의 Chip으로 입력되는 클럭은 50%의 Duty Cycle을 보장할 수가 없으므로 50%의 Duty Cycle을 보정하기 위하여 2배의 주파수를 갖는 클럭을 외부에서 받고 이를 디바이딩(Dividing)하여 사용하게 된다.

이 경우 외부클럭(Extclk)이 높아지는 단점이 있으므로 PLL을 사용하면 Duty Cycle을 보장할 수가 있게 된다.

세째 최근에 마이크로프로세서는 외부클럭(Extclk)보다 높은 주파수에서 동작시키는 경우가 많은데 이는 시스템 설계 측면에서 매우 유리하다.

이때 PLL을 사용하면 외부주파수보다 높은 클럭을 내부에서 생성할 수가 있다.

본 발명은 이중 DLL 회로에 관한 것이다.

DLL 회로는 수신되는 외부클럭(Extclk)과 출력되는 내부클럭(Intclk)에 실제 물리적인 측면에서 오는 지연을 가미한 피드백 클럭의 위상을 일치시키는 회로로, 일반적으로 사용되고 있는 종래의 DLL 장치가 도 1에 도시되어 있다.

그 구성은 외부클럭(Extclk)과 피드백클럭(Fbclk) 사이의 위상차를 비교하는 위상검출기(30)와, 상기 위상검출기에서 검출된 신호를 입력으로 받아 지연소자를 조정하는 제어기(20)와, 상기 제어기로부터 제어신호를 입력받아 지연을 조절하는 지연소자(10)와, 실제 물리적인 지연을 모델링한 모델(40) 부분으로 이루어진다.

종래의 구성에서 제어기(20)는 지연소자(10)의 타입에 따라 달리 구성될 수 있으며, 예를들어 아날로그 지연소자의 경우 도 2나 도 3처럼 디지탈 아날로그 변환기(21)와 카운터(22)로 구성되거나 전하펌프(23)로 구성될 수 있고, 디지탈 지연소자의 경우는 도 4처럼 선택기(24)와 카운터(22)로 구성될 수 있다.

일반적인 종래의 DLL 구조인 도 1의 동작을 살펴보면, 외부로부터 들어오는 외부클럭(Extclk)과 모델(40)을 거쳐서 오는 피드백클럭(Fbclk)의 위상차를 위상검출기(30)가 검출하여 " 하이" 나 " 로우" 신호를 제어기(20)에 보낸다.

제어기(20)는 상기 " 하이" 또는 " 로우" 신호를 입력으로 받아서 지연소자(10)에 적당히 가공된 신호를 보낸다.

지연소자(10)는 상기 가공신호를 받아서 그 양에 해당되는 지연을 외부로부터 입력되는 외부클럭(Extclk)에 더하여 내부클럭(Intclk)을 발생시킨다.

이때 지연소자(10)가 최소한으로 가감할 수 있는 정도를 1스텝(Step)이라 정의하면 제어기(20)가 지연을 1스텝 이하로 조정할 수는 없으며, 최대한 만들 수 있는 지연을 최대지연(Max-delay)이라 하면 크기는 구현된 DLL의 동작주파수 범위를 결정하게 된다. 즉, 그 최대지연의 크기에 제한을 받는다.

또한 DLL의 성능을 좋게하기 위하여 1스텝의 크기를 줄이고, 동작주파수 범위를 늘리기 위하여 최대지연을 크게하는 데에는 지연소자(10)의 영역이 기하급수적으로 증가하기 때문에 실효성에서 문제가 야기된다.

발명이 이루고자 하는 기술적 과제

이에, 본 발명은 상기한 바와 같은 종래기술의 제 문제점을 해소시키기 위하여 창안된 것으로, 다수개의 위상변환수단과 하프믹서를 사용하여 외부클럭으로부터 피드백클럭과 매우 근접한 위상을 갖는 클럭을 만든 후 상기 클럭과 피드백클럭과의 위상차를 다시 기존의 DLL 장치를 통하여 보상하여 주므로써 락 타임을 향상시키고 지터의 크기를 감소시킨 클럭보상회로를 제공함에 그 목적이 있다.

발명의 구성 및 작용

상기한 바와 같은 목적을 달성하기 위한 본 발명의 제1 실시예는 입력되는 외부클럭의 위상을 변환시켜 내부클럭을 출력하는 지연소자와, 지연소자로부터 출력되는 내부클럭을 수신하여 피드백클럭을 출력하는 모델부와, 외부클럭과 모델부로부터 출력되는 피드백클럭을 입력받아 이들의 위상을 비교한 후 검출신호를 출력하는 위상검출기와, 위상검출기로부터 출력되는 검출신호에 의해 동작하여 상기 지연소자로 입력되는 외부클럭의 위상을 제어하는 제어신호를 지연소자로 출력하는 제어기를 포함하는 클럭보정회로에 있어서, 외부클럭 입력단과 상기 지연소자 입력단 사이에 직렬연결되어 입력되는 외부클럭의 위상을 단계적인 변환과정을 통하여 피드백클럭이 존재하는 상한의 인접범위까지 보정하는 제1 내지 제n 위상변환수단과, 제n 위상변환수단 출력단과 상기 지연소자 입력단 사이에 연결되어 상기 제n 위상변환수단으로부터 출력되는 두 보정클럭을 입력받아 두 위상의 중간값을 위상으로 갖는 신호를 출력하는 하프믹서를 구비함을 특징으로 한다.

상기한 바와 같은 목적을 달성하기 위한 본 발명의 제2 실시예는, 서로 상반되는 위상을 갖는 두 외부클럭을 수신하여 피드백클럭이 존재하는 상한의 인접범위까지 위상이 보정된 두 외부클럭 신호를 출력하는 제 1위상변환수단과, 제 1 위상변환수단으로부터 위상 보정된 두 외부클럭 신호를 인가받아 두 신호의 중간값을 갖는 신호와 피드백 클럭과의 위상비교를 통해 피드백 클럭의 위상에 근접한 클럭으로 보정된 신호를 생성하여 출력하는 것이 순차적으로 이루어지는 직렬연결된 제 2 내지 제 n위상변환수단과, 제 n위상변환수단으로부터 출력되는 위상이 서로 다른 두 신호를 수신하여 이들 신호의 중간위상을 갖는 신호를 출력하는 하프믹서와, 하프믹서로부터 출력되는 신호를 수신하여 피드백클럭을 발생시켜 제 1내지 제 n위상변환수단으로 각각 출력하는 모델부를 구비함을 특징으로 한다.

상술한 목적 및 기타의 목적과 본 발명의 특징 및 이점은 첨부도면과 관련한 다음의 상세한 설명을 통해 보다 분명해질 것이다.

이하, 첨부도면을 참조하여 본 발명의 제1, 제2 실시예를 설명하면 다음과 같다.

도 5는 본 발명에 의한 일반적인 DLL 블록도를 나타낸 것으로, 기존의 DLL 장치에 트랙부(50)를 추가하여 외부클럭(Extclk)의 위상을 미리 피드백클럭(Fbclk)의 위상에 근접시킨 후 최종적으로 기존의 DLL 장치를 통해 트랙부(50)에 의해 보상된 클럭과 피드백클럭(Fbclk)의 위상차를 줄여주므로써 빠른 락 타임과 매우 작은 지터를 갖도록 한 것이다.

도 6은 본 발명의 제1 실시예에 의한 DLL 장치를 나타낸 것이다.

그 구성은 180° 의 위상차를 갖는 두개의 외부클럭(Extclk)과 피드백클럭(Fbclk)을 입력받는 트랙부(50)와, 상기 트랙에 의해 출력되는 Out23을 입력받으며 제어기로부터 출력되는 신호에 의해 딜레이 타임이 조절되어 내부클럭(Intclk)을 출력하는 지연소자와, 상기 내부클럭(Intclk)을 입력받아 피드백클럭(Fbclk)을 출력하는 모델부(40)와, 상기 모델부(40)에 의해 출력되는 피드백클럭(Fbclk)과 외부클럭(Extclk)의 위상을 비교하여 " 하이" 또는 " 로우" 신호를 상기 제어기로 출력하는 위상검출기(30)와, 상기 위상검출기(30)로부터 출력되는 신호를 입력받아 상기 지연소자를 제어하는 신호를 출력하는 제어기(20)로 구성된다.

상기 트랙부(50)는 180° 의 위상차를 갖는 두개의 외부클럭(Extclk)과 피드백클럭(Fbclk)을 수신하는 제1 위상변환부(51)와, 상기 제1 위상변환부(51)의 두 출력인 Out11과 Out12 및 피드백클럭(Fbclk)을 수신하는 제2 위상변환부(53)와, 상기 제2 위상변환부(53)의 두 출력인 Out21과 Out22를 수신하여 Out23을 출력하는 하프믹서로 구성된다.

상기한 구성을 갖는 제1 실시예에 대한 동작은 다음과 같다.

먼저, 외부클럭 Extclk과 /Extclk가 제1 위상변환부(51)에 입력되면 상기 제1 위상변환부(51)는 4개의 상한중 피드백클럭(Fbclk)이 속한 1개의 상한을 선택하여 그 상한의 기준이 되는 2개의 출력 Out11과 Out12를 출력한다.

이해를 돕기위해 동작상의 위상도 도 11를 참조하여 설명하면 다음과 같다.

만약에, 도 11에 도시된 바와 같이 피드백클럭의 위상이 2상한에 존재한다면 A의 위상을 갖는 신호와 외부클럭 /Extclk가 선택되어 제2 위상변환부(53)로 입력된다.

이와같이 A의 위상을 갖는 신호와 /Extclk를 출력하는 제1 위상변환부(51)에 대한 상세블록도가 도 7에 도시되어 있다.

도 7은 외부클럭 Extclk과 /Extclk를 수신하여 Out1과 Out2를 출력하는 하프믹서(51-1)와, 상기 외부클럭 Extclk과 피드백클럭을 입력받아 위상차를 비교한 후 Sel 1 신호를 출력하는 제1 위상검출기와, 상기 하프믹서(51-1)의 두 출력인 Out1과 Out2를 수신하며 상기 제1 위상검출기의 출력인 Sel 1 신호의 제어를 받아 Out11 신호를 출력하는 제1 차등먹스와, 상기 제1 차등먹스의 출력인 Out11과 피드백클럭을 수신하여 두 위상을 비교한 후 Sel 2 신호를 출력하는 제2 위상검출기와, 외부클럭 Extclk과 /Extclk를 수신하며 상기 제2 위상검출기의 출력인 Sel 2의 제어를 받아 Out12를 출력하는 제2 차등먹스로 구성된다.

상기에서 출력된 A의 위상을 갖는 신호와 외부클럭 /Extclk를 도 7를 참조하여 설명하면 다음과 같다.

먼저, 하프믹서(51-1)가 도 11에서 알 수 있듯이 A의 위상을 갖는 신호와 /A의 위상을 갖는 신호를 만든다.

여기서, 하프믹서(Half Mixer)란 아날로그 곱셈기로서 위상측면에서 보면 위상이 다른 두 신호를 입력으로 받아서 두 위상의 중간값을 위상으로 갖는 신호를 출력한다.

따라서, 제1 위상변환부(51)는 외부클럭 Extclk과 /Extclk를 입력받아 90° 의 위상을 갖는 A 신호와 270° 의 위상을 갖는 /A 신호를 출력하여 상기 제1 차등먹스에 입력시킨다.

한편, 제1 위상검출기(51-3)에서는 외부클럭 Extclk과 피드백클럭(Fbclk)을 수신하여 두 클럭의 위상을 비교한다.

이때 상기 제1 위상검출기(51-3)는 180° 의 위상차를 검출할 수 있으므로 제1 차등먹스(51-7)가 A의 위상을 갖는 신호를 선택하도록 Sel 1 신호를 상기 제1 차등먹스(51-7)로 출력하고 제1 차등먹스(51-7)는 A의 위상을 갖는 신호를 출력(Out11)으로 내보낸다.

다음, 제2 위상검출기(51-5)는 상기 제1 차등먹스(51-7)의 출력인 A와 피드백클럭(Fbclk) 신호의 위상차를 검출하여 도 11에서 A의 신호를 기준으로 피드백클럭(Fbclk) 신호의 위상이 180° 이내에 존재하므로 제2 차등먹스(51-9)가 /Extclk 신호를 선택하도록 Sel2를 제2 차등먹스로 내보내고 제2 차등먹스는 /Extclk 신호를 출력(Out12)으로 내보낸다.

다음, 이상의 과정을 통해 선택된 두 기준신호 A와 /Extclk는 도 6에서 제2 위상변환부(53)로 입력된다.

상기 제2 위상변환부(53)는 상기 제1 위상변환부(51)에서 출력되는 A의 신호와 /Extclk 신호의 중간위상을 갖는 신호(Out21)와 상기 A의 신호와 /Extclk 신호 중에서 하나를 선택하여 출력(Out22)으로 내보낸다.

이를 도 11에서 보면 B의 위상을 갖는 신호를 하나의 출력(Out21)으로 내보내고 /Extclk 신호를 또다른 하나의 출력(Out22)으로 내보낸다.

도 8은 이와 같은 기능을 하는 제2 위상변환부(53)에 대한 상세블록도를 나타낸 것으로 그 구성은 다음과 같다.

상기 제1 위상변환부(51)에서 출력되는 Out11과 Out12를 수신하여 Out21를 출력하는 하프믹서(53-1)와, 상기 하프믹서(53-1)의 출력인 Out21과 피드백클럭(Fbclk) 신호를 수신하여 두 위상을 비교한 후 " 하이" 또는 " 로우" 레벨의 출력인 Sel 1 신호를 출력하는 제3 위상검출기(53-3)와, 상기 제1 위상변환부(51)의 두 출력인 Out11과 Out12를 수신하며 상기 제3 위상검출기(53-3)로부터 출력되는 Sel 1 신호의 제어를 받아 Out22 신호를 출력하는 제3 차등먹스((53-5)로 구성된다.

이를 도 11에 도시된 동작위상도를 참조하여 살펴보면 다음과 같다.

하프믹서(53-1)는 상기 제1 위상변환부(51)로부터 출력되는 A 신호와 /Extclk 신호를 두 입력으로 받아 중간위상을 갖는 B 신호를 출력(Out21)으로 내보낸다.

한편, 상기 제3 위상검출기(53-3)는 상기 하프믹서(53-1)로부터 출력되는 A 신호와 피드백클럭(Fbclk) 신호를 입력받아 두 위상차를 검출한 후 B의 신호를 기준으로 피드백클럭(Fbclk) 신호의 위상이 180° 이내에 존재하므로 제3 차등먹스(53-5)가 /Extclk 신호를 선택하도록 Sel 1을 제3 차등먹스(53-5)로 내보낸다.

마지막으로, 제3 차등먹스(53-5)는 입력되는 A 신호와 /Extclk 중 Sel 1 신호에 의해 /Extclk 신호를 출력(Out22)으로 내보낸다.

다음, 상기 제2 위상변환부(53)로부터 출력되는 B 신호와 /Extclk 신호는 마지막 하프믹서(100)로 입력된다.

도 9는 하프믹서(100)에 대한 회로도를 나타낸다.

이는 공지의 기술로 입력되는 두 신호의 중간위상을 갖는 신호를 출력하는 역할을 하게 되는데, 도 11를 참조하여 살펴보면, Out21과 Out22 입력단자에 제2 위상변환부(53)로부터 출력되는 B 신호와 /Extclk 신호가 입력되고 /Out21 신호와 /Out22 단자에 상기 B 신호와 /Extclk 신호의 위상이 반전된 /B와 Extclk 신호가 입력되어 출력단(Out23)에는 도 11에서 알 수 있듯이 C 신호가 출력된다.

마지막으로, 도 6에 도시된 바와 같이 기존의 DLL 부분이 하프믹서(100)의 출력인 Out3(도 11에서는 상기 C)과 피드백클럭(Fbclk)의 위상차를 좁혀나가게 된다.

이를 도 11에서 살펴보면, 피드백클럭(Fbclk)의 위상은 B와 /Extclk 신호 사이에 존재하고 위상이 C인 신호가 기존의 DLL 장치에 의해서 움직여 피드백클럭(Fbclk)의 위상에 맞추어져 간다.

따라서, 기존의 DLL 장치는 구간 ①을 움직일 수 있게만 설계하면 된다.

즉 45° (±22.5°) 이내의 락범위(Lock Range)를 갖기만 하면 되는 것이다.

만약, 도 6에서 제2 위상변환부(53)와 동일한 블록이 하나 더 있다면 마지막 하프믹서(100)의 출력(Out3)은 도 11에서 D의 위상을 갖는 신호가 되며, 따라서 기존의 DLL 장치는 구간 ②만을 움직일 수 있으면 된다.

즉, 22.5° (±11.25°) 이내의 락범위(Lock Range)를 갖기만 하면 되는 것이다.

도 10은 지금까지 설명한 본 발명에 따른 제1 실시예를 보다 일반화시킨 DLL 장치를 나타낸 제2 실시예이다.

180° 의 위상차를 갖는 두개의 외부클럭 Extclk, /Extclk 입력단과 내부클럭(Intclk)을 출력하는 하프믹서(6) 입력단 사이에 직렬연결되는 N개의 위상변환부(제1, 제2, 제3, ···, 제n 위상변환부)와, 상기 하프믹서(6)에서 출력되는 내부클럭(Intclk)을 수신하여 상기 각 위상변환부로 피드백클럭(Fbclk)을 출력하는 모델부(7)로 구성된다.

여기서, 4개의 상한중 하나를 선택하는 상기 제1 위상변환부(1)는 반드시 사용되어져야 하며 구체적인 회로는 도 7과 같다.

또한, 상기 제2 위상변환부(2) 내지 제n 위상변환부(5)는 모두 동일한 구조로 도 8에 도시되어 있으며, 하프믹서(6)에 대한 상세도는 도 9에 도시된 바와 같다.

이하에서는 상기한 구성으로 이루어진 제2 실시예에 대한 동작관계를 도 12를 참조하여 제4 위상변환부까지만을 예로 들어 살펴본다.

먼저, 제1 위상변환부(1)는 180° 의 위상차를 갖는 외부클럭 Extclk 및 /Extclk를 입력으로 받아서 출력으로 Out11과 Out12 신호를 내보낸다.

만일, 피드백클럭(Fbclk)의 위상이 도 12에 도시된 바와 같이 1상한에 존재하고 있다면, 출력 Out11의 신호로서 A의 위상을 갖는 신호를 내보내고, 출력 Out12의 신호로서 B의 위상을 갖는 신호를 내보낸다.

이때 A의 위상을 갖는 신호는 외부클럭(Extclk)과 위상이 동일한 신호이다.

다음, 제2 위상변환부(2)는 상기 Out11 및 Out12를 입력으로 받아 출력 Out21과 Out22 신호를 내보낸다.

이를 도 12에서 보면 출력 Out21의 신호로서 C의 위상을 갖는 신호를 내보내고 피드백클럭(Fbclk)의 위상이 C의 위상보다 180° 밖에 있으므로 출력 Out22의 신호로서 A의 위상을 갖는 신호(Extclk과 동일 위상)를 내보낸다.

다음, 제3 위상변환부(3)는 상기 Out21 및 Out22(도 12에서 C 및 A)를 입력으로 받아서 출력 Out31과 Out32 신호를 내보낸다.

도 12에서 보면 출력 Out31의 신호로서 D의 위상을 갖는 신호를 내보내고 피드백클럭(Fbclk)의 위상이 D의 위상보다 180° 안에 있으므로 출력 Out32의 신호로서 C의 위상을 갖는 신호를 내보낸다.

다음, 제4 위상변환부(4)는 위의 두 신호(도 12에서 C와 D)를 입력으로 받아서 도 12에 나타낸 E의 위상을 갖는 신호와 피드백클럭(Fbclk)의 위상이 E의 위상보다 180° 안에 있으므로 C의 위상을 갖는 신호를 내보낸다.

다음, 최종 하프믹서(6)는 위의 두 신호(도 12에서 C와 E)를 입력으로 받아서 중간위상을 갖는 신호(도 12에서 F)를 출력(Intclk)으로 내보낸다.

따라서 피드백클럭(Fbclk)의 위상은 반드시 도 12에서 표시된 구간 ③에 존재하고, 피드백클럭과의 최대 위상차는 다음과 같다.

최종적으로 출력되는 Intclk은

$-(PI/2^{(N+1)}) < Intclk < +(PI/2(N+1))$

(단, PI : π, 180°)

의 범위를 갖게 되고 도 10에서 모델부(7)는 고정된 지연을 갖기 때문에 피드백클럭(Fbclk)도

$-(PI/2^{(N+1)}) < Fbclk < +(PI/2(N+1))$

(단, PI : π, 180°)

의 범위를 갖게 된다.

따라서, 외부클럭(Extclk)과 피드백클럭(Fbclk)의 최대 위상차는 $PI/2^{(N+1)}$ 이 된다. 위의 제 4위상 변환부까지만 있는 예에서

피드백클럭과의 최대 위상차는

$PI/2^{(N+1)} = PI/2^5 = PI/32 = 5.625°$

로 최대 위상차가 내부클럭(Intclk)의 스팩(SPEC)에 만족하면 되는 것이다.

발명의 효과

이상에서 살펴본 바와 같이, 본 발명에서는 다수개의 위상변환부를 사용하여 외부에서 입력되는 외부클럭의 위상을 미리 보상한 후 기존의 DLL 회로에 이를 인가시켜주므로써 기존의 DLL 장치보다 1스텝이 작은 DLL의 설계가 가능하다. 또한 모든 락범위(Lock Range)를 갖게 됨으로서 기존의 180° 만을 갖는 것에 비해 충분히 보완되었다. 그리고 주파수 범위를 확장시킬 수가 있으며, 또한 본 발명의 제2 실시예에서 보여주었듯이 일반적인 DLL 장치를 사용하지 않고 요구되는 스팩에 맞게 위상변환부 사용갯수를 늘려 DLL의 기능을 구현하므로써 어떤 응용분야이든지 매우 간편히 성능의 질을 조절할 수 있는 잇점이 있다.

본 발명의 바람직한 실시예는 예시의 목적을 위한 것으로 당업자라면 첨부된 특허청구의 범위에 개시된 본 발명의 사상과 범위를 통해 각종 수정, 변경, 대체 및 부가가 가능할 것이다.

(57) 청구의 범위

청구항 1.

입력되는 외부클럭의 위상을 변환시켜 내부클럭을 출력하는 지연소자와,

상기 지연소자로부터 출력되는 내부클럭을 수신하여 피드백클럭을 출력하는 모델부와,

상기 외부클럭과 모델부로부터 출력되는 피드백클럭을 입력받아 이들의 위상을 비교한 후 검출신호를 출력하는 위상검출기와,

상기 위상검출기로부터 출력되는 검출신호에 의해 동작하여 상기 지연소자로 입력되는 외부클럭의 위상을 제어하는 제어신호를 상기 지연소자로 출력하는 제어기를 포함하는 클럭보정회로에 있어서,

상기 외부클럭 입력단과 상기 지연소자 입력단 사이에 직렬연결되어 입력되는 외부클럭의 위상을 단계적인 변환과정을 통하여 피드백클럭이 존재하는 상한의 인접범위까지 보정하는 제1 내지 제n 위상변환수단과,

상기 제n 위상변환수단 출력단과 상기 지연소자 입력단 사이에 연결되어 상기 제n 위상변환수단으로부터 출력되는 두 보정클럭을 입력받아 두 위상의 중간값을 위상으로 갖는 신호를 출력하는 하프믹서를 구비함을 특징으로 하는 클럭보정회로.

청구항 2.

제 1 항에 있어서,

상기 제1 위상변환수단은 서로 상반되는 위상을 갖는 두 외부클럭을 수신하여 상기 두 신호의 중간 위상을 갖는 두 신호를 출력하는 하프믹서와,

상기 두 외부클럭중 한개의 외부클럭과 피드백클럭을 수신하여 이들의 위상차를 비교한 후 제1 선택신호를 출력하는 제1 위상검출기와,

상기 제1 위상검출기로부터 입력되는 제1 선택신호에 의해 상기 하프믹서로부터 입력되는 두 신호 중 외부클럭과 피드백클럭의 위상차가 180 ° 이내인 범위에 존재하는 신호를 출력하는 제1 차등먹스와,

상기 제1 차등먹스로부터 출력되는 신호와 피드백클럭의 위상을 비교하여 제2 선택신호를 출력하는 제2 위상검출기와,

상기 제2 위상검출기로부터 출력되는 제2 선택신호에 의해 서로 상반되는 위상을 갖는 두 외부클럭중 피드백클럭으로부터 180 ° 이내에 존재하는 외부클럭을 출력하는 제2 차등먹스를 구비함을 특징으로 하는 클럭보정회로.

청구항 3.

제 1 항에 있어서,

상기 제2 내지 제n 위상변환수단은 전단으로부터 서로 다른 위상을 갖는 두 신호를 수신하여 상기 두 신호의 중간위상을 갖는 신호를 출력하는 하프믹서와,

상기 하프믹서로부터 출력되는 신호와 피드백클럭을 수신하여 그 위상을 비교한 후 소정의 선택신호를 출력하는 위상검출기와,

상기 위상검출기로부터 출력되는 선택신호에 의해 전단으로부터 출력되는 서로 다른 위상을 갖는 두 신호중 피드백클럭으로부터 180 ° 이내에 존재하는 신호를 출력하는 차등먹스를 구비함을 특징으로 하는 클럭보정회로.

청구항 4.

서로 상반되는 위상을 갖는 두 외부클럭을 수신하여 피드백클럭을 수신하여 피드백클럭이 존재하는 상한의 인접범위까지 위상이 보정된 두 외부클럭 신호를 출력하는 제 1 위상 변환수단과,

상기 제 1위상변환수단으로부터 위상 보정된 두 외부클럭 신호를 인가받아 두 신호의 중간값을 갖는 신호와 상기 피드백 클럭과의 위상 비교를 통해 상기 피드백 클럭의 위상에 근접한 클럭으로 보정된 신호를 생성하여 출력하는 것이 순차적으로 이루어지는 직렬연결된 제 2 내지 제 n위상변환수단과,

상기 제n 위상변환수단으로부터 출력되는 위상이 서로 다른 두 신호를 수신하여 두 신호의 중간위상을 갖는 신호를 출력하는 하프믹서와,

상기 하프믹서로부터 출력되는 신호를 수신하여 피드백클럭을 발생시켜 상기 제 1내지 제 n위상변환수단으로 각각 출력하는 모델부를 구비함을 특징으로 하는 클럭보정회로.

청구항 5.

제 4 항에 있어서,

상기 제1 위상변환수단은 서로 상반되는 위상을 갖는 두 외부클럭을 수신하여 상기 두 신호의 중간 위상을 갖는 두 신호를 출력하는 하프믹서와,

상기 두 외부클럭중 한개의 외부클럭과 피드백클럭을 수신하여 이들의 위상차를 비교한 후 제1 선택신호를 출력하는 제1 위상검출기와,

상기 제1 위상검출기로부터 입력되는 제1 선택신호에 의해 상기 하프믹서로부터 입력되는 두 신호 중 외부클럭과 피드백클럭의 위상차가 180° 이내인 범위에 존재하는 신호를 출력하는 제1 차등먹스와,

상기 제1 차등먹스로부터 출력되는 신호와 피드백클럭의 위상을 비교하여 제2 선택신호를 출력하는 제2 위상검출기와,

상기 제2 위상검출기로부터 출력되는 제2 선택신호에 의해 서로 상반되는 위상을 갖는 두 외부클럭중 피드백클럭으로부터 180° 이내에 존재하는 외부클럭을 출력하는 제2 차등먹스를 구비함을 특징으로 하는 클럭보정회로.

청구항 6.

제 4 항에 있어서,

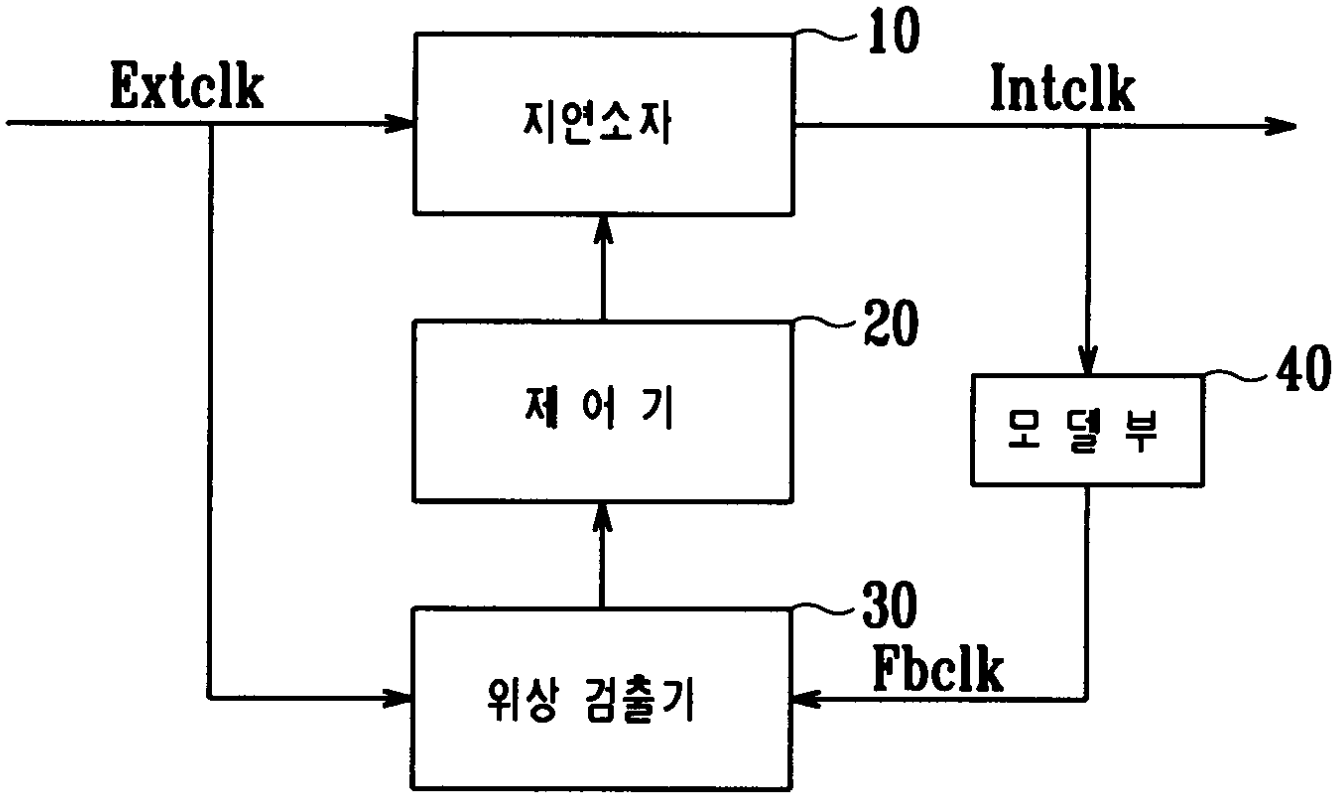
상기 제2 내지 제n 위상변환수단은 전단으로부터 서로 다른 위상을 갖는 두 신호를 수신하여 상기 두 신호의 중간위상을 갖는 신호를 출력하는 하프믹서와,

상기 하프믹서로부터 출력되는 신호와 피드백클럭을 수신하여 그 위상을 비교한 후 소정의 선택신호를 출력하는 위상검출기와,

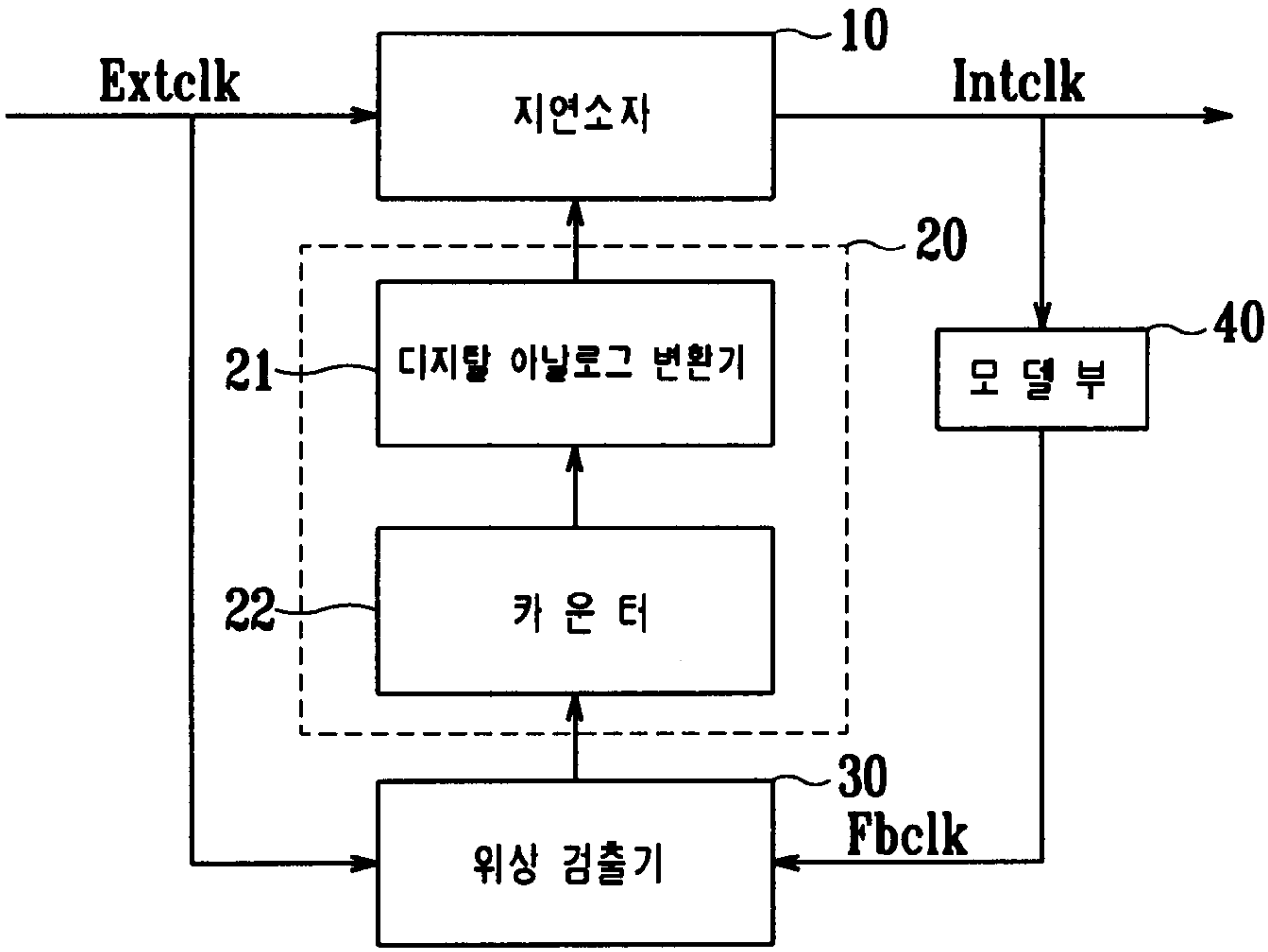
상기 위상검출기로부터 출력되는 선택신호에 의해 전단으로부터 출력되는 서로 다른 위상을 갖는 두 신호중 피드백클럭으로부터 180° 이내에 존재하는 신호를 출력하는 차등먹스를 구비함을 특징으로 하는 클럭보정회로.

도면

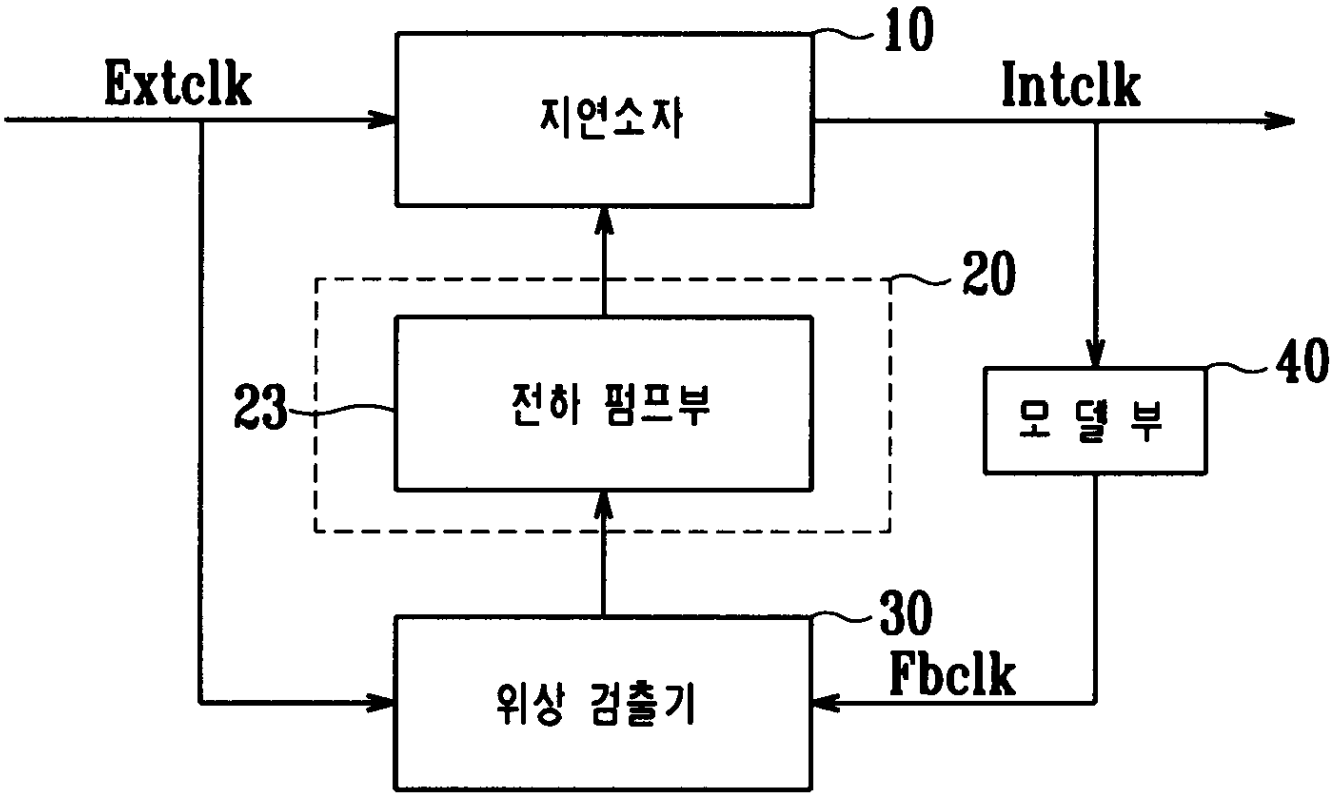
도면 1



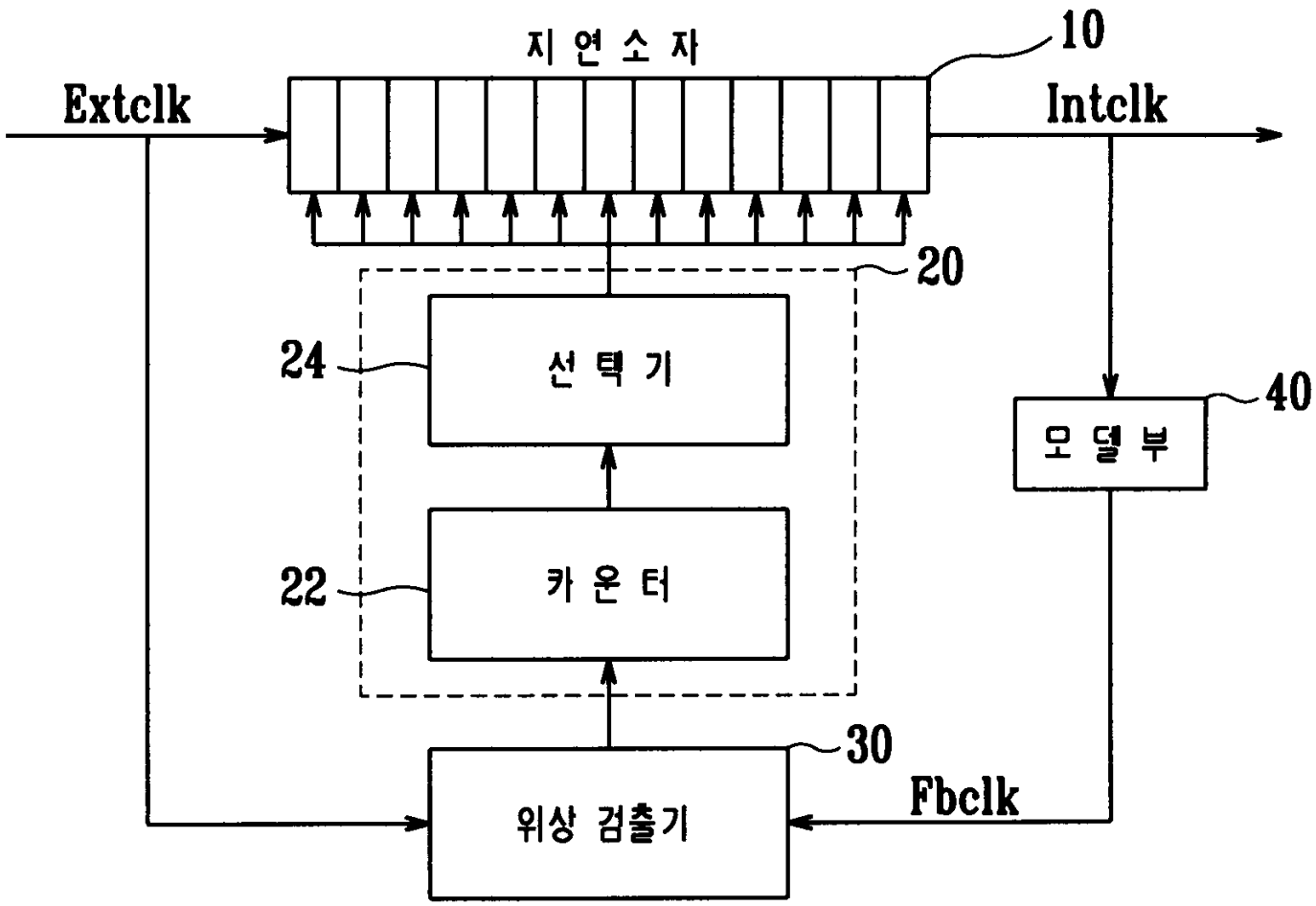
도면 2


Extclk
10
지연소자
Intclk
20
21
디지탈 아날로그 변환기
40
모 델 부
22
카 운 터
30
위상 검출기
Fbclk

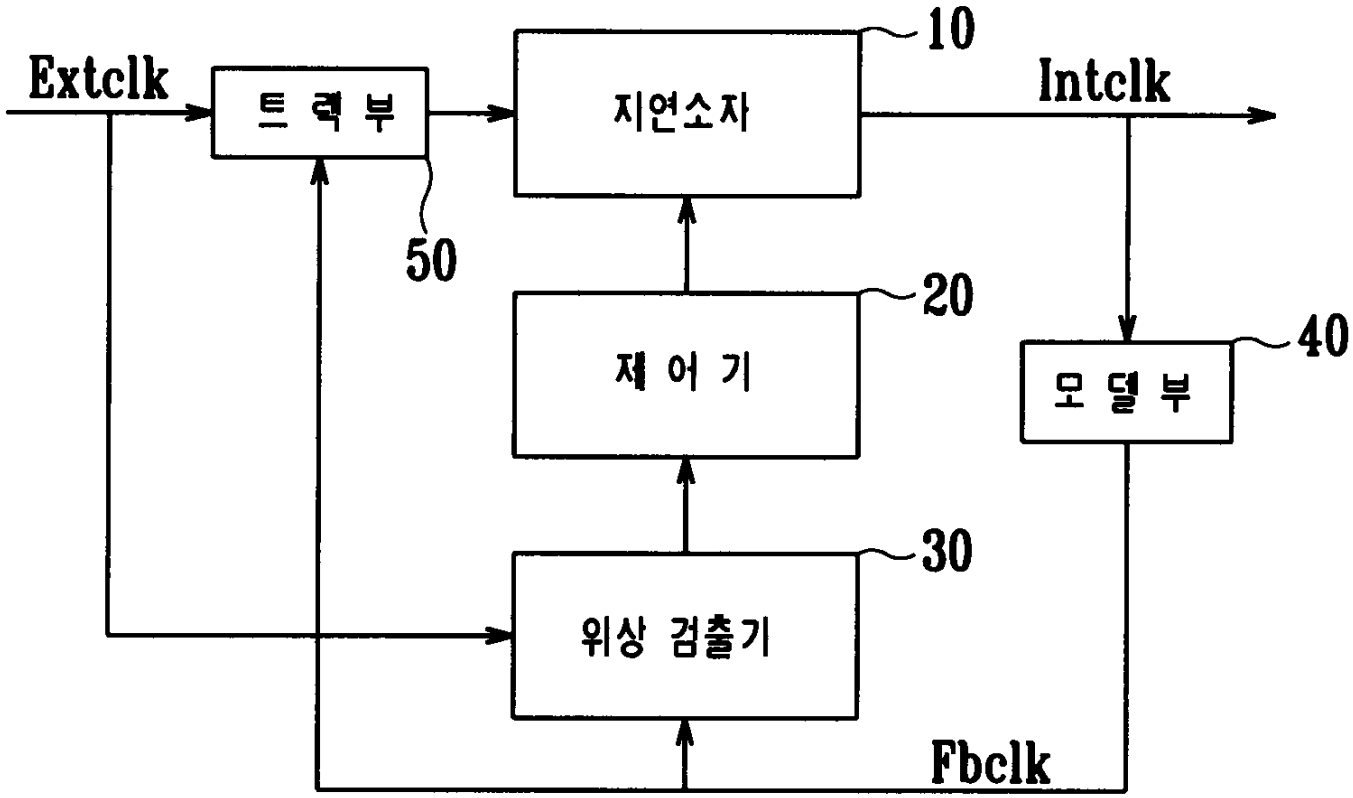
도면 3



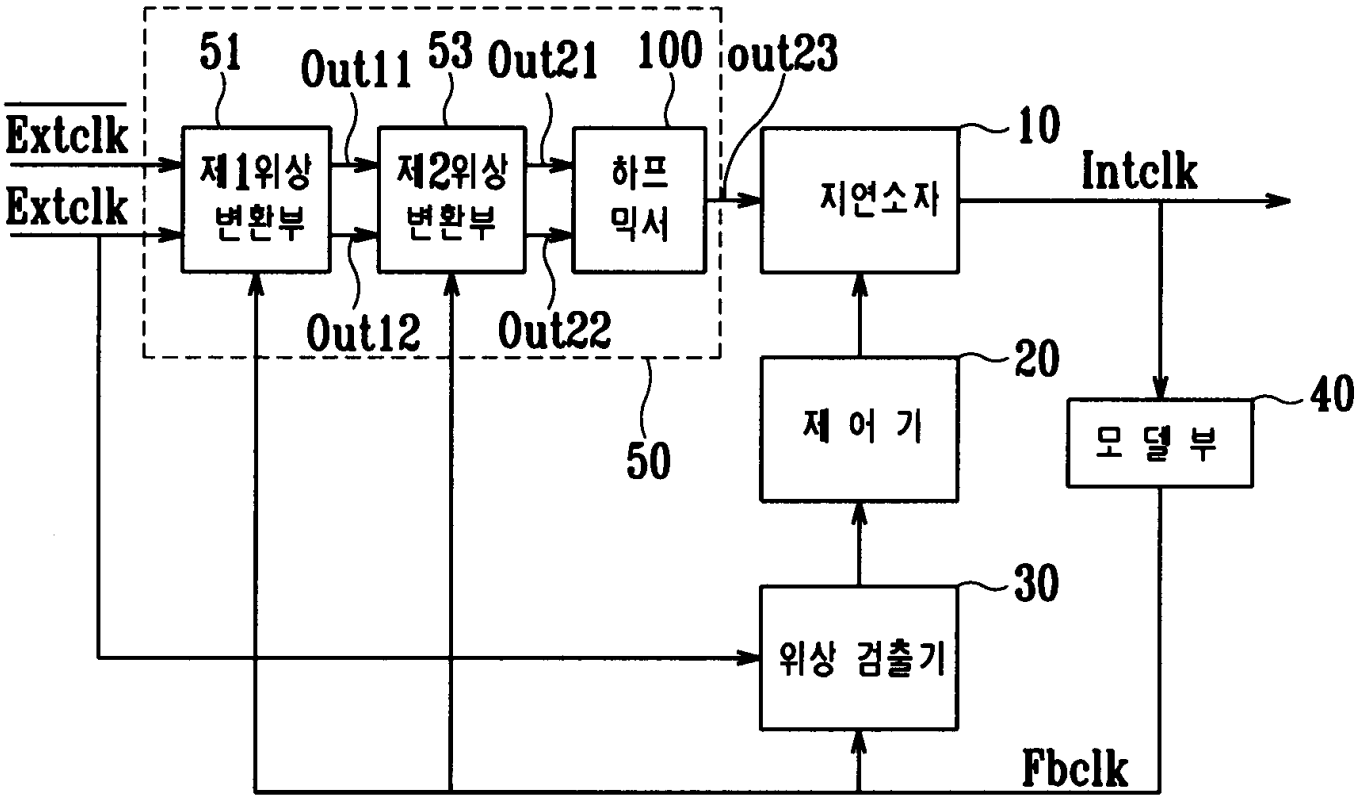
도면 4



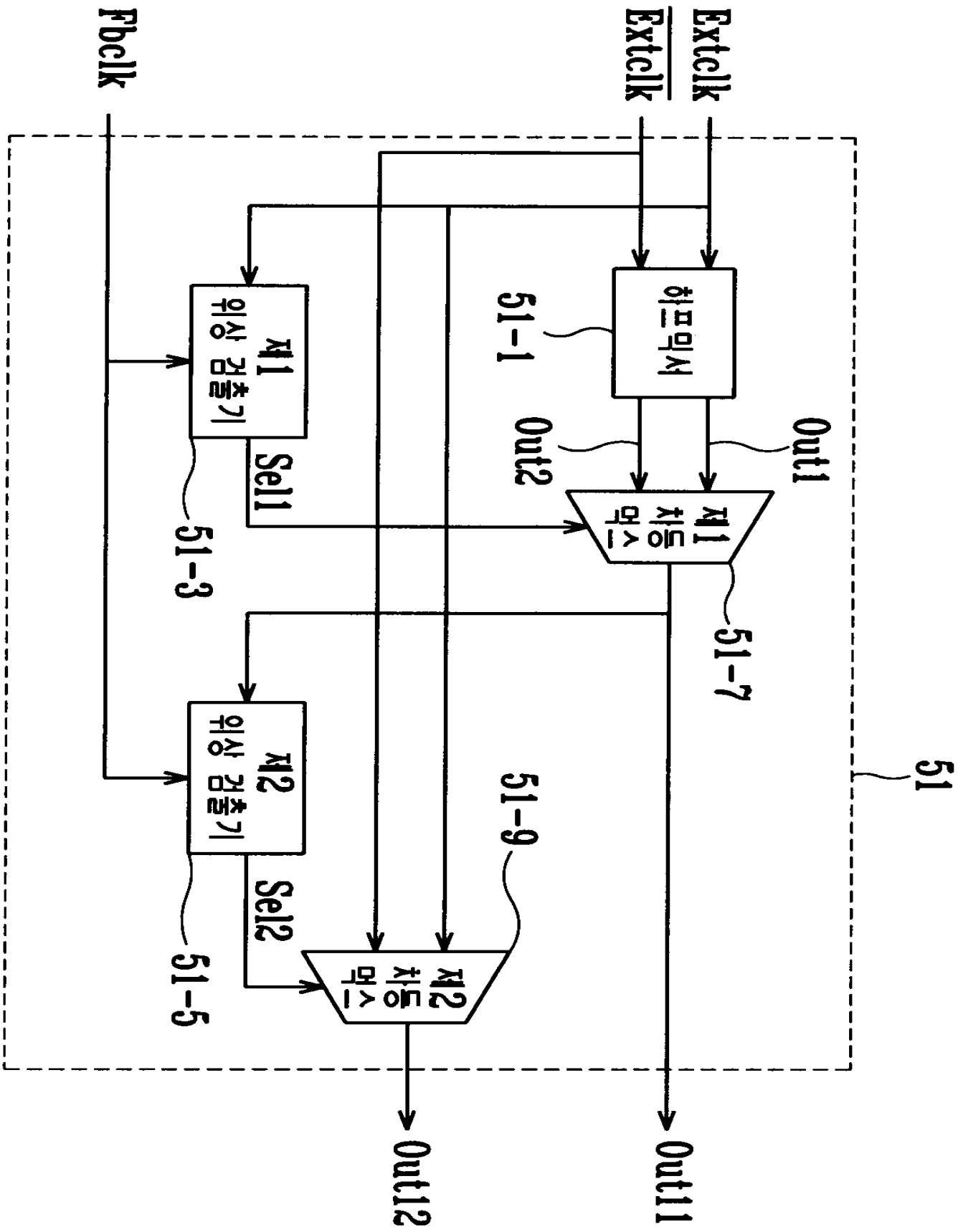
도면 5


Extclk
트 력 부
50
지연소자
10
Intclk
제 어 기
20
모 델 부
40
위상 검출기
30
Fbclk

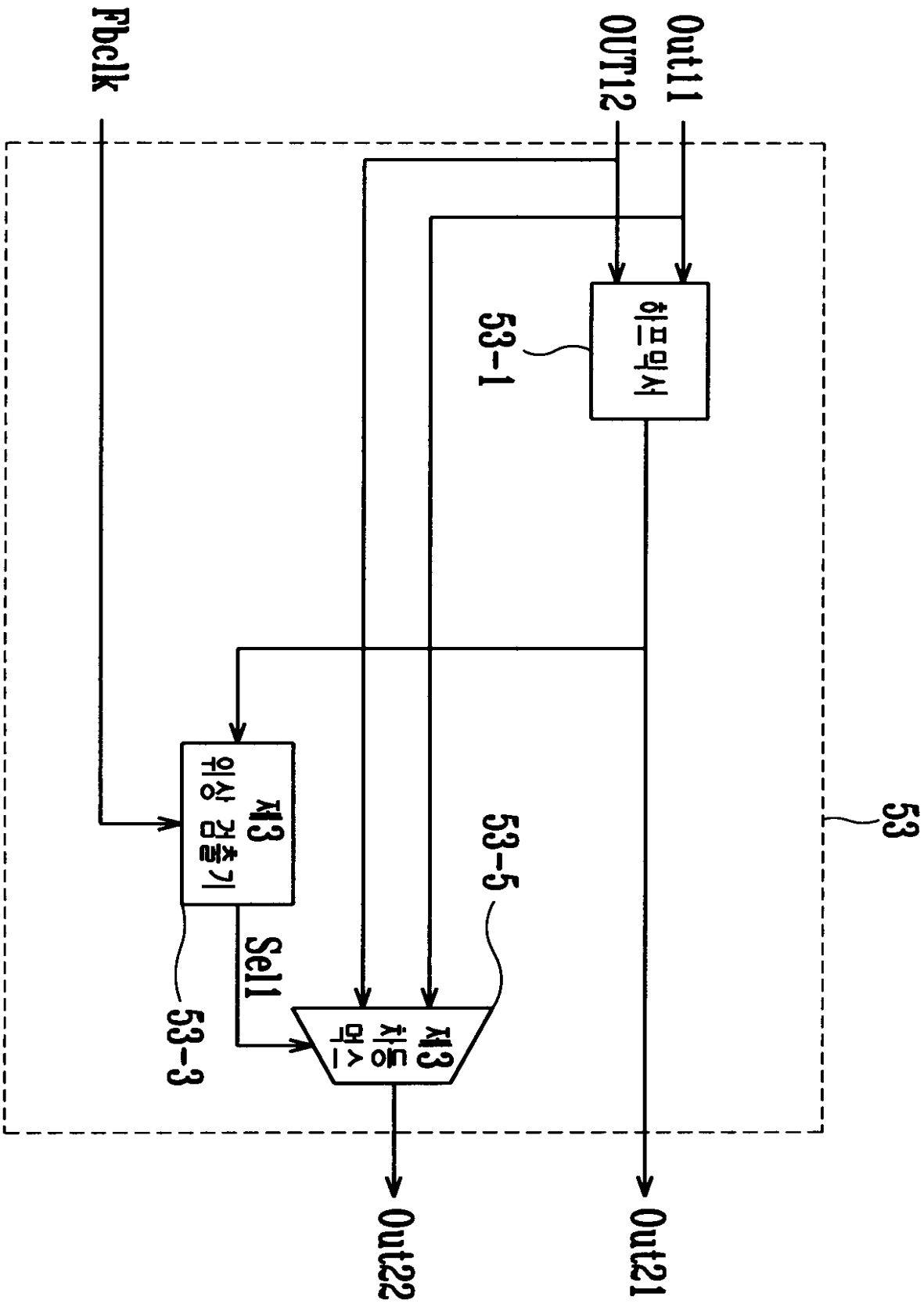
도면 6


51
Out11
53
Out21
100
out23
Extclk
Extclk
제1위상 변환부
제2위상 변환부
하프 믹서
Out12
Out22
50
지연소자
10
Intclk
제 어 기
20
모 델 부
40
위상 검출기
30
Fbclk

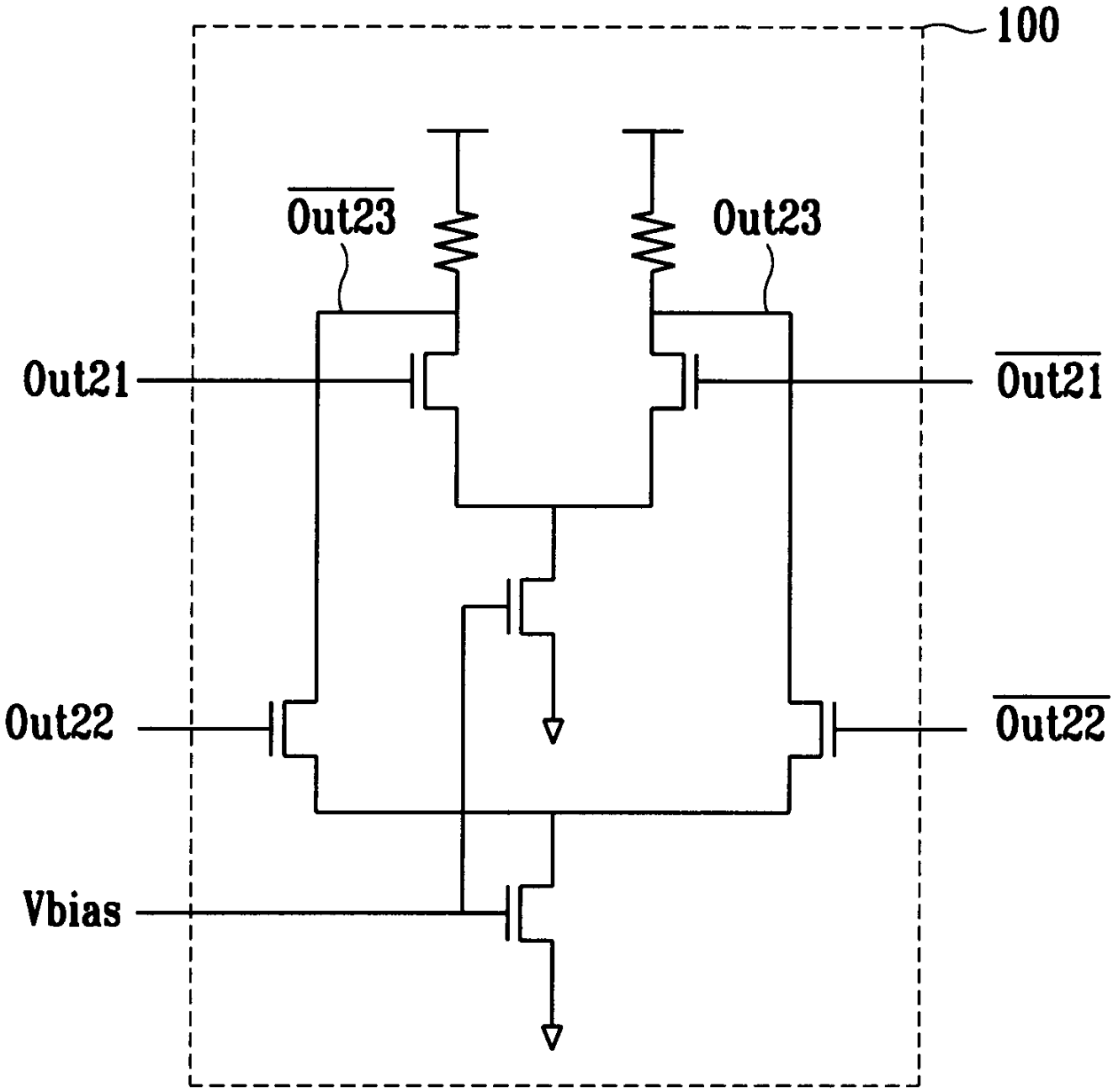
도면 7


Fbclk
Extclk
Extclk
하프믹서
51-1
Out2
Out1
제1 위상 검출기
Sel1
51-3
제1 차동 먹스
51-7
51
제2 위상 검출기
51-9
Sel2
51-5
제2 차동 먹스
Out12
Out11

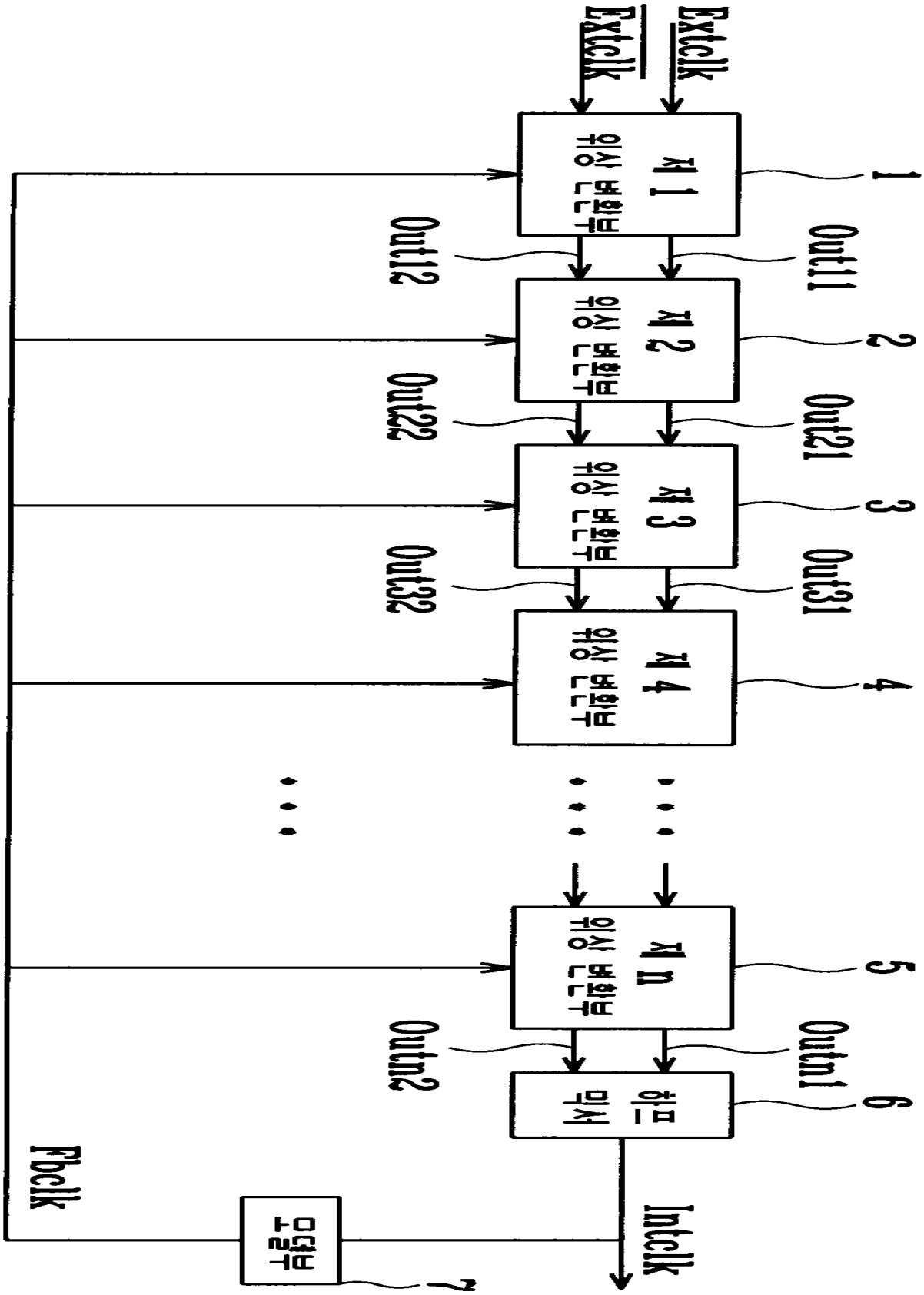
도면 8


Fbclk
OUT12
Out11
하프믹서
53-1
제3 위상 검출기
53-3
Sel1
53-5
제3 차동 믹서
53
Out22
Out21

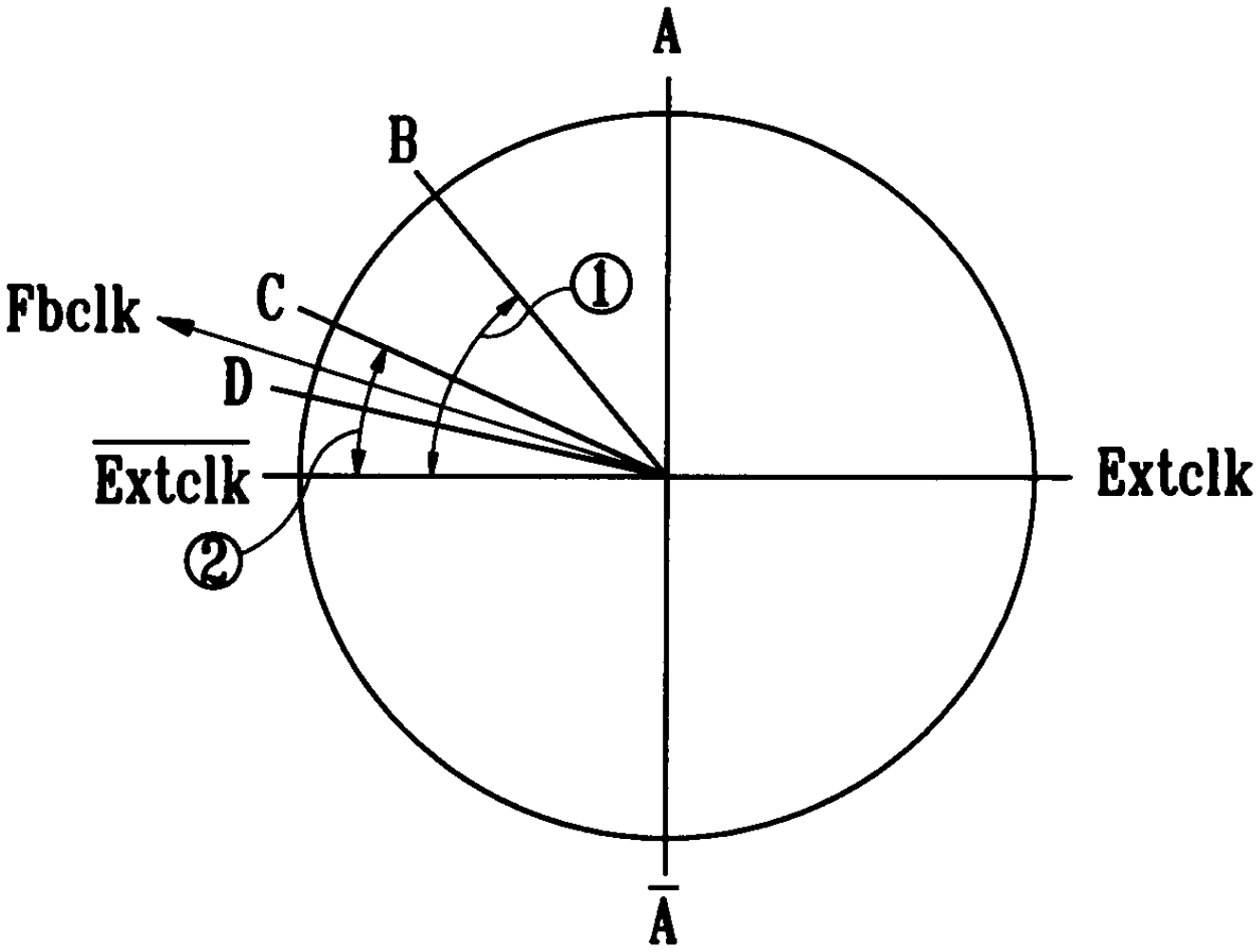
도면 9



도면 10


Extclk
Extclk
지연 동기 루프 1
지연 동기 루프 2
지연 동기 루프 3
지연 동기 루프 4
지연 동기 루프 n
위상 검출기
Out11
Out12
Out21
Out22
Out31
Out32
Outn1
Outn2
Fbclk
Intclk
1
2
3
4
5
6
7

도면 11



도면 12