



[12] 发明专利说明书

[21] ZL 专利号 97125560.1

[45] 授权公告日 2004 年 3 月 3 日

[11] 授权公告号 CN 1140903C

[22] 申请日 1997. 12. 10 [21] 申请号 97125560.1

[30] 优先权

[32] 1997. 4. 4 [33] JP [31] 86250/1997

[71] 专利权人 三菱电机株式会社

地址 日本东京都

[72] 发明人 松本康宽 朝仓千雄 田中浩司

山崎恭治

审查员 谢 静

[74] 专利代理机构 中国专利代理(香港)有限公司

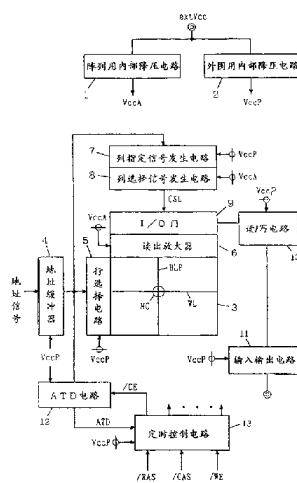
代理人 姜郭厚 叶恺东

权利要求书 1 页 说明书 32 页 附图 14 页

[54] 发明名称 半导体存储装置

[57] 摘要

一种半导体存储装置，备有多个内部电源电路，用于产生多个内部电源电压，包括产生第一内部电源电压的第一内部电源电路；其特征在于，包括：存储单元阵列，具有按行列状排列的多个存储单元；多个位线对，与各上述列对应配置，并与各对应列的存储单元连接；多条字线，与各上述行对应配置，并与各对应行的存储单元连接；及多个读出放大器，与上述多个位线对对应配置，在激活时对相对应的位线对的电位进行差动放大；各上述读出放大器在激活时、将对应位线对的高电位位线驱动到上述第一内部电源电压的电平；列选择信号产生装置，用于选择列选择信号；列选择门，将位线对与内部数据线对电气连接；以及外围电路，进行与上述多个行的行选择有关的动作。



1. 一种半导体存储装置, 备有多个内部电源电路, 用于产生电压电平彼此不同的多个内部电源电压, 上述多个内部电源电路包括产生第一内部电源电压的第一内部电源电路; 其特征在于, 包括: 存储单元阵列, 具有按行列状排列的多个存储单元; 多个位线对, 与各上述列对应配置, 并与各对应列的存储单元连接; 多条字线, 与各上述行对应配置, 并与各对应行的存储单元连接; 及多个读出放大器, 与上述多个位线对对应配置, 在激活时对相对应的位线对的电位进行差动放大; 各上述读出放大器在激活时、将对应位线对的高电位位线驱动到上述第一内部电源电压的电平;

列选择信号产生装置, 用于产生根据地址信号在上述多个列中选择地址指定列的、上述第一内部电源电压电平的列选择信号;

列选择门, 根据上述列选择信号将与指定列对应配置的位线对与内部数据线对电气连接; 以及

15 外围电路, 以高于上述第一内部电源电压的第二内部电源电压作为一个工作电源电压而进行操作, 并根据从外部提供的信号至少进行与上述多个行的行选择有关的动作。

2. 根据权利要求1所述的半导体存储装置, 其特征在于: 上述列选择信号产生装置包含: 以上述第二内部电源电压作为一个工作电源电压而进行操作并对上述地址信号进行译码而产生列指定信号的装置; 及以上述第一内部电源电压作为一个工作电源电压而进行操作并根据上述列指定信号产生上述列选择信号的装置。

3. 根据权利要求1或2所述的半导体存储装置, 其特征在于: 上述存储单元阵列被分成至少按一列排列配置并具有按行列状排列的多个存储单元的多个存储块; 上述内部数据线对, 具有与上述多个存储块对应设置的多个局部数据线对;

还备有: 局部数据线对均衡装置, 用于响应上述地址信号所含有的列地址信号的变化而对上述局部数据线对的电位进行均衡; 及全局数据线对, 对上述排列至少成一列配置的存储块中的一列排列配置的存储块公用地设置, 并有选择地连接与包含选择存储单元的存储块对应设置的局部数据线对。

半导体存储装置

技术领域

- 5 本发明涉及半导体存储装置,尤其是具有生成电压电平不同的多种内部电源电压的内部电源电压发生电路的半导体存储装置。

背景技术

图 17 是简略地表示现有半导体存储装置总体结构的图。在图 17 中,半导体存储装置包含具有按行列状排列的多个存储单元 MC 的存储
10 单元阵列 900。在该存储单元阵列 900 中,字线 WL 与存储单元的各行对应配置,而位线对 BLP 与存储单元 MC 的各列对应配置。对应行的存储单元 MC 与字线 WL 连接,对应列的存储单元与位线对 BLP 连接。正如在后文中将详细说明的,位线对 BLP 具有传送互补数据信号的位线 BL 和 /BL。

15 半导体存储装置还包含:地址缓冲器 902,用于接受来自外部的地址信号,并产生内部地址信号;行选择电路 904,根据来自该地址缓冲器 902 的内部行地址信号,将与存储单元阵列 900 的地址指定行对应的字线驱动到选择状态;列选择电路 906,根据来自地址缓冲器 902 的内部列地址信号,产生用于选择存储单元阵列 900 的地址指定列的列选择信号;
20 读出放大器,与存储单元阵列 900 的各位线对 BLP 对应设置,在激活时对相对应的位线对的电位进行差动放大;及 I/O 门,根据来自列选择电路 906 的列选择信号,将与存储单元阵列 900 的地址指定列对应的位线对与内部 I/O 线 907 连接。在图 17 中,将读出放大器与 I/O 门用一个组件 908 表示。

25 半导体存储装置还包含:输入输出缓冲器 910,在与该装置外部之间进行数据的输入输出;及读/写电路 912,在该输入输出缓冲器 910 与内部 I/O 线 907 之间进行内部数据的相互传送。读/写电路 912 包含:前置放大器,对从存储单元阵列 900 读出的存储单元数据进行放大,并传送到该输入输出缓冲器 910 所包含的输出缓冲器;及写驱动器,根据
30 由该输入输出缓冲器 910 所包含的输入缓冲器供给的内部写入数据,按规定的定时生成写入数据并传送到内部 I/O 线 907。

该半导体存储装置还包含:定时控制电路 914,接受从外部供给的

控制时钟信号、即行地址选通信号/RAS、列地址选通信号/CAS及允许写入信号/WE,并产生用于对与行选择及数据输入输出有关的动作进行控制的控制信号;ATD电路916,根据来自该定时控制电路914的内部信号,检测由地址缓冲器902供给的内部列地址信号的变化。由ATD电路
5 916产生的地址变化检测信号ATD,还施加到定时控制电路914,用于决定与列选择有关的电路动作定时。

行地址选通信号/RAS是决定该半导体存储装置的备用周期和现用周期的信号,当行地址选通信号/RAS变为激活状态的L电平时,该半导体存储装置进入现用周期,进行存储单元的选择动作。列地址选通信号
10 /CAS提供列地址信号的锁存定时及数据输入输出定时。允许写入信号/WE用于指定数据的写入/读出方式。数据读出动作的定时由列地址选通信号/CAS的激活决定。数据的输入定时由列地址选通信号/CAS和允许写入信号/WE两者的激活决定。

ATD电路916,在该行地址选通信号/RAS变为激活状态后,按规定的定时激活,并决定列选择电路916和读/写电路912的动作定时及输入输出缓冲器910的内部读出数据的取入定时。
15

在以下的说明中,「行相关动作」表示从输入行地址起到由读出放大器将对应的存储单元的存储数据放大的一系列的动作,「列相关动作」表示从输入列地址起到将对应的位线对与内部I/O线对连接并对
20 存储单元进行数据的读出/写入的动作。行相关动作由行地址选通信号/RAS驱动,另一方面,列相关动作在地址变化检测信号ATD触发后进行。列相关动作通常由列地址选通信号/CAS驱动,但从供给地址信号到进行数据读出的地址访问时间要由规格决定,所以采用地址变化检测信号ATD的触发是为了准确地与该访问时间相对应。

图18是简略地表示与图17所示半导体存储装置的存储单元阵列900及组件908的一列有关的部分结构的图。在图18中,位线对BLP具有互补的位线BL及/BL。一系列的存储单元MC与该位线对BLP连接。在图18中,代表性地示出与一条字线WL和位线BL的交叉部对应配置的存储单元MC。该存储单元MC包含:存储信息的存储单元电容器MQ;
25 及存取晶体管MT,它由响应字线WL上的信号电位而导通并将存储单元电容器MQ与对应的位线BL连接的n沟道MOS晶体管构成。对该存储单元电容器MQ的一个电极结点(单元板电极结点)提供电压恒定(电源
30

电压的 $1/2$) 的单元板极电压 V_{cp} 。以该单元板极电压 V_{cp} 为基准, 在存储单元电容器 MQ 的另一电极结点(存储结点)上蓄存正或负的电荷。

相对于位线 BL 、 $/BL$ 设有均衡/预充电电路 901, 响应位线均衡指示信号 ϕBQ 并将位线 BL 及 $/BL$ 均衡在中间电压 V_{b1} 。该位线预充电电压 V_{b1} 也是电源电压 V_{cc} 的 $1/2$ 的中间电压电平。位线均衡指示信号 ϕBQ 在备用周期内变为激活状态, 在现用周期内变为非激活状态。

读出放大器+I/O 门组件 908 包含: 读出放大电路 908a, 相对于各对位线 BL 及 $/BL$ 设置, 在读出放大器激活信号 ϕSA 激活时被激活, 用于对位线 BL 及 $/BL$ 的电位进行差动放大和锁存; 及 I/O 门电路 908b, 根据由列选择电路 906(参照图 17) 供给的列选择信号 CSL 而导通, 并将位线 BL 及 $/BL$ 与内部 I/O 线所包含的内部数据线对 907a 连接。该 I/O 门电路 908b 包含分别与位线 BL 和 $/BL$ 对应设置的 n 沟道 MOS 晶体管。其次, 参照图 19 示出的波形图说明该图 17 和图 18 所示的半导体存储装置的动作。

在时刻 t_1 以前, 行地址选通信号 $/RAS$ 处在 H 电平的非激活状态, 半导体存储装置在备用周期中。在该状态下, 位线均衡指示信号 ϕBQ 处在 H 电平的激活状态, 均衡/预充电电路 901 被激活, 将位线 BL 及 $/BL$ 预充电到中间电压电平的 V_{b1} 电平。此外, 字线 WL 处在非选择状态的 L 电平, 而列选择信号 CSL 也处在 L 电平的非选择状态。

在时刻 t_1 , 如行地址选通信号 $/RAS$ 降低到 L 电平, 则现用周期开始, 并开始存储单元的选择动作。随着该行地址选通信号 $/RAS$ 的降低, 取入从外部供给的地址信号 AD , 作为行地址信号 X 供给到行选择电路 904。行选择电路 904 在定时控制电路 914 的控制下被激活, 将与相应于行地址信号 X 的行对应设置的字线 WL 驱动到选择状态。另一方面, 响应该行地址选通信号 $/RAS$ 的降低, 位线均衡指示信号 ϕBQ 变为 L 电平的非激活状态, 使均衡/预充电电路 901 变为非激活状态, 位线 BL 及 $/BL$ 变成在预充电电压 V_{b1} 下的浮置状态。在选择字线 WL 而其电位上升后, 图 18 所示的存取晶体管 MT 导通, 将存储单元电容器 MQ 的蓄存电荷传送到位线 BL 。在图 19 中, 作为一例示出当存储单元 MC 存储着 H 电平数据时的位线 BL 的电位变化。当该位线 BL 和 $/BL$ 的电位差增加到足够大时, 读出放大器激活信号 ϕSA 被激活, 读出放大电路 908a(参照图 18) 对该位线 BL 及 $/BL$ 的电位进行差动放大。因此, 位线 BL 的电位变为电

源电压 V_{cc} 电平的 H 电平, 位线/BL 的电位变为接地电压电平的 L 电平。

5 与该读出放大器的读出动作并行地根据列地址选通信号/CAS 取入地址信号作为列地址信号 Y, 并开始列选择动作。实际的列选择动作是在该读出放大器的读出动作完成后进行的, 如在时刻 t_2 完成读出动作, 则根据该列地址选通信号/CAS 进行列选择动作, 在时刻 t_3 列选择信号 CSL 变为选择状态的 H 电平, 使 I/O 门电路 908b 导通, 并将位线 BL、/BL 与内部 I/O 线对 907a 连接。该内部 I/O 线对由图中未示出的均衡电路进行均衡, 该内部数据线对 907a 的电位由读出放大电路 908a 驱动, 改
10 变为 H 电平和 L 电平。在这之后, 进行与选择列对应的数据写入/读出。

接着, 行地址选通信号/RAS 变为 H 电平的非激活状态, 字线 WL 的电位降低到 L 电平, 读出放大器激活信号 ϕSA 变为非激活状态, 随后位线均衡指示信号 ϕBQ 变为 H 电平的激活状态。因此, 位线 BL 及 /BL 再次被预充电并均衡在中间电压电平的预充电电压 V_{b1} 电平。而当列地址选通信号/CAS 变为 H 电平的非激活状态时, 列选择信号 CSL 降低到 L
15 电平。

图 20 是简略地表示图 17 所示半导体存储装置的定时控制电路、行选择电路及列选择电路的结构图。在图 20 中, 在存储单元阵列 900 内, 代表性地示出字线 WL 和位线对 BLP、及与该位线对 BLP 连接的 I/O
20 门电路 908b。

定时控制电路 914 包含: RAS 缓冲器 914a, 接受从外部供给的行地址选通信号/RAS, 生成内部行地址选通信号 int/RAS ; 地址控制电路 914b, 根据该内部行地址选通信号 int/RAS 生成控制地址取入定时的信号 RAL、RADE 和 CAI; 位线均衡控制电路 914c, 根据来自 RAS 缓冲器
25 914a 的内部行地址选通信号 int/RAS , 产生位线均衡指示信号 ϕBQ ; 字线驱动控制电路 914d, 根据内部行地址选通信号 int/RAS 产生规定将字线驱动到选择状态的定时的字线驱动信号 RX; 及读出放大控制电路 914e, 根据位线均衡控制电路 914c 输出的位线均衡指示信号 ϕBQ 及内部行地址选通信号 int/RAS , 产生读出放大器激活信号 ϕSA 。

30 该定时控制电路 914 还包含一个列相关联锁控制电路 914f, 根据来自读出放大控制电路 914e 的读出放大器激活信号 ϕSA , 生成用于控制列相关电路的动作用的列允许信号/CE 及列地址允许信号 CADE。列相

关联锁控制电路 914f, 在读出放大器激活信号 ϕSA 被激活并经过规定时间后, 将列允许信号/CE 及列地址允许信号 CADE 驱动到激活状态。随着该列允许信号/CE 的激活, 使列相关电路可以开始动作, 而随着列地址允许信号 CADE 的激活, 可以进行内部列地址的生成。

- 5 该定时控制电路 914 还包含: CAS 缓冲器 914g, 接受从外部供给的列地址选通信号/CAS, 生成列地址锁存指示信号 CAL; 输出控制电路 914i, 根据来自 CAS 缓冲器 914g 的内部列地址选通信号和允许写入信号/WE, 生成数据传送指示信号 DT, 用于控制从读/写电路所包含的读电路(前置放大器)向输出缓冲器的数据传送; 及列相关控制电路 914h, 根据来自 ATD 电路 916 的地址变化检测信号, 产生对列相关电路的控制信号。在图 20 中, 示出由该列相关控制电路 914 供给列译码器(列选择电
- 10 路)906a 的列译码器允许信号 CDE 及对设在内部数据线对 907a 上的 I/O 均衡电路 920 的均衡指示信号 IOEQ。

- 列译码器 906a 包含在图 17 所示的列选择电路 906 内。该列选择
- 15 电路 906 还可以包含列预译码器。从列译码器 906a 生成列选择信号 CSL 并供给 I/O 门电路 908b。I/O 均衡电路 920 在数据线均衡指示信号 IOEQ 激活时对内部数据线对 907a 的电位进行均衡。

- 地址缓冲器 902 包含: 行地址缓冲器 902r, 接受从外部供给的地址信号, 生成内部行地址信号; 及列地址缓冲器 902c, 接受从外部供给的地址信号, 生成内部列地址信号。行地址缓冲器 902r 包含: 地址锁存电
- 20 路 902ra, 根据来自地址控制电路 914b 的行地址锁存指示信号 RAL, 取入并锁存从外部供给的地址信号; 及内部地址发生电路 902rb, 响应来自地址控制电路 914b 的行地址允许信号 RADE 的激活并根据由该地址锁存电路 902ra 供给的内部行地址信号, 生成互补的内部行地址信
- 25 号。

- 从该内部地址发生电路 902rb 生成的互补内部行地址信号供给到行选择电路所包含的行译码器/驱动器 904a。该行译码器/驱动器 904a 对由内部地址发生电路 902rb 供给的地址信号进行译码, 并根据由字线驱动控制电路 914d 供给的字线驱动信号 RX 将与地址指定行对应的
- 30 字线驱动到选择状态。行选择电路 904 除该行译码器/驱动器 904a 外也可以包含一个行预译码器。

 ATD 电路 916 响应来自列关联锁控制电路 914f 的列允许信号

/CE 的激活而被激活。下面,参照图 21 和图 22 中示出的信号波形图说明该图 20 所示的定时控制电路的动作。

首先,参照图 21 说明列地址选通信号/CAS 在列允许信号/CE 激活前变为激活状态时的动作。

5 在时刻 t_1 以前,行地址选通信号/RAS 和列地址选通信号/CAS 都处在 H 电平的非激活状态。半导体存储装置处在备用状态,来自地址控制电路 914b 的行地址锁存指示信号 RAL 处在非激活状态,而行地址禁止信号 CAI 处在激活状态。在这种状态下,行地址锁存电路 902ra 根据从外部供给的地址信号生成内部地址信号。另一方面,列地址缓冲器 902c
10 根据列地址禁止信号 CAI 的激活而禁止取入来自外部的地址信号。IO 均衡电路 920 根据数据线均衡指示信号 IOEQ 的激活,将内部数据线对 907a 均衡在规定的电压电平。

在时刻 t_1 ,如行地址选通信号/RAS 降低到激活状态的 L 电平,则现用周期开始。响应该行地址选通信号/RAS 的降低,来自位线均衡控制电
15 路 914c 的位线均衡指示信号 ϕBQ 变为 L 电平,使位线对的均衡停止。并且,响应该行地址选通信号/RAS 的降低,行地址锁存指示信号 RAL 上升到 H 电平,使地址锁存电路 902ra 变为锁存状态,接着,行地址允许信号 RADE 变为激活状态,来自内部地址发生电路 902rb 的互补内部行地址信号变成与由该地址锁存电路 902ra 锁存的地址信号对应的状态。

20 当该地址锁存电路 902ra 对行地址信号的锁存结束时,行地址禁止信号 CAI 变为非激活状态,允许列地址缓冲器 902c 取入来自外部的地址信号。

根据随着该行地址选通信号/RAS 的降低而取入并锁存的地址信号 X 进行行选择动作,按规定的定时由字线驱动控制电路 914d 生成字线
25 驱动信号 RX,并由行译码器/驱动器 904a 根据该字线驱动信号 RX 将由地址指定的字线驱动到选择状态。接着,来自读出放大控制电路 914e 的读出放大器激活信号 ϕSA 在时刻 t_2 处于激活状态,对与选择字线连接的存储单元的数据进行检测和放大。

在比该读出放大器激活信号 ϕSA 的激活稍迟的时刻 t_2 ,列地址选
30 通信号/CAS 变为 L 电平的激活状态,列地址锁存指示信号 CAL 也相应地变为 H 电平的激活状态。因此,列地址缓冲器 902c 锁存从外部供给的地址信号。在该状态下,列允许信号/CE 仍处在非激活状态,ATD 电路

916 也处在非激活状态。而列地址允许信号 CADE 也处在非激活状态，来自列地址缓冲器 902c 的内部地址信号全部处在非激活状态，因而不进行列选择动作。

在读出放大器激活信号 ϕ SA 被激活并经过规定时间后，在时刻 t3，来自列相关联锁控制电路 914f 的列允许信号/CE 变为 L 电平的激活状态，而列地址允许信号 CADE 也变成激活状态的 H 电平。在时刻 t2 以前地址信号虽发生变化，但列允许信号/CE 处在 H 电平的非激活状态，而地址变化检测信号 ATD 保持 H 电平。随着该列地址允许信号 CADE 的激活，来自列地址缓冲器 902c 的内部地址信号变为与已被锁存的地址信号对应的状态。此外，ATD 电路 916 响应列允许信号/CE 的激活而变为激活状态，使地址变化检测信号 ATD 降低到 L 电平，并供给到列相关控制电路 914h。列相关控制电路 914h 响应该地址变化检测信号 ATD 的降低，将列译码器允许信号 CDE 驱动到激活状态。相应地，列译码器 906a 对由列地址缓冲器 902c 供给的互补内部列地址信号进行译码，并将列选择信号 CSL 驱动到选择状态，以便将地址指定列驱动到选择状态。与此同时，列相关控制电路 914h 将内部数据线均衡指示信号 IOEQ 驱动到非激活状态，Io 均衡电路 920 成为非激活状态，使内部数据线的均衡停止。因此，通过 I/O 门电路 908b 将位线对 BLP 的数据传送到内部数据线对 907a，并进一步传送到读/写电路，从而对选择存储单元进行数据的读出或写入。

在时刻 t4，如行地址选通信号/RAS 上升到 H 电平，则该半导体存储装置再次恢复到备用状态。响应该行地址选通信号/RAS 的上升，行地址允许信号 RADE 变为 L 电平的非激活状态，接着行地址锁存指示信号 RAL 变为 L 电平的非激活状态。因此，将地址锁存电路 902ra 设定在取入来自外部的地址信号的状态，另一方面，内部地址发生电路 902rb 将其互补内部地址信号同时驱动到非选择状态。

另外，响应该行地址选通信号/RAS 的上升，字线驱动信号 RX 及读出放大器激活信号 ϕ SA 被驱动到非激活状态。响应该读出放大器激活信号 ϕ SA 的非激活状态，列地址允许信号 CADE 及列允许信号/CE 变为非激活状态。

响应该行地址选通信号/RAS 的上升，列地址禁止信号 CAI 上升到 H 电平，禁止列地址缓冲器 902c 取入来自外部的地址信号，另外，列允许

信号/CE 也变为 H 电平的非激活状态,相应地,来自 ATD 电路 916 的地址变化检测信号 ATD 上升到 H 电平,列译码器允许信号 CDE 变为非激活状态,而 IO 均衡电路 920 响应内部数据线均衡指示信号 IOEQ 的激活而被激活,并将内部数据线对 907a 均衡在规定的电压电平。

- 5 接着,列地址选通信号/CAS 上升到 H 电平,列地址锁存指示信号 CAL 变为 L 电平。另外,位线均衡指示信号 ϕ BQ 变为 H 电平的激活状态,进行位线对 BLP 电位的预充电/均衡。

在该图 21 所示的动作中,当列地址选通信号/CAS 在列允许信号/CE 激活前变为激活状态时,根据列允许信号/CE 的激活,开始列选择动作,并对选择存储单元进行访问。

以下,参照图 22 说明列地址选通信号/CAS 在列允许信号/CE 变为激活状态后变为 L 电平的激活状态时的动作。

- 在时刻 t_0 ,行地址选通信号/RAS 变为 L 电平的激活状态。响应该行地址选通信号/RAS 的激活,将此时供给的地址信号 AD 作为行地址信号(X)取入,并进行行选择动作。按照该选择动作,将与选择字线连接的存储单元的数据读出到对应的位线。在图 22 中,代表性地示出 2 个位线对 BLP0 和 BLP1,并作为一例给出对位线对 BLP0 读出 H 电平数据、对位线对 BLP1 读出 L 电平数据时的波形。

- 在该状态下,列允许信号/CE 及列地址允许信号 CADE 仍同时处在非激活状态,内部列地址信号的产生及列选择动作均被禁止。

- 当读出放大器被激活并根据选择存储单元数据分别将各位线对的数据确定在 H 电平和 L 电平时,在时刻 t_1 ,来自图 20 所示的列相关锁控制电路的列允许信号/CE 及列地址允许信号 CADE 变为激活状态。由于行地址选通信号/RAS 处在 L 电平的激活状态,而列地址选通信号/CAS 为 H 电平,所以列地址缓冲器 902c 取入从外部供给的地址信号,并根据该列地址允许信号 CADE 生成互补内部列地址信号。来自该列地址缓冲器 902c 的内部列地址信号已完成其状态变化,ATD 电路 916 响应列允许信号/CE 的降低,使地址变化检测信号 ATD 降低到 L 电平。响应该地址变化检测信号 ATD 的降低,列译码器允许信号 CDE 成为激活状态,而内部数据线均衡指示信号 IOEQ 变为非激活状态。因此,列译码器 906a 根据此时供给的地址信号 Y0 进行列选择动作。在图 22 中示出根据该列地址信号 Y0 选择位线对 BLP0 并将该位线对 BLP0 的 H 电平数据

读到内部数据线 907a 时的波形。

在时刻 t_2 , 如地址信号改变, 则即使在这种状态下, 列地址选通信号/CAS 仍为 H 电平, ATD 电路 916 产生单触发的地址变化检测信号 ATD。响应该地址变化检测信号 ATD 的激活(上升), 列译码器允许信号 CDE 变为 L 电平的非激活状态, 而内部数据线均衡指示信号 IOEQ 变为 H 电平的激活状态。因此, 使根据内部列地址信号 Y0 进行的列选择动作停止, 并使位线对 BLP0 与内部数据线对 907a 分离, 并由 IO 均衡电路 920 将该内部数据线对 907a 均衡在规定的电压电平。

该地址变化检测信号 ATD 是具有规定时间宽度的单触发脉冲信号, 当地址变化检测信号 ATD 再次降低到 L 电平时, 列译码器允许信号 CDE 变为激活状态, 而内部数据线均衡指示信号 IOEQ 变为 L 电平的非激活状态。因此, 结束内部数据线对 907a 的均衡动作, 并根据地址信号 Y0 进行列选择动作, 将位线对 BLP1 连接于内部数据线对 907a。

在时刻 t_3 , 在该内部数据线对 907a 的均衡动作结束的时刻, 即使内部数据线对 907a 的均衡尚未完成, 也可以借助于设在位线对 BLP1 上的读出放大电路的功能按照位线对 BLP1 的数据 L 改变内部数据线对 907a 的数据。

在时刻 t_4 , 如列地址选通信号/CAS 降低到 L 电平, 则图 19 所示的列地址锁存指示信号 CAL 变为激活状态, 列地址缓冲器 902c 变为地址锁存状态, 在此期间, 内部列地址信号不发生变化。

如该图 22 所示, 列地址选通信号/CAS 在列允许信号/CE 激活后被激活时, 即使是在地址信号 AD 的内部行地址信号 X 不变的情况下, 列地址缓冲器 902c 也被激活, 并根据此时供给的地址信号生成互补内部列地址信号, 通过列允许信号/CE 的激活, 使地址变化检测信号 ATD 降低到 L 电平并进行列的选择。随后, 当地址信号改变时, ATD 电路 916 产生的地址变化检测信号 ATD 变为激活状态, 并进行列选择动作。该动作在列地址选通信号/CAS 被激活之前根据地址信号的变化反复进行, 并使列相关电路动作。列地址选通信号/CAS 仅提供与外部装置进行数据输入输出的定时及列地址信号的锁存定时。

在这种情况下, 内部数据线对 907a 的均衡时间由地址变化检测信号 ATD 的脉冲宽度决定。如果地址变化检测信号 ATD 具有足够大的脉冲宽度、即内部数据线均衡指示信号 IOEQ 的脉冲宽度足够大, 则能将

内部数据线对可靠地均衡在规定的电压电平。然而,在这种情况下,由于列选择动作的开始被延迟,所以不能实现高速的访问。因此,不可能延长该内部数据线对的均衡时间(列译码器在内部数据线对均衡信号为非激活后才变为激活状态)。上述列选择动作通常是在页面方式等高速串行访问方式中进行,因此,即使是对这种不充分的内部数据线对的均衡,也需要有用于可靠地读出存储单元数据的对策。

图 23 是表示读出放大电路及 I/O 门电路的部分结构的图。在图 23 中,读出放大电路 SA(908a)包含:p 沟道 MOS 晶体管 P1,其一个导通端子输出到读出结点 SNDa,而其栅极与读出结点 SNDb 连接;p 沟道 MOS 晶体管 P2,其一个导通结点连接于读出结点 NDb,而其栅极与读出结点 SNDa 连接;及 p 沟道 MOS 晶体管 P3,响应读出放大器激活信号 ϕ_{SP} 的激活,将电源电压 V_{CC} 传送到 p 沟道 MOS 晶体管 P1、P2 的另一导通端子(源极)。读出结点 SNDa 是位线 BL 上的结点,读出结点 SNDb 是位线 /BL 上的结点。

读出放大电路 SA 还包含:n 沟道 MOS 晶体管 N1,其一个导通端子与读出结点 SNDa 连接,而其栅极与读出结点 SNDb 连接;n 沟道 MOS 晶体管 N2,其一个导通端子与读出结点 SNDb 连接,而其栅极与读出结点 SNDa 连接;及 n 沟道 MOS 晶体管 N3,在读出放大器激活信号 ϕ_{SN} 激活时导通,并将接地电压 V_{SS} 传送到 n 沟道 MOS 晶体管 N1、N2 的另一导通端子(源极)。

该读出放大电路 SA 将读出结点 SNDa 及 SNDb 两个高电位读出结点驱动到电源电压 V_{CC} 电平,另一方面,将低电位读出结点驱动到接地电压电平。

I/O 门电路 908b 包含传输门 Ta 和 Tb,由响应列选择信号 CSLa 的激活而导通并将位线 BL 和 /BL 与内部数据总线 907aa 和 907ab 连接的 n 沟道 MOS 晶体管构成。对该内部数据总线 907aa 和 907ab 设有 IO 均衡电路 920。该 IO 均衡电路 920 包含 n 沟道 MOS 晶体管,响应内部数据线均衡指示信号 IOEQ 的激活而导通,并将内部数据线 907aa 及 907ab 电气短路。以下,简单说明该图 23 所示读出放大电路及 I/O 门电路的动作。

如图 23 所示,位线 BL 的电位处在接地电压 V_{SS} 电平的 L 电平,位线 /BL 处在电源电压 V_{CC} 电平的 H 电平,另外,考虑在内部数据线 907aa

及 907ab 从图中未示出的另一位线读出 H 电平的数据并使内部数据线 907aa 为 H 电平、内部数据线 907ab 为 L 电平的狀態。在内部数据线 907aa 及 907ab 上还分别存在着寄生电容 C_p 。

现在,如图 24 所示,将图中未示出的位线对的数据读到内部数据线 5 907aa 及 907ab,而内部数据线 907aa 为 H 电平状态,内部数据线 907ab 为 L 电平的狀態。当地址信号改变时,内部数据线均衡指示信号 IOEQ 在时刻 t_a 变为 H 电平的激活状态,将内部数据线 907aa 和 907ab 电气短路,并使其电位向中间电位电平的方向变化。该电位变化是因蓄存于寄生电容 C_p 的电荷移动而产生的。内部数据线均衡指示信号 IOEQ 如 10 在时刻 t_b 变为非激活状态,则该内部数据线 907aa 和 907ab 的均衡停止。在该时刻 t_b ,内部数据线 907aa 和 907ab 的电位尚未达到完全的均衡,内部数据线 907aa 的电位处在比内部数据线 907ab 的电位高的电平。

在这种状态下,在时刻 t_b ,列选择信号 CSLa 被驱动到选择状 15 态,I/O 门电路 908b 导通,并且,位线 BL 及 /BL 与内部数据线 907aa 和 907ab 电气连接。读出放大电路 SA 通过读出结点 SNDa 及 SNDb 将位线 BL 及 /BL 的电位分别保持在 L 电平和 H 电平。然而,这时如果使读出结点 SNDa 及 SNDb 急速地与内部数据线 907aa 和 907ab 电气连接,则该读出结点 SNDa 及 SNDb 的电位将发生变化。读出放大电路 SA 必需驱动以 20 该新附加的反向数据电位充电的寄生电容 C_p 。因此,读出放大器的电源电压 V_{cc} 的电压电平降低,并相应地使读出放大器的驱动能力降低。当读出结点 SNDa 及 SNDb 的电位因反向数据而急剧变化时,读出放大电路 SA 就不能保持原来的数据,其锁存状态反转,使位线 BL 及 /BL 的电位分别变成 H 电平和 L 电平,并使存储单元数据反转。

25 为防止因这种数据的冲突而引起的数据反转,必须使读出放大器的读出结点 SNDa 及 SNDb 的电压电平的变化比较平缓,同时必须使该 I/O 门电路 908b 所包含的传输门 T_a 和 T_b 的驱动力与构成读出放大器的 MOS 晶体管 P1~P3 及 N1~N3 的驱动力保持平衡。即,如图 25 所示,当读出结点 SNDa 及 SNDb 的电位急剧变化时,读出放大器的锁存状态随 30 该急剧的电压变化而反转,相反,当读出结点 SNDa 及 SNDb 的电压电平缓慢变化时,能保持原来的锁存状态。

因此,即使在内部数据线 907aa 和 907ab 的均衡不充分时发生数据

的冲突,也必须能防止读出放大电路的锁存状态反转。如果为使读出结点 $SNDa$ 及 $SNDb$ 的电压变化速度平缓而使传输门 Ta 及 Tb 的驱动力非常小,则当写入数据时,读出结点 $SNDa$ 及 $SNDb$ 的电位变化迟缓,因而不能进行高速写入。另外,与之相对地,不能根据读出结点 $SNDa$ 及 $SNDb$ 的电压快速地驱动内部数据线 907aa 和 907ab,因而不能进行高速的数据读出。因此,为能高速且稳定地进行数据的写入/读出,必须在构成该读出放大电路的 MOS 晶体管 $P1 \sim P3$ 及 $N1 \sim N3$ 与传输门 Ta 及 Tb 之间进行极精细的尺寸大小的调节。

伴随着半导体存储装置存储容量的增大,元件也微细化,因而必需降低半导体存储装置的工作电源电压,以保证元件的可靠性、减低电力消耗并实现高速动作。这是因为电力消耗与电源电压的平方成比例,并且,如减小信号振幅则能实现信号线的高速充电和放电。然而,作为构成系统的处理机等的构成要素的 MOS 晶体管尚未达到象半导体存储装置那样的微细化程度,因而不能采用在半导体存储装置中所要求的那样低的电源电压,半导体存储装置的工作电源电压取决于处理机等所要求的系统电源电压。为此,在半导体存储装置中,采用着将外部电源电压降低到在内部所需要的电源电压电平从而产生内部电源电压的内部电源电压发生电路。这种产生内部电源电压的电路被称作内部降压电路。

图 26 是简略地表示现有的具有内部降压电路的半导体存储装置的总体结构的图。在图 26 中,半导体存储装置包含:内部降压电路 950,接受外部电源电压 $extVcc$ 并产生阵列用电源电压 $VccA$;及内部降压电路 952,接受外部电源电压 $extVcc$ 并产生外围用内部电源电压 $VccP$ 。从内部降压电路 950 产生的阵列用内部电源电压 $VccA$ 供给阵列相关电路 954,从内部降压电路 952 产生的外围用内部电源电压 $VccP$ 供给外围电路 956。该阵列相关电路 954 包含读出放大器。外围电路 956 包含读/写电路、行选择电路和列选择电路以及定时控制电路。存储单元阵列内的位线振幅全部保持在该阵列用内部电源电压 $VccA$ 的电压电平。

供给外围电路的外围用内部电源电压 $VccP$ 具有高于阵列用内部电源电压 $VccA$ 的电压电平。由于采用该较高的内部电源电压 $VccP$,所以作为外围电路构成要素的 MOS 晶体管的栅极电压提高,并使外围电路

956 高速动作。另一方面,对于阵列相关电路 954,该电压电平应稍低一些,以保证存储单元电容器的电介质膜的可靠性及存取晶体管的栅极绝缘膜的可靠性,并减低读出放大操作时的电流消耗。尤其是,在动态型半导体存储装置中,应在选择字线上施加比阵列用电源电压 V_{CCA} 高的升压电压 $V_{PP} (\approx 3/2 \cdot V_{CCA})$,以便将 H 电平的数据写入存储单元电容器,而不会造成存取晶体管的阈值电压损失。因此,为了保证存取晶体管栅极绝缘膜的可靠性,也应将阵列相关电路 954 的工作电源电压设定在低的值。

图 27 是简略地表示对于与一个位线对有关的部分在其上施加的电压电平的图。在图 27 中,存储单元 MC 与字线 WL 和位线 BL 的交叉部对应配置。该存储单元 MC 包含存储信息的存储单元电容器 MQ 及响应字线 WL 的电位而将存储单元电容器 MQ 与位线 BL 连接的存取晶体管 MT。在存储单元电容器 MQ 的单元板电极结点 CP 上施加有中间电压 V_{CP} 。该单元板电极电压 V_{CP} 具有阵列用内部电源电压 V_{CCA} 的 $1/2$ 的电压电平。图中虽未示出,但位线均衡电压 V_{B1} 也是该阵列用电源电压 V_{CCA} 的 $1/2$ 电压电平。作为读出放大器电源的阵列用内部电源电压 V_{CCA} 及接地电压 V_{SS} 供给读出放大电路 SA。因此,位线 BL 及 \overline{BL} 的振幅在阵列用内部电源电压 V_{CCA} 与接地电压 V_{SS} 之间。此外,该存储单元电容器 MQ 的存储结点 SN 与单元板电极结点 CP 之间的电压等于 $V_{CCA}/2$,足以保证该电容器电介质膜的绝缘耐压强度。

另外,对存取晶体管 MT 的栅极施加 $3 \cdot V_{CCA}/2$ 的升压电压。然而,由于阵列用内部电源电压 V_{CCA} 比较低,所以能够保证存取晶体管 MT 的栅极绝缘膜的绝缘特性。

另一方面,对列选择电路供给外围电路用电源电压 V_{CCP} ,使外围电路高速动作。在这种情况下,列选择信号 CSL 在激活时变为外围用内部电源电压 V_{CCP} 的电压电平,电压电平等于外围用内部电源电压 V_{CCP} 的电压电平的列选择信号 CSL 被加到 I/O 门电路 908b 内所包含的传输门 Ta 和 Tb 的栅极。在这种情况下,将产生如下问题。

图 28 是表示 MOS 晶体管的栅极电压与漏极电流的关系的图。以横轴表示漏-源间电压 V_{DS} ,以纵轴表示漏极电流 I_{DS} 。曲线 I 表示栅-源间电压为 V_{GS1} 时漏极电流-漏极电压的关系,曲线 II 表示栅-源间电压为 V_{GS2} 时漏极电流-漏极电压的关系。电压 V_{GS1} 高于电压 V_{GS2} 。

如该图 28 所示,漏极电压(以源极为基准) V_{ds} 相等时,栅-源间电压高时流过大的漏极电流 I_{ds} 。即,当加在图 27 所示传输门 Ta 和 Tb 的栅极上的列选择信号 CSL 的电压电平升高时,该传输门 Ta 和 Tb 的电流驱动力增大。因此,如前面的图 25 所示,当内部数据线对 907a 的均衡不充分时,如将列选择信号 CSL 驱动到选择状态,则将该内部数据线对 907a 急速地连接于位线对 BL 和 /BL 并因反向数据而使电位发生变化,因而产生使读出放大电路 SA 的锁存数据反转的问题。为了使传输门晶体管 Ta 和 Tb 的尺寸与读出放大电路 SA 内所包含的 MOS 晶体管的尺寸在将列选择信号 CSL 驱动到该外围用内部电源电压 V_{ccP} 电平的状态下保持平衡,必须根据外围用内部电源电压 V_{ccP} 的电压电平对读出放大电路 SA 内所包含的 MOS 晶体管及传输门晶体管 Ta 和 Tb 的尺寸重新进行调整,因而不能利用在此之前已求得的尺寸关系,必须重新进行设计。特别是,由于该内部电源电压 V_{ccP} 和 V_{ccA} 的电压电平随着半导体存储装置的高度集成化而逐渐降低,不可能设定为固定的值,所以,每当内部电源电压电平变更时,就必须对读出放大电路 SA 内所包含的 MOS 晶体管及 I/O 门电路内所包含的传输门晶体管的尺寸进行调整,因此产生使设计变得复杂并因而使制造成本提高的问题。

发明内容

因此,本发明的目的是提供一种即使内部电源电压采用其电压电平不同的阵列用内部电源电压及外围用内部电源电压时仍能很容易地进行精确的存储单元数据读出的半导体存储装置。

本发明的另一目的是提供一种与内部电源电压的电压电平无关而总是能够进行精确的数据读出并能进行高速访问的半导体存储装置。

概括地说,本发明的结构是产生阵列用内部电源电压电平的列选择信号。

根据本发明一种半导体存储装置,备有多个内部电源电路,用于产生电压电平彼此不同的多个内部电源电压,上述多个内部电源电路包括产生第一内部电源电压的第一内部电源电路;其特征在于,包括:存储单元阵列,具有按行列状排列的多个存储单元;多个位线对,与各上述列对应配置,并与各对应列的存储单元连接;多条字线,与各上述行对应配置,并与各对应行的存储单元连接;及多个读出放大器,与上述多个位线对对应配置,在激活时对相对应的位线对的对电位进行差动放大;各上述读出放

大器在激活时、将对应位线对的高电位位线驱动到上述第一内部电源电压的电平;

列选择信号产生装置,用于产生根据地址信号在上述多个列中选择地址指定列的、上述第一内部电源电压电平的列选择信号;

5 列选择门,根据上述列选择信号将与指定列对应配置的位线对与内部数据线对电气连接;以及

外围电路,以高于上述第一内部电源电压的第二内部电源电压作为一个工作电源电压而进行操作,并根据从外部提供的信号至少进行与上述多个行的行选择有关的动作。

10 该第二内部电源电压由在多个内部电源电路内所包含的第二内部电源电路产生。

另外,在本发明的半导体存储装置中,上述列选择信号产生装置包含:以第二内部电源电压作为一个工作电源电压而进行操作并对地址信号中所包含的列地址信号进行译码而产生列指定信号的装置;及以
15 该第一内部电源电压作为一个工作电源电压而进行操作并根据列指定信号产生列选择信号的装置。

另外,本发明的半导体存储装置,在上述装置中,各存储单元阵列被分成具有按行列状排列的多个存储单元的多个存储块。多个存储块至少按一列排列配置。此外,内部数据线对,具有与多个数据块分别对
20 应设置的局部数据线对。

还备有:数据线均衡装置,用于响应列地址信号的变化而对局部数据线对的电位进行均衡;及全局数据线对,对按一列排列配置的存储块公用地设置,并有选择地连接与包含选择存储单元的存储块对应设置的局部数据线对。

25 由于供给用于连接位线对和内部数据线对的列选择门的列选择信号的电压电平可设定为读出放大器电源的第一内部电源电压电平,所以能够减小列选择门的电流驱动力。此外,对构成读出放大器的MOS晶体管及列选择门所包含的传输门晶体管的尺寸调整,可以按照在采用产生内部降压后的的内部电源电压的电路之前确立的关系设定,因而即使在内部
30 数据线上产生反向数据时,也无需进行设计变更就能够防止由读出放大器锁存的数据发生反转,因此能进行精确的数据读出。另外,这时也不需要延长内部数据线的均衡时间,因而能保证高速的访问。

附图说明

图 1 是简略地表示按照本发明实施形态 1 的半导体存储装置总体结构的图。

图 2 是表示图 1 所示内部降压电路的结构一例的图。

5 图 3 是表示图 1 所示地址缓冲器的结构一例的图。

图 4 是简略地表示在图 1 所示定时控制电路中所包含的列地址锁存指示信号发生部的结构的图。

图 5 是简略地表示在图 1 所示定时控制电路中所包含的列相关动作允许信号发生部的结构的图。

10 图 6 是表示图 1 所示 ATD 电路的结构一例的图。

图 7 是简略地表示在图 1 所示定时控制电路中所包含的数据线均衡电路及列译码器启动电路部的结构的图。

图 8 是简略地表示图 1 所示列指定信号发生电路及列选择信号发生电路的结构的图。

15 图 9 是表示图 1 所示半导体存储装置的阵列部结构及施加电压电平的图。

图 10 是表示图 9 所示半导体存储装置的动作的信号波形图。

图 11 是简略地表示本发明实施形态 1 的变更例的主要部分结构的图。

20 图 12 是表示图 11 所示结构的动作的信号波形图。

图 13 是简略地表示按照本发明实施形态 2 的半导体存储装置的阵列部结构的图。

图 14 是简略地表示图 13 所示半导体存储装置中从一个位线对起到全局数据线对的连接路径结构的图。

25 图 15 是简略地表示产生图 14 所示控制信号的部分的结构的图。

图 16 是简略地表示本发明实施形态 2 的变更例结构的图。

图 17 是简略地表示现有的半导体存储装置的总体结构的图。

图 18 是简略地表示图 17 所示的半导体存储装置的阵列部的结构的图。

30 图 19 是表示现有半导体存储装置的动作的信号波形图。

图 20 是简略地表示现有的半导体存储装置的外围电路部结构的图。

图 21 是表示图 20 所示外围电路的动作的信号波形图。

图 22 是表示图 20 所示外围电路的动作的信号波形图。

图 23 是简略地表示现有半导体存储装置的读出放大部和列选择门部的结构的图。

5 图 24 是表示图 23 所示结构的动作的信号波形图。

图 25 是用于说明图 23 所示结构存在问题的图。

图 26 是简略地表示现有半导体存储装置总体结构的图

图 27 是简略地表示图 26 所示结构的阵列部结构及施加电压的图。

10 图 28 是简略地表示 MOS 晶体管的栅极电压与漏极电流的关系的图。

具体实施方式

[实施形态 1]

图 1 简略地表示按照本发明实施形态 1 的半导体存储装置总体结构的图。在图 1 中, 该半导体存储装置包含: 阵列用内部降压电路 1, 从外部电源电压 $extV_{cc}$ 生成阵列用内部电源电压 V_{ccA} ; 及外围用内部降压电路 2, 从外部电源电压 $extV_{cc}$ 产生供给外围电路的外围用内部电源电压 V_{ccP} 。外围用内部电源电压 V_{ccP} 的电压电平设定得高于阵列用内部电源电压 V_{ccA} 。该外围用内部降压电路也可以根据外围电路的功能生成电压电平不同的多个外围用内部电源电压, 但在图 1 中作为一例示出产生两种内部电源电压、即阵列用内部电源电压 V_{ccA} 和外围用内部电源电压 V_{ccP} 的结构。

半导体存储装置还包括: 存储单元阵列 3, 具有按行列状排列的多个存储单元 MC; 地址缓冲器 4, 以外围用内部电源电压 V_{ccP} 作为一个工作电源电压而进行操作, 读入从外部供给的地址信号并产生内部地址信号; 及行选择电路 5, 以外围用内部电源电压 V_{ccP} 作为一个工作电源电压而进行操作, 并根据由地址缓冲器 4 供给的内部行地址信号将存储单元阵列 3 的地址指定行驱动到选择状态。在存储单元阵列 3 中, 字线 WL 与存储单元 MC 的各行对应配置, 而位线对 BLP 与存储单元 MC 的各列对应配置。在图 1 中, 代表性示出与一条字线 WL 和一个位线对 BLP 及二者的交叉部对应配置的存储单元 MC。行选择电路 5 对来自该地址缓冲器 4 的内部行地址信号(互补内部行地址信号)进行译码, 并将与该

地址指定行对应的字线驱动到选择状态。

5 半导体存储装置还包括:读出放大器 6,以阵列用内部电源电压 V_{ccA} 作为一个工作电源电压而进行操作,并对该存储单元阵列 3 的各位线对 BLP 的电位进行差动放大;列指定信号发生电路 7,以外围用内部电源电压 V_{ccP} 作为一个工作电源电压而进行操作,并产生根据由地址缓冲器 4 供给的互补内部列地址信号指定存储单元阵列 3 的列的列指定信号;列选择信号发生电路 8,以阵列用内部电源电压 V_{ccA} 作为一个工作电源电压而动作,并产生用于根据来自列指定信号发生电路 7 的列指定信号选择对应列的列选择信号;及 I/O 门 9,根据来自列选择信号发生电路 8 的列选择信号 CSL 选择与存储单元阵列 3 的选择列对应的位线对。

15 由于列选择信号 CSL 以阵列用内部电源电压电平供给 I/O 门 9,所以可以将 I/O 门 9 内所包含的 I/O 门电路的传输门晶体管的栅极电压与读出放大器 6 的各读出放大电路的工作电源电压设定为相同的电压电平,因而无须变更尺寸就能够减小传输门晶体管的电流驱动力。此外,还能使构成读出放大电路的 MOS 晶体管的驱动能力与 I/O 门 9 内所包含的传输门晶体管的电流驱动力保持平衡,所以,即使在内部数据线对的均衡不充分时,也能防止读出放大器 6 的锁存状态发生反转。

20 该半导体存储装置还包括:读/写电路 10,以外围用内部电源电压 V_{ccP} 作为一个工作电源电压而进行操作,并与由 I/O 门 9 选定的位线对进行内部数据的相互传送;及输入输出电路 11,以外围用内部电源电压 V_{ccP} 作为一个工作电源电压而进行操作,并在装置外部与读/写电路 10 之间进行数据的相互传送。也可以供给外部电源电压 $extV_{cc}$ 作为该输入输出电路 11 的输出电路的最末级(与外部端子连接的输出缓冲级)的工作电源电压。

30 该半导体存储装置还包括:定时控制电路 13,以外围用内部电源电压 V_{ccP} 作为一个工作电源电压而进行操作,接受从外部供给的行地址选通信号/RAS、列地址选通信号/CAS 及允许写入信号/WE,并产生内部控制信号;及 ATD 电路 12,以外围用内部电源电压 V_{ccP} 作为一个工作电源电压而进行操作,检测由地址缓冲器 4 供给的内部列地址信号的变化。由该 ATD 电路 12 产生的地址变化检测信号 ATD,还供给到定时控制电路 13。该 ATD 电路 12 在列允许信号/CE 激活时变为激活状态。定

时控制电路 13 的内部结构与图 20 所示结构相同,各电路均以外围用内部电源电压 V_{ccP} 作为一个工作电源电压而动作。但图 20 所示的字线驱动控制电路 914d 以阵列用内部电源电压 V_{ccA} 为基准产生升压电压 V_{PP} ,并将字线驱动信号 RX 驱动到升压电压电平。

5 图 2 是表示图 1 所示内部降压电路 1 和 2 的结构一例的图。由于阵列用内部降压电路 1 与外围用内部降压电路 2 实际上备有相同的电路结构,所以在图 2 中代表性地示出一个内部降压电路的结构。在图 2 中,内部降压电路包含:差动放大器 21,对基准电压 V_{ref} 和内部电源线 20 上的内部电源电压 $intV_{cc}$ 进行差动放大;电流驱动晶体管 22,由连接在外部电源结点与内部电源线 20 之间、并根据差动放大器 21 的输出信号从外部电源结点向内部电源线 20 供给电流的 p 沟道 MOS 晶体管构成。

当内部电源电压 $intV_{cc}$ 比基准电压 V_{ref} 高时,差动放大器 21 的输出信号变为 H 电平,电流驱动晶体管 22 处在非导通状态。另一方面,15 当内部电源电压 $intV_{cc}$ 比基准电压 V_{ref} 低时,差动放大器 21 的输出信号根据其差值变为 L 电平,电流驱动晶体管 22 的电导增大,从外部电源结点向内部电源线 20 供给电流。因此,可以将该内部电源电压 $intV_{cc}$ 基本上保持在基准电压 V_{ref} 的电压电平。通过将该基准电压 V_{ref} 的电压电平设定为适当的值,可以生成阵列用内部电源电压 V_{ccA} 及外围用内部电源电压 V_{ccP} ,作为内部电源电压 $intV_{cc}$ 。

20 图 3 是表示图 1 的列地址缓冲器的结构一例的图。在图 3 中,该列地址缓冲器 4c 以外围用内部电源电压 V_{ccP} 作为一个工作电源电压而进行操作。在图 3 中,代表性地示出相对于 1 位地址信号设置的列地址缓冲电路。

25 在图 3 中,列地址缓冲器 4c 包含: NOR 电路 4ca,接受从外部供给的地址信号位 $extA_i$ 及列禁止信号 CAI ;三态反相缓冲器 4cb,根据列地址锁存指示信号 CAL 及 $/CAL$,使该 NOR 电路 4ca 的输出信号反相后通过;反相电路 4cc,用于使三态反相缓冲器 4cb 的输出信号反相;反相电路 4cd,使反相电路 4cc 的输出信号反相后传送到反相电路 4cc 的输入部;30 反相电路 4ce,用于使反相电路 4cc 的输出信号反相; NAND 电路 4cf,接受反相电路 4cc 的输出信号和列地址允许信号 $CADE$;及 NAND 电路 4cg,接受反相电路 4ce 的输出信号和列地址允许信号 $CADE$ 。由 NAND 电路

4cf 输出内部列地址信号位 CAi, 由 NAND 电路 4cg 输出补码内部列地址信号位 /CAi。以下, 简单说明有关动作。

当行地址选通信号 /RAS 为 H 电平时, 列地址禁止信号 CAI 为 H 电平, NOR 电路 4ca 的输出信号固定在 L 电平。当列地址锁存指示信号 CAL 为 H 电平时, 三态反相缓冲器 4cb 变为激活状态, 将 NOR 电路 4ca 的输出信号反相后传送。在行地址选通信号 /RAS 变为激活状态并取入行地址信号后, 列地址禁止信号 CAI 变为 L 电平, NOR 电路 4ca 起反相器的作用, 将外部地址信号位 extAi 反相后输出, 当列地址锁存指示信号 CAI 为 H 电平时, 该三态反相缓冲器 4cb 进一步将 NOR 电路 4ca 的输出信号反相后传送。该三态反相缓冲器 4cb 的输出信号, 由反相电路 4cc 和 4cd 构成的锁存电路锁存。在列地址译码器允许信号 CADE 为 L 电平的 10 状态下, NAND 电路 4cf 和 4cg 输出的列地址信号位 CAi 和 /CAi 都是 H 电平, 不能生成互补内部列地址信号位。该列地址允许信号 CADE 如为 L 电平时, NAND 电路 4cf 和 4cg 起反相器的作用, 输出与由该反相电路 15 4cc 和 4cd 锁存的地址信号位对应的内部列地址信号位 CAi 和 /CAi。当列地址锁存指示信号 CAL 变为 L 电平时, 三态反相缓冲器 4cb 变为高输出阻抗状态, 使外部地址信号位 extAi 的取入禁止。

在如图 3 所示列地址缓冲器的结构的情况下, 在行地址选通信号 /RAS 变为 L 电平的激活状态、列允许信号 /CE 变为激活状态的 L 电平 20 后, 在列地址选通信号 /CAS 为 H 电平期间, 根据外部地址信号位 extAi 生成互补内部列地址信号位 CAi 和 /CAi, 并检测地址的变化。

当列地址缓冲器及行地址选通信号 /RAS 被激活、而列地址禁止信号 CAI 变为非激活状态的 L 电平时, 可以接受从外部供给的地址信号位 extAi。因此, 在根据列地址选通信号 /CAS 的激活而将列地址锁存指示 25 信号 CAL 设定为指示锁存的状态之前, 该内部列地址信号位 CAi 和 /CAi 随外部地址信号位 extAi 而变化(但仅在经过列锁周期而且列地址允许信号 CADE 变为激活状态之后)。因此, 在经过列锁周期之后, 当列地址选通信号 /CAS 变为激活状态时, 内部的列相关电路根据地址变化信号而动作, 进行列相关动作, 同时进行内部数据线对的均衡。但是, 30 如前所述, 应通过将选择信号 CSL 的电压电平设定为阵列用内部电源电压电平来防止其数据反转。

图 4 是简略地表示图 3 所示的产生列地址锁存指示信号 CAL 及

/CAL 部分的结构的图。在图 4 中,列地址锁存指示信号发生部包含接受来自外部的列地址选通信号/CAS 并进行缓冲处理的缓冲电路 13a。该缓冲电路 13a 包含在图 1 所示的定时控制电路 13 内,以外围用内部电源电压 V_{ccP} 作为一个工作电源电压而进行操作。如图 4 所示,列地址锁存指示信号 CAL 及 /CAL 与列地址选通信号/CAS 同步产生。

图 5 是简略地表示图 3 所示的列地址允许信号 CADE 发生部的结构的图。该列地址允许信号 CADE 及列允许信号/CE,分别由以外围用内部电源电压 V_{ccP} 作为一个工作电源电压而进行操作并使行地址选通信号/RAS 的降低延迟规定时间的下降延迟电路 13ba 及接受该下降延迟电路 13ba 的输出信号的反相器 13bb 输出。该下降延迟电路 13ba 和反相器 13bb 包含在图 1 所示的定时控制电路 13 内。在读出放大器根据行地址选通信号/RAS 的激活而变为激活状态之后,经过规定时间,列地址允许信号 CADE 先被激活,然后,列允许信号/CE 变为激活状态,允许进行列相关动作。

图 6 是表示图 1 所示 ATD 电路 12 的结构一例的图。在图 6 中,对来自列地址缓冲器 4c 的列地址信号位 CA0 ~ CAN 分别设置检测变化的 CAT 检测电路 12a0 ~ 12an。这些 CAT 检测电路均以外围用内部电源电压 V_{ccP} 作为一个工作电源电压而进行操作。CAT 检测电路 12a0 ~ 12an 的内部结构相同,在图 6 中代表性地示出对列地址信号位 CA0 设置的 CAT 检测电路 12a0 的结构。

CAT 检测电路 12a0 包含:反相电路 12aa,用于接受列地址信号位 CA0; NAND 电路 12ab,在其一个输入端接受列地址信号位 CA0; NAND 电路 12ac,在其一个输入端接受反相电路 12aa 的输出信号;及 NAND 电路 12ad,接受 NAND 电路 12ab 和 12ac 的输出信号。NAND 电路 12ab 和 12ac 的输出与另一方的输入交叉耦合。从 NAND 电路 12ad 输出变化检测信号/CAT0。

ATD 电路 12 还包含: NAND 电路 12b,接受 CAT 检测电路 12a0 ~ 12an 的输出信号/CAT0 ~ /CATn;反相电路 12c,接受 NAND 电路 12b 的输出信号;反相电路 12d,接受列允许信号/CE;及 NAND 电路 12e,接受反相电路 12c 和 12d 的输出信号。从 NAND 电路 12e 输出地址变化检测信号 ATD。下面,简单说明有关动作。

当列地址信号位 CA0 为 L 电平时, NAND 电路 12ab 的输出信号处在

H电平, NAND电路12ac的输出信号处在L电平,相应地, NAND电路12ad的输出信号变为H电平。

如列地址信号位CA0上升到H电平,则在经过反相电路12aa具有的延迟时间后,该反相电路12aa的输出信号下降到L电平。接着,随着该反相电路12aa的输出信号的下降,在经过NAND电路12ac具有的延迟时间后,该NAND电路12ac的输出信号上升到H电平。相应地,该NAND电路12ad的输出信号在经过NAND电路12ab具有的延迟时间后下降到L电平。因此,在该NAND电路12ab具有的延迟时间期间,NAND电路12ab和12ac的输出信号都变为H电平,从NAND电路12ad输出的CAT检测信号/CAT0下降到L电平。

当列地址信号位CA0从H电平下降到L电平时,NAND电路12ab的输出信号在经过该NAND电路12ab具有的延迟时间后上升到H电平。另一方面,在经过反相电路12aa具有的延迟时间及NAND电路12ac具有的延迟时间后,该NAND电路12ac的输出信号从H电平下降到L电平。因此,即使在这种情况下,NAND电路12ad的两个输入信号电平也都变为H电平,其输出信号/CAT0下降到L电平。

因此,无论是在列地址信号位CA0从L电平上升到H电平的时刻还是从H电平下降到L电平的时刻,变化检测信号/CAT0都变为L电平的激活状态。CAT检测信号的激活周期由NAND电路12ab、12ac及反相电路12aa具有的延迟时间设定。

NAND电路12b,接受CAT检测电路12a0~12an的输出信号/CAT0~CATn。因此,只要有1位的变化,该NAND电路12b的输出信号就变为H电平,反相电路12c的输出信号相应地变为L电平。当列允许信号/CE为H电平的非激活状态时,从NAND电路12e输出的地址变化检测信号ATD为H电平。另一方面,列允许信号/CE如变为L电平的激活状态,则反相电路12d的输出信号变为H电平,使NAND电路12e起反相器的作用,并根据该反相电路12c的输出信号在列地址的各个变化时刻使地址变化检测信号ATD变为具有规定时间的H电平的激活状态。该ATD电路12也利用外围用内部电源电压VccP作为一个工作电源电压。

图7是简略地表示产生内部数据线均衡信号IOEQ及列译码器允许信号CDE的部分的结构图。在图7中,内部数据线均衡信号IOEQ从以外围用内部电源电压VccP作为一个工作电源电压进行操作并响应地

址变化检测信号 ATD 而动作的数据线均衡控制电路 13c 输出。列译码器允许信号 CDE 从以外围用内部电源电压 V_{CCP} 作为一个工作电源电压而进行操作并响应地址变化检测信号 ATD 而动作的列译码器控制电路 13d 输出。内部数据线均衡信号 IOEQ 响应地址变化检测信号 ATD 的下降(非激活)而变为 L 电平的非激活状态,响应地址变化检测信号 ATD 的上升(激活)而变为激活状态。列译码器允许信号 CDE 响应地址变化检测信号 ATD 的非激活而变为激活状态,且响应地址变化检测信号 ATD 的激活而变为非激活状态。

图 8 是简略地表示图 1 所示列指定信号发生电路 7 及列选择信号发生电路 8 的结构图。在图 8 中,列指定信号发生电路 7 包含:预译码器 7a,以外围用内部电源电压 V_{CCP} 作为一个工作电源电压而进行操作,对由列地址缓冲器供给的地址信号位 $CA_0 \sim CA_n$ 及 $/CA_0 \sim /CA_n$ 进行预译码,并输出预译码信号 Y;及译码电路 7b,以该外围用内部电源电压 V_{CCP} 作为一个工作电源电压而进行操作,响应列译码器允许信号 CDE 的激活而被激活,并对来自预译码器 7a 的预译码信号 Y 进行译码而生成列指定信号。在图 8 中,代表性示出与一个列选择信号对应设置的 NAND 电路 7ba。该 NAND 电路 7ba 以外围用内部电源电压 V_{CCP} 作为一个工作电源电压而进行操作,并在列译码器允许信号 CDE 激活时变为激活状态,对预译码信号 Y_i 和 Y_j 进行译码。从译码电路 7b 输出的列指定信号变为外围用内部电源电压 V_{CCP} 的电压电平(在选择状态时)。

列选择信号发生电路 8 以阵列用内部电源电压 V_{CCA} 作为一个工作电源电压而进行操作,并对来自译码电路 7b 的列指定信号进行缓冲处理后输出。在图 8 中,代表性示出产生列选择信号 CSL 的反相电路 8a。该反相电路 8a 将来自 NAND 电路 7ba 的列指定信号反相,并将其电压电平设定在阵列内部电源电压 V_{CCA} 的电压电平。

当 NAND 电路 7ba 为选择状态时,输出接地电压电平的信号。这时,从列选择信号发生电路 8 输出阵列用内部电源电压 V_{CCA} 电平的列选择信号 CSL。当 NAND 电路 7ba 的输出信号为外围用内部电源电压 V_{CCP} 的电压电平时,从该列选择信号发生电路 8 所包含的反相电路 8a 输出的列选择信号 CSL 变为接地电压电平。反相电路 8a 由 CMOS 晶体管构成,当施加外围用内部电源电压 V_{CCP} 电平的信号时,其内部的 p 沟道

MOS 晶体管可靠地变为截止状态。因此,即使是在该列指定信号发生电
路 7 的工作电源电压 V_{ccP} 与列选择信号发生电路 8 的工作电源电压
 V_{ccA} 的电压电平不同的情况下,由于外围用内部电源电压 V_{ccP} 比阵列
用内部电源电压 V_{ccA} 高,因而仍能可靠地生成阵列用内部电源电压
5 V_{ccA} 电平的列选择信号,而不需要专门设置变换电压电平的电平变换
电路。

图 9 是表示与一个读出放大电路 SA 有关部分的结构图。在图 9
中,读出放大电路 SA 包含:交叉耦合的 p 沟道 MOS 晶体管 P1 和 P2; p 沟
道 MOS 晶体管 P3, 响应读出放大器激活信号 ϕ_{SP} 的激活,将阵列用内部
10 电源电压 V_{ccA} 传送到 MOS 晶体管 P1 和 P2 的源极;漏极和栅极交叉耦
合的 n 沟道 MOS 晶体管 N1 和 N2; n 沟道 MOS 晶体管 N3, 响应读出放
大器激活信号 ϕ_{SN} 的激活而导通,将接地电压 V_{ss} 传送到 MOS 晶体管 N1
和 N2 的源极。

对传送该读出放大器激活信号 ϕ_{SP} 和 ϕ_{SN} 的信号线 31 和 32 设置
15 读出放大器均衡电路 SEQ。该读出放大器均衡电路 SEQ 包含: N 沟道 MOS
晶体管 N4 和 N5, 响应读出均衡指示信号 ϕ_{BQS} 而导通,并将中间电压
 $V_{b1} (=V_{ccA}/2)$ 传送到信号线 31 和 32; 及 N 沟道 MOS 晶体管 N6, 响应读
出均衡指示信号 ϕ_{BQS} 的激活而导通,并将信号线 31 和 32 电气短路。
该读出均衡指示信号 ϕ_{BQS} 具有外围用内部电源电压 V_{ccP} 的电压电
20 平。

对信号线 31 和 32 还设有: N 沟道 MOS 晶体管 N7, 响应读出放大器
驱动信号 ϕ_{SAP} 的激活而导通,将接地电压 V_{ss} 传送到信号线 31 上; 及
p 沟道 MOS 晶体管 P4, 响应读出放大器驱动信号 ϕ_{SAN} 的激活而导通,
将阵列用内部电源电压 V_{ccA} 传送到信号线 32。读出放大器驱动信号 ϕ_{SAP}
25 ϕ_{SAN} 具有外围用内部电源电压 V_{ccP} 的振幅。读出放大器激活
信号 ϕ_{SP} 和 ϕ_{SN} 在非激活时被预充电到中间电压 $V_{b1} (=V_{ccA}/2)$ 的电
压电平。

对位线对 BL 及 /BL 设有位线均衡电路 BEQ, 响应位线均衡指示信号
 ϕ_{BQB} 的激活而导通,并将中间电压 $V_{b1} (=V_{ccA}/2)$ 传送到位线 BL 及
30 /BL。该位线均衡电路 BEQ 的结构与读出放大器均衡电路 SEQ 的结构相
同。位线均衡指示信号 ϕ_{BQB} 具有阵列用内部电源电压 V_{ccA} 的电压电
平。为保证阵列内的 MOS 晶体管的电压特性,将该位线均衡指示信号 ϕ

BQB 的电压电平保持在阵列用内部电源电压 V_{ccA} 的电压电平(激活时)。

对位线对 BL 及 /BL 还设有 I/O 门电路 9a, 响应列选择信号 CSL 而导通, 将位线对 BL 及 /BL 与内部数据线 35a 及 35b 连接。该 I/O 门电路 9a 包含由以门控方式接受列选择信号 CSL 的 n 沟道 MOS 晶体管构成的传输门晶体管 Ta 和 Tb。在内部数据线 35a 及 35b 上设有一个均衡电路 40, 响应均衡指示信号 IOEQ 的激活而导通, 对内部数据线 35a 及 35b 进行均衡。均衡指示信号 IOEQ 具有外围用内部电源电压 V_{ccP} 的电压电平。

如该图 9 所示, 阵列用内部电源电压 V_{ccA} 的电压电平的列选择信号 CSL 传送到 I/O 门电路 9a 的传输门晶体管 Ta 和 Tb 的栅极。另一方面, 构成读出放大电路 SA 的 MOS 晶体管 P1~P3 及 N1~N3, 在激活时, 在其栅极上接受阵列用内部电源电压 V_{ccA} 的电压电平。因此, 可以使这些 MOS 晶体管 P1~P3 及 N1~N3 与传输门晶体管 Ta 和 Tb 的电流驱动力保持平衡, 而不必进行复杂的尺寸调整, 即使在内部数据线 35a 及 35b 的均衡不充分时产生数据的冲突, 也能抑制读出放大电路 SA 的读出结点(位线 BL 及 /BL)的急剧电位变化, 并且, 读出放大电路 SA 的锁存数据也不会发生反转。

这是由于在传输门晶体管 Ta 和 Tb 的栅极上仅施加阵列用内部电源电压 V_{ccA} 的电压电平, 因而与施加外围用内部电源电压 V_{ccP} 时相比能够减小其电流驱动力。此外, 构成读出放大电路的 MOS 晶体管与用于构成 I/O 门电路的传输门晶体管的尺寸关系, 可以保持与现有技术一样的对阵列用电路和外围用电路都供给降压后的电源电压时的同样的尺寸关系, 因而, 无需进行设计变更就能将内部电源电压设定在最佳的电压电平。

即, 如图 10 所示, 内部数据线均衡指示信号 IOEQ 的激活期间短, 致使内部数据线 35a 及 35b 的数据的信号电位的均衡进行得不充分, 即使在时刻 t_3 列选择信号 CSL 上升到选择状态, 因传输门晶体管 Ta 和 Tb 的电流驱动力相当小, 与构成读出放大电路 SA 的 MOS 晶体管的电流驱动力基本相同, 所以即使与具有反向数据的内部数据线连接, 位线 BL 及 /BL 的电位变化也很平缓, 因而能防止读出放大电路 SA 的锁存数据因内部数据线上的反向数据而导致的反转, 能将读出放大电路 SA 保持的

数据可靠地传送到内部数据线 35a 和 35b。

另外,在图 9 所示的结构中,也可将读出放大器均衡指示信号 ϕ BQS 和位线均衡指示信号 ϕ BQB 都设定为外围用内部电源电压 V_{ccP} 的电压电平,此外,也可将二者都设定为阵列用内部电源电压 V_{ccA} 的电压电平。二者还可以是同一信号。

[变更例]

图 11 是简略地表示本发明实施形态 1 的变更例的结构图。在图 11 所示的结构中,对内部数据线 42a 及 42b 设有上拉晶体管 N8 和 N9。这两个上拉晶体管 N8 和 N9 响应写入指示信号的反相信号/WDE 而导通。即,这两个上拉晶体管 N8 和 N9 只在进行写入时变为非导通状态。这两个上拉晶体管 N8 和 N9 在导通时将内部数据线 42a 和 42b 上拉到 $V_{ccA}-V_{th}$ 的电压电平。这里, V_{th} 表示上拉晶体管 N8 和 N9 的阈值电压。

对内部数据线 42a 及 42b 设有均衡电路 40,响应外围用内部电源电压 V_{ccP} 电平的均衡指示信号 IOEQ 而对该内部数据线 42a 及 42b 进行均衡。该均衡电路 40 与图 9 所示的相同。

在内部数据线 42a 及 42b 与位线 BL 及 /BL 之间设有响应列选择信号 CSL 的激活而导通的 I/O 门电路 9a。列选择信号 CSL 具有阵列用内部电源电压 V_{ccA} 的电压电平。

在该图 11 所示的结构中,当如图 12 所示均衡指示信号 IOEQ 的激活期间为从时刻 t_0 到 t_1 的较短时间致使内部数据线 42a 及 42b 的电压均衡不充分时,考虑在时刻 t_3 ,列选择信号 CSL 上升到 H 电平的状态。这里,在图 12 中,示出将 L 电平的电压读出到位线 BL 上而位线 /BL 为阵列用内部电源电压 V_{ccA} 的电压电平的状态。即使在这种情况下,列选择信号 CSL 也只是阵列用内部电源电压 V_{ccA} 的电压电平,电流驱动力比供给外围用内部电源电压 V_{ccP} 时小,可以将内部数据线 42a 和 42b 驱动到与位线 BL 及 /BL 的电压电平对应的电压电平,而不会使位线 BL 及 /BL 的电压电平反转。

但是,在图 12 中,由于设有该上拉晶体管 N8 和 N9,所以使该 L 电平的电压电平高于接地电压电平,在读出数据时内部数据线 42a 和 42b 的信号振幅比写入时小。

如上所述,按照本发明的实施形态 1,由于将供给用于连接位线对

和内部数据线对的 I/O 门电路的列选择信号的电压电平设定为与读出放大器的
工作电源电压即阵列用内部电源电压相同的电压电平, 所以使 I/O 门电路的
电流驱动力与读出放大电路的电流驱动力保持平衡, 即使在内部数据线对的
电压均衡不充分时发生数据冲突的情况下, 也可以进行精确的数据读出, 而
不会使由读出放大器保持的位线的电压反转。此外, 这时内部数据线的均衡
时间也不需要延长, 因而能进行精确的数据读出而不会损害高速访问性。

[实施形态 2]

图 13 是简略地表示按照本发明实施形态 2 的半导体存储装置主要部分的
结构的图。在图 13 中, 各存储单元阵列被分成具有按行列状排列的多个
存储单元 MC 的多个存储块 MB00 ~ MBnn。沿行方向排列配置的存储块
MBi0 ~ MBin 构成一个行块, 字线 WL 通过行块所包含的所有存储块延伸
配置。例如, 存储块 MB00 ~ MB0n 构成一个行块。沿列方向排列配置的
存储块 MB0j ~ MBnj 构成一个列块。列选择信号线 CSL 对应于列块的各
存储块公用地配置。与各列块分别对应地设置列译码电路 CD0 ~ CDn。这
些列译码电路 CD0 ~ CDn 以外围用内部电源电压 VccP 和阵列用内部电源
电压 VccA 作为工作电源电压而进行操作。产生列指定信号的部分以外围
用内部电源电压 VccP 作为一个工作电源电压而进行操作, 将列选择信号
传送到列选择线上的输出级则以阵列用内部电源电压 VccA 作为一个工作
电源电压而进行操作

局部 I/O 总线 LIOP00 ~ LIOPmn 分别与存储块 MB00 ~ MBmn 对应配置。
局部 I/O 总线 LIOP00 ~ LIOPmn 只与对应的存储块进行数据的相互传送。
各局部 I/O 总线 LIOP00 ~ LIOPmn 的总线宽度(位宽)是任意的。

全局 I/O 总线 GIOP0 ~ GIOPn 分别与列块对应配置。全局 I/O 总线
GIOP0 ~ GIOPn 仅与各自对应的列块所包含的存储块进行数据的相互
传送。

在各局部 I/O 总线与对应的全局 I/O 总线之间配置有响应行块选择
信号而导通的行块选择开关 RSW00 ~ RSWmn。含有选择字线的行块的局部
I/O 总线与对应的全局 I/O 总线 GIOP0 ~ GIOPn 连接。该行块的选择通
过对行地址信号所包含的预定地址位(块地址)译码进行。因此, 局部 I/O
总线与全局 I/O 总线的连接, 根据行地址选通信号/RAS 的激活执行。

与全局 I/O 总线 GIOP0 ~ GIOPn 分别对应地设有以外围用内部电源

电压 V_{ccP} 作为一个工作电源电压而进行操作并进行数据的相互传送的读/写电路 $RW_0 \sim RW_n$ 。

如该图 13 所示的局部 IO 总线和全局 IO 总线的总线结构,被称作分级数据线结构,无需增大配线占有面积即可进行多位数据的相互传送。图 14 是简略地表示该图 13 所示分级数据线的一个位线对、局部 IO 线对和全局 IO 线对的连接结构的图。全局 IO 线对 $GIOP$ 通过行块选择开关 RSW 与局部 IO 线对 $LIOP$ 电气连接。在该行块选择开关 RSW 上施加外围用内部电源电压 V_{ccP} 的电压电平的行块选择信号 ϕ_{RB} 。

相对于局部 IO 线对 $LIOP$ 设有:数据线均衡/预充电电路 PR , 响应数据线均衡指示信号 ϕ_{BQ} 而激活,将局部 IO 线对 $LIOP$ 所包含的局部 IO 线预充电到中间电压 $V_{b1}(=V_{ccA}/2)$ 的电压电平并进行均衡;及均衡电路 LEQ , 响应局部数据线均衡指示信号 $LIEQ$ 而激活,并对该局部 IO 线对 $LIOP$ 所包含的 IO 线的电压电平进行均衡。

数据位线均衡指示信号 ϕ_{BQ} 具有外围用内部电源电压 V_{ccP} 的电压电平,并响应行地址选通信号 $/RAS$ 而激活/非激活。另一方面,数据线均衡指示信号 $LIEQ$ 则根据地址变化检测信号 ATD 而激活/非激活。因此,该局部 IO 线均衡指示信号 $LIEQ$ 与上述实施形态 1 中的内部 IO 线均衡指示信号 $IOEQ$ 等效,在激活时可被驱动到外围用内部电源电压 V_{ccP} 的电压电平。

该局部 IO 线对 $LSOP$ 通过 I/O 门电路 IOG 与位线对 BLP 电气连接。对该 I/O 门电路 IOG 施加来自列译码电路的列选择信号 CSL (在列选择信号线上的信号)。该列选择信号 CSL 具有阵列用内部电源电压 V_{ccA} 的电压电平。相对于位线对 BLP 设有读出放大电路 SA , 响应读出放大器激活信号 ϕ_{SP} 和 ϕ_{SN} 的激活而被激活,对位线对 BLP 的位线电位进行差动放大。读出放大器激活信号 ϕ_{SN} 在激活时被驱动到阵列用内部电源电压 V_{ccA} 的电压电平。另一方面,读出放大器激活信号 ϕ_{SP} 在激活时被驱动到接地电压 V_{ss} 的电压电平。该读出放大器激活信号 ϕ_{SP} 和 ϕ_{SN} 在备用状态时为中间电压 V_{b1} 电平。这些读出放大器激活信号 ϕ_{SP} 和 ϕ_{SN} 与前面的图 9 中所示的结构等效。

该读出放大电路 SA 在激活时将阵列用内部电源电压 V_{ccA} 传送到位线对 BLP 的高电位的位线。

相对于位线对 BLP 还设有位线均衡电路 BEQ , 在位线均衡指示信号

ϕ BQ 激活时被激活, 将中间电压 V_{b1} 传送到位线对 BLP 的各条位线。该位线均衡电路 BEQ 的结构与局部 IO 线对均衡电路 LEPR 相同。位线均衡指示信号 ϕ BQ 具有外围用内部电源电压 V_{ccP} 的电压电平, 与施加在局部 IO 线对均衡电路上的均衡指示信号 ϕ BQ 是相同的信号。该均衡指示信号 ϕ BQ 还用于将读出放大器激活信号 ϕ SP 和 ϕ SN 预充电和均衡到备用时的中间电压电平(参照图 9)。

该图 13 和图 14 所示的结构与上述实施形态 1 的不同点仅在于, 内部 IO 线形成局部数据总线和全局数据总线的分级结构。行块及列块的选择用行地址信号及列地址信号所含有的规定位进行。仅在选择行块中将字线驱动到选择状态。

在该分级数据线结构的情况下, 全局 IO 线对 GIOP 与局部 IO 线对 LIOP 之间, 在行地址选通信号/RAS 激活时变为电气连接的状态。随着列地址信号的变化, 与局部 IO 线对对应的均衡指示信号 LIEQ 被激活。因此, 使全局 IO 线对 GIOP 与局部 IO 线对 LIOP 连接, 并在位线对 BLP 上连接了更大的负荷, 这时, 如局部数据线对 LIOP 的均衡不充分, 就会增加在列选择信号 CSL 被激活时由于发生数据的冲突而导致读出放大电路 SA 的锁存数据反转的可能性。但是, 由于列选择信号 CSL 设定为阵列用内部电源电压 V_{ccA} 的电压电平, 所以在读出放大电路 SA 所包含的 MOS 晶体管的电流驱动力与 I/O 门晶体管的电流驱动力之间可以保持平衡, 因而读出放大电路 SA 的数据不会发生反转。

图 15 是简略地表示产生图 14 所示各控制信号的部分的结构图。在图 15 中, 定时控制电路包含: 行相关均衡控制电路 50, 以外围用内部电源电压 V_{ccP} 作为一个电源电压而进行操作, 并响应行地址选通信号/RAS 而生成均衡指示信号 ϕ BQ; 读出放大器控制电路 52, 以外围用内部电源电压 V_{ccP} 作为一个工作电源电压而进行操作, 并根据行相关均衡控制电路 50 的输出信号输出读出放大器驱动信号 ϕ SAP 和 ϕ SAN; 及列联锁控制电路 54, 以外围用内部电源电压 V_{ccP} 作为一个工作电源电压而进行操作, 并根据读出放大器控制电路 52 的输出信号输出列允许信号/CE 及列地址允许信号 CADE。从读出放大器控制电路 52 输出的读出放大器驱动信号 ϕ SAP 和 ϕ SAN, 用于将该读出放大器激活信号 ϕ SP 和 ϕ SN 驱动到激活状态。其结构与图 9、图 20 所示的结构相同。但是, 在本实施形态 2 中, 只将相对于选择存储块设置的读出放大器驱

动到激活状态。因此,将该读出放大器激活信号与行块指定地址组合后可生成实际的读出放大器驱动信号。

定时控制电路还包含:列地址缓冲器 56,以外围用内部电源电压 V_{ccP} 作为一个工作电源电压而进行操作,接受根据行地址选通信号 /RAS 生成的列地址禁止信号 CAI,并根据来自列联锁控制电路 54 的列地址允许信号 CADE 按照从外部供给的地址信号生成内部地址信号; ATD 电路 58,以外围用内部电源电压 V_{ccP} 作为一个工作电源电压而进行操作,用于检测由列地址缓冲器 56 供给的内部地址信号的变化时刻;及列相关控制电路 60,以外围用内部电源电压 V_{ccP} 作为一个工作电源电压而进行操作,根据来自 ATD 电路 58 的地址变化检测信号 ATD 输出局部 I/O 线对均衡指示信号 LIEQ 及列译码器允许信号 CDE。列译码器允许信号 CDE 供给如图 13 所示的列译码电路 $CD_0 \sim CD_n$ 。

将图 15 所示定时控制电路的各输出信号与行块指定地址信号组合,即可生成与选择存储块对应的控制信号。非选择存储块(不包含选择存储单元的存储块)保持在预充电状态。

[变更例]

图 16 是简略地表示本发明实施形态 2 的变更例的主要部分结构的图。在图 16 中,也示出与 1 对位线 BLP、局部 I/O 线对 LIOP 及全局 I/O 线对 GIOP 有关部分的结构。该图 16 所示的结构与图 14 的结构在以下这一点上不同。即,施加于对局部 I/O 线对 LIOP 设置的局部 I/O 线对均衡/预充电电路 LEPR 的内部数据线均衡指示信号 ϕ_{BQL} 与施加于对位线对 BLP 设置的位线均衡/预充电电路 BEQ 的位线均衡指示信号 ϕ_{BQB} 在电压电平上不同。位线均衡指示信号 ϕ_{BQB} 具有阵列用内部电源电压 V_{ccA} 的电压电平,而局部 I/O 线对均衡指示信号 ϕ_{BQL} 则具有外围用内部电源电压 V_{ccP} 的电压电平。该局部 I/O 线对均衡指示信号 ϕ_{BQL} ,还用于将读出放大器激活信号 ϕ_{SP} 和 ϕ_{SN} 预充电和均衡到备用时的中间电压电平。其他结构与图 14 所示结构相同,对相对应的部分标以同一参照符号,其详细说明从略。

在该图 16 所示的结构中,作为均衡指示信号,采用着 2 个信号、即位线均衡指示信号 ϕ_{BQB} 及局部 I/O 线对均衡指示信号 ϕ_{BQL} 。其激活/非激活都是响应行地址选通信号/RAS 而按基本相同的定时进行。但是,由于与位线均衡/电路 BEQ 对应的位线均衡指示信号 ϕ_{BQB} 设定为阵列

用内部电源电压 V_{ccA} 的电压电平, 所以能够保证位线均衡/预充电电路 BEQ 所包含的 MOS 晶体管的栅极绝缘膜的可靠性, 并且, 可以将存储在存储单元阵列内传送的所有信号都设定为在内部电源电压 V_{ccA} 与接地电压 V_{ss} 的电压电平之间变化的信号(其电压比电源电压 V_{ccA} 高 $3/2$ 倍的字线驱动信号除外)。

在该图 16 所示的结构中, 加给 I/O 门电路 IOG 的列选择信号 CSL 也具有阵列用内部电源电压 V_{ccA} 的电压电平, 所以, 即使在局部 IO 线对 LIOP 的均衡不充分时发生数据冲突的情况下, 读出放大电路 SA 的数据也不会发生反转。

另外, 图 13 所示的读/写电路 RW 也可以接受阵列用内部电源电压 V_{ccA} 作为一个工作电源电压。

按照本发明实施形态 2, 在具有全局数据总线与局部数据总线的分级数据线结构的半导体存储装置中, 也由于将供给用于连接局部 IO 总线和选择位线对的 I/O 门电路的列选择信号的电压电平设定为阵列用内部电源电压电平, 所以, 即使在局部 IO 线对的均衡不充分时发生数据冲突的情况下, 也能防止读出放大电路的数据反转, 并能进行精确的数据读出。此外, 也不需要为防止其均衡不充分而延长均衡时间, 因而能实现高速访问。另外, 由于只是将列选择信号的电压电平设定为控制用内部电源电压电平, 因而不需要按照其外围用内部电源电压电平重新调节读出放大电路所包含的 MOS 晶体管及构成 I/O 门电路的传输门晶体管的尺寸, 所以对其电源电压的变更更容易进行处理。

另外, 在上述实施形态 1 和 2 中, 是在列地址变化时对内部数据线/局部 IO 线进行均衡, 但也可采用另一种结构, 即该内部数据线/局部 IO 线不在列地址变化时进行均衡。

如上所述, 如按照本发明, 则由于将供给用于连接位线对和内部数据线的 I/O 门电路的列选择信号的电压电平设定为与读出放大器作为一个工作电源的阵列用内部电源电压相同的电压电平, 所以能使 I/O 门电路的电流驱动力与读出放大电路的 MOS 晶体管的电流驱动力保持平衡, 即使在内部数据线对的均衡不充分时发生数据冲突的情况下, 也不会使读出放大电路的锁存数据发生反转, 并能进行精确的数据读出而不必增加访问时间。

即, 如按照第一发明, 则在产生多种电平的内部电源电压的半导体

存储装置中,由于至少将比供给与行选择有关的电路部分的电源电压低的内部电源电压作为读出放大器及选择信号装置的一个工作电源电压,所以,如在内部数据线上出现反向数据,则在将位线对与内部数据线对连接时,能够使列选择门的电流驱动力与构成读出放大器的MOS晶体管的电流驱动力保持平衡,因而在数据冲突时能防止读出放大器的锁存数据发生反转。

如按照第二发明,则由于对列选择信号采用了以第二内部电源电压作为工作电源电压而进行操作并通过对地址信号进行译码而产生列指定信号的电路部分及根据该列指定信号产生具有与读出放大器电源电压相同的第一内部电源电压电平的列选择信号的电路结构,所以,能以高速进行列地址信号的译码,并在电路结构上具有能使外围电路部及阵列相关电路的工作电源电压的电平变更的优点,即不损害高速动作性而能够高速地产生第一内部电源电压电平的列选择信号。

如按照第三发明,则在具有全局数据线对和局部数据线对的分级数据线结构的存储装置中,由于将用于进行该局部数据线对与位线对连接的列选择信号的电压电平设定为读出放大器的一个工作电源电压电平,所以,在分级数据线结构中,能防止在局部数据线对上的反向数据导致的读出放大器的锁存数据的反转。

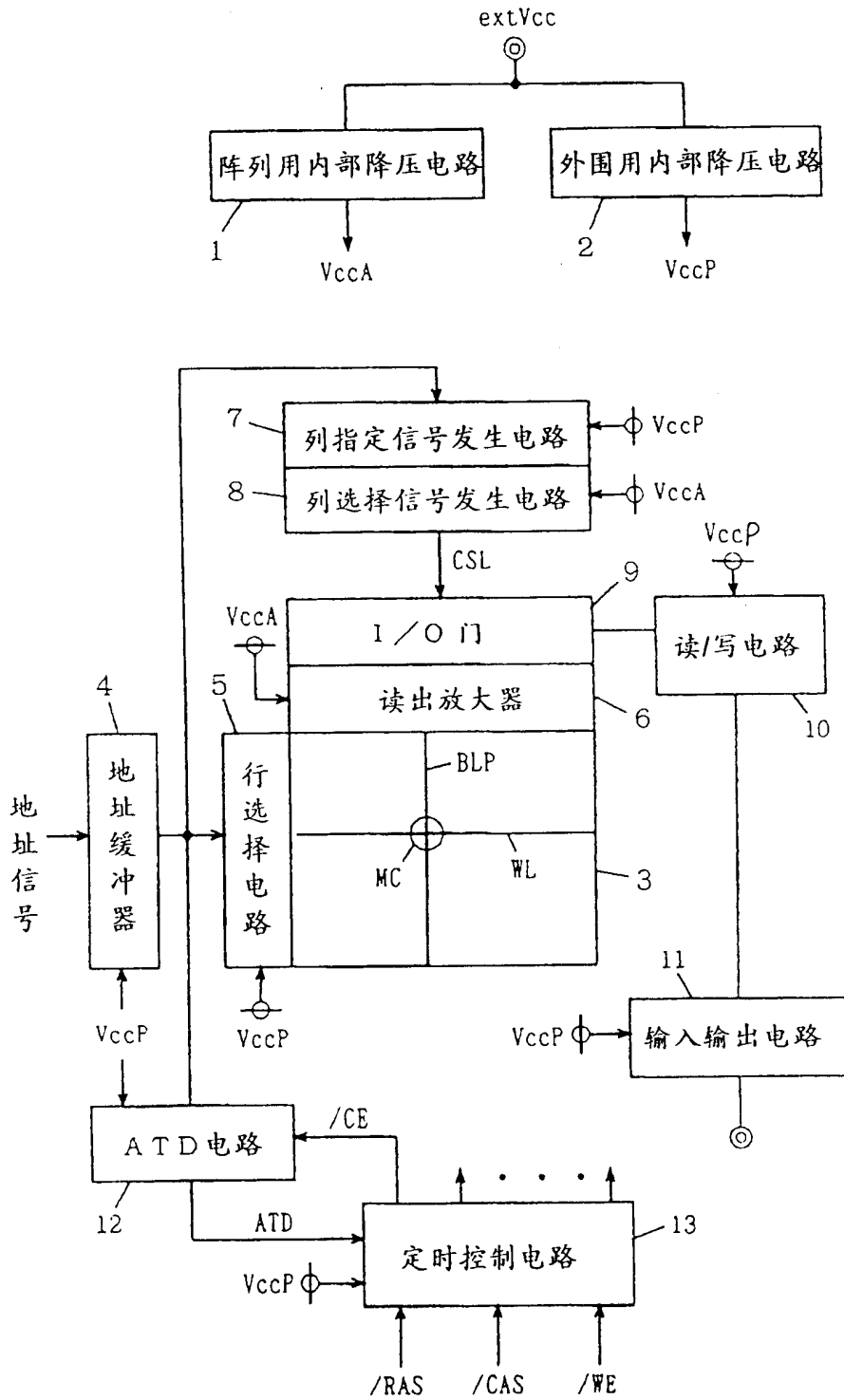


图 1

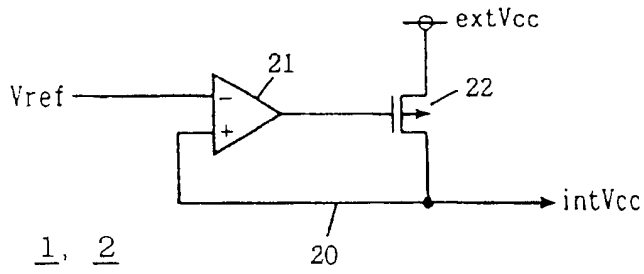


图 2

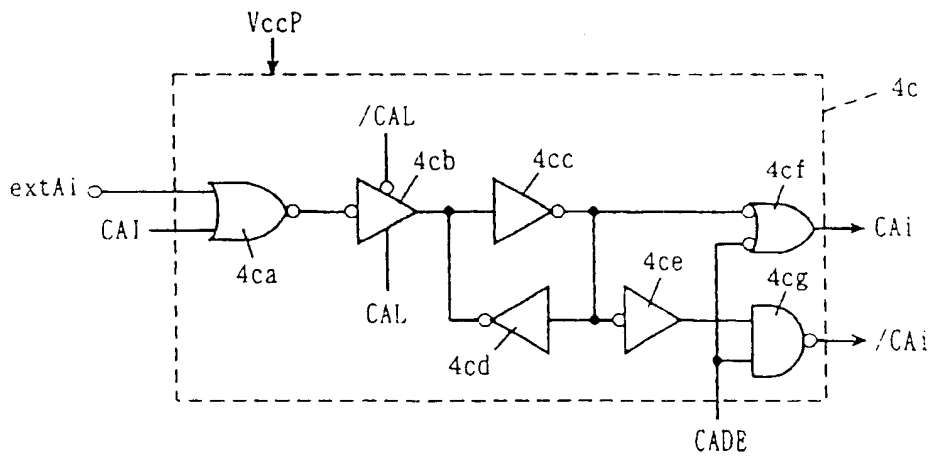


图 3

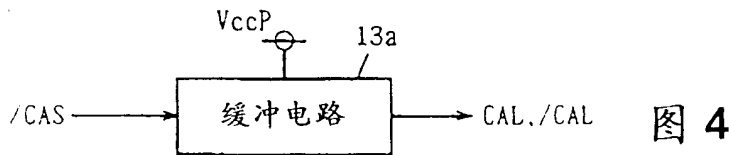


图 4

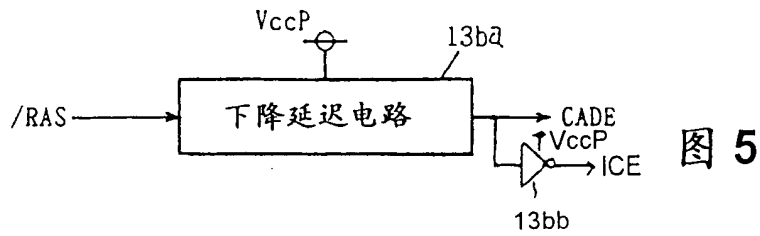


图 5

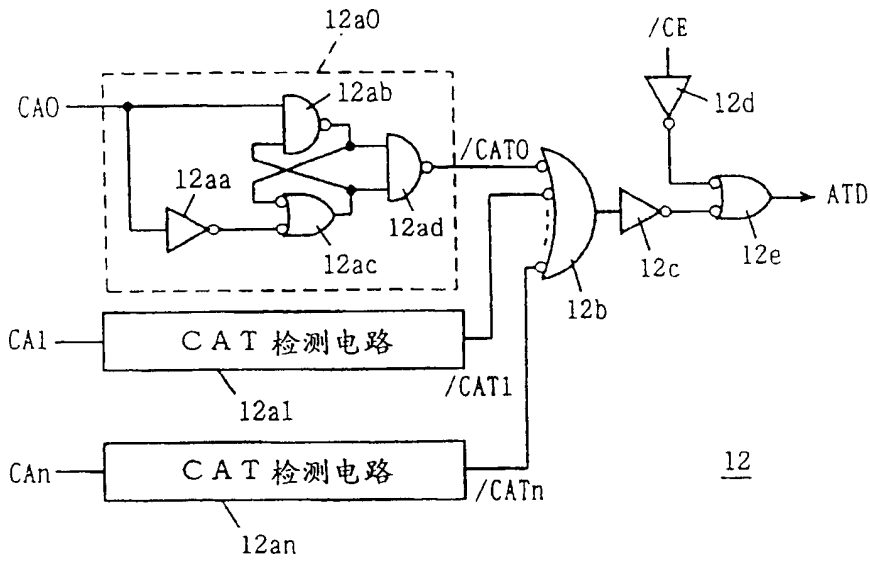


图 6

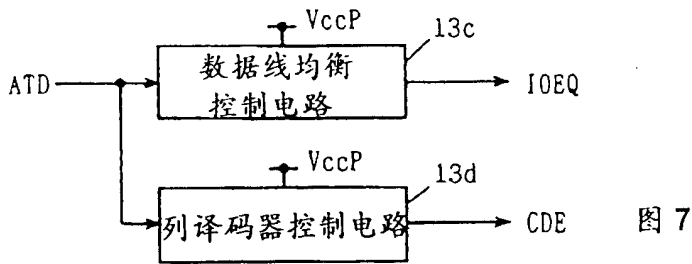


图 7

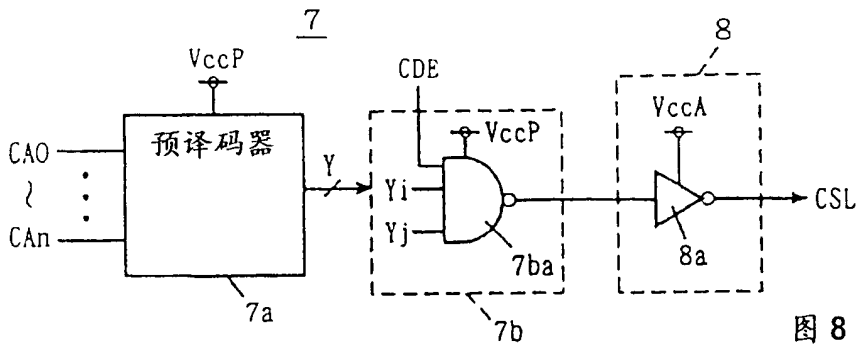


图 8

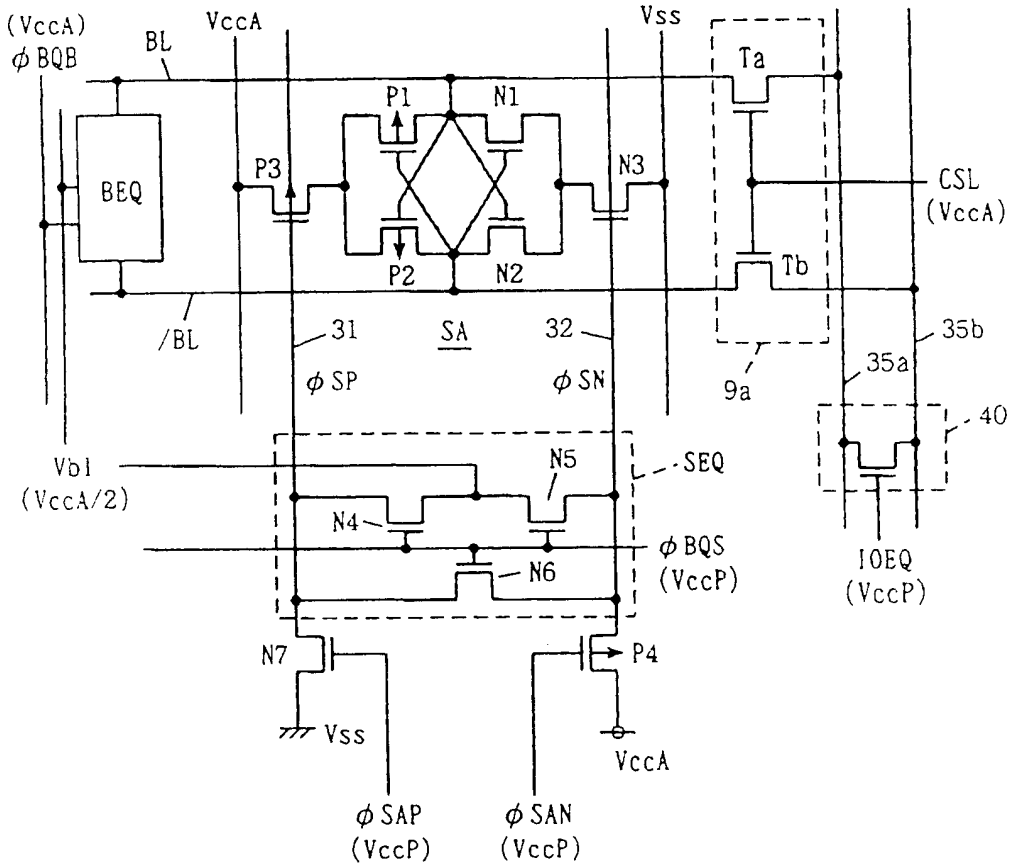


图 9

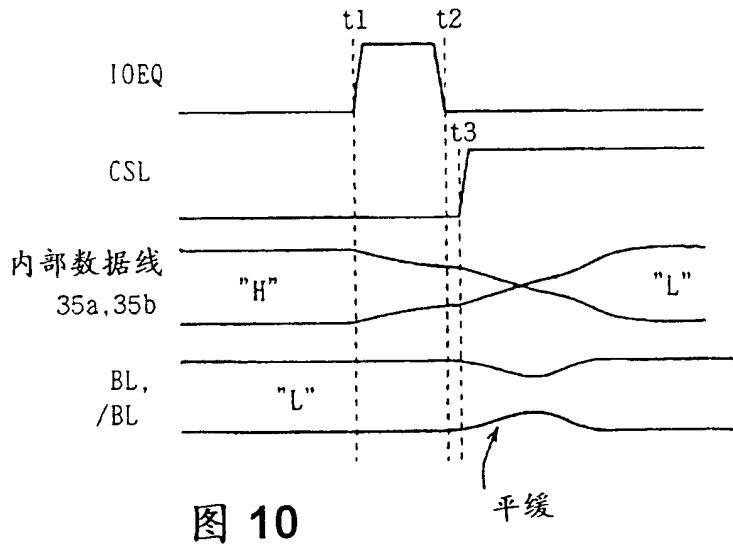


图 10

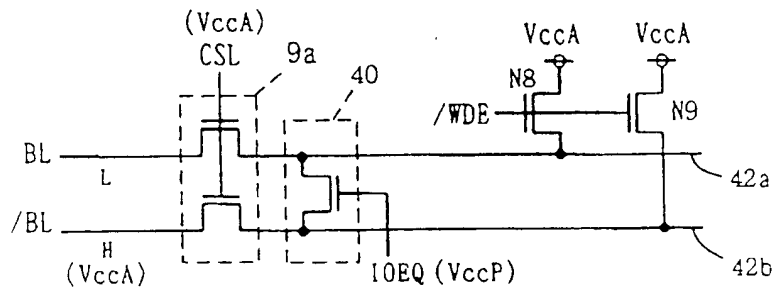


图 11

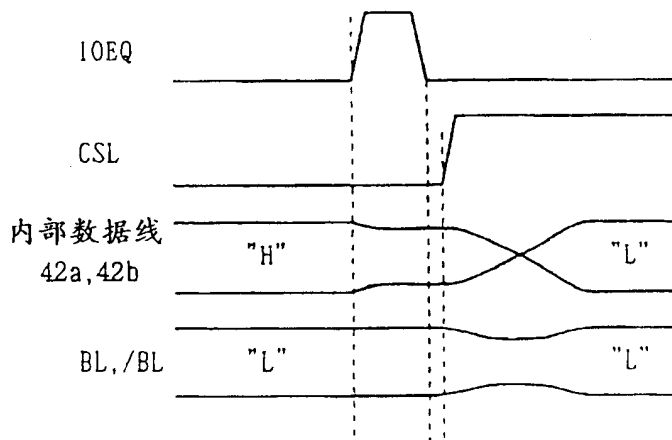


图 12

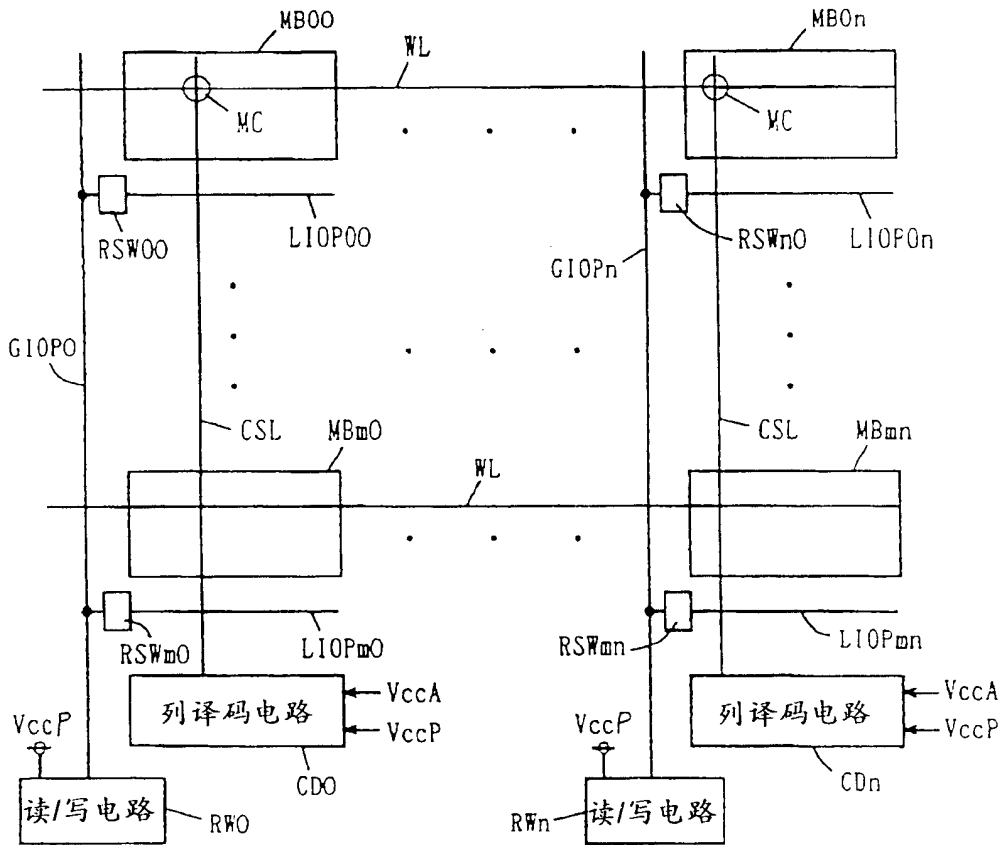


图 13

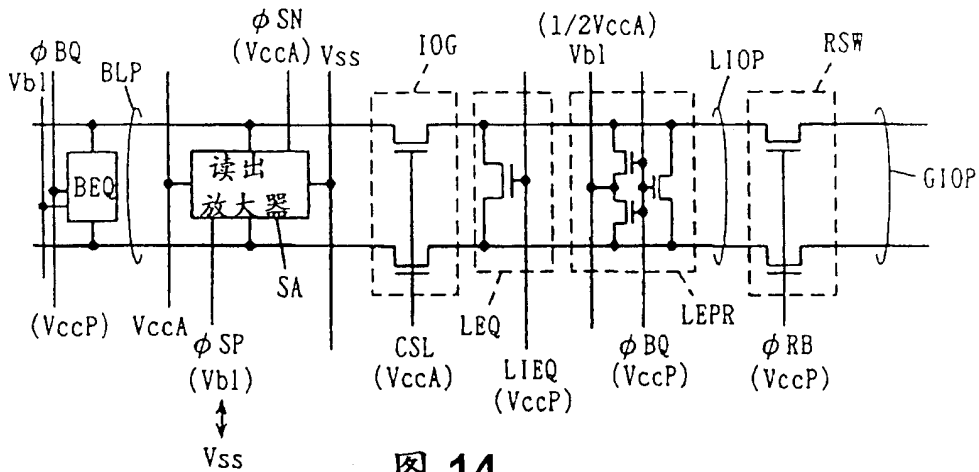


图 14

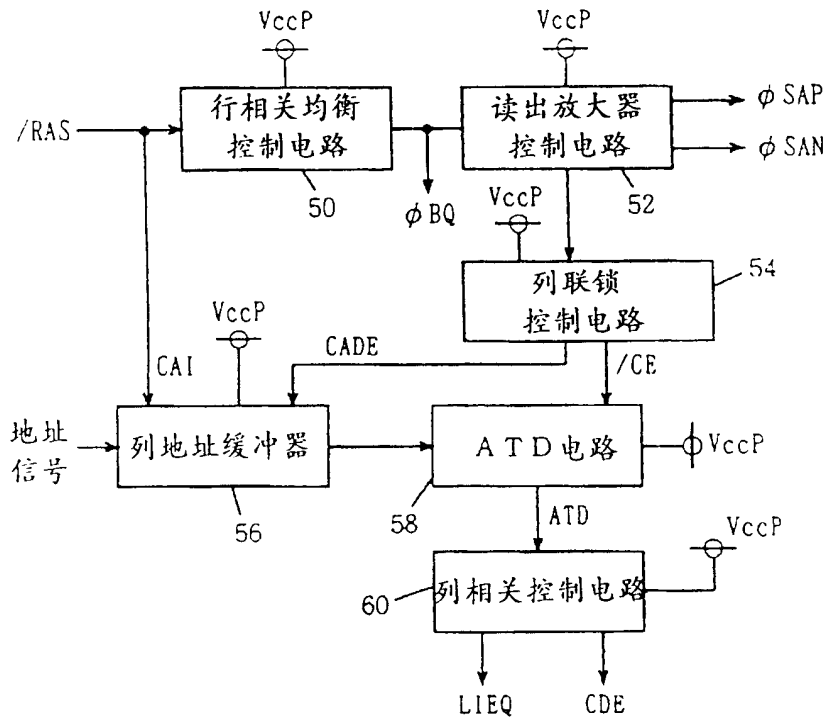


图 15

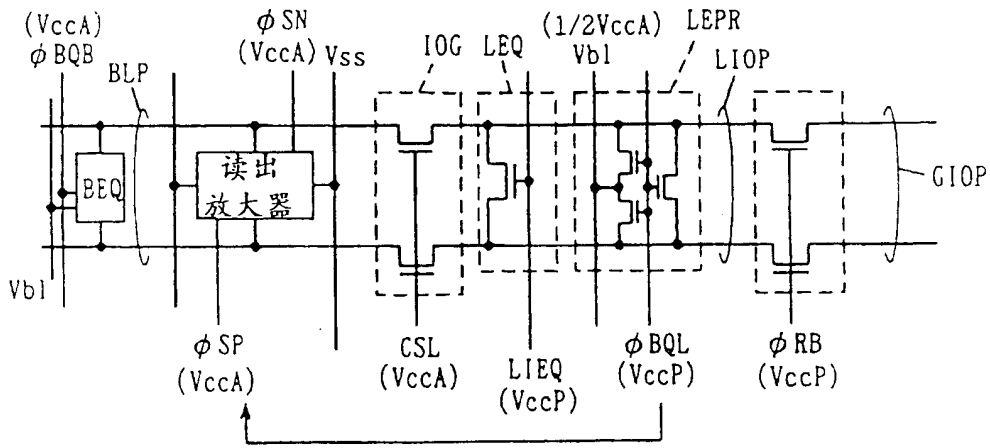


图 16

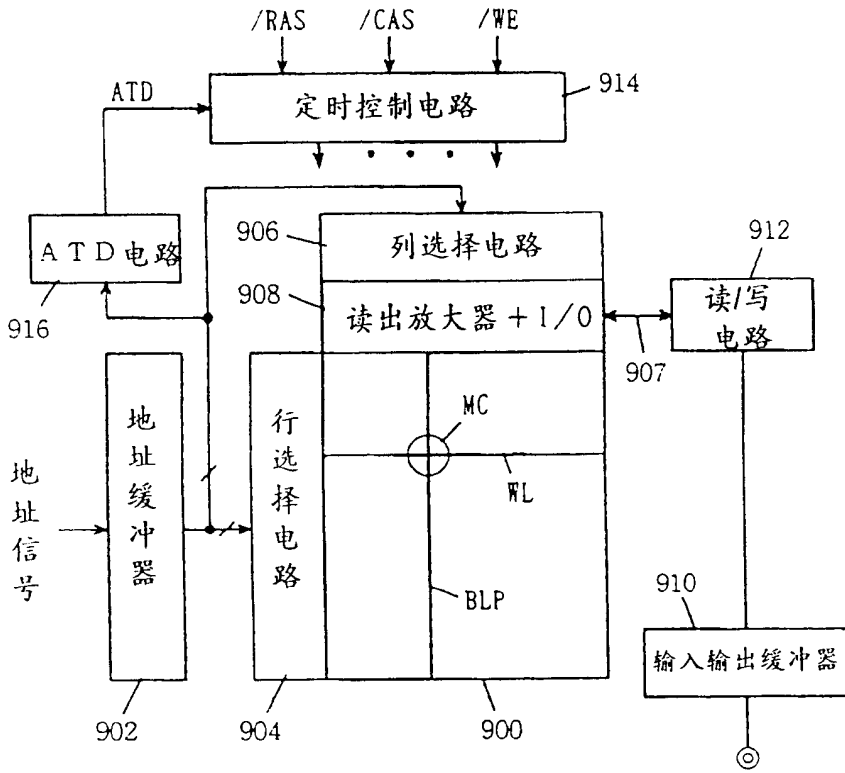


图 17

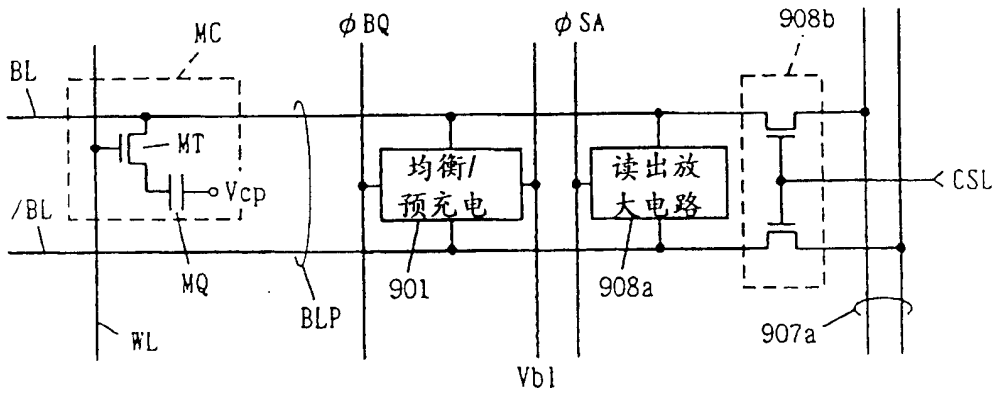


图 18

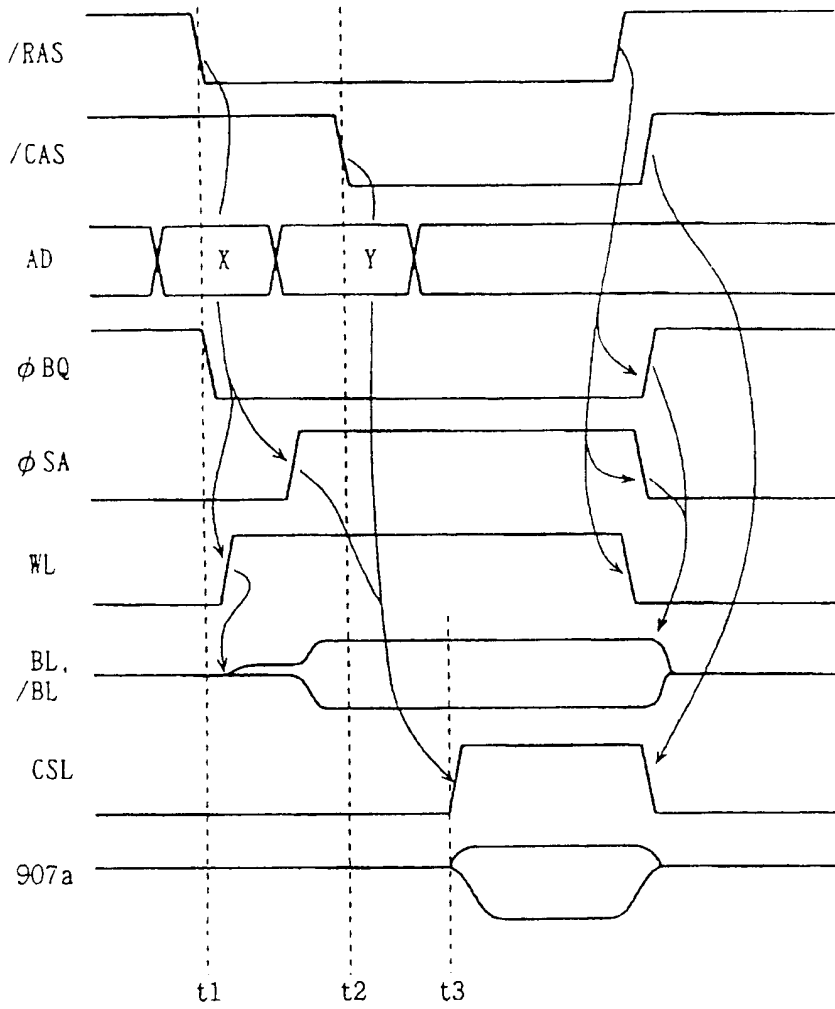


图 19

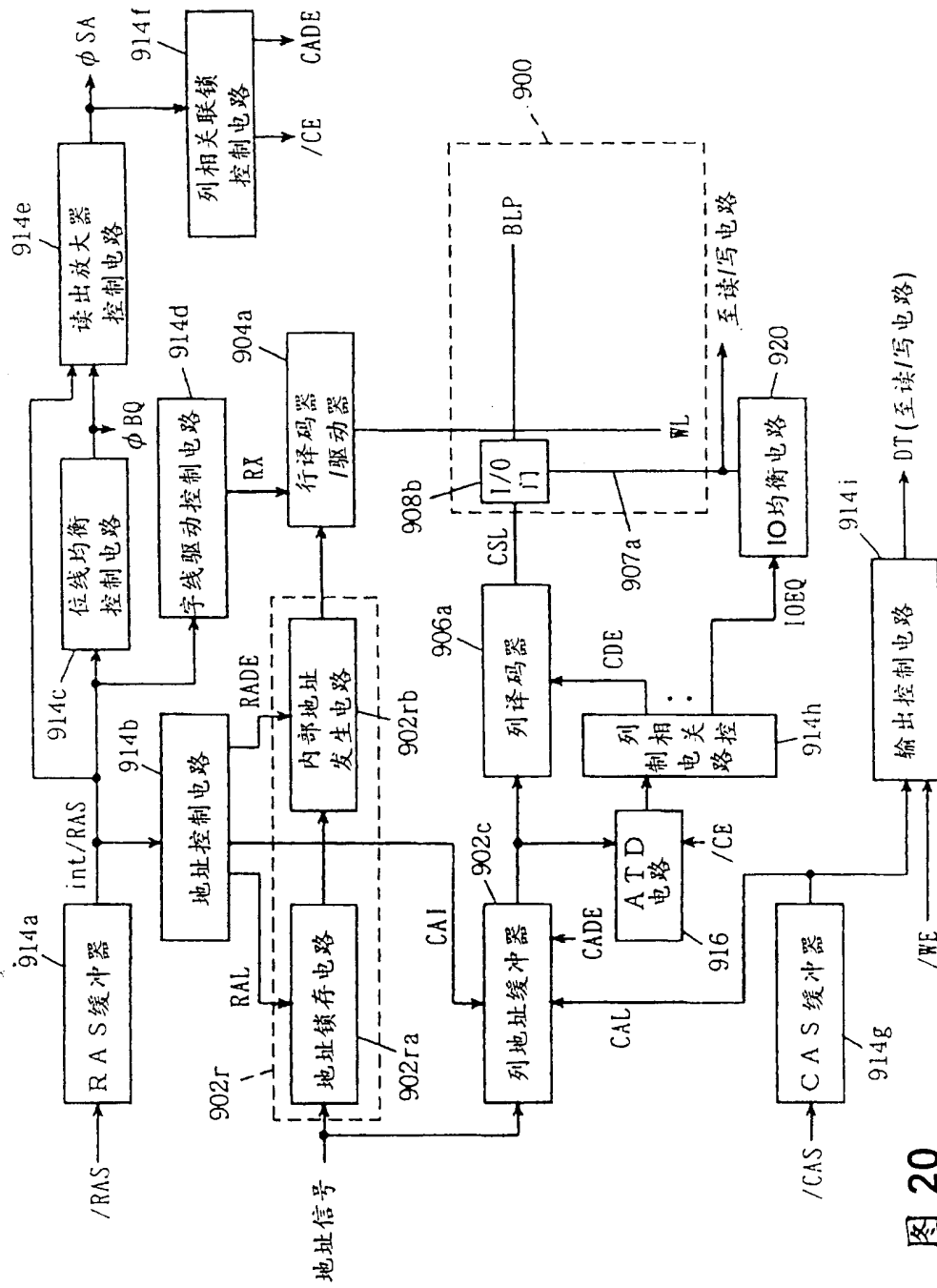


图 20

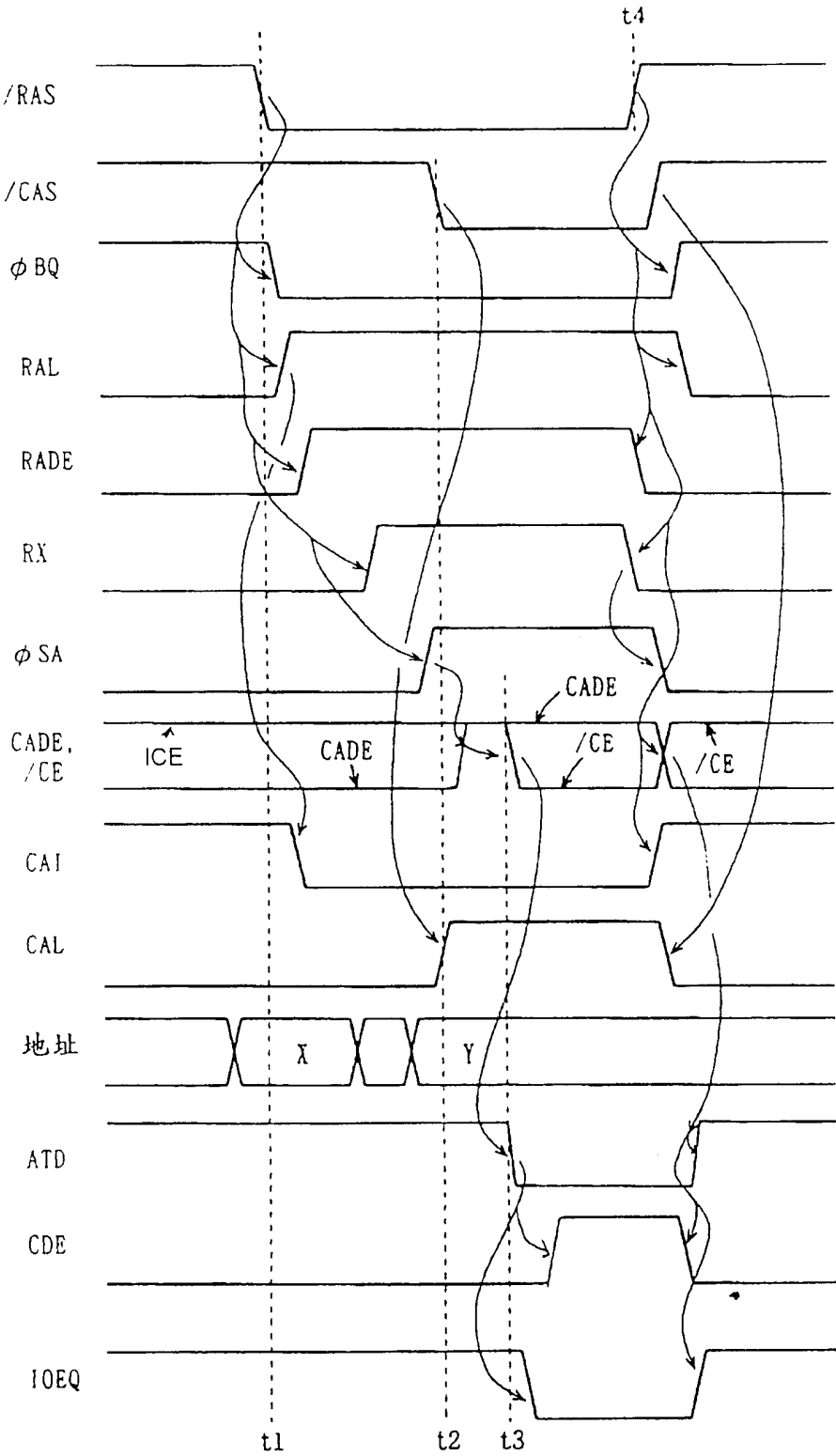


图 21

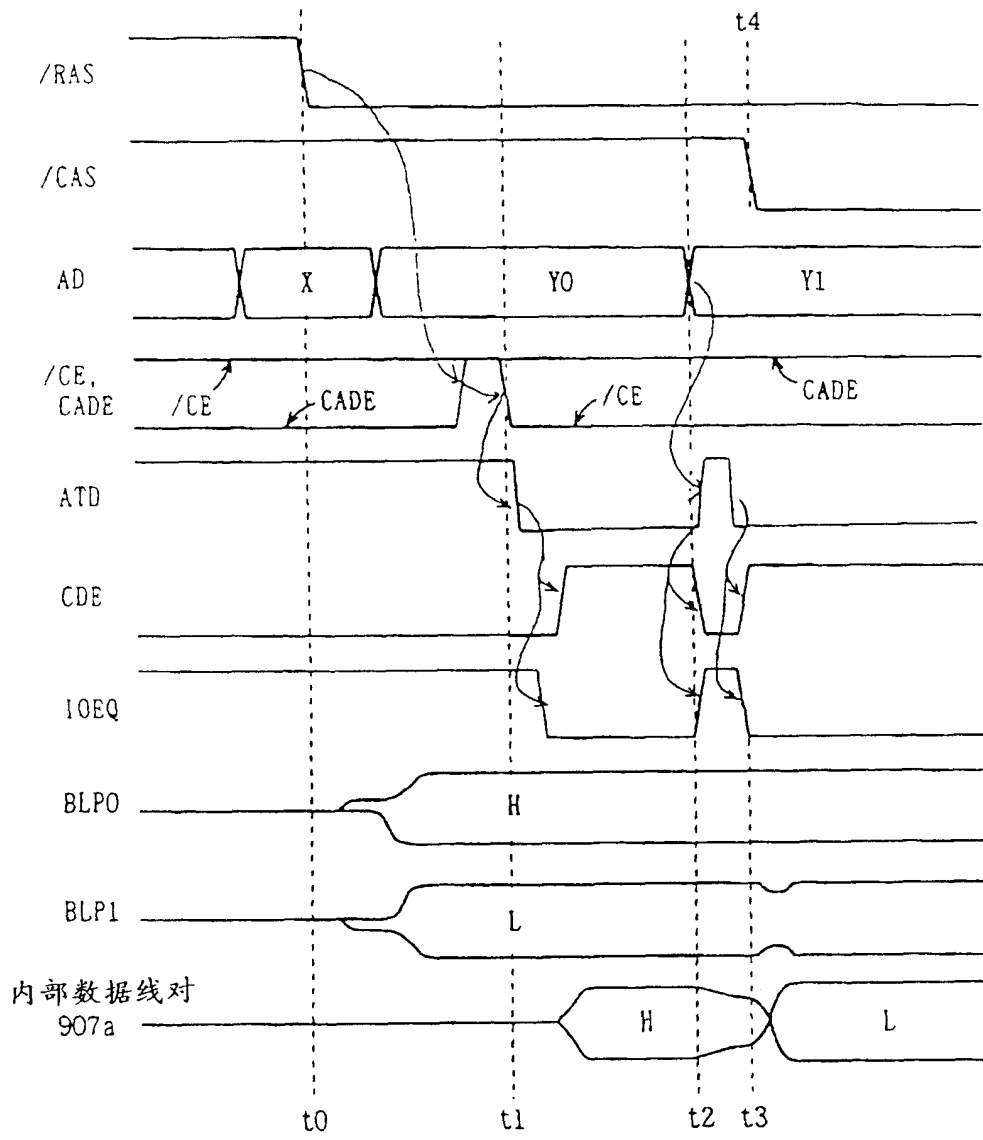


图 22

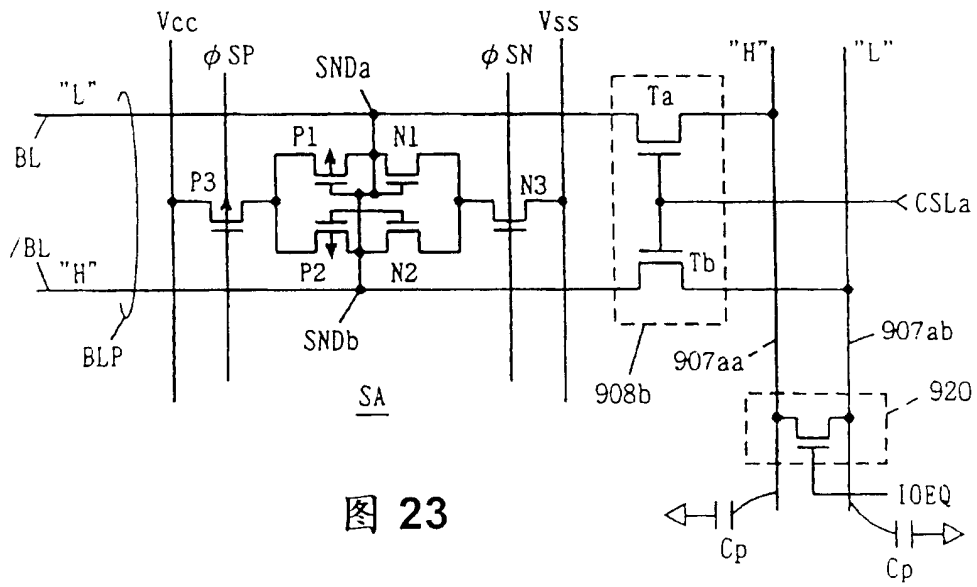


图 23

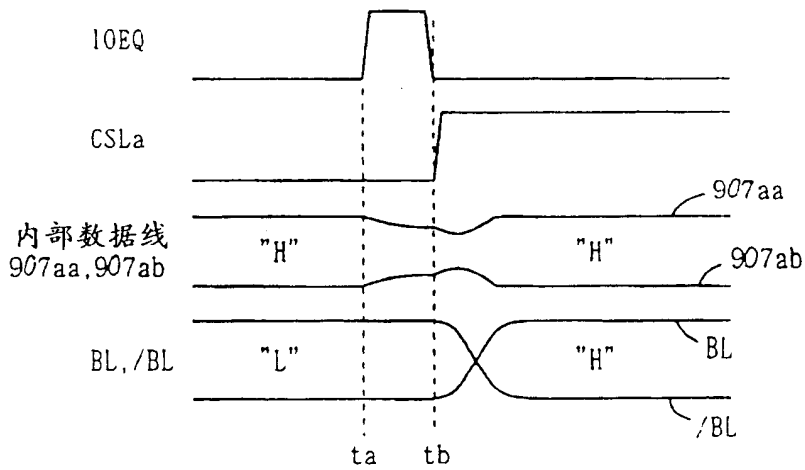


图 24

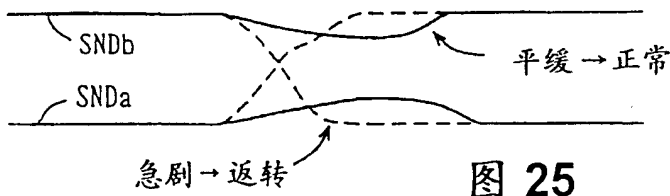


图 25

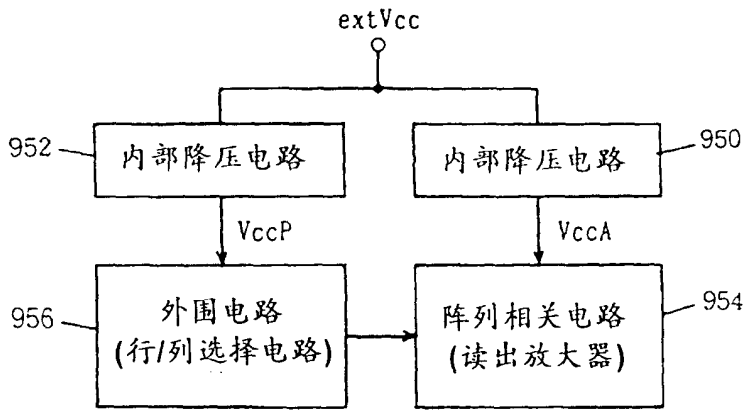


图 26

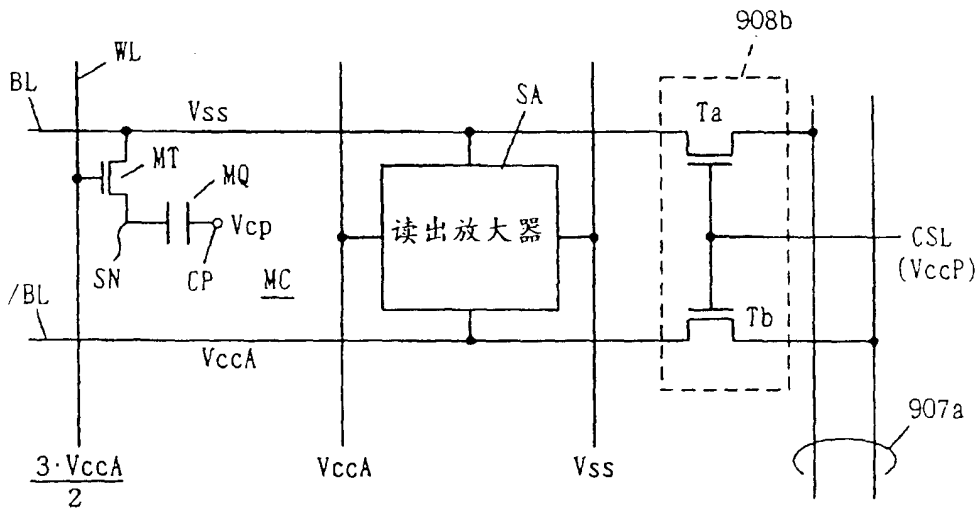


图 27

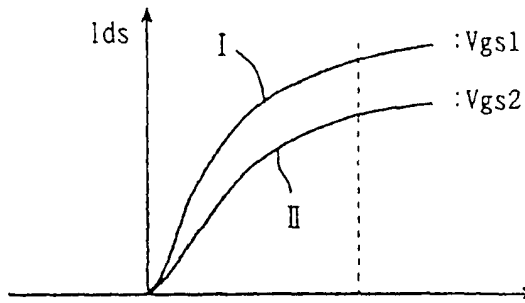


图 28