



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2008년05월22일  
 (11) 등록번호 10-0831254  
 (24) 등록일자 2008년05월15일

(51) Int. Cl.

*H01L 27/108* (2006.01) *H01L 21/8242* (2006.01)

(21) 출원번호 10-2006-0117381  
 (22) 출원일자 2006년11월27일  
 심사청구일자 2006년11월27일

(56) 선행기술조사문헌  
 KR1019970054106 A\*  
 KR1020060024082 A\*

\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
 동부일렉트로닉스 주식회사  
 서울 강남구 대치동 891-10

(72) 발명자  
 박정수  
 인천 계양구 효성동 1-77 삼성하이츠 817-301

(74) 대리인  
 강용복, 김용인

전체 청구항 수 : 총 5 항

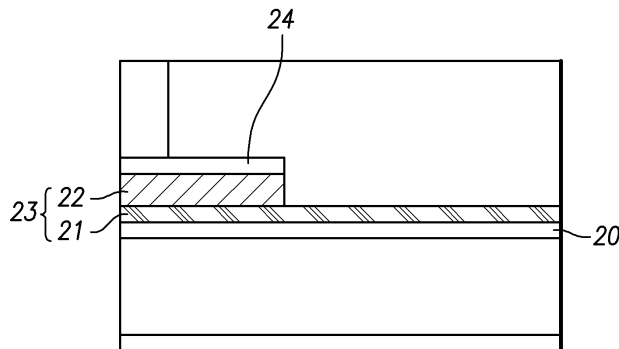
심사관 : 이우식

**(54) 반도체 소자의 엠아이엠 및 그 형성 방법**

**(57) 요약**

본 발명은 반도체 소자의 MIM(Metal/Insulator/Metal) 형성 방법에 있어서, 소정의 하부 구조물이 형성된 기판상에 하부 금속 전극막을 형성하는 단계와, 상기 하부 금속 전극막 위에 제 1 절연막과 제 2 절연막으로 이루어진 멀티(multi) 유전체막을 순차적으로 형성하는 단계와, 상기 제 2 절연막 위에 상부 금속 전극막을 형성하여 MIM을 형성하는 단계와, 상기 MIM에 대해 식각공정을 수행하는 단계를 포함하는 반도체 소자의 엠아이엠 형성 방법에 관한 것이다.

**대표도** - 도2



**특허청구의 범위**

**청구항 1**

반도체 소자의 MIM(Metal/Insulator/Metal) 형성 방법에 있어서,  
 소정의 하부 구조물이 형성된 기판상에 TiN막의 하부 금속 전극막을 형성하는 단계와,  
 상기 하부 금속 전극막 상부 영역에 식각 정지막 기능을 하는 SiO<sub>2</sub>로 형성된 제 1 절연막과 SiN으로 형성된 제 2 절연막의 멀티(multi) 유전체막을 순차적으로 형성하는 단계와,  
 상기 제 2 절연막 위에 TiN막의 상부 금속 전극막을 형성하여 MIM을 형성하는 단계; 및  
 상기 MIM에 대해 6.5의 유전상수를 갖는 SiN과 3.9의 유전상수를 갖는 SiO<sub>2</sub>의 식각 가스를 이용하여 식각 공정을 수행하는 단계를 포함하는 반도체 소자의 엠아이엠 형성 방법.

**청구항 2**

삭제

**청구항 3**

제 1 항에 있어서,  
 상기 제 2 절연막은 TiO<sub>2</sub>막, HfO<sub>2</sub>막, ZrO<sub>2</sub>, SrTiO<sub>3</sub>막, ((Bi,(e)<sub>4</sub>Ti<sub>3</sub>O<sub>12</sub>))막으로 구성된 군 중 어느 하나를 이용하여 형성하는 것을 포함하는 것을 특징으로 하는 반도체 소자의 엠아이엠 형성 방법.

**청구항 4**

제 1 항에 있어서,  
 상기 상부 금속 전극막은 800 ~ 1200Å의 두께, 상기 하부 금속 전극막은 550 ~ 650Å의 두께, 상기 제 1 절연막은 70 ~ 100Å의 두께, 상기 제 2 절연막은 250 ~ 370Å의 두께로 형성되는 것을 특징으로 하는 반도체 소자의 엠아이엠 형성 방법.

**청구항 5**

제 1 항에서,  
 상기 식각 공정은 CH<sub>2</sub> 가스, F<sub>2</sub> 가스 및 CH<sub>2</sub> 가스와 F<sub>2</sub> 가스의 혼합가스로 구성된 군 중에서 선택된 어느 하나의 가스를 사용하는 것을 특징으로 하는 반도체 소자의 엠아이엠 형성 방법.

**청구항 6**

반도체 소자에 구비된 MIM(Metal/Insulator/Metal)으로서,  
 소정의 하부 구조물이 형성된 기판상의 TiN의 하부 금속 전극막, 식각 공정에 따른 상기 하부 금속 전극막의 식각을 보호하는 SiO<sub>2</sub>의 제 1 절연막과 SiN의 제 2 절연막을 포함하는 멀티 레이어(multi-layer)로 이루어진 유전체막 및 TiN의 상부 금속 전극막이 순차적으로 이루어진 반도체 소자의 엠아이엠.

**청구항 7**

삭제

**청구항 8**

삭제

**명세서**

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

- <9> 본 발명은 반도체 소자의 MIM(Metal/Insulator/Metal) 및 그 형성 방법에 관한 것으로, 특히 MIM의 두께를 효과적으로 제어하고, 낮은 MIM 두께에서도 식각 과정 중에 식각된 금속에 의한 측벽 오염을 억제할 수 있는 반도체 소자의 MIM 및 그 형성 방법에 관한 것이다.
- <10> 캐패시터(capacitor)는 디램(Dynamic Random Access Memory : DRAM)과 같은 메모리 소자에서 소정의 데이터를 저장하는 기억 장소로서, 소위 스토리지 노드(storage node) 및 플레이트 노드(plate node)라 불리는 캐패시터 전극들 사이에 유전체막(dielectric)이 개재된 구조로 이루어진다.
- <11> 최근, 반도체 메모리장치가 고집적화함에 따라 메모리 장치를 구성하는 메모리 셀(cell) 면적의 감소 및 동작 전압의 저전압화가 진행되고 있다. 이에 기억 소자의 구성 소자의 하나인 캐패시터는 투영 면적 축소에도 불구하고 기억 소자의 동작에 필요한 전하량의 확보가 요구되고 있다. 전하량이 충분하지 못할 경우 소자의 소프트 에러 및 리프레시 타임(refresh time)이 짧아지는 등 많은 문제가 발생한다. 전하량(Q)을 결정하는 요소는 식  $Q = CV$ 로 나타낼 수 있는 바와 같이, 캐패시터에 인가되는 동작 전압(V)과, 캐패시터의 캐패시턴스(C)로 결정된다. 그러나, 기억 소자의 고집적화와 더불어 동작 전압도 점차 줄어들고 있으므로, 특정치 이상의 전하량을 축적시키기 위한 방법은 캐패시턴스를 증가시키는 방법뿐이다. 따라서, 작은 면적에서도 충분한 캐패시턴스를 확보해야 함이 요구되고 있다. 캐패시턴스(C)는 다음 수학적식으로 나타낼 수 있다.

**수학적 식 1**

- <12>  $C = \epsilon \cdot S/d$
- <13> 즉, [수학적 식 1] 중 C는 캐패시턴스,  $\epsilon$ 는 유전체의 유전율을 나타내고, S는 극판의 단면적, d는 극판 사이의 간격을 나타내고 있다. 위와 같은 식에 따르면, 캐패시턴스는 유전체막의 유전율과 캐패시턴스의 유효 면적에 비례하고, 유전체막의 두께에 반비례한다는 것을 알 수 있다. 이러한 캐패시터에 있어서, 그 용량은 전극 표면적 및 유전체막의 유전율에 비례하며, 그리고, 전극들간의 간격에 반비례한다. 따라서, 고용량의 캐패시터를 얻기 위해서는 전극 표면적을 넓히거나 고유전율의 유전체막을 이용하는 것이 요구되고, 아울러, 전극들간의 간격을 줄이는 것, 즉, 유전체막의 두께를 최소화시키는 것이 요구된다.
- <14> 한편, 캐패시터 전극 물질로서는 반도체 소자의 고집적화 및 고성능화에 따라 소자별 요구하는 특성이 다양해짐으로써, 금속 재질의 전극의 MIM(Metal-Insulator-Metal) 구조의 캐패시터가 사용되고 있다.
- <15> 도 1a은, 종래 기술에 따라 형성된 MIM을 구비한 반도체 소자 구조를 나타낸 것이다. TiN/Al/TiN 구조의 금속 배선 등의 하부 구조물이 구비된 상태에서, TiN(11)/SiN(12)/TiN(13)의 적층막으로 이루어진 MIM을 구성한다.
- <16> 즉, 도 1b는 도 1a에서 원으로 표시된 부분을 확대한 단면도로서, MIM을 형성하기 위하여 TiN(11)/SiN(12)/TiN(13)의 적층막으로 이루어진 MIM에 대해 식각을 완료하면, TiN(11)층 위에 SiN(12)의 절연막이 남아있는 것을 볼 수 있다. 여기서, 소자의 특성에 따라 고유전율의 캐패시터가 요구되고 있으며 이에 따라, 캐패시터의 유전율을 높이기 위해서는 MIM의 두께 변경이나 유전상수가 큰 물질을 이용하는 방법 등이 있으나, 새로운 재료를 사용하기 위해서는 MIM 외에 다른 특성의 변화가 없는지 검토를 한 이후에 적용할 수 있다. 반면 MIM의 두께를 낮추어 캐패시턴스를 증가시키는 방법은 공정의 최적화로 제조가 가능하다. 하지만, MIM의 두께를 낮출 경우, 식각과정 중 MIM의 두께가 국소적으로 낮은 부분에서 금속이 드러날 수 있는 가능성이 있다. 이때, 스퍼터링(sputtering)을 이용한 식각과정 중에 식각된 금속의 일부가 MIM의 측벽에 달라붙어 소자에 좋지 않은 영향을 줄 수 있어 두께를 줄여 캐패시턴스를 증가시킬 수 있는 방법에는 한계가 존재한다.

**발명이 이루고자 하는 기술적 과제**

- <17> 전술한 문제를 해결하기 위해 본 발명은, MIM의 두께를 효과적으로 제어하고, 낮은 MIM 두께에서도 식각과정에 식각된 금속에 의한 측벽 오염을 억제할 수 있는 반도체 소자의 MIM 및 그 형성 방법을 제공하는데 목적이 있다.

**발명의 구성 및 작용**

- <18> 기술한 목적을 달성하기 위해 본 발명은 반도체 소자의 MIM(Metal/Insulator/Metal) 형성 방법에 있어서, 소정의 하부 구조물이 형성된 기판상에 하부 금속 전극막을 형성하는 단계와, 상기 하부 금속 전극막 위에 제 1 절연막과 제 2 절연막으로 이루어진 멀티(multi) 유전체막을 순차적으로 형성하는 단계와, 상기 제 2 절연막 위에 상부 금속 전극막을 형성하여 MIM을 형성하는 단계와, 상기 MIM에 대해 식각공정을 수행하는 단계를 포함하는 반도체 소자의 엠아이엠 형성 방법을 제공한다.
- <19> 본 발명에서, 상기 상부 금속 전극막 및 상기 하부 금속 전극막은 TiN으로 형성하고, 상기 제 1 절연막은 SiO<sub>2</sub>로 형성하며, 상기 제 2 절연막은 SiN으로 형성한다.
- <20> 본 발명에서, 상기 제 2 절연막은 TiO<sub>2</sub>막, HfO<sub>2</sub>막, ZrO<sub>2</sub>,SrTiO<sub>3</sub>막, ((Bi,(e)<sub>4</sub>Ti<sub>3</sub>O<sub>12</sub>))막으로 구성된 군 중 어느 하나를 이용하여 형성하는 것을 포함한다.
- <21> 본 발명에서, 상기 상부 금속 전극막은 800 ~ 1200Å의 두께, 상기 하부 금속 전극막은 550 ~ 650Å의 두께, 상기 제 1 절연막은 70 ~ 100Å의 두께, 상기 제 2 절연막은 250 ~ 370Å의 두께로 형성한다.
- <22> 본 발명에서, 상기 식각 공정은 CH<sub>2</sub> 가스, F<sub>2</sub> 가스 및 CH<sub>2</sub> 가스와 F<sub>2</sub> 가스의 혼합가스로 구성된 군 중에서 선택된 어느 하나의 가스를 사용한다.
- <23> 본 발명에 따른 반도체 소자에 구비된 MIM(Metal/Insulator/Metal)으로서, 소정의 하부 구조물이 형성된 기판상의 하부 금속 전극막, 제 1 절연막과 제 2 절연막을 포함하여 이루어진 유전체막 및 상부 금속 전극막이 순차적으로 이루어진 반도체 소자의 엠아이엠을 포함한다.
- <24> 본 발명에서, 상기 유전체막은 상기 제 1 절연막과 상기 제 2 절연막을 포함한 멀티 레이어(multi-layer)로 이루어진 유전체막이다.
- <25> 본 발명에서, 상기 엠아이엠은 하부 금속 전극막에서부터 상부 금속 전극막까지 TiN/SiO<sub>2</sub>/SiN/TiN의 구조로 이루어진다.
- <26> 이하에서는 첨부한 도면을 참조하여 본 발명의 실시예에 따른 반도체 소자의 캐패시터 및 그 형성 방법을 자세히 설명한다.
- <27> 본 발명이 속하는 기술 분야에 익히 알려져 있고 본 발명과 직접적으로 관련이 없는 기술 내용에 대해서는 설명을 생략한다. 이는 불필요한 설명을 생략함으로써 본 발명의 요지를 흐리지 않고 더욱 명확히 전달하기 위함이다.
- <28> 도 2에 도시된 바와 같이, 반도체 소자의 MIM(Metal/Insulator/Metal) 형성 방법에 있어서, 소정의 하부 구조물이 형성된 기판(미도시)상에 550 ~ 650Å 두께의 TiN막의 하부 금속 전극막(20)을 형성한다. 이어서, 하부 금속 전극막(20)상에 제 1 절연막(21)과 제 2 절연막(22)을 순차적으로 형성한다. 이때, 제 1 절연막(21)은 70 ~ 100Å 두께의 산화막 예를들어, SiO<sub>2</sub>로 형성하는 것이 바람직하다. 이러한 SiO<sub>2</sub>의 제 1 절연막(21)은 MIM에 대해 식각하는 과정에서, MIM의 두께가 국소적으로 낮은 부분에서 하부 구조물인 금속 배선의 상부가 드러나는 것을 방지할 수 있는 식각 정지막의 역할을 하기 위하여 형성한다.
- <29> 또한, 제 1 절연막(21)상에 형성된 제 2 절연막(22)을 250 ~ 370Å 두께의 SiN으로 형성함으로써, 제 1 절연막(21)과 제 2 절연막(22)의 멀티 레이어(multi-layer)로 이루어진 유전체막(23)을 형성할 수 있다. 여기서, 제 2 절연막은 SiN이외에 유전율이 높은 재질 즉, TiO<sub>2</sub>막, HfO<sub>2</sub>막, ZrO<sub>2</sub>,SrTiO<sub>3</sub>막, ((Bi,(e)<sub>4</sub>Ti<sub>3</sub>O<sub>12</sub>))막으로 구성된 군 중 어느 하나를 이용하여 형성할 수 있다.
- <30> 따라서, 식각 정지막의 기능을 하는 제 1 절연막(21)에 의해 유전체막(23)의 두께 조절이 용이하여 좀 더 높은 캐패시턴스(capacitance)를 얻을 수 있다. 즉, 제 2 절연막(22)을 형성하기 전에 제 1 절연막(21)을 추가하여 형성하는 예컨대, 멀티 레이어의 유전체막(23)을 형성함으로써, MIM을 형성하기 위한 식각 방법인 금속 스퍼터링(sputtering)을 이용한 식각과정에서 식각된 금속에 의한 측벽 오염을 막을 수 있어 캐패시터의 오동작의 문제를 해소할 수 있다. 또한, 새로운 재료를 사용함으로써 발생할 수 있는 공정의 변화없이 높은 캐패시턴스를 얻을 수 있는 장점이 있다.
- <31> 이어서, 유전체막(23)상에 형성된 상부 금속 전극막(24)은 800 ~ 1200Å 두께의 하부 금속 전극막(20)과 동일한

TiN으로 형성될 수 있다.

- <32> 이렇게 하여 형성된 상부 금속 전극막(23), 유전체막(23) 및 하부 금속 전극막(20) 즉, TiN/SiN/SiO<sub>2</sub>/TiN의 적층막에 대해 MIM을 형성하기 위한 식각 공정을 수행한다. 여기서, 식각 공정시, 6.5의 유전상수를 갖는 SiN과, 3.9의 유전상수를 갖는 SiO<sub>2</sub>의 선택비가 좋은 식각 가스 예를 들어, CH<sub>2</sub> 가스, F<sub>2</sub> 가스 및 CH<sub>2</sub> 가스와 F<sub>2</sub> 가스의 혼합가스로 구성된 균 중에서 선택된 어느 하나의 가스를 사용하는 것이 바람직하다. 그러면, 도 2에서 보듯이, SiN의 제 2 절연막(22) 부분의 식각 과정에서 기관상의 하부 구조물인 금속 배선 상부 영역에 식각 정지막을 기능을 하는 SiO<sub>2</sub>의 제 1 절연막(21)은 그대로 남아있게 된다.
- <33> 따라서, 유전체막(23)의 두께가 640Å보다 낮게 형성되어도 금속 배선 상부의 일부 영역이 식각되어 손상되는 현상을 방지할 수 있으며, 유전체막(23)의 두께는 낮추면서도 좀 더 높은 캐패시턴스를 얻을 수 있다.
- <34> 지금까지 본 발명의 구체적인 구현예를 도면을 참조로 설명하였지만 이것은 본 발명이 속하는 기술분야에서 평균적 지식을 가진 자가 쉽게 이해할 수 있도록 하기 위한 것이고 발명의 기술적 범위를 제한하기 위한 것이 아니다. 따라서 본 발명의 기술적 범위는 특허청구범위에 기재된 사항에 의하여 정하여지며, 도면을 참조로 설명한 구현예는 본 발명의 기술적 사상과 범위 내에서 얼마든지 변형하거나 수정할 수 있다.

**발명의 효과**

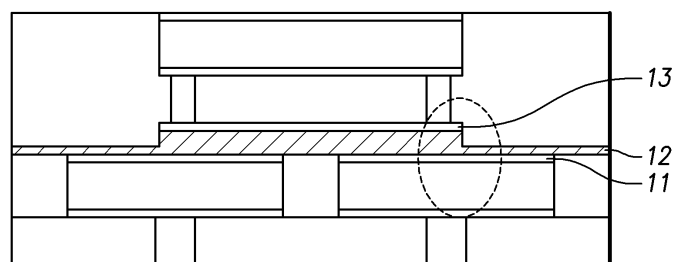
- <35> 이상에서 설명한 바와 같이 본 발명에 의하면, MIM(Metal/Insulator/Metal)의 유전체막을 형성하는 과정에서 식각 정지막의 기능을 하는 SiO<sub>2</sub>의 절연막을 추가하여 멀티 레이어의 유전체막을 형성함으로써 유전체막의 두께 조절이 용이하며 높은 캐패시턴스를 얻을 수 있다.
- <36> 또한, 유전체막의 두께가 640Å보다 낮게 형성되어도 금속 스퍼터링(sputtering)을 이용한 식각과정에서 식각된 금속에 의한 측벽 오염의 문제를 해소함으로써 MIM의 오동작을 제어하여 반도체 소자의 신뢰성을 향상시킬 수 있다.

**도면의 간단한 설명**

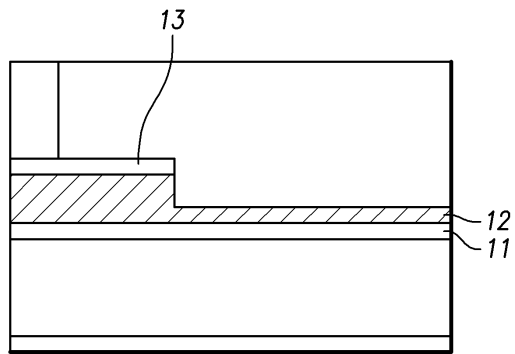
- <1> 도 1a 및 도 1b는 종래 기술에 따른 MIM을 구비한 반도체 소자를 나타내는 단면도.
- <2> 도 2는 본 발명의 실시예에 따른 반도체 소자의 MIM 형성 방법을 설명하기 위한 공정 단면도.
- <3> < 도면의 주요 부분에 대한 부호의 설명 >
- <4> 20 : 하부 금속 전극막
- <5> 21 : 제 1 절연막
- <6> 22 : 제 2 절연막
- <7> 23 : 유전체막
- <8> 24 : 상부 금속 전극막

**도면**

**도면1a**



도면1b



도면2

