

(12) 发明专利申请

(10) 申请公布号 CN 102687264 A

(43) 申请公布日 2012. 09. 19

(21) 申请号 201080058540. 5

H01L 21/822 (2006. 01)

(22) 申请日 2010. 12. 14

H01L 21/8238 (2006. 01)

(30) 优先权数据

H01L 23/52 (2006. 01)

2009-294231 2009. 12. 25 JP

H01L 27/04 (2006. 01)

H01L 27/092 (2006. 01)

(85) PCT申请进入国家阶段日

2012. 06. 21

(86) PCT申请的申请数据

PCT/JP2010/007255 2010. 12. 14

(87) PCT申请的公布数据

W02011/077664 JA 2011. 06. 30

(71) 申请人 松下电器产业株式会社

地址 日本大阪府

(72) 发明人 田丸雅规 中西和幸 西村英敏

(74) 专利代理机构 中科专利商标代理有限责任

公司 11021

代理人 汪惠民

(51) Int. Cl.

H01L 21/82 (2006. 01)

H01L 21/3205 (2006. 01)

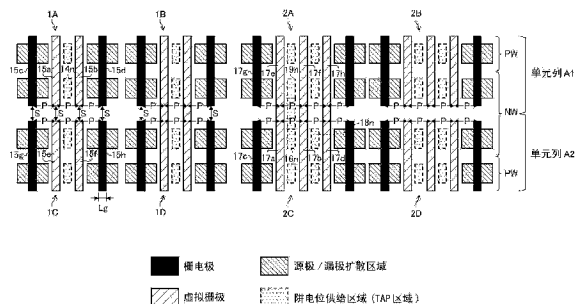
权利要求书 2 页 说明书 9 页 附图 12 页

(54) 发明名称

半导体装置

(57) 摘要

本发明提供一种半导体装置,在单元列(A1)的N型阱区域(NW)中设置阱电位供给区域(14n)。以同一间距配置在阱电位供给区域(14n)的横向两侧配置的相邻栅极(15a、15b)、进一步在两侧配置的相邻栅极(15c、15d)。此外,相邻单元列(A2)具有在纵向上分别与相邻栅极(15a~15d)对置的4根栅极(15e~15h)。即,阱电位供给区域(14n)周边的栅极图案维持形状规则性。



1. 一种半导体装置,在第 1 方向上排列配置了多个单元列,在每个单元列中,在所述第 1 方向延伸的多个栅极被排列配置在与所述第 1 方向正交的第 2 方向上,

所述多个单元列分别具备在所述栅极的下方形成且分别在所述第 2 方向上延伸的第 1 导电型阱区域及第 2 导电型阱区域,

作为所述多个单元列之一的第 1 单元列具备:

第 1 阱电位供给区域,是在所述第 1 导电型阱区域中注入导电型与所述第 1 导电型阱区域相同的杂质而形成的;

第 1 及第 2 相邻栅极,其分别配置在所述第 1 阱电位供给区域的所述第 2 方向上的两侧;

第 3 相邻栅极,在所述第 1 阱电位供给区域的相反侧相邻地配置了该第 3 相邻栅极;和

第 4 相邻栅极,在所述第 1 阱电位供给区域的相反侧相邻地配置了该第 4 相邻栅极,

在所述第 2 方向上以同一间距配置所述第 1~第 4 相邻栅极,并且,

所述多个单元列之中的、在所述第 1 方向上与所述第 1 单元列相邻的第 1 相邻单元列具有 4 根栅极,该 4 根栅极在所述第 1 方向上分别与所述第 1~第 4 相邻栅极对置。

2. 根据权利要求 1 所述的半导体装置,其中,

所述第 1 及第 2 相邻栅极之中的至少任一方被连接成与所述第 1 相邻单元列中的对置于该相邻栅极的栅极成为一体。

3. 根据权利要求 1 或 2 所述的半导体装置,其中,

所述第 1 及第 2 相邻栅极是虚拟栅极。

4. 根据权利要求 1 所述的半导体装置,其中,

在所述第 1 相邻栅极和所述第 3 相邻栅极之间,形成注入导电型与所述第 1 导电型阱区域相同的杂质而构成的第 2 阱电位供给区域。

5. 根据权利要求 4 所述的半导体装置,其中,

所述第 1 及第 2 阱电位供给区域形成为一体。

6. 根据权利要求 4 或 5 所述的半导体装置,其中,

所述第 1、第 2 及第 3 相邻栅极是虚拟栅极。

7. 根据权利要求 1 所述的半导体装置,其中,

所述第 1 单元列中的所述第 1 导电型阱区域和所述第 1 相邻单元列中的所述第 1 导电型阱区域在所述第 1 方向上相邻,

所述第 1 相邻单元列具备在所述第 1 导电型阱区域中注入导电型与所述第 1 导电型阱区域相同的杂质而构成的第 3 阱电位供给区域。

8. 根据权利要求 7 所述的半导体装置,其中,

所述第 1 单元列中的所述第 1 阱电位供给区域和所述第 1 相邻单元列中的所述第 3 阱电位供给区域形成为一体。

9. 根据权利要求 1 所述的半导体装置,其中,

所述第 1~第 4 相邻栅极跨过所述第 1 导电型阱区域与所述第 2 导电型阱区域之间的边界而延伸。

10. 根据权利要求 1 所述的半导体装置,其中,

所述第 1~第 4 相邻栅极在所述第 1 导电型阱区域与所述第 2 导电型阱区域的边界处

被分割。

11. 一种半导体装置,在第 1 方向上排列配置了多个单元列,在每个单元列中,在所述第 1 方向上延伸的多个栅极被排列配置在与所述第 1 方向正交的第 2 方向上,

所述多个单元列分别具有在所述栅极的下方形成且分别在所述第 2 方向上延伸的第 1 导电型阱区域及第 2 导电型阱区域,

作为所述多个单元列之一的第 1 单元列具备:

第 1 阱电位供给区域,是在所述第 1 导电型阱区域中注入导电型与所述第 1 导电型阱区域相同的杂质而构成的;和

第 1 栅极,其配置在所述第 1 阱电位供给区域之上。

12. 根据权利要求 11 所述的半导体装置,其中,
所述第 1 栅极是虚拟栅极。

13. 根据权利要求 11 所述的半导体装置,其中,
所述第 1 栅极是活性晶体管的栅电极。

半导体装置

技术领域

[0001] 本发明涉及设置了用于对阱区域进行供电的阱电位供给区域的半导体装置。

背景技术

[0002] 在现有技术中的半导体装置中,为了控制阱电位,或者为了防止闩锁(latch up),在活性晶体管的附近设置了用于对阱区域进行供电的阱电位供给区域。再者,所谓“活性晶体管”是利用晶体管的工作特性来对电路的期望功能进行贡献的晶体管。

[0003] 图 12 是表示设置了阱电位供给区域的半导体装置的现有布局的一例的图。在图 12 的结构中,在图中的纵向上,排列配置在图中横向上配置了多个标准单元的标准单元列。并且,在中央的标准单元列中插入了阱电位供给单元 VSC。VSCN 是注入了 N 型杂质、对 N 型阱提供阱电位的阱电位供给区域(TAP 区域),VSCP 是注入了 P 型杂质、对 P 型阱提供阱电位的阱电位供给区域。

[0004] 现有技术文献

[0005] 专利文献

[0006] 专利文献 1 :JP 特开 2008-235350 号公报

[0007] 专利文献 2 :JP 特开 2007-12855 号公报

[0008] 专利文献 3 :JP 特开 2001-148464 号公报

[0009] 专利文献 4 :JP 特开 2009-32961 号公报

发明内容

[0010] (发明要解决的课题)

[0011] 在最近的半导体装置中,随着微细化的发展,在使栅极暴露时,由衍射光引起的光学邻近效应的影响变大。因此,根据周边的栅极图案的状况,会引起光学邻近效应的影响大不相同、产生栅极长度的偏差的这种问题。

[0012] 为了应对该问题,需要确保对象栅极的周边栅极图案的形状规则性。并且,不仅是对象栅极在左右方向上排列的栅极图案,对于在上下方向排列的栅极图案,也需要维持形状规则性。

[0013] 但是,在现有技术中,在配置了阱电位供给单元的情况下,无法维持对象栅极在左右方向及上下方向上排列的栅极图案的形状规则性。例如,在图 12 的布局中,由于阱电位供给单元 VSC 的插入,对于上面的标准单元列的栅电极 GT5 及虚拟栅极 GT4、GT6,在其下侧没有相邻地配置栅极,而且对于下面的标准单元列的栅电极 GB4、GB5、GB6,在其上侧没有相邻地配置栅极。此外,对于栅电极 GM3、GM7,分别在右侧及左侧没有相邻地配置栅极。这样,由于插入了阱电位供给单元 VSC,从而无法维持其周边的栅极图案的形状规则性。

[0014] 因此,在现有的半导体装置中,为了维持栅极图案的形状规则性,需要避开阱电位供给单元 VSC 的附近来配置具有活性晶体管的标准单元。但是,在这种情况下,会引起半导体装置的布局面积的增大,因此不是优选的方案。

[0015] 鉴于上述问题,本发明的目的在于提供一种具有阱电位供给区域的半导体装置,能可靠地抑制因光学邻近效应引起的栅极长度的偏差,并且不会使布局面积增大。

[0016] (用于解决课题的方案)

[0017] 在本发明的一个方式的半导体装置中,在第1方向上排列配置了多个单元列,在每个单元列中,在所述第1方向延伸的多个栅极被排列配置在与所述第1方向正交的第2方向上,

[0018] 所述多个单元列分别具备在所述栅极的下方形成且分别在所述第2方向上延伸的第1导电型阱区域及第2导电型阱区域,

[0019] 作为所述多个单元列之一的第1单元列具备:

[0020] 第1阱电位供给区域,是在所述第1导电型阱区域中注入导电型与所述第1导电型阱区域相同的杂质而形成的;

[0021] 第1及第2相邻栅极,其分别配置在所述第1阱电位供给区域的所述第2方向上的两侧;

[0022] 第3相邻栅极,在所述第1阱电位供给区域的相反侧相邻地配置了该第3相邻栅极;和

[0023] 第4相邻栅极,在所述第1阱电位供给区域的相反侧相邻地配置了该第4相邻栅极,

[0024] 在所述第2方向上以同一间距配置所述第1~第4相邻栅极,并且,

[0025] 所述多个单元列之中的、在所述第1方向上与所述第1单元列相邻的第1相邻单元列具有4根栅极,该4根栅极在所述第1方向上分别与所述第1~第4相邻栅极对置。

[0026] 根据该方式,在第1单元列的第1导电型阱区域中设置了第1阱电位供给区域。并且,在第2方向上以同一间距配置了在第1阱电位供给区域的第2方向的两侧配置的第1及第2相邻栅极、以及进一步在其两侧配置第3及第4相邻栅极。再有,在第1方向上与第1单元列相邻的第1相邻单元列,具有在第1方向上分别与第1~第4相邻栅极对置的4根栅极。即,第1阱电位供给区域周边的栅极图案维持形状规则性。因此,能够避免随着栅极图案而不同的光学邻近效应的影响,因此能够可靠地抑制栅极长度的偏差,同时能够抑制因设置阱电位供给区域而引起的布局面积的增大。

[0027] 在本发明的其他方式的半导体装置中,在第1方向上排列配置了多个单元列,在每个单元列中,在所述第1方向上延伸的多个栅极被排列配置在与所述第1方向正交的第2方向上,

[0028] 所述多个单元列分别具有在所述栅极的下方形成且分别在所述第2方向上延伸的第1导电型阱区域及第2导电型阱区域,

[0029] 作为所述多个单元列之一的第1单元列具备:

[0030] 第1阱电位供给区域,是在所述第1导电型阱区域中注入导电型与所述第1导电型阱区域相同的杂质而构成的;和

[0031] 第1栅极,其配置在所述第1阱电位供给区域之上。

[0032] 根据该方式,在第1单元列的第1导电型阱区域中设置了第1阱电位供给区域。并且,在该第1阱电位供给区域上配置了第1栅极。通过该结构,在第2方向上能够以同一间距配置包括该第1栅极在内的多个栅极,而且能够在第1方向上使其他栅极相对置。即,第

1 阱电位供给区域的周边的栅极图案能够维持形状规则性。因此,能够避免随着栅极图案不同而不同的光学邻近效应的影响,因此,能够可靠地抑制栅极长度的偏差,同时能够抑制因设置阱电位供给区域而引起的布局面积的增大。

[0033] (发明效果)

[0034] 根据本发明,在配置了阱电位供给区域的情况下,也能够维持其周边的栅极图案的形状规则性,因此,能够可靠地抑制栅极长度的偏差,同时能够抑制因设置阱电位供给区域而引起的布局面积的增大。

附图说明

[0035] 图 1 是第 1 实施方式涉及的抽头单元的布局结构的例子。

[0036] 图 2 是第 1 实施方式涉及的抽头单元的布局结构的其他例子。

[0037] 图 3 是利用了图 1 及图 2 的抽头单元的半导体装置的布局结构的一例。

[0038] 图 4 是表示图 1 的抽头单元的剖面结构的图。

[0039] 图 5 是表示图 2 的抽头单元的剖面结构的图。

[0040] 图 6 是第 2 实施方式涉及的抽头单元的布局结构的例子。

[0041] 图 7 是使用了图 6 所示的晶体管型的阱电位供给区域的半导体装置的布局结构的一例。

[0042] 图 8 是半导体装置的布局结构的其他例子。

[0043] 图 9 是半导体装置的布局结构的其他例子。

[0044] 图 10 是半导体装置的布局结构的其他例子。

[0045] 图 11 是半导体装置的布局结构的其他例子。

[0046] 图 12 是现有技术中的半导体装置的布局的一例。

具体实施方式

[0047] 以下,基于附图详细说明本发明的实施方式。再者,在本申请说明书中,所谓“虚拟栅极”是指没有构成晶体管的栅极。此外,将起到活性晶体管的栅极作用的栅极称为“栅电极”。再有,假定在单独使用“栅极”的情况下,可包含“虚拟栅极”和“栅电极”这两者。

[0048] (第 1 实施方式)

[0049] 图 1 是表示第 1 实施方式涉及的抽头单元 (tap cell) 的布局结构的例子的图。在此,所谓“抽头单元”是指具有对阱供电的电位供给区域的单元。在图 1 的布局结构中,在构成逆变器的逻辑单元 5a、5b 之间相邻地配置抽头单元 1。

[0050] 在图 1 中,抽头单元 1 具有:在 N 型阱区域 NW 中形成的 N 型杂质扩散区域 11n、和在 P 型阱区域 PW 中形成的 P 型杂质扩散区域 11p。在 N 型阱区域 NW 中,从 N 型杂质扩散区域 11n 经由接点 (contact) 及布线提供期望的阱电位。在 P 型阱区域 PW 中,从 P 型杂质扩散区域 11p 经由接点及布线提供期望的阱电位。即, N 型杂质扩散区域 11n 和 P 型杂质扩散区域 11p 构成阱电位供给区域 (TAP 区域)。

[0051] 逻辑单元 5a、5b 分别都具备在 N 型阱区域 NW 中形成的 PMOS 晶体管 TPa、Tpb 和在 P 型阱区域 PW 中形成的 NMOS 晶体管 TNa、TNb。

[0052] 并且,在抽头单元 1 与逻辑单元 5a、5b 之间分别配置虚拟栅极 12a、12b。此外,在

逻辑单元 5a、5b 的、抽头单元 1 的相反侧的边界,也分别配置虚拟栅极 13a、13b。

[0053] 通过这样配置虚拟栅极,从而如图 1 所示那样,在横向以大致恒定间距 P 对在纵向上延伸的多个栅极(包括虚拟栅极)进行布局。即,通过采用图 1 所示的抽头单元 1 的布局结构,在逻辑单元 5a、5b 之间配置了抽头单元 1 的情况下,也能够确保栅极图案的形状规则性。

[0054] 图 2 是表示第 1 实施方式涉及的抽头单元的布局结构的其他例的图。在图 2 的布局结构中,在构成逆变器的逻辑单元 5a、5b 之间相邻地配置抽头单元 2。逻辑单元 5a、5b 的布局结构与图 1 同样。

[0055] 在图 2 中,抽头单元 2 具有在 N 型阱区域 NW 中形成的 2 个 N 型杂质扩散区域 21n、22n、和在 P 型阱区域 PW 中形成的 2 个 P 型杂质扩散区域 21p、22p。在 N 型阱区域 NW 中,从 N 型杂质扩散区域 21n、22n 经由接点及布线提供期望的阱电位。在 P 型阱区域 PW 中,从 P 型杂质扩散区域 21p、22p 经由接点及布线提供期望的阱电位。即,2 个 N 型杂质扩散区域 21n、22n 和 2 个 P 型杂质扩散区域 21p、22p 构成阱电位供给区域(TAP 区域)。

[0056] 并且,在抽头单元 2 与逻辑单元 5a、5b 之间分别配置虚拟栅极 23a、23b。再有,在从 N 型杂质扩散区域 21n、22n 之间至 P 型杂质扩散区域 21p、22p 之间配置虚拟栅极 23c。

[0057] 通过这样配置虚拟栅极,如图 2 所示那样,在横向以大致恒定的间距 P 对在纵向上延伸的多个栅极(包括虚拟栅极)进行布局。即,通过采用图 2 所示的抽头单元 2 的布局结构,在逻辑单元 5a、5b 之间配置了抽头单元 2 的情况下,也能够确保栅极图案的形状规则性。

[0058] 图 3 是采用图 1 及图 2 所示的抽头单元的半导体装置的布局结构的一例。在图 3 的布局中,纵向(第 1 方向)上延伸的多个栅极排列配置在横向(第 2 方向)上的单元列 A1、A2,排列配置在纵向上。在单元列 A1、A2 中,各自在栅极的下方形成横向延伸的 P 型阱区域 PW 及 N 型阱区域 NW。再者,在单元列 A2 中,P 型阱区域 PW 与 N 型阱区域 NW 被反转,因此单元列 A1、A2 的 N 型阱区域 NW 相邻。

[0059] 在图 3 的布局结构中,配置了由与图 1 所示的抽头单元 1 相同的结构构成的抽头单元 1A、1B、1C、1D、以及由与图 2 所示的抽头单元 2 相同的结构构成的抽头单元 2A、2B、2C、2D。

[0060] 在此,关注配置于单元列 A1 中的抽头单元 1A 的 N 型杂质扩散区域 14n。N 型杂质扩散区域 14n 起到向单元列 A1 的 N 型阱区域 NW 提供阱电位的阱电位供给区域的作用。并且,在作为第 1 阱电位供给区域的 N 型杂质扩散区域 14n 的横向两侧,分别配置作为第 1 及第 2 相邻栅极的虚拟栅极 15a、15b。在虚拟栅极 15a 的、N 型杂质扩散区域 14n 的相反侧,相邻地配置作为第 3 相邻栅极的栅电极 15c,在虚拟栅极 15b 的、N 型杂质扩散区域 14n 的相反侧,相邻地配置作为第 4 相邻栅极的栅电极 15d。

[0061] 并且,在横向上以同一间距 P 配置栅电极 15c、虚拟栅极 15a、15b、栅电极 15d。再有,作为第 1 相邻单元列的单元列 A2,具有分别在纵向上与单元列 A1 的栅电极 15c、虚拟栅极 15a、15b、栅电极 15d 对置(间隔 S)的、4 根栅极 15e、15f、15g、15h。即,对于所关注的 N 型杂质扩散区域 14n,在横向上以 2 根 2 根相邻的共计 4 根栅极的图案具有形状规则性。

[0062] 此外,关注配置于单元列 A2 中的抽头单元 2C 的 N 型杂质扩散区域 16n。N 型杂质扩散区域 16n 起到对单元列 A2 的 N 型阱区域 NW 提供阱电位的阱电位供给区域的作用。并

且,在作为第 1 阱电位供给区域的 N 型杂质扩散区域 16n 的横向两侧,分别配置作为第 1 及第 2 相邻栅极的虚拟栅极 17a、17b。在虚拟栅极 17a 的、N 型杂质扩散区域 16n 的相反侧,相邻地配置作为第 3 相邻栅极的栅电极 17c,在虚拟栅极 17b 的、N 型杂质扩散区域 16n 的相反侧,相邻地配置作为第 4 相邻栅极的虚拟栅极 17d。再有,在虚拟栅极 17b 与虚拟栅极 17d 之间,形成作为第 2 阱电位供给区域的 N 型杂质扩散区域 18n。

[0063] 并且,在横向以同一间距 P 配置栅电极 17c、虚拟栅极 17a、17b、17d。再有,作为第 1 相邻单元列的单元列 A1 具有分别在纵向上与单元列 A2 的栅电极 17c、虚拟栅极 17a、17b、17d 对置的 4 根栅极 17e、17f、17g、17h。即,对于所关注的 N 型杂质扩散区域 16n,在横向上以 2 根 2 根相邻的共计 4 根栅极的图案具有形状规则性。

[0064] 由于通过这种布局,即便在配置了阱电位供给区域时,也能够维持其周边的栅极图案的形状规则性,因此能够避免随着栅极图案不同而不同的光学邻近效应的影响。因此,能够可靠地抑制栅极长度的偏差,同时能够抑制因设置阱电位供给区域而导致布局面积增大的情况。

[0065] 再者,在此关注对 N 型阱区域提供阱电位的 N 型杂质扩散区域进行了说明,但对于向 P 型阱区域提供阱电位的 P 型杂质扩散区域,也能够实现同样的结构,获得同样的作用效果。

[0066] 在此,“以同一间距 P 配置栅极”并不是意味着间距完全相同,认为只要以大致相同的间距进行配置即可,允许某种程度的变动。例如,允许间距 P 的一半 ($= P/2$) 左右的波动。或者,假定允许直至栅极宽度 L_g 为止的变动。

[0067] 此外,优选以大致相同的间隔来配置与阱电位供给区域相邻的 4 根栅极、以及与这些栅极对置的 4 根栅极。再者,也可以如抽头单元 2C 中的虚拟栅极 17a、17b、17d 那样,与对置的栅极一体式连接。

[0068] 此外,阱电位供给区域也可以与相邻的单元列中的同一导电型的阱电位供给区域一体形成。例如,如单点划线所示,抽头单元 2C 中的 N 型杂质扩散区域 16n 可以与单元列 A1 的抽头单元 2A 中的作为第 3 阱电位供给区域的 N 型杂质扩散区域 19n 一体形成。通过这样形成,用于形成阱电位供给区域的杂质注入变得更为容易。

[0069] 再者,在图 1 ~ 图 3 的结构中,优选除了以同一间距 P 配置栅极以外,各栅极的横向宽度相同。

[0070] 此外,在图 1 ~ 图 3 中,图示了阱电位供给区域的纵向尺寸与相邻的晶体管的栅极宽度(扩散区域的宽度)相同,但是并不限于此,也可以不同于晶体管的栅极宽度。

[0071] 此外,在图 1 ~ 图 3 中,各栅极跨越 N 型阱区域 NW 和 P 型阱区域 PW 之间的边界而延伸,但也可以在该边界分割开来进行配置。再有,考虑到近接效应的影响,也可以在 N 型阱区域 NW 内、或者 P 型阱区域 PW 内将栅极分割开来进行配置。

[0072] 此外,阱电位供给区域只要被配置成夹在栅极彼此间即可,在纵向及横向上其尺寸并没有特别限制。

[0073] 图 4(a) 是与图 1 相同的俯视图,图 4(b)、(c) 是表示图 4(a) 的线 X-X' 处的剖面结构的图,图 4(d) 是表示图 4(a) 的线 Y-Y' 处的剖面结构的图。在采用图 1 所示的抽头单元结构时,由于阱电位供给区域 11n、11p 的横向宽度微小,因此杂质的注入有可能并不顺利。即,如图 4(b) 所示,理想的是优选在被虚拟栅极夹着的阱电位供给区域中注入与阱区

域同一导电型（图中为 N 型）的杂质。但是，在实际制造过程中，如图 4(c)、(d) 所示，在相邻的扩散区域中注入的其他导电型（图中是 P 型）的杂质会被注入至阱电位供给区域，因此有可能在虚拟栅极之间无法顺利地形成阱电位供给区域。

[0074] 图 5(a) 是与图 2 相同的俯视图，图 5(b) 是表示图 5(a) 的线 X-X' 处的剖面结构的图。在采用图 2 所示的抽头单元结构时，如图 5(b) 所示，即便在相邻的扩散区域中注入的其他导电型（图中是 P 型）的杂质被注入至阱电位供给区域的情况下，在虚拟栅极之间也会形成与阱区域同一导电型（图中是 N 型）的阱电位供给区域。

[0075] （第 2 实施方式）

[0076] 图 6 是表示第 2 实施方式涉及的抽头单元的布局结构的例子。在图 6 的布局结构中，在构成逆变器的逻辑单元 5a、5b 之间相邻地配置抽头单元 3。逻辑单元 5a、5b 的布局结构与图 1 相同。

[0077] 在图 6 中，抽头单元 3 具有在 N 型阱区域 NW 中形成的 N 型杂质扩散区域 31n、和在 P 型阱区域 PW 中形成的 P 型杂质扩散区域 31p。在 N 型阱区域 NW 中，从 N 型杂质扩散区域 31n 经由接点及布线提供期望的阱电位。在 P 型阱区域 PW 中，从 P 型杂质扩散区域 31p 经由接点及布线提供期望的阱电位。即，N 型杂质扩散区域 31n 和 P 型杂质扩散区域 31p 构成阱电位供给区域（TAP 区域）。

[0078] 并且，在抽头单元 3 与逻辑单元 5a、5b 之间分别配置虚拟栅极 32a、32b。再者，在 N 型杂质扩散区域 31n 及 P 型杂质扩散区域 31p 上配置虚拟栅极 32c。即，N 型杂质扩散区域 31n 及 P 型杂质扩散区域 31p 成为所谓的晶体管型的阱电位供给区域。

[0079] 通过这样配置虚拟栅极，如图 6 所示，在横向上以大致恒定的间距 P 对纵向延伸的多个栅极（包括虚拟栅极）进行布局。即，通过采用图 6 所示的抽头单元 3 的布局结构，即便在逻辑单元 5a、5b 之间配置了抽头单元 3 的情况下，也能够确保栅极图案的形状规则性。

[0080] 图 7 是采用了图 6 所示的晶体管型的阱电位供给区域的半导体装置的布局结构的一例。在图 7 的布局中，在纵向（第 1 方向）延伸的多个栅极排列配置于横向（第 2 方向）上的单元列 B1、B2、B3，被排列配置在纵向上。在单元列 B1、B2、B3 中，分别在横向延伸的 P 型阱区域 PW 及 N 型阱区域 NW 形成在栅极的下方。再者，在单元列 B2 中，P 型阱区域 PW 与 N 型阱区域 NW 反转，因此单元列 B1、B2 的 N 型阱区域 NW 相邻，单元列 B2、B3 的 P 型阱区域 PW 相邻。

[0081] 在图 7 的布局结构中，作为晶体管型的第 1 阱电位供给区域，设置了 P 型杂质扩散区域 33p、34p、和 N 型杂质扩散区域 33n。P 型杂质扩散区域 33p 对单元列 B1 的 P 型阱区域 PW 进行供电，N 型杂质扩散区域 33n 对单元列 B1 的 N 型阱区域 NW 进行供电，P 型杂质扩散区域 34p 对单元列 B2 的 P 型阱区域 PW 进行供电。并且，在 P 型杂质扩散区域 33p 上配置了作为第 1 栅极的虚拟栅极 34a，在 N 型杂质扩散区域 33n 上配置了作为第 1 栅极的虚拟栅极 34b，在 P 型杂质扩散区域 34p 上配置了作为第 1 栅极的虚拟栅极 34c。

[0082] 由于通过这种布局，即便在配置了阱电位供给区域的情况下，也能够维持其周边的栅极图案的形状规则性，因此能够避免随着栅极图案不同而不同的光学邻近效应的影响。因此，能够可靠地抑制栅极长度的偏差，同时能够抑制因用于控制阱电位、防止闩锁的阱电位供给区域的设置而引起的面积增大。

[0083] 再者，在晶体管型的阱电位供给区域上配置的栅极也可以是起到活性晶体管的栅

极的作用的栅电极。在图 7 的布局中,在作为对单元列 B3 的 P 型阱区域 PW 进行供电的第 1 阱电位供给区域的 P 型杂质扩散区域 35p 上,配置了从其下方的活性晶体管 TN1 开始延伸的作为第 1 栅极的栅电极 36。

[0084] < 布局结构的其他例 >

[0085] (例 1)

[0086] 图 8 是半导体装置的布局结构的其他例。在图 8 的布局中,与图 7 同样,纵向延伸的多个栅极被排列配置于横向上的单元列 C1、C2、C3,被排列配置在纵向上。在单元列 C1、C2、C3 中,各自的横向延伸的 P 型阱区域 PW 及 N 型阱区域 NW 形成在栅极的下方。再者,在单元列 C2 中,P 型阱区域 PW 和 N 型阱区域 NW 反转,因此单元列 C1、C2 的 N 型阱区域 NW 相邻,单元列 C2、C3 的 P 型阱区域 PW 相邻。

[0087] 图 8 的布局结构的特征之一是 P 型杂质扩散区域 41p 和 N 型杂质扩散区域 41n。P 型杂质扩散区域 41p 对单元列 C1 的 P 型阱区域 PW 进行供电, N 型杂质扩散区域 41n 对单元列 C1 的 N 型阱区域 NW 进行供电。并且,P 型杂质扩散区域 41p 和 N 型杂质扩散区域 41n 都被配置成与两侧的虚拟栅极 42a、42b 的下方重叠。通过允许这种的配置,可以扩大杂质扩散区域的横向宽度,因此可获得在制造过程中容易进行杂质注入的效果。

[0088] 此外,对单元列 C3 的 P 型阱区域 PW 进行供电的 P 型杂质扩散区域 43p,被配置成与一侧的虚拟栅极 44a 的下方重叠。同样,对单元列 C3 的 N 型阱区域 NW 进行供电的 N 型杂质扩散区域 43n,被配置成与一侧的虚拟栅极 44b 的下方重叠。通过这种配置,也能够扩大杂质扩散区域的横向宽度。

[0089] (例 2)

[0090] 图 9 是半导体装置的布局结构的其他例。在图 9 的布局中,与图 7 同样,纵向延伸的多个栅极排列配置在横向上的单元列 D1、D2、D3,被排列配置在纵向上。在单元列 D1、D2、D3 中,各自的横向延伸的 P 型阱区域 PW 及 N 型阱区域 NW 形成在栅极的下方。再者,在单元列 D2 中, P 型阱区域 PW 与 N 型阱区域 NW 反转,因此单元列 D1、D2 的 N 型阱区域 NW 相邻,单元列 D2、D3 的 P 型阱区域 PW 相邻。

[0091] 图 9 的布局结构的特征之一在于,在晶体管型的阱电位供给区域中,夹着虚拟栅极的扩散区域的一方被注入导电型不同于阱区域的杂质。例如,在单元列 D1 的 N 型阱区域 NW 中,夹着虚拟栅极 46 而配置了 N 型杂质扩散区域 45n 和 P 型杂质扩散区域 45p。此外,在单元列 D2 的 P 型阱区域 PW 中,夹着虚拟栅极 48 配置了 P 型杂质扩散区域 47p 和 N 型杂质扩散区域 47n。

[0092] 例如,通过配置 P 型杂质扩散区域 45p,可针对成为在其右侧配置的 PMOS 晶体管的源极或者漏极的 P 型杂质扩散区域,按照动作上不出现问题的方式可靠地注入杂质。即,在晶体管型的阱电位供给区域中,使夹着虚拟栅极的扩散区域的一方成为导电型不同于阱区域的杂质扩散区域,从而能够可靠地形成与其相邻的晶体管的扩散区域。

[0093] (例 3)

[0094] 在此前的说明中,主要例示了在阱电位供给区域的两侧配置的相邻栅极是虚拟栅极的例子。不过,在本实施方式中,在阱电位供给区域的两侧配置的相邻栅极也可以是起到活性晶体管的栅电极的作用的栅极。

[0095] 图 10 及图 11 是半导体装置的布局结构的其他例。在图 10 的布局中,纵向延伸的

多个栅极排列配置在横向的单元列 E1、E2，被排列配置在纵向上。在单元列 E1、E2 中，各自的横向延伸的 P 型阱区域 PW 及 N 型阱区域 NW 形成在栅极的下方。再者，在单元列 E2 中，P 型阱区域 PW 与 N 型阱区域 NW 反转，因此单元列 E1、E2 的 N 型阱区域 NW 相邻。图 11 的布局也同样地配置了单元列 F1、F2。

[0096] 例如，在图 10 中，起到活性晶体管的栅极的作用的作为第 1 及第 2 相邻栅极的栅电极 52a、52b，与成为第 1 阱电位供给区域的 P 型杂质扩散区域 51p 相邻。此外，在图 11 中，起到活性晶体管的栅极的作用的作为第 1 相邻栅极的栅电极 54a 和作为第 2 相邻栅极的虚拟栅极 54b，与成为第 1 阱电位供给区域的 N 型杂质扩散区域 53n 相邻。

[0097] 再者，在上述的半导体装置的布局中，也可以在单元列彼此之间设置横向延伸的、导电型与阱区域相同的杂质扩散区域。例如，在图 7 的布局中，可以在单元列 B1、B2 之间设置横向延伸的 N 型杂质扩散区域，在单元列 B2、B3 之间设置横向延伸的 P 型杂质扩散区域。例如，通过将设置于单元列之间的杂质扩散区域用于对阱区域进行供电，能够使得阱区域的电位更加稳定。

[0098] 或者，在上述的半导体装置的布局中，可以在单元列彼此之间设置横向延伸的、导电型不同于阱区域的杂质扩散区域。例如，在图 7 的布局中，在单元列 B1、B2 之间设置横向延伸的 P 型杂质扩散区域，在单元列 B2、B3 之间设置横向延伸的 N 型杂质扩散区域。例如，通过将设置于单元列之间的杂质扩散区域用于电源电位或者基板电位的供给，能够使得晶体管的源极电位更加稳定。

[0099] （产业上的可利用性）

[0100] 在本发明中，能够实现一种具有阱电位供给区域的半导体装置，其能可靠地抑制由光学邻近效应引起的栅极长度的偏差，并且不会使布局面积增大，因此例如在半导体芯片的成品率提高或小型化等方面是有效的。

[0101] 符号说明

[0102] 1、2、3 抽头单元

[0103] 1A、1B、1C、1D、2A、2B、2C、2D 抽头单元

[0104] 11n、11p、21n、21p、22n、22p 阱电位供给区域

[0105] 12a、12b、23a、23b、23c 虚拟栅极

[0106] 14n 阱电位供给区域（第 1 阱电位供给区域）

[0107] 15a、15b 虚拟栅极（第 1 及第 2 相邻栅极）

[0108] 15c、15d 栅电极（第 3 及第 4 相邻栅极）

[0109] 15e、15f、15g、15h 4 根栅极

[0110] 16n 阱电位供给区域（第 1 阱电位供给区域）

[0111] 17a、17b 虚拟栅极（第 1 及第 2 相邻栅极）

[0112] 17c 栅电极（第 3 相邻栅极）

[0113] 17d 虚拟栅极（第 4 相邻栅极）

[0114] 17e、17f、17g、17h 4 根栅极

[0115] 18n 阱电位供给区域（第 2 阱电位供给区域）

[0116] 19n 阱电位供给区域（第 3 阱电位供给区域）

[0117] 31n、31p 阱电位供给区域（第 1 阱电位供给区域）

- [0118] 32a、32b 虚拟栅极
- [0119] 32c 虚拟栅极（第 1 栅极）
- [0120] 33p、33n、34p、35p 阱电位供给区域（第 1 阱电位供给区域）
- [0121] 34a、34b、34c 虚拟栅极（第 1 栅极）
- [0122] 36 栅电极（第 1 栅极）
- [0123] 51p 阱电位供给区域（第 1 阱电位供给区域）
- [0124] 52a、52b 栅电极（第 1 及第 2 相邻栅极）
- [0125] 53n 阱电位供给区域（第 1 阱电位供给区域）
- [0126] 54a 栅电极（第 1 相邻栅极）
- [0127] 54b 虚拟栅极（第 2 相邻栅极）
- [0128] NW N 型阱区域
- [0129] PW P 型阱区域
- [0130] TN1 活性晶体管

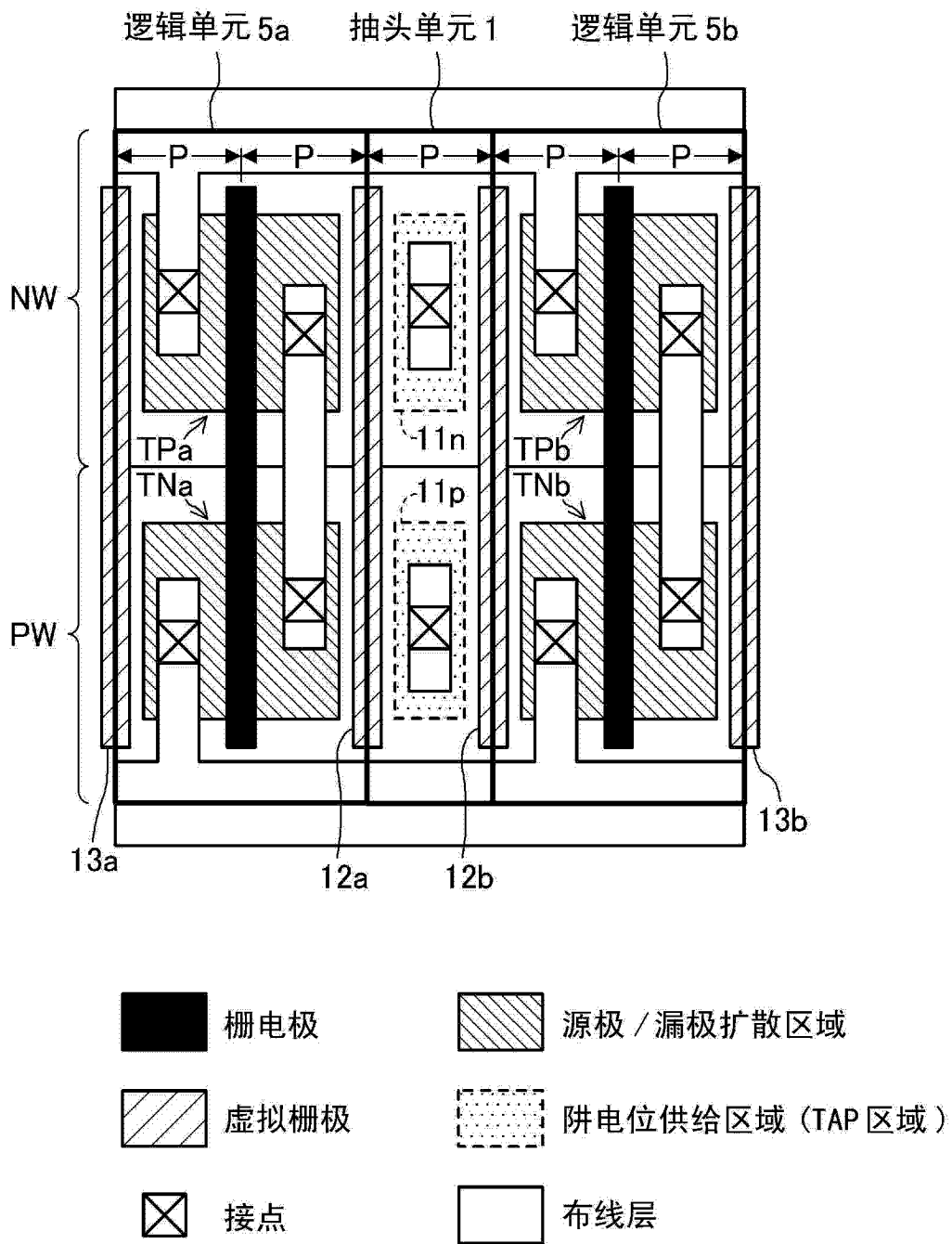


图 1

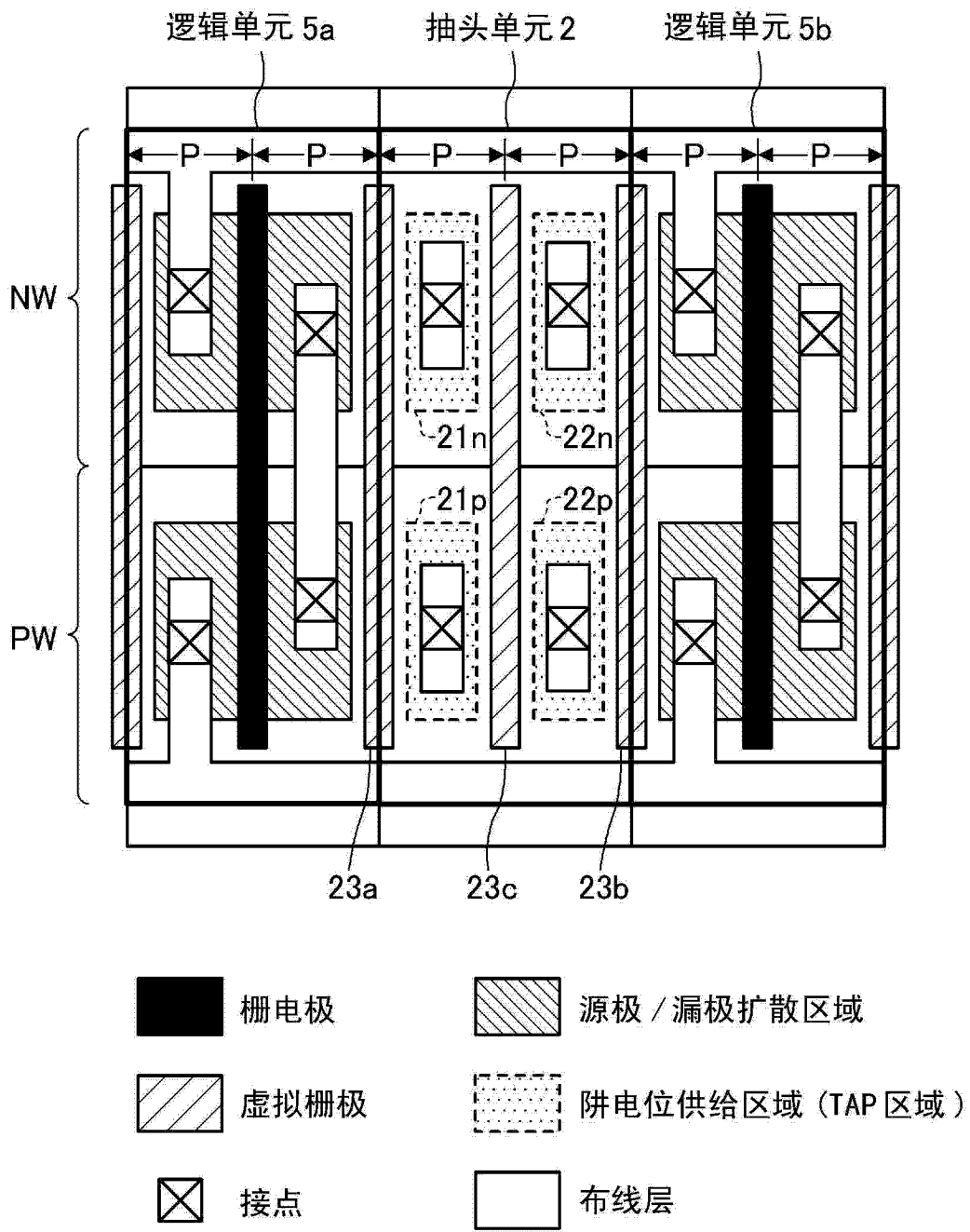


图 2

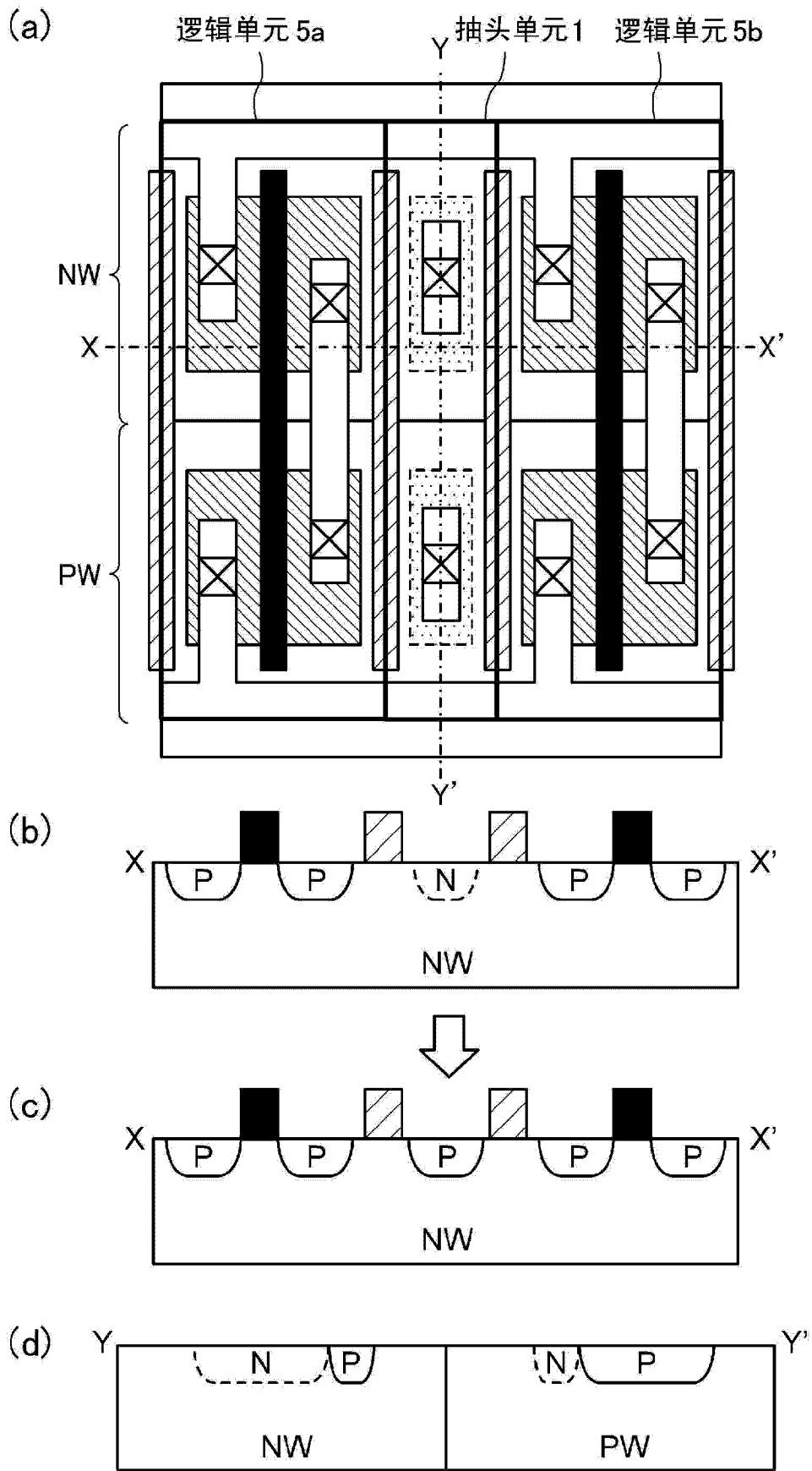


图 4

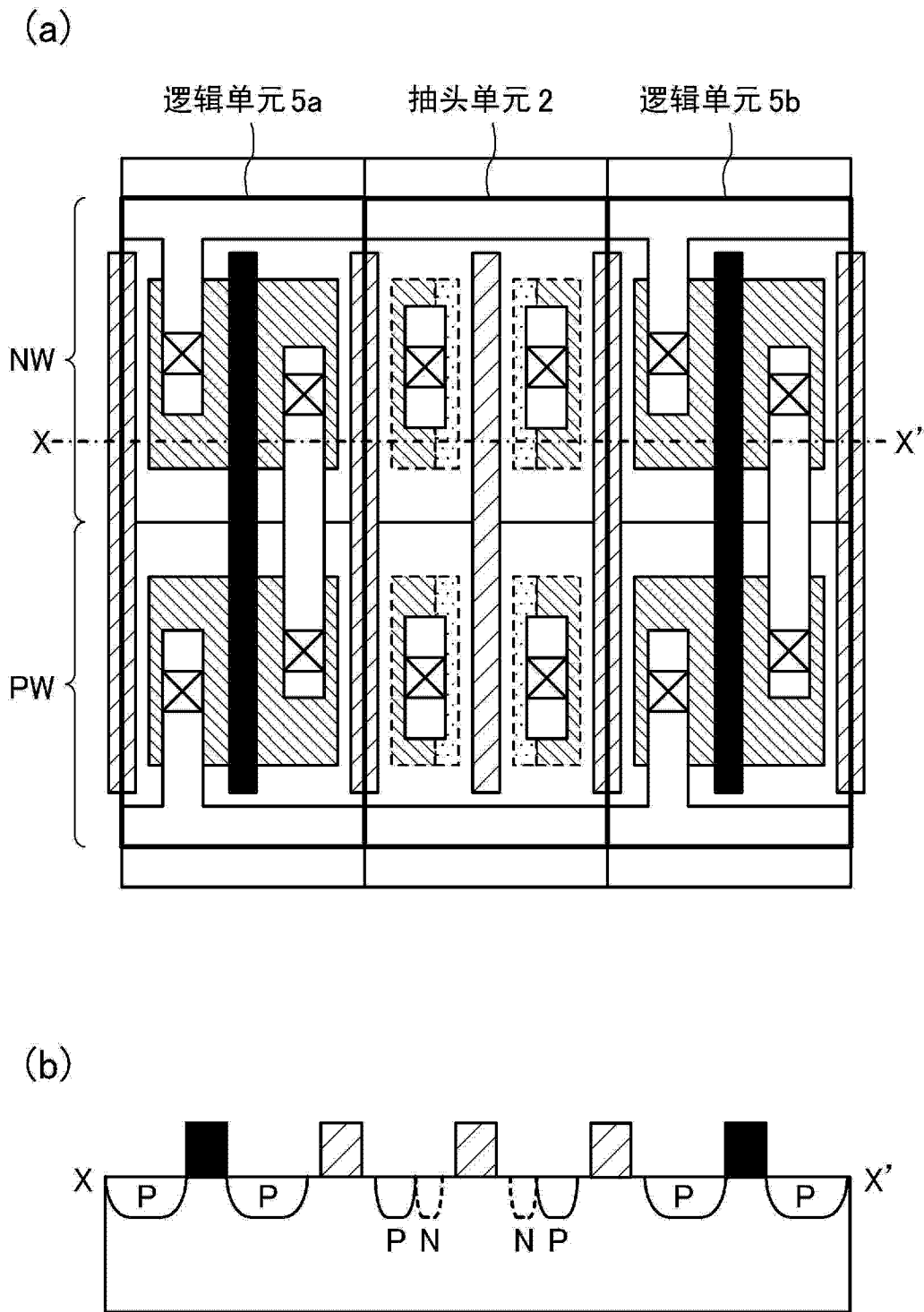


图 5

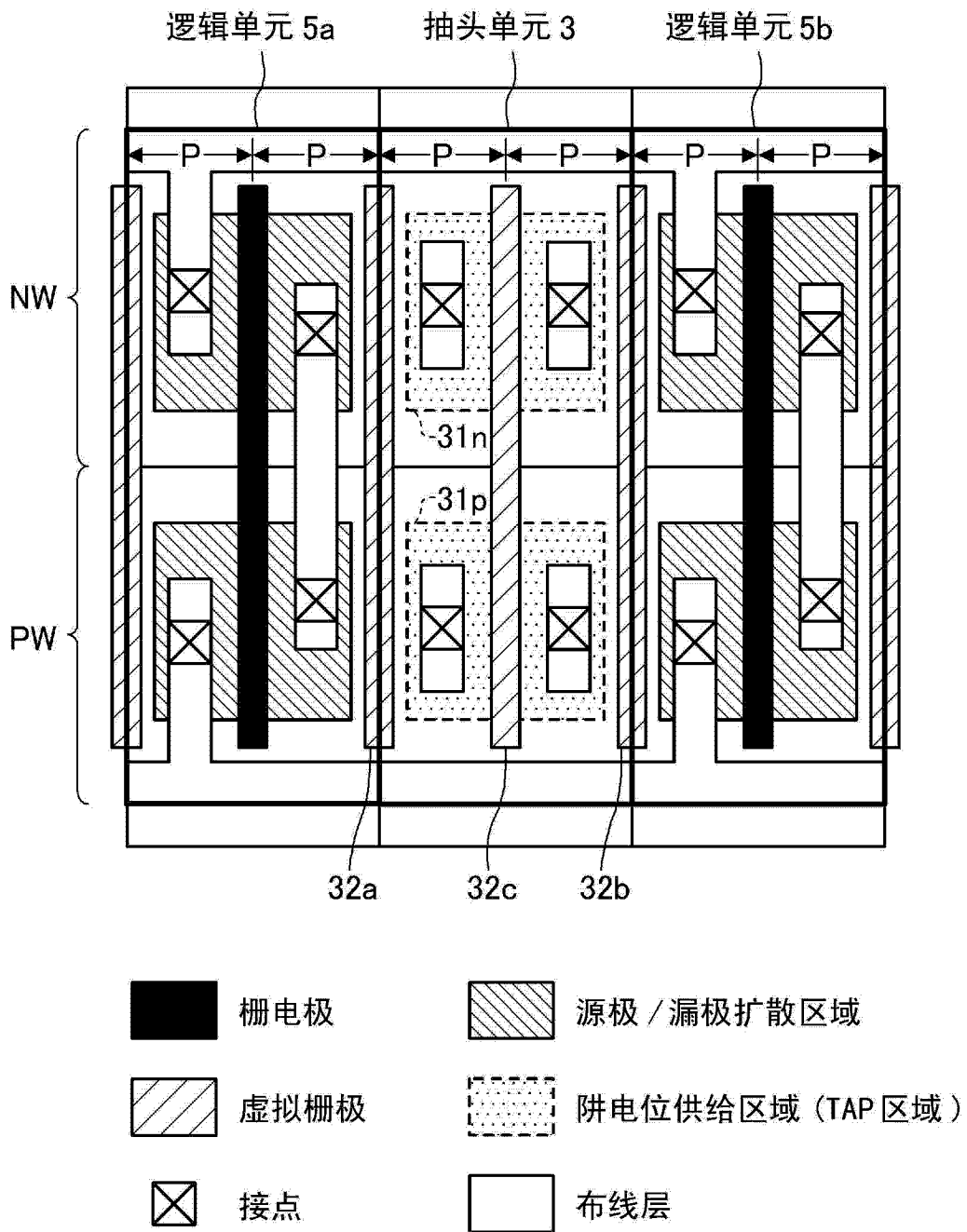


图 6

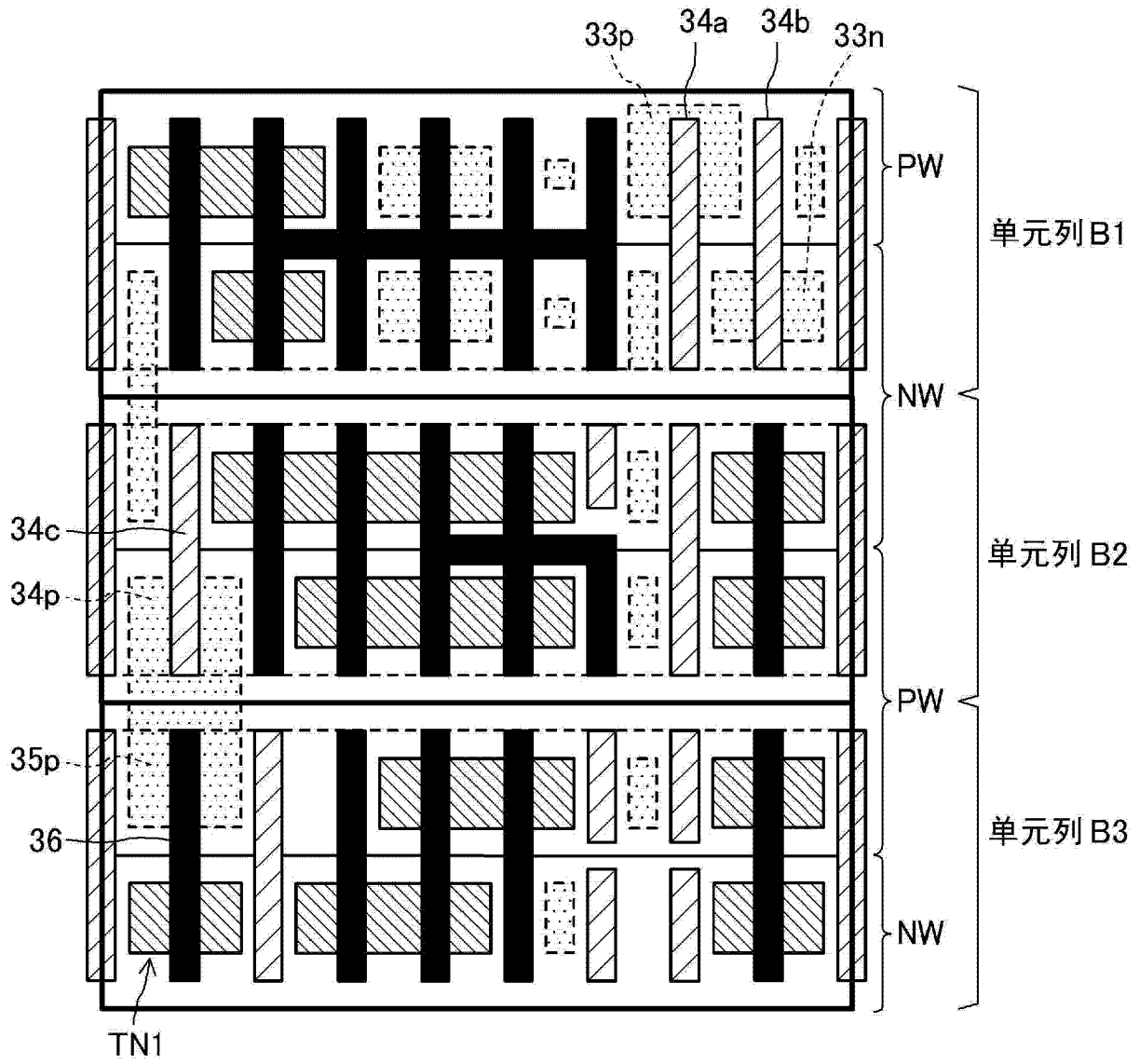


图 7

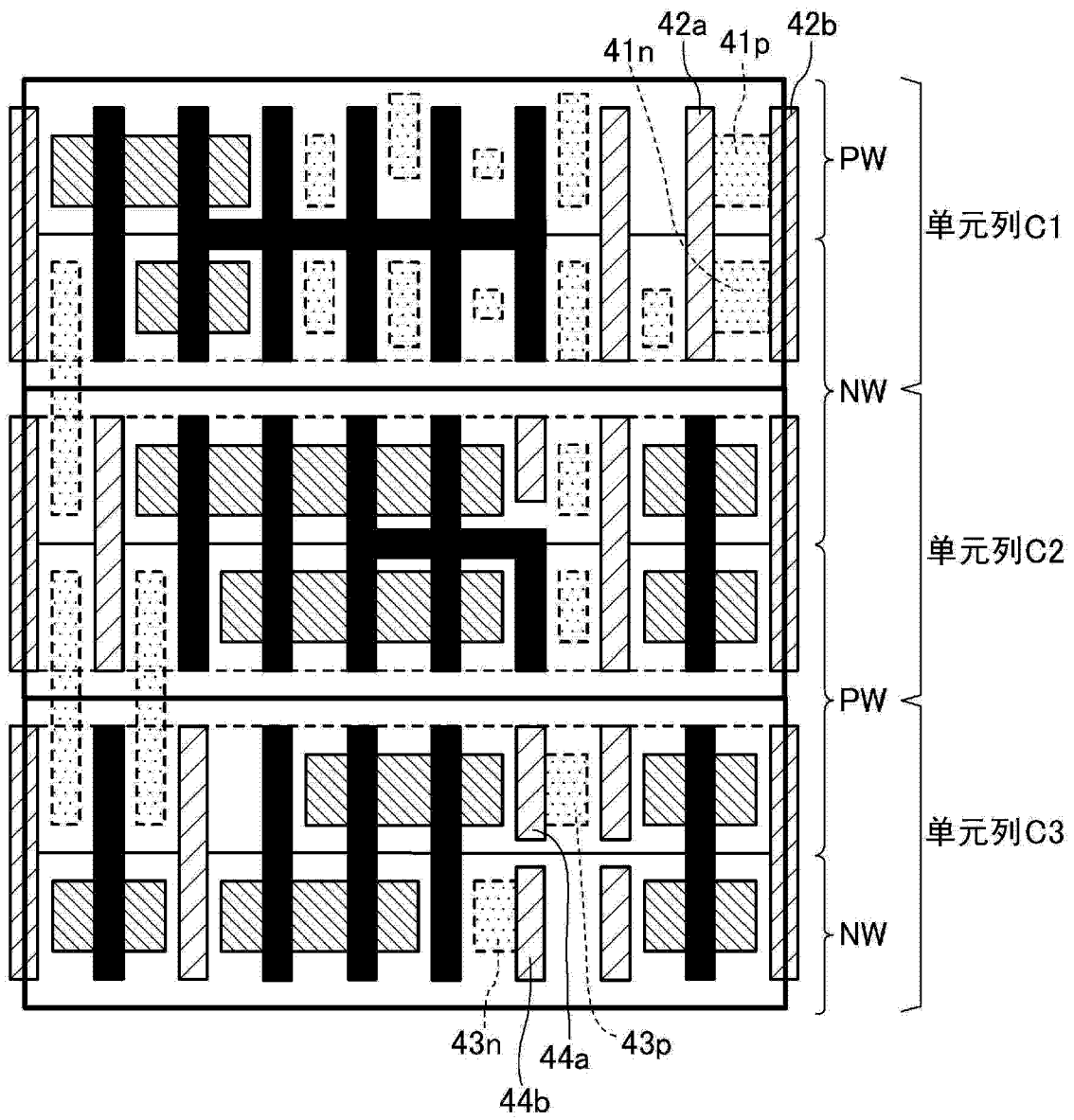


图 8

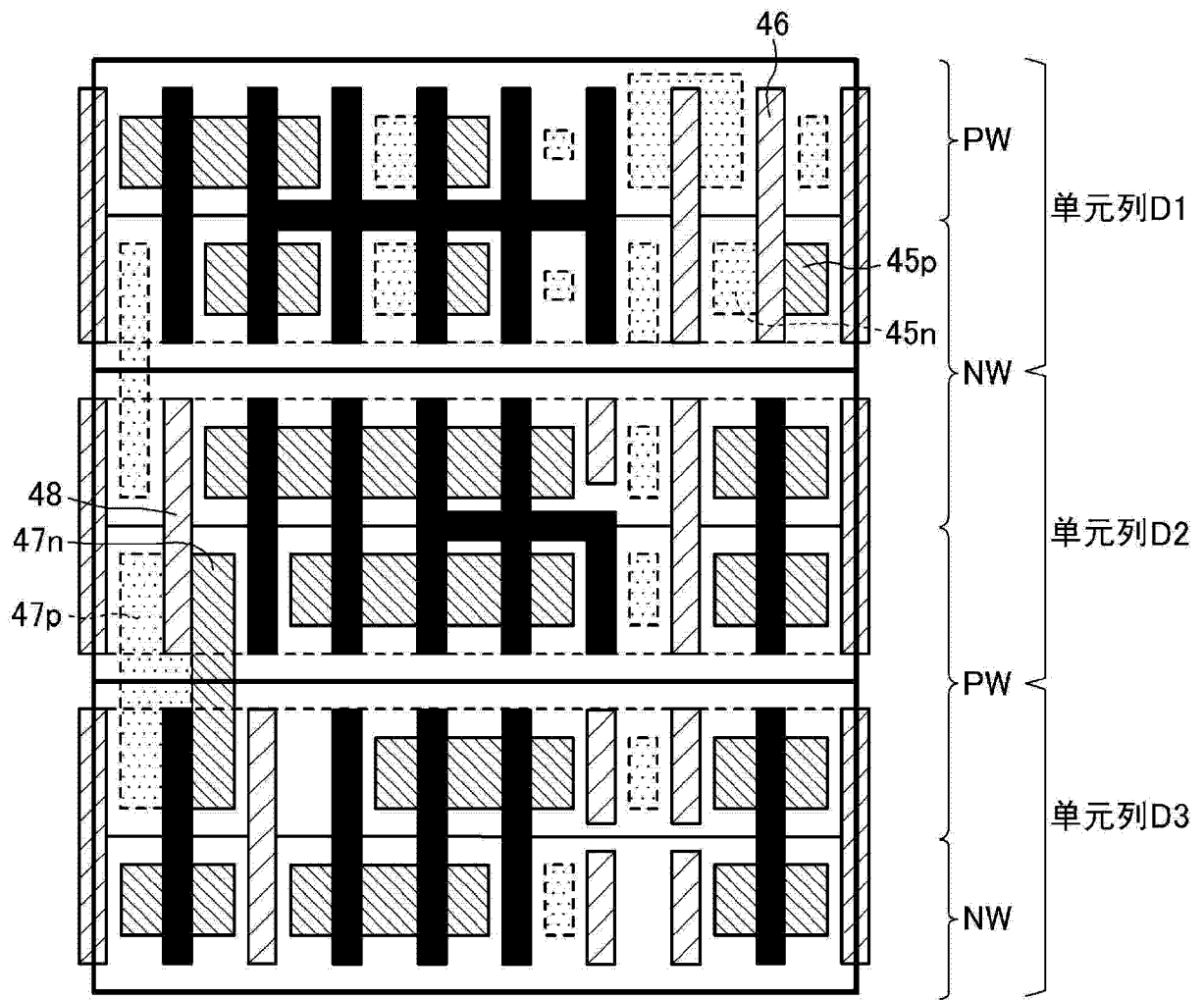


图 9

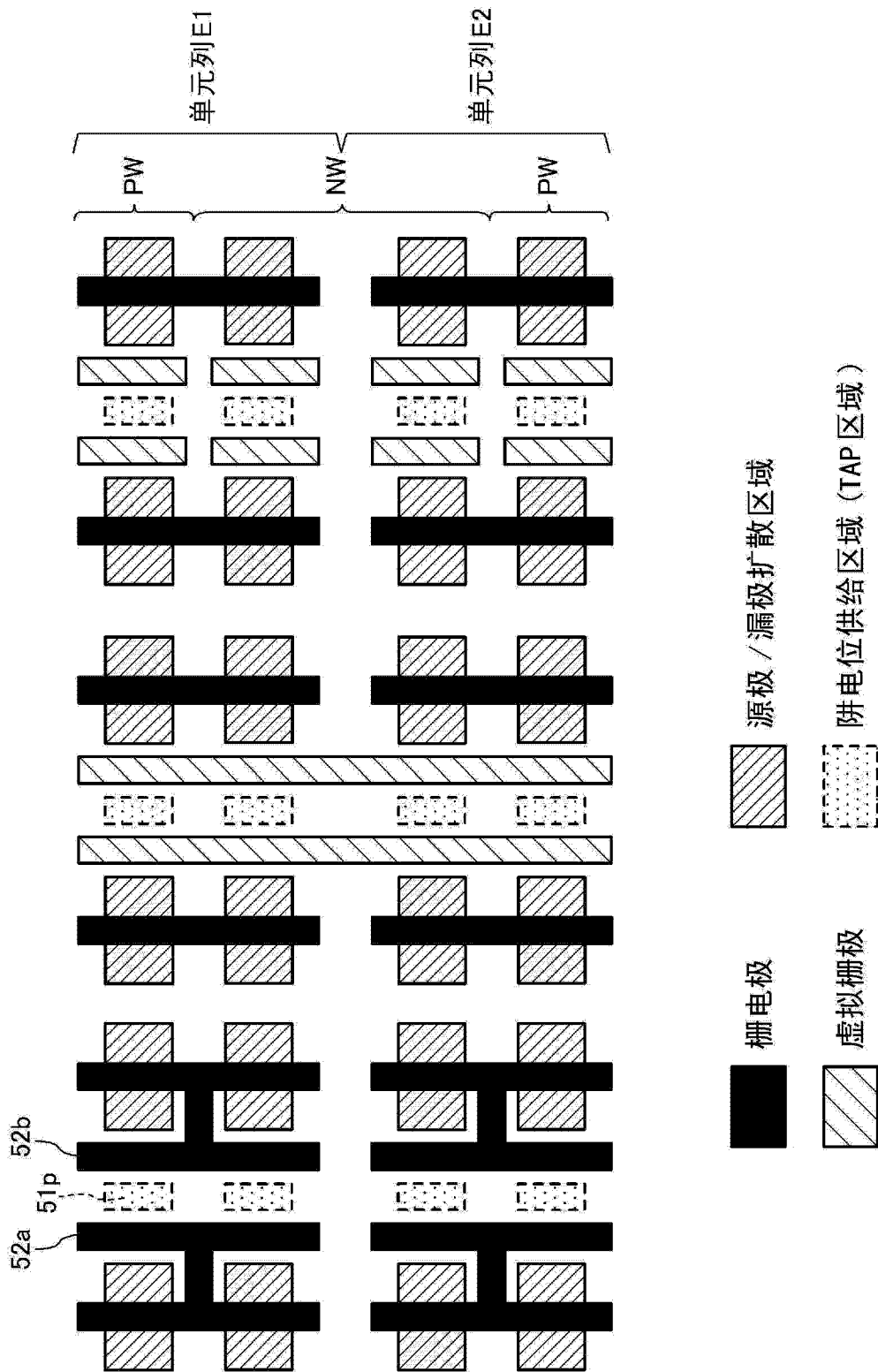


图 10

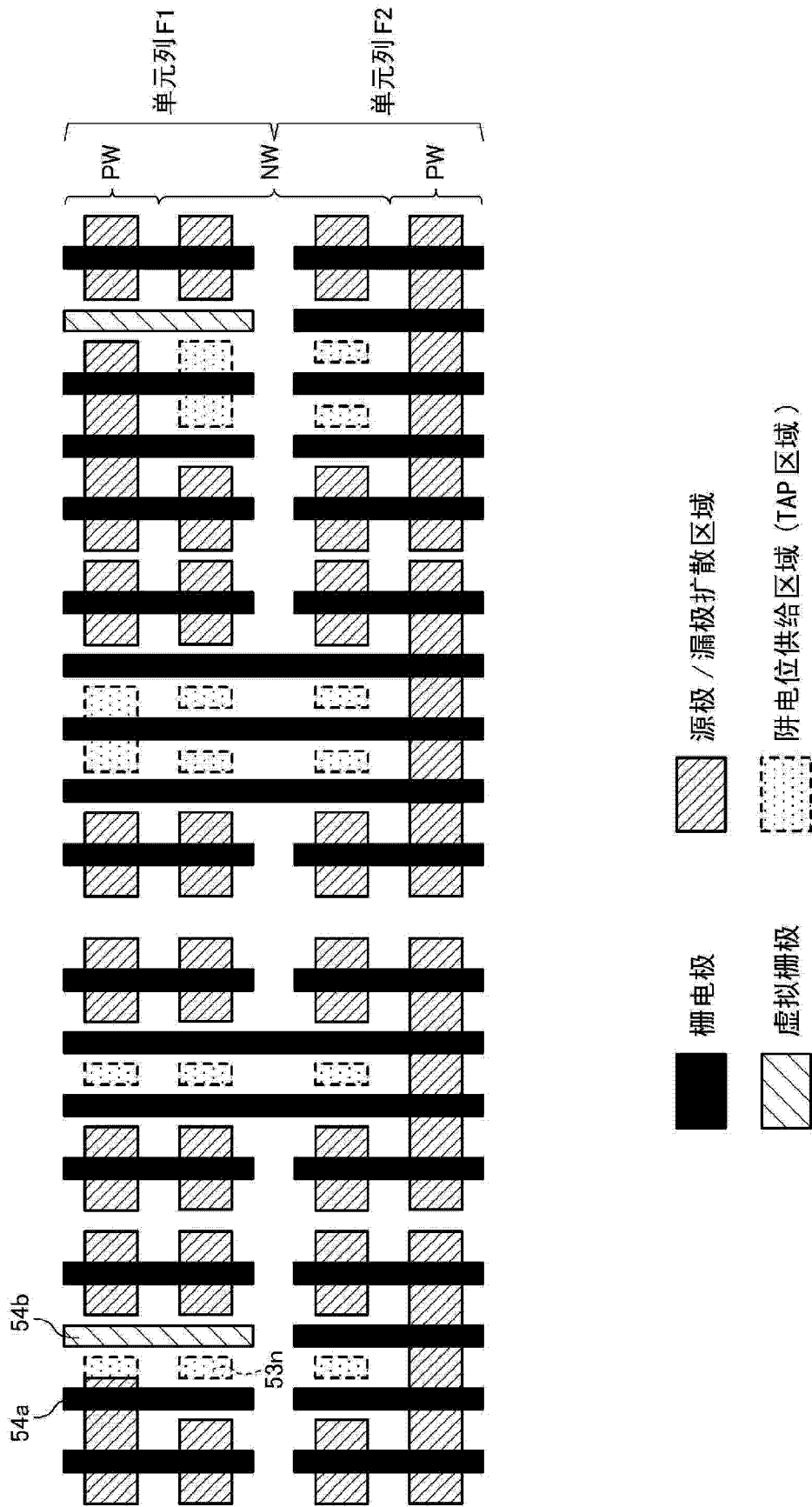


图 11

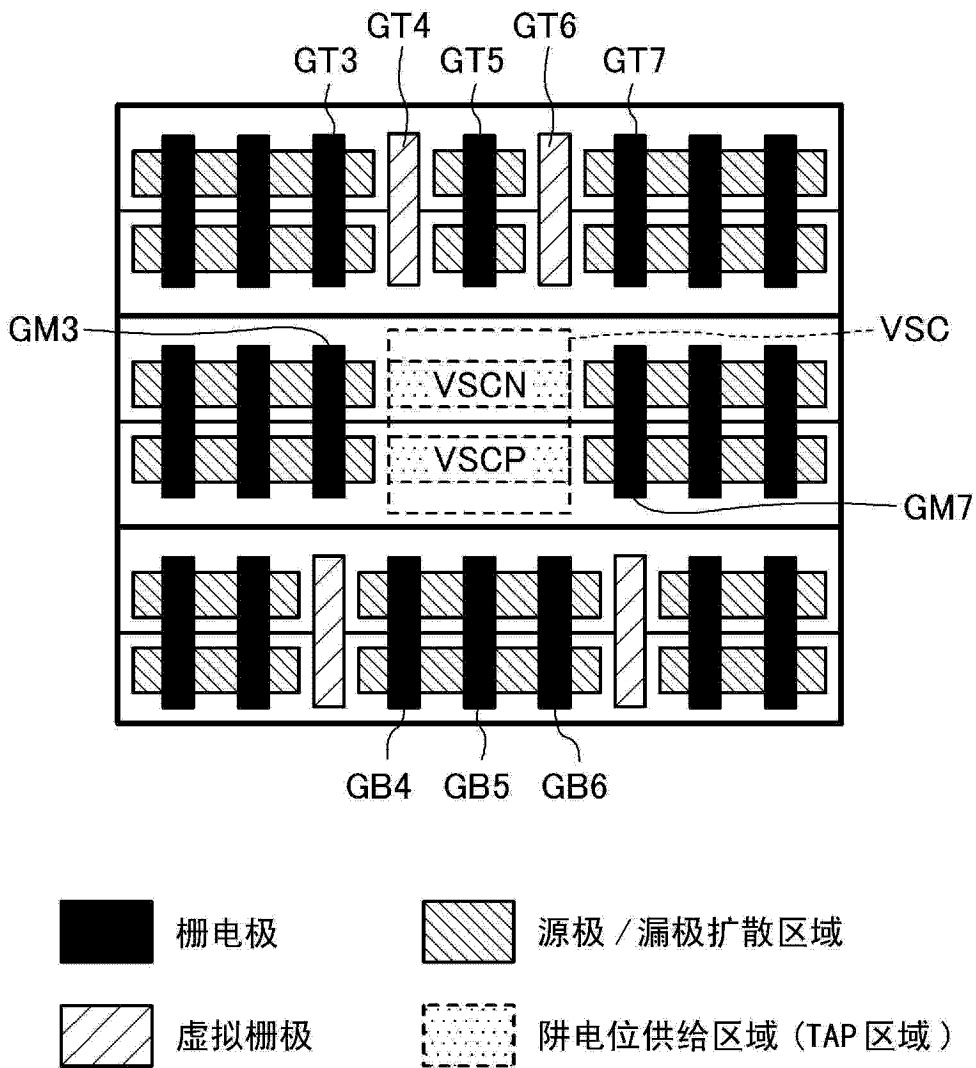


图 12