

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H01L 21/336 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년03월29일 10-0565754 2006년03월22일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자	10-2004-0114792 2004년12월29일	(65) 공개번호 (43) 공개일자
------------------------	--------------------------------	------------------------

(73) 특허권자	동부아남반도체 주식회사 서울 강남구 대치동 891-10	
(72) 발명자	강진모 서울 강남구 대치4동 891-10 동부금융센터 31층 동부아남반도체 이대근 경기 이천시 부발읍 아미리 현대7차아파트 704동 1001호	
(74) 대리인	강용복 김용인	
(56) 선행기술조사문헌	JP10335482 A	JP11087531 A
	KR1020000000919 A	
	* 심사관에 의하여 인용된 문헌	

심사관 : 정회환

(54) 반도체 소자의 형성방법

요약

본 발명은 n형 웰영역 및 p형 웰영역을 형성하기 위한 이온주입 공정시 차후 채널층이 형성될 부분도 동시에 차광함으로써 채널층이 데미지를 받는 것을 완전방지하여 트랜지스터의 특성을 향상시키고자 하는 반도체 소자의 형성방법에 관한 것으로서, pMOS 영역 및 nMOS 영역으로 구분되는 반도체 기판 내에 소자분리막을 형성하는 단계와, 상기 pMOS의 채널층 및 nMOS가 형성될 영역을 차광하는 제 1, 제 2 마스크를 형성한 후 이온주입하여 n형 웰을 형성하는 단계와, 상기 nMOS의 채널층 및 pMOS가 형성될 영역을 차광하는 제 3, 제 4 마스크를 형성한 후 이온주입하여 p형 웰을 형성하는 단계와, 상기 반도체 기판 상에 게이트 산화막 및 게이트를 형성하는 단계와, 상기 게이트를 마스크로 하여 저농도 불순물을 이온주입하여 LDD영역을 형성하는 단계와, 상기 게이트 양측벽에 측벽스페이서를 형성하는 단계와, 상기 측벽스페이서를 마스크로 하여 고농도 불순물을 이온주입하여 소스/드레인 영역을 형성하는 단계를 포함하여 이루어지는 것을 특징으로 한다.

대표도

도 2a

색인어

트랜지스터, 채널층 데미지, CMOS

명세서

도면의 간단한 설명

도 1a 내지 도 1d는 종래 기술에 따른 반도체 소자의 형성방법을 설명하기 위한 공정단면도.

도 2a 내지 도 2d는 본 발명에 따른 반도체 소자의 형성방법을 설명하기 위한 공정단면도.

*도면의 주요 부분에 대한 부호설명

111 : 반도체 기판 112 : 소자분리막

113 : n형 웰 115 : p형 웰

117 : 게이트 산화막 118 : 게이트

119 : 게이트 질화막 121 : LDD 영역

122 : 측벽스페이서 123 : p형 소스/드레인 영역

124 : n형 소스/드레인 영역 130 : 제 1 마스크

131 : 제 2 마스크

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 제조방법에 관한 것으로, 특히 이온주입에 의해 채널층이 데미지를 받는 것을 완전방지하여 트랜지스터의 특성을 향상시키고자 하는 반도체 소자의 형성방법에 관한 것이다.

현재 반도체 소자는 미세화, 대용량화 및 고집적화를 위해서 반도체 소자의 트랜지스터, 비트라인 및 커패시터 등을 형성한 다음, 각각의 소자를 전기적으로 연결할 수 있는 금속 배선 등과 같은 다층 배선을 형성하기 위한 후속 공정을 필수적으로 요구하고 있다.

이 때, 반도체 소자의 트랜지스터는 쇼트-채널 효과를 방지하기 위해 짧은 채널 길이를 가지는 MOS 트랜지스터로 구성되는 바, 일반적으로 소스/드레인 영역이 LDD(Lightly Doped Drain) 영역과 HDD(Heavily Doped Drain) 영역을 가지도록 제조되며, CMOS 소자는 하나의 반도체 기판 상에 pMOS 트랜지스터와 nMOS 트랜지스터를 동시에 구비하는 소자를 말한다.

LDD 영역은 HDD 영역보다 더 낮은 도펀트 농도와 더 낮은 깊이를 가진다. 하지만, LDD 영역은 게이트 전극에 더 인접할 수 있고, MOS 트랜지스터의 채널 길이를 설정한다. 이와는 대조적으로, HDD 영역은 더 낮은 접속저항을 가진다.

이와같이, LDD 영역과 HDD 영역을 가진 MOS 트랜지스터를 제조하기 위해서는, 게이트 유전체와 게이트 전극이 기판 상에 먼저 형성하고, 상기 게이트 전극을 마스크로 하여 이온주입하여 LDD 영역을 형성한 후, 게이트 전극 측벽에 스페이서를 형성하고 이온주입하여 HDD 영역을 형성한다.

이후, 상기 게이트를 포함한 전면에 층간절연막을 형성하고, 상기 층간절연막을 관통하여 HDD영역에 콘택되는 소스/드레인 전극을 형성하면 반도체 소자의 트랜지스터가 완성되고, 이후 배선 공정 등을 통해 로직 공정이 완료된다.

이하, 첨부된 도면을 참조하여 종래 기술에 의한 반도체 소자의 형성방법을 상세히 설명하면 다음과 같다.

도 1a 내지 도 1d는 종래 기술에 따른 반도체 소자의 형성방법을 설명하기 위한 공정단면도이다.

먼저, 도 1a에 도시된 바와 같이, 반도체 기판(11)에 각각의 소자를 격리시키는 소자분리막(STI, Shallow Trench Isolation)(12) 영역을 형성하고, 반도체 기판(11) 상에 포토레지스트를 도포하고 노광 및 현상으로 패터닝하여 pMOS 영역을 오픈시키는 제 1 마스크(30)를 형성한 후, pMOS 영역에 n형 불순물인 인(P, Phosphorous)을 이온주입하여 n형 웰(13) 및 n형 필드스톱층(14)을 순차적으로 형성한다.

그리고, 상기 제 1 마스크(30)를 제거한 후, 도 1b에 도시된 바와 같이, 포토레지스트를 다시 도포하고 노광 및 현상으로 패터닝하여 pMOS 영역을 제외한 반도체 기판 즉, nMOS 영역을 노출시키는 제 2 마스크(31)를 형성한다.

이어서, 제 2 마스크(31)를 이용하여 노출된 nMOS 영역에 p형 불순물을 이온주입하여 p형 웰(15) 및 p형 필드스톱층(16)을 형성한다.

이후, 상기 제 2 마스크(31)를 제거한 후, 도 1c에 도시된 바와 같이, 반도체 기판(11) 상의 선택된 영역 상에 게이트 산화막(17)과 게이트(18)와 게이트 질화막(19)을 차례로 형성한 후, 블랭킷(blanket) 이온 주입법으로 전면에 저농도의 n형 불순물을 이온주입하여 nMOS 트랜지스터 영역에 n형 LDD영역(21)을 형성한다.

그리고, 도 1d에 도시된 바와 같이, 전면에 산화막을 증착한 후, 전면 에치백하여 게이트 전극(18)의 측벽에 접하는 측벽스페이서(22)를 형성한다. 이 때, 게이트 질화막(19) 및 게이트 산화막(17)도 동시에 에치백된다.

다음에, pMOS 트랜지스터 영역의 반도체 기판에 고농도 p형 불순물을 이온주입하여 p형 소스/드레인 영역(23)을 형성하고, nMOS 트랜지스터 영역의 반도체 기판에 고농도 n형 불순물을 이온주입하여 n형 소스/드레인 영역(24)을 형성한다.

발명이 이루고자 하는 기술적 과제

그러나, 상기와 같은 종래의 반도체 소자의 형성방법은 다음과 같은 문제점이 있다.

즉, n형 웰영역 및 p형 웰영역을 형성하기 위한 이온주입 공정 등에 의해 차후 채널층이 형성될 부분이 계속적으로 노출되어 데미지를 받게 된다. 따라서, 트랜지스터의 특성이 떨어지게 된다.

따라서, 본 발명은 상기와 같은 문제점을 해결하기 위해 안출한 것으로, n형 웰영역 및 p형 웰영역을 형성하기 위한 이온주입 공정시 차후 채널층이 형성될 부분도 동시에 차광함으로써 채널층이 데미지를 받는 것을 완전방지하여 트랜지스터의 특성을 향상시키고자 하는 반도체 소자의 형성방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

상기와 같은 목적을 달성하기 위한 본 발명의 반도체 소자의 형성방법은 pMOS 영역 및 nMOS 영역으로 구분되는 반도체 기판 내에 소자분리막을 형성하는 단계와, 상기 pMOS의 채널층 및 nMOS가 형성될 영역을 차광하는 제 1, 제 2 마스크를 형성한 후 이온주입하여 n형 웰을 형성하는 단계와, 상기 nMOS의 채널층 및 pMOS가 형성될 영역을 차광하는 제 3, 제 4 마스크를 형성한 후 이온주입하여 p형 웰을 형성하는 단계와, 상기 반도체 기판 상에 게이트 산화막 및 게이트를 형성하는 단계와, 상기 게이트를 마스크로 하여 저농도 불순물을 이온주입하여 LDD영역을 형성하는 단계와, 상기 게이트 양측벽에 측벽스페이서를 형성하는 단계와, 상기 측벽스페이서를 마스크로 하여 고농도 불순물을 이온주입하여 소스/드레인 영역을 형성하는 단계를 포함하여 이루어지는 것을 특징으로 한다.

상기에서와 같이 본 발명은 n형 웰영역 및 p형 웰영역을 형성하기 위한 이온주입 공정시 차후 채널층이 형성될 부분도 동시에 차광함으로써 채널층이 데미지를 받는 것을 방지하는 것을 특징으로 하는바, 상기 채널층을 차광하기 위해 상부에 레지스트 패턴을 형성한 후 이온주입을 수행한다.

이 때, 상기 레지스트 패턴은 게이트를 형성할 때 사용하는 노광 마스크를 사용하여 형성한다.

이하, 첨부된 도면을 참조하여 본 발명에 의한 반도체 소자의 형성방법을 상세히 설명하면 다음과 같다.

도 2a 내지 도 2d는 본 발명에 따른 반도체 소자의 형성방법을 설명하기 위한 공정단면도이다.

먼저, 도 2a에 도시된 바와 같이, 반도체 기판 상에 패터닝된 포토 레지스트를 도포하고 상기 포토 레지스트를 마스크로 이용하여 상기 반도체 기판을 이방성 식각하여 트렌치(trench)를 형성한다.

이후에 상기 반도체 기판 전면에 상기 트렌치를 채우도록 절연막을 증착한 후 평탄화시켜서 소자격리막(112)을 형성함으로써 소자 형성 영역을 정의한다.

다음, 로직영역과 셀영역으로 구분하기 위해 소자격리공정을 수행한 반도체 기판(111) 상에 pMOS 트랜지스터 영역의 반도체 기판(111) 내에 n형 웰(well)(113)을 형성한 후, n형 웰(113) 내에 n형 필드스톱층(114)을 형성한다.

즉, 반도체 기판(111) 상에 포토레지스트를 도포하고 노광 및 현상으로 패터닝하여 pMOS의 게이트가 형성될 영역과 nMOS가 형성될 영역을 차광하는 제 1 마스크(130)를 형성한 후, pMOS 영역에 n형 불순물인 인(P, Phosphorous)을 이온주입하여 n형 웰(113) 및 n형 필드스톱층(114)을 순차적으로 형성한다. 따라서, pMOS의 채널층이 이온주입에 의한 데미지를 받지 않게 된다.

그리고, 도 2b에 도시된 바와 같이, nMOS 트랜지스터 영역의 반도체 기판(111) 내에 p형 웰(115)을 형성하고, p형 웰(115) 내에 p형 필드스톱층(116)을 형성한다.

즉, 상기 제 1 마스크(130)를 습식 에싱공정 또는 건식 에싱공정에 의해 제거한 후, 포토레지스트를 다시 도포하고 노광 및 현상으로 패터닝하여 nMOS의 게이트가 형성될 영역과 pMOS가 형성될 영역을 차광하는 제 2 마스크(131)를 형성하고, 제 2 마스크(131)를 이용하여 노출된 nMOS 영역에 p형 불순물을 이온주입하여 p형 웰(115) 및 p형 필드스톱층(116)을 형성한다. 따라서, nMOS의 채널층이 이온주입에 의한 데미지를 받지 않게 된다.

이 때, nMOS의 게이트 및 pMOS의 게이트를 차광하는 포토레지스트는 후공정에서 사용되는 게이트 마스크를 사용한다.

한편, 포토레지스트를 사용하여 nMOS(또는 pMOS)를 차광하는 마스크와 게이트를 차광하는 마스크를 동일한 공정에서 패터닝하여 형성하는 상기 실시예와 달리, nMOS(또는 pMOS)를 차광하는 마스크와 게이트를 차광하는 마스크를 서로 다른 공정에서 패터닝하여 형성할 수 있다.

즉, 포토레지스트를 사용하여 nMOS(또는 pMOS)를 차광하는 마스크를 형성하고, 폴리 레지스트를 사용하여 게이트를 차광하는 마스크를 별도로 형성한 후, 이온주입을 수행하는 것이다. 이때, 폴리 레지스트를 사용하여 게이트 상부에 형성되는 마스크는 습식방식에 의해 제거한다.

다음, 습식 에싱공정 또는 건식 에싱공정에 의해 상기 제 2 마스크(131)를 제거한 후, 도 2c에 도시된 바와 같이, pMOS 트랜지스터와 nMOS 트랜지스터의 반도체 기판(111) 상의 선택된 영역 상에 게이트 산화막(117)을 형성한다.

그리고, 상기 게이트 산화막(117) 상에 폴리실리콘막, 금속막, 하드 마스크의 순서로 적층한 뒤, 게이트 마스크를 이용하여 하드마스크, 금속막, 폴리실리콘막을 동시에 패터닝하거나 또는 하드 마스크를 패터닝한 후 금속막과 폴리실리콘막을 동시에 패터닝하는 방법으로 게이트(118)를 형성한다.

여기서, 상기 게이트는 폴리실리콘막의 단일막일 수도 있으나, 게이트 전극의 비저항 및 고속저항을 위해 폴리실리콘막과 금속막의 적층막을 이용하되, 금속막으로는 주로 확산방지막과 텅스텐의 적층막, 텅스텐 실리사이드를 이용한다.

이후, 상기 게이트(118) 상부에 게이트 질화막(119)을 형성한후, 블랭킷(blanket) 이온 주입법으로 전면에 저농도의 인(P)을 이온주입하여 nMOS 트랜지스터 영역에 n형 LDD영역(121)을 형성한다.

그리고, 도 2d에 도시된 바와 같이, 전면에 산화막을 증착한 후, 전면 에치백하여 게이트 전극(118)의 측벽에 접하는 측벽 스페이서(122)를 형성한다. 이 때, 게이트 질화막(119) 및 게이트 산화막(117)도 동시에 에치백된다.

다음에, 별도의 마스크를 사용하여 pMOS 트랜지스터 영역의 반도체 기판에 고농도 p형 불순물을 이온주입하여 p형 소스/드레인 영역(123)을 형성하고, nMOS 트랜지스터 영역의 반도체 기판에 고농도 n형 불순물을 이온주입하여 n형 소스/드레인 영역(124)을 형성한다.

그리고, 도시하지는 않았으나, 상기 게이트를 포함한 전면에 층간절연막을 형성하고, 상기 층간절연막을 관통하여 소스/드레인 영역에 콘택되는 소스/드레인 전극을 형성하여 반도체 소자의 트랜지스터를 완성하고, 이후 배선 공정 등을 통해 로직 공정을 완료한다.

한편, 이상에서 설명한 본 발명은 상술한 실시예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

발명의 효과

상기와 같은 본 발명의 반도체 소자의 형성방법은 다음과 같은 효과가 있다.

첫째, n형 웰영역 및 p형 웰영역을 형성하기 위한 이온주입 공정시 차후 채널층이 형성될 부분도 동시에 차광함으로써 채널층이 데미지를 받는 것을 완전방지하여 트랜지스터의 특성을 향상시킬 수 있다.

둘째, 채널층을 차광하기 위해 형성되는 레지스트 패턴은 게이트를 형성할 때 사용하는 노광 마스크를 사용하여 형성하면 되므로 별도의 노광마스크가 요구되지 않는다. 따라서, 공정 장비의 추가설비없이 채널층을 데미지로부터 보호할 수 있다.

(57) 청구의 범위

청구항 1.

pMOS 영역 및 nMOS 영역으로 구분되는 반도체 기판 내에 소자격리막을 형성하는 단계와,

상기 pMOS의 채널층 및 nMOS가 형성될 영역을 차광하는 제 1, 제 2 마스크를 형성한 후 이온주입하여 n형 웰을 형성하는 단계와,

상기 nMOS의 채널층 및 pMOS가 형성될 영역을 차광하는 제 3, 제 4 마스크를 형성한 후 이온주입하여 p형 웰을 형성하는 단계와,

상기 반도체 기판 상에 게이트 산화막 및 게이트를 형성하는 단계와,

상기 게이트를 마스크로 하여 저농도 불순물을 이온주입하여 LDD영역을 형성하는 단계와,

상기 게이트 양측벽에 측벽스페이서를 형성하는 단계와,

상기 측벽스페이서를 마스크로 하여 고농도 불순물을 이온주입하여 소스/드레인 영역을 형성하는 단계를 포함하여 이루어지는 것을 특징으로 하는 반도체 소자의 형성방법.

청구항 2.

제 1 항에 있어서,

상기 제 1, 제 3 마스크는 상기 게이트를 형성할 때 사용하는 노광 마스크를 사용하여 형성하는 것을 특징으로 하는 반도체 소자의 형성방법.

청구항 3.

제 1 항에 있어서,

상기 제 1, 제 3 마스크는 폴리 레지스트로 형성하는 것을 특징으로 하는 반도체 소자의 형성방법.

청구항 4.

제 3 항에 있어서,

상기 제 1, 제 3 마스크는 습식 방식에 의해 제거하는 것을 특징으로 하는 반도체 소자의 형성방법.

청구항 5.

제 1 항에 있어서,

상기 제 1, 제 2 마스크는 포토 레지스트로 형성하는 것을 특징으로 하는 반도체 소자의 형성방법.

청구항 6.

제 5 항에 있어서,

상기 제 1, 제 2 마스크는 습식 에싱공정 또는 건식 에싱공정에 의해 스트립하는 것을 특징으로 하는 반도체 소자의 형성방법.

청구항 7.

제 1 항에 있어서,

상기 제 3, 제 4 마스크는 포토 레지스트로 형성하는 것을 특징으로 하는 반도체 소자의 형성방법.

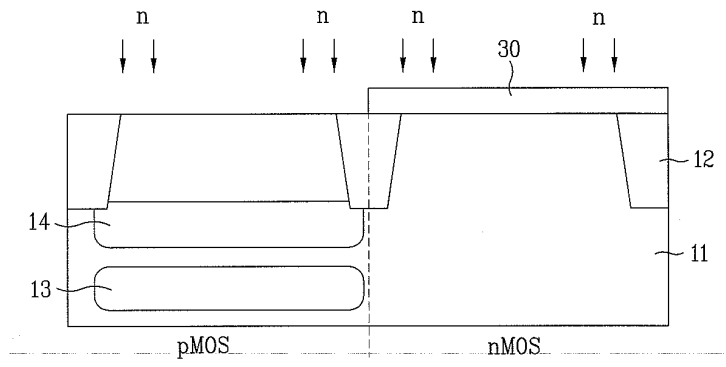
청구항 8.

제 7 항에 있어서,

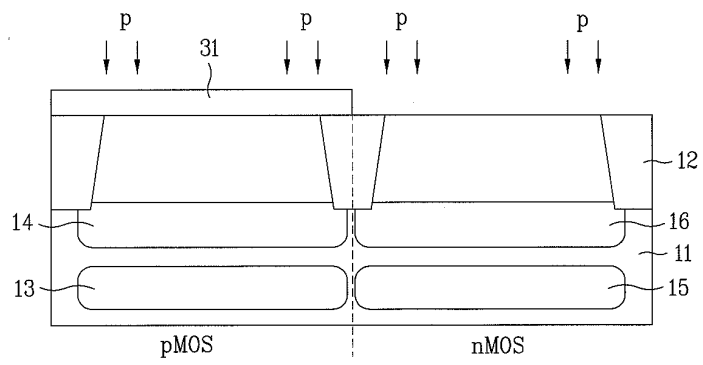
상기 제 3, 제 4 마스크는 습식 에싱공정 또는 건식 에싱공정에 의해 스트립하는 것을 특징으로 하는 반도체 소자의 형성방법.

도면

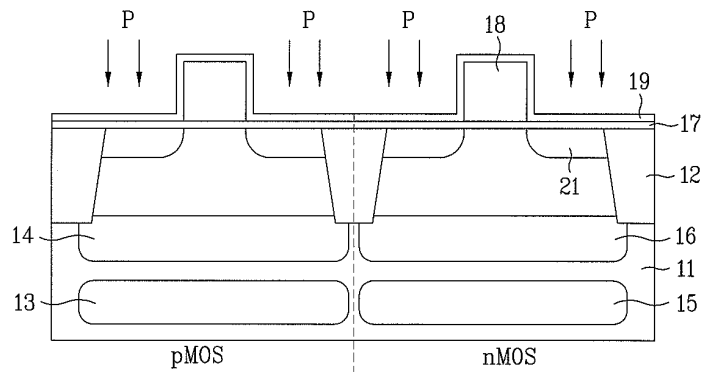
도면1a



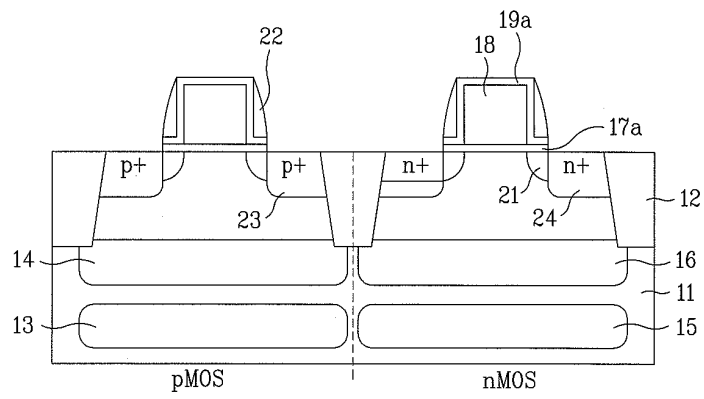
도면1b



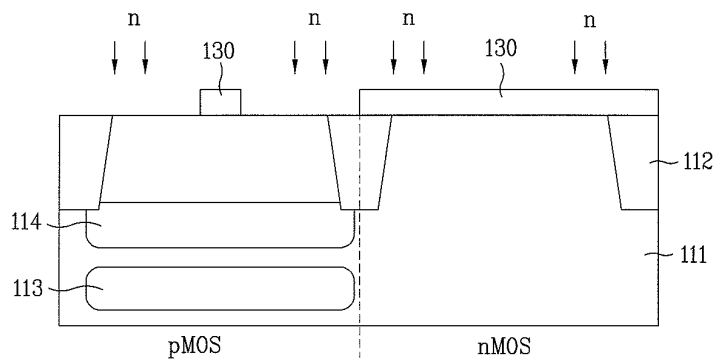
도면1c



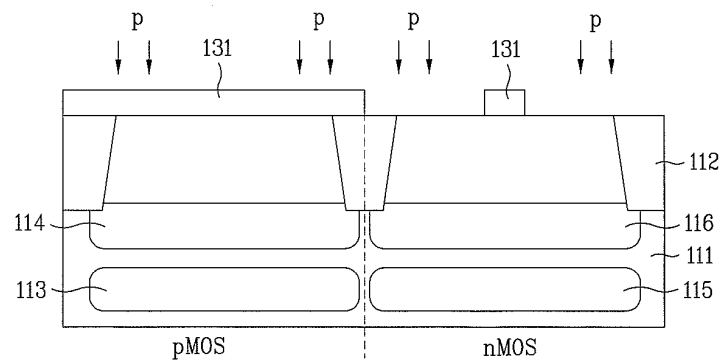
도면1d



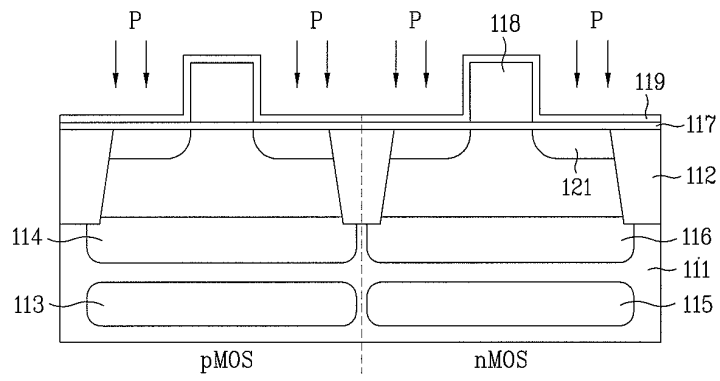
도면2a



도면2b



도면2c



도면2d

