



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0131258
(43) 공개일자 2009년12월28일

(51) Int. Cl.

H01L 21/60 (2006.01) H01L 23/48 (2006.01)

(21) 출원번호 10-2009-0053269

(22) 출원일자 2009년06월16일

심사청구일자 없음

(30) 우선권주장

JP-P-2008-157844 2008년06월17일 일본(JP)

(71) 출원인

가부시끼가이샤 르네사스 테크놀로지

일본국 도쿄도 치요다쿠 오테마치 2초메 6반 2고

(72) 발명자

가와시마 미찌히로

일본 도쿄도 지요다꾸 마루노우찌 1쵸메 6-1 가부시끼가이샤 히타치세이사쿠쇼 지적 재산권 본부 내

요시무라 야스히로

일본 도쿄도 지요다꾸 마루노우찌 1쵸메 6-1 가부시끼가이샤 히타치세이사쿠쇼 지적 재산권 본부 내

(뒷면에 계속)

(74) 대리인

장수길, 이중희, 박충범

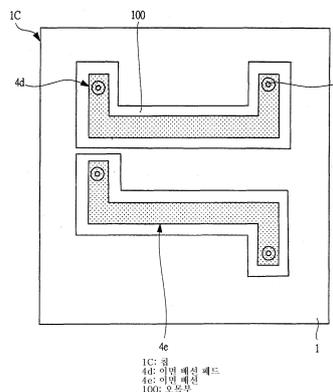
전체 청구항 수 : 총 11 항

(54) 반도체 장치 및 반도체 장치의 제조 방법

(57) 요약

칩 이면에 관통 전극 및 이면 배선을 형성하면, 관통 전극의 일부인 이면 배선 패드 및 이면 배선에 의해, 칩 이면에 볼록부가 형성된다. 이것이 원인으로, 칩 흡착 시에 공기의 리크가 생겨 칩 흡착력의 저하가 일어난다. 이면 배선 패드(4d) 및 이면 배선(4e)을 형성하는 영역에, 미리 오목부(100)를 형성한다. 이 오목부(100) 내부에 이면 배선 패드(4d) 및 이면 배선(4e)을 형성한다. 이에 의해, 이면 배선 패드(4d) 및 이면 배선(4e) 두께 때문에 생기는 볼록부에 의해, 칩(1C) 이면의 평탄성이 확보되어, 칩(1C)을 취급할 때의 흡착력의 저하가 일어나지 않는다.

대표도 - 도2



(72) 발명자

다나카 나오따카

일본 도쿄도 지요다꾸 마루노우찌 1쥬메 6-1 가부
시키가이샤 히타치세이사쿠쇼 지적 재산권 본부 내

나이토 다카히로

일본 도쿄도 지요다꾸 오페마찌 2쥬메 6-2 가부시
끼가이샤 르네사스 테크놀로지 내

아카자와 다카시

일본 도쿄도 지요다꾸 오페마찌 2쥬메 6-2 가부시
끼가이샤 르네사스 테크놀로지 내

특허청구의 범위

청구항 1

제1면 및 그것과는 반대측에 있는 제2면을 갖는 반도체 기관과,
 상기 반도체 기관의 제1면 상에 형성된 층간 절연막과,
 상기 반도체 기관의 제1면 상에 상기 층간 절연막을 개재하여 형성된 제1 도전막과,
 상기 반도체 기관의 제2면에 형성된 오목부와,
 상기 오목부의 저면에 형성되고, 상기 제1 도전막에 도달하는 구멍과,
 상기 오목부의 저면 상에 형성된 절연막과,
 상기 오목부의 저면 상에서는 상기 절연막을 개재하여 형성되고, 상기 제1 도전막과 전기적으로 접속되어 상기 구멍의 저면 상에 형성된 제2 도전막
 을 갖는 반도체 장치.

청구항 2

제1항에 있어서,
 상기 제2 도전막이 상기 오목부의 내부에 수용되어 있는 반도체 장치.

청구항 3

제1항에 있어서,
 상기 구멍, 상기 절연막 및 상기 제2 도전막은, 관통 전극을 구성하고,
 상기 관통 전극은,
 상기 구멍을 구성하고, 상기 오목부의 저면으로부터 상기 층간 절연막에 도달하는 제1 구멍으로서, 상기 제1 구멍의 저면이 상기 층간 절연막과 상기 반도체 기관의 경계보다도 상기 제1 도전막에 가까운 위치에 있는 상기 제1 구멍과,
 상기 구멍을 구성하고, 상기 제1 구멍의 저면으로부터 상기 제1 도전막에 도달하는 제2 구멍으로서, 상기 제1 구멍의 구멍 직경보다 작은 상기 제2 구멍과,
 상기 제1 구멍의 저면 및 그 측면 상과 상기 오목부의 저면 상에 형성된 상기 절연막과,
 상기 제1 구멍의 저면 및 그 측면 상과 상기 오목부의 저면 상에서는 상기 절연막을 개재하여 형성되고, 상기 제1 도전막과 전기적으로 접속되어 상기 제2 구멍의 저면 상에 형성된 상기 제2 도전막
 을 갖는 반도체 장치.

청구항 4

제3항에 있어서,
 상기 반도체 기관의 상기 관통 전극과 다른 반도체 기관의 범프 전극이 기하학적으로 코오킹되어, 상기 반도체 기관의 제2면 상에 상기 다른 반도체 기관이 적층되어 있는 반도체 장치.

청구항 5

제4항에 있어서,
 상기 오목부의 저면 상의 상기 제2 도전막은, 상기 관통 전극과 전기적으로 접속되는 배선을 구성하고,
 상기 관통 전극, 상기 범프 전극 및 상기 배선으로 3차원 배선을 구성하는 반도체 장치.

청구항 6

제5항에 있어서,

상기 3차원 배선이, 동(同)전위선을 구성하는 반도체 장치.

청구항 7

(a) 제1면 및 그것과는 반대측에 있는 제2면을 갖는 반도체 기판을 준비하는 공정과,

(b) 상기 반도체 기판의 제1면 상에 층간 절연막을 형성하는 공정과,

(c) 상기 반도체 기판의 제1면 상에 상기 층간 절연막을 개재하여 제1 도전막을 형성하는 공정과,

(d) 상기 반도체 기판의 제2면에 오목부를 형성하는 공정과,

(e) 상기 오목부의 저면 상에 절연막을 형성하는 공정과,

(f) 상기 오목부의 저면에, 상기 제1 도전막에 도달하는 구멍을 형성하는 공정과,

(g) 상기 오목부의 저면 상에서는 상기 절연막을 개재하여, 상기 구멍의 저면 상에서는 상기 제1 도전막과 전기적으로 접속되는 제2 도전막을 형성하는 공정

을 포함하는 반도체 장치의 제조 방법.

청구항 8

제7항에 있어서,

상기 (d) 공정에서는, 상기 제2 도전막의 두께 이상으로 깊게 상기 오목부를 형성하는 반도체 장치의 제조 방법.

청구항 9

제7항에 있어서,

상기 공정 (g)에서는, 상기 오목부의 저면 상에서 상기 제2 도전막으로 구성되는 배선 및 배선 패드를 동시에 형성하는 반도체 장치의 제조 방법.

청구항 10

제7항에 있어서,

상기 공정 (g)에서는, 금속 시드층과 도금층을 적층함으로써 상기 제2 도전막을 형성하고,

상기 공정 (f) 후, 상기 오목부의 저면 상에서는 상기 절연막을 개재하여, 상기 구멍의 저면 상에서는 상기 제1 도전막과 전기적으로 접속되는 상기 금속 시드층을 형성하고, 상기 금속 시드층 상에 상기 도금층을 형성하는 반도체 장치의 제조 방법.

청구항 11

(a) 주면 및 그것과는 반대측에 있는 이면을 갖는 반도체 기판을 준비한 후, 상기 반도체 기판의 주면에 반도체 소자를 형성하고, 상기 반도체 기판의 주면 상에 층간 절연막을 형성하는 공정과,

(b) 상기 반도체 기판의 주면 상에 상기 층간 절연막을 개재하여 주면 배선 패드를 형성하는 공정과,

(c) 상기 반도체 기판의 이면에 제1 레지스트 마스크를 형성하고, 상기 제1 레지스트 마스크를 이용하여 상기 반도체 기판에 에칭에 의해 오목부를 형성한 후, 상기 제1 레지스트 마스크를 제거하는 공정과,

(d) 상기 주면 배선 패드의 위치와 마주 대하는 상기 오목부의 저면의 일부에 개구부를 갖는 제2 레지스트 마스크를 형성하고, 상기 제2 레지스트 마스크를 이용하여 상기 반도체 기판에 에칭에 의해 제1 구멍을 형성한 후, 상기 제2 레지스트 마스크를 제거하는 공정과,

(e) 상기 제1 구멍의 내부를 포함하는 상기 반도체 기판의 이면 상에 절연막을 형성하는 공정과,

(f) 상기 절연막 상에 알루미늄막을 형성하는 공정과,

(g) 상기 공정 (f) 후, 상기 제1 구멍의 저면의 일부에 개구부를 갖는 제3 레지스트 마스크를 형성하고, 상기 제3 레지스트 마스크를 이용하여 상기 알루미늄막, 상기 절연막, 상기 반도체 기판 및 상기 층간 절연막을 각각 에칭에 의해 제거하고, 상기 주면 배선 패드에 도달하는 제2 구멍을 형성한 후, 상기 제3 레지스트 마스크를 제거하는 공정과,

(h) 상기 제2 구멍, 상기 제1 구멍, 상기 오목부의 각각의 저면 및 측면과 상기 반도체 기판의 이면 상에 금속 시드층을 형성하는 공정과,

(i) 상기 오목부의 일부, 상기 제1 구멍 및 상기 제2 구멍에 개구부를 갖는 제4 레지스트 마스크를 형성하고, 상기 제4 레지스트 마스크를 이용한 도금법에 의해 상기 금속 시드층 상에 도금층을 형성한 후, 상기 제4 레지스트 마스크를 제거하는 공정과,

(j) 상기 도금층을 덮는 제5 레지스트 마스크를 형성하고, 상기 제5 레지스트 마스크로 덮여져 있지 않은 상기 금속 시드층을 제거함으로써 상기 오목부의 저면 상에 상기 금속 시드층 및 상기 도금층으로 구성되는 이면 배선 패드를 형성한 후, 상기 제5 레지스트 마스크를 제거하는 공정

을 포함하는 반도체 장치의 제조 방법.

명세서

발명의 상세한 설명

기술분야

<1> 본 발명은, 반도체 장치 및 그 제조 기술에 관한 것으로, 특히 3차원적으로 적층된 복수의 반도체 칩을 갖는 반도체 장치에 관한 것이다.

배경기술

<2> 최근, 복수의 반도체 칩(간단히, 「칩」이라고도 함)을 고밀도로 실장하여 고기능의 시스템을 단기간에 실현하는 SiP(System in Package)의 개발이 진행되어, 다양한 실장 구조가 제안되어 있다. 특히 복수의 칩을 적층하여, 대폭적인 소형화를 실현할 수 있는 적층형 패키지의 개발이 한창 진행되고 있다. 통상적으로, 칩간의 전기적인 접속에는, 와이어 본딩을 이용한다. 와이어 본딩은 주회 자유도가 높아, 복수의 반도체 칩의 접속에 유효하기 때문이다.

<3> 그러나, 와이어 본딩 접속에서는, 한쪽의 칩으로부터 인출한 배선을 일단 탑재 기판에 떨어뜨리어, 다른 쪽의 칩에 재배선할 필요가 있으므로, 칩간의 배선 길이가 길어진다. 이에 의해, 칩간의 인덕턴스가 증가하여 고속 전송이 곤란하게 된다. 이 와이어 본딩 접속에서의 과제에 대해, 칩 내부에 관통한 전극을 형성하여, 칩간을 직접 접속하는 Si(실리콘) 관통 전극 기술이 제안되어 있다.

<4> 일본 특허 공개 제2000-260934호 공보(특허 문헌 1)에서는, 칩내에 형성한 관통 구멍 부분에 전해 또는 무전해 도금법에 의해 뱀납 혹은 저융점 금속을 매립한 전극을 칩의 상하에 형성하고, 칩을 적층한 후 가열하여, 매립 전극의 용융 접합에 의해 칩을 3차원적으로 적층하는 기술이 개시되어 있다.

<5> 또한, 일본 특허 공개 제2007-053149호 공보(특허 문헌 2)에서는, 상단 칩에 형성한 스테드 범프를, 하단 칩에 형성한 중공의 관통 전극에 압접에 의해 변형 주입하고, 스테드 범프와 관통 전극을 기하학적으로 코오킹하여 칩을 적층하는 기술이 개시되어 있다.

<6> [특허 문헌 1] 일본 특허 공개 제2000-260934호 공보

<7> [특허 문헌 2] 일본 특허 공개 제2007-053149호 공보

발명의 내용

해결 하고자하는 과제

<8> 칩 적층을 고려하여, 칩을 구성하는 반도체 기판에 관통 전극을 형성하는 경우, 도통로를 확보하기 위해, 반도체 기판을 관통하는 구멍의 내면 및 반도체 기판 이면측의 그 구멍의 주변에 전극 재료가 형성된다. 또한, 본 원에서는 구멍의 측면에 형성된 전극 재료를 내부 전극으로 하고, 또한 그 구멍 주변에 형성된 전극 재료를 이

면 배선 패드로 하고 있다.

- <9> 일본 특허 공개 제2007-053149호 공보(특허 문헌 2)에 기재된 기술을 이용하여 관통 전극을 형성하는 경우, 반도체 기관의 이면으로부터 외측, 즉 반도체 기관의 이면 상에 이면 배선 패드가 형성되기 때문에, 반도체 기관 이면에 이면 배선 패드에 의한 볼록부가 생긴다. 이 볼록부가 원인으로, 칩 흡착 시에 공기의 리크가 발생하여, 흡착력의 저하가 일어나는 것을 본 발명자들은 발견하였다. 이 때문에, 반도체 장치의 제조 수율이 저하되게 되는 것이 생각된다.
- <10> 이에 대해, 본 발명자들은 이하의 검토를 행하였다. 도 1은 본 발명자들이 검토한 칩(1C)의 이면의 모식적 평면도이다. 또한, 구성을 이해하기 쉽게 하기 위해 도면 중의 일부에 해칭을 그었다.
- <11> 칩(1C)을 구성하는 반도체 기관(1)에는 복수의 관통 전극(4)이 설치되어 있고, 그 평면 형상이 원 형상으로 나타내어져 있다. 그 관통 전극(4)의 주변의 반도체 기관(1)의 이면 상에는 이면 배선 패드(4d)가 설치되어 있고, 관통 전극(4)과 전기적으로 접속되어 있다. 또한, 이면 배선 패드(4d)간을 전기적으로 접속하도록, 반도체 기관(1)의 이면 상에는 이면 배선(4e)이 형성되어 있다. 또한, 이면 배선 패드(4d) 및 이면 배선(4e)은, 동일한 전극 재료로 구성되고, 공정의 효율화의 관점에서, 동시에 형성된다.
- <12> 이와 같이 반도체 기관(1)의 이면 상에 이면 배선 패드(4d) 및 이면 배선(4e)이 형성된 경우, 전술한 바와 같이 반도체 기관(1)의 이면에 볼록부가 생겨, 칩(1C)의 흡착 시에 공기의 리크가 발생하여, 흡착력의 저하가 일어나게 된다.
- <13> 따라서, 칩(1C)의 이면에서 이면 배선 패드(4d)나 이면 배선(4e)이 형성되어 있지 않은 영역에 더미 이면 배선 패드(4f)나, 칩(1C)의 이면에서의 주변 영역에 틀 형상의 더미 이면 배선(4g)을 형성하고, 더미의 이면 배선 패드를 칩 이면 전체면에 배치함으로써 볼록부를 없애어, 공기의 리크를 방지할 수 있다고 생각된다.
- <14> 그러나, 이면 배선 패드(4d), 이면 배선(4e), 더미 이면 배선 패드(4f) 및 더미 이면 배선(4g)을 형성하는 방법으로는, 예를 들면 Au(금)과 같은 전극 재료를 이용한 경우, 칩(1C) 이면 전체면에 Au를 배치하게 되므로, 관통 전극(4)의 제조 코스트가 올라가게 되는 문제가 있다. 또한, 틀 형상과 같이 가늘고 긴 패턴은, 박리되기 쉽고 한 문제도 있다.
- <15> 본 발명의 목적은, 반도체 장치의 제조 수율을 개선할 수 있는 기술을 제공하는 것에 있다.
- <16> 본 발명의 다른 목적은, 반도체 장치의 제조 코스트를 저감할 수 있는 기술을 제공하는 것에 있다.
- <17> 본 발명의 상기 및 그 밖의 목적과 신규의 특징은, 본 명세서의 기술 및 첨부 도면으로부터 명백해질 것이다.

과제 해결수단

- <18> 본원에서 개시되는 발명 중, 대표적인 것의 개요를 간단히 설명하면, 다음과 같다.
- <19> 이면 배선 패드 및 이면 배선의 패턴보다도 광역으로 반도체 기관의 이면측에 오목부를 형성하고, 그 오목부의 내부에 이면 배선 패드 및 이면 배선을 형성한다.

효 과

- <20> 본원에서 개시되는 발명 중, 대표적인 것에 의해 얻어지는 효과를 간단히 설명하면 이하와 같다.
- <21> 반도체 장치의 제조 수율을 개선할 수 있다.
- <22> 또한, 반도체 장치의 제조 코스트를 저감할 수 있다.

발명의 실시를 위한 구체적인 내용

- <23> 칩 이면의 주변 영역에 틀 등을 형성하고, 더미 이면 배선 패드 및 더미 이면 배선을 칩 이면 전체면에 배치하지 않고, 칩 흡착력 저하를 방지하는 방법으로서, 이하의 기술이 생각된다.
- <24> 우선, 소자 형성면인 주면(제1면)에 반도체 소자가 형성된 반도체 웨이퍼(웨이퍼 상태의 반도체 기관)에서, 그 주면과는 반대측의 이면(제2면)에, 오목부 형성용의 레지스트 마스크(제1 레지스트 마스크)를 형성한다. 이 레지스트 마스크를 사용하여 드라이 에칭에 의해, 후속의 공정에서 형성하는 이면 배선 패드의 두께 이상으로 깊은 오목부를 형성한다.

- <25> 그 후, 주면의 반도체 소자와 전기적으로 접속한 주면 배선 패드(제1 도전막)와 대응하는 오목부 내부의 위치에, 구멍 개구용의 레지스트 마스크(제2 레지스트 마스크)를 형성한다. 이 레지스트 마스크를 이용하여 드라이 에칭에 의해 반도체 웨이퍼의 표면 상의 층간 절연막에 도달하는 구멍(제1 구멍)을 형성하고, 그 후 프로세스 가스를 변경하여, 적어도 반도체 웨이퍼의 실리콘과 층간 절연막과의 경계로부터, 주면 배선 패드와의 사이에서 층간 절연막에 의해 깊게 구멍(제1 구멍)을 형성한다.
- <26> 에칭 후에 세정을 행하여, CVD법에 의해 구멍 내면 및 반도체 웨이퍼의 이면에 절연막을 형성한다. 상기 절연막을 보호하기 위해 Al(알루미늄)막을 형성한다. 포토리소그래피 기술에 의해, 구멍 저면의 일부에 개구를 갖는 레지스트 마스크(제3 레지스트 마스크)를 형성하고, 에칭에 의해 구멍 저면의 Al막과 절연막과 구멍 저면에 있는 층간 절연막을 가공하여, 반도체 웨이퍼의 표면의 전극에 도달하는 컨택트 홀(제2 구멍)을 형성한다.
- <27> 오목부, 구멍 및 컨택트 홀의 내면과 저면을 포함하는 반도체 웨이퍼의 이면에 금속 시드층을 형성하고, 형성한 금속 시드층에 포토리소그래피 기술에 의해 이면 배선 및 이면 배선 패드를 형성하는 도금용의 레지스트 마스크(제4 레지스트 마스크)를 형성하고, 도금법에 의해 도금층을 형성한다. 도금용의 레지스트 마스크를 제거한 후 이면 배선 및 이면 배선 패드에 보호용의 레지스트 마스크(제5 레지스트 마스크)의 커버를 설치하고, 금속 시드층을 에칭하여, 이면 배선 및 이면 배선 패드(제2 도전막)를 형성한다. 이 때, 오목부는 이면 배선 패드의 두께보다도 깊기 때문에, 이면 배선 패드 표면은, 반도체 기판 이면보다도 내측에 위치한다. 즉, 이면 배선 및 이면 배선 패드가 오목부의 내부에 수용된다.
- <28> 도 2는 본 발명을 적용한 반도체 칩 이면의 모식적 평면도이다. 또한, 구성을 이해하기 쉽게 하기 위해 도면 중의 일부에 해칭을 그었다.
- <29> 도 2에 도시한 바와 같이, 이면 배선 패드(4d) 및 이면 배선(4e)의 패턴보다도 광역에 오목부(100)를 형성하고, 그 오목부(100)의 내부에 이면 배선 패드(4d) 및 이면 배선(4e)을 형성하고, 반도체 기판(1)(칩(1C)) 이면보다도 외측에 이면 배선 패드 표면이 형성되는 것을 방지하여, 칩 이면에 불록부가 생기는 것을 방지한다.
- <30> 관통 전극 형성 시, 본 발명을 적용하면 칩 이면에 불록부가 형성되는 것을 방지할 수 있고, 칩 흡착력의 저하를 방지할 수 있다. 또한, 칩 이면에 이면 배선 패드의 틀이나 더미 패턴을 형성하는 기술에 비해, 저코스트로 칩 흡착력 저하를 방지할 수 있다.
- <31> 이하, 본 발명의 실시 형태를 도면에 기초하여 상세하게 설명한다. 또한, 실시 형태를 설명하기 위한 전체 도면에서, 동일한 기능을 갖는 부재에는 동일한 부호를 붙이고, 그 반복된 설명은 생략하는 경우가 있다. 또한, 이하의 실시 형태를 설명하는 도면에서는, 구성을 이해하기 쉽게 하기 위해 평면도이어도 해칭을 그은 경우가 있다.
- <32> <실시 형태 1>
- <33> 본 실시 형태에서는, 예를 들면 마이크로컴퓨터 칩과 같은 반도체 장치를 구성하는 반도체 칩에서, 고집적 회로(반도체 소자)를 탑재한 반도체 칩에 관통 전극을 설치할 때에, 본 발명을 적용한 경우에 대해서 설명한다. 또한, 반도체 칩은, 반도체 기판에 반도체 소자가 형성된 후, 웨이퍼 상태의 반도체 기판(반도체 웨이퍼)으로부터 잘라내어져 이루어지는 것이다. 또한, 반도체 칩에 관통 전극을 형성할 때에는 웨이퍼 상태로 된다.
- <34> 도 3은 본 실시 형태에서의 반도체 장치의 주요부의 모식적 평면도이며, 도 4는 도 3의 X1-X1선에서의 반도체 장치의 모식적 단면도이다.
- <35> 도 4에 도시한 바와 같이, 반도체 기판(1)은 주면(1x) 및 그것과는 반대측에 있는 이면(1y)을 갖고 있다. 이 반도체 기판(1)의 주면(1x)에는 반도체 소자(도시 생략)가 형성되어 있고, 그 반도체 소자를 덮도록 반도체 기판(1)의 주면(1x) 상에는 층간 절연막(2)이 형성되어 있다. 그 층간 절연막(2)의 최표면에는 주면 배선 패드(4a)가 형성되어 있고, 반도체 기판(1)의 주면(1x) 상에 층간 절연막(2)을 개재하여 형성되어 있다. 그 주면 배선 패드(4a) 상에는 스텝드 범프(3)(범프 전극)가 형성되어 있다.
- <36> 또한, 반도체 기판(1)의 이면(1y)측에는 오목부(100)가 형성되어 있다. 그 오목부(100)의 저면으로부터 반도체 기판(1)의 내부를 관통하도록, 층간 절연막(2)의 표면과 주면 배선 패드(4a) 사이에 도달하는 구멍(5)이 형성되어 있고, 그 구멍(5)의 저면으로부터 층간 절연막(2)의 내부를 관통하도록, 구멍(5)보다 구멍 직경이 작은 컨택트 홀(6)이 주면 배선 패드(4a)까지 형성되어 있다.
- <37> 또한, 구멍(5), 오목부(100)의 저면 및 측면을 포함하는 반도체 기판(1)의 이면(1y) 상에는 절연막(7)이 형성되어 있다. 그 절연막(7)을 개재하여 오목부(100) 및 구멍(5)을 따라서, 또한 컨택트 홀(6)을 따라서, 금속 시드

층(4b)과 Au막(내부 전극(4c) 및 이면 배선 패드(4d)를 구성함)과의 적층막(도전막)이 구성되어 있다. 이 때문에, 주면 배선 패드(4a), 금속 시드층(4b), 내부 전극(4c) 및 이면 배선 패드(4d)는 전기적으로 접속되어 있다. 또한, 본 실시 형태에서 이용하는 Au막은 도금법에 의해 형성된 도금층이며, Au막이 아니더라도, Au/Ni 적층막 등이어도 된다.

- <38> 따라서, 본 실시 형태에서의 반도체 장치의 관통 전극(4)은, 오목부(100)의 저면으로부터 층간 절연막(2)에 도달하는 구멍으로서, 그 구멍의 저면이 층간 절연막(2)과 반도체 기판(1)의 경계보다도 주면 배선 패드(4a)에 가까운 위치에 있는 구멍(5)과, 구멍(5)의 저면으로부터 주면 배선 패드(4a)에 도달하는 구멍으로서, 구멍(5)의 구멍 직경보다 작은 콘택트 홀(6)로부터, 반도체 기판(1)을 관통하는 구멍을 갖는다. 또한, 관통 전극(4)은, 구멍(5)의 저면 및 그 측면 상과 오목부(100)의 저면 상에 형성된 절연막(7)과, 구멍(5)의 저면 및 그 측면 상과 오목부(100)의 저면 상에서는 절연막(7)을 개재하여 형성되고, 주면 배선 패드(4a)와 전기적으로 접속되어 콘택트 홀(6)의 저면 상에 형성된 이면 배선 패드(4a)나, 금속 시드층(4b) 및 내부 전극(4c)을 갖는 것이다.
- <39> 관통 전극(4)은 주위를 절연막(7) 및 층간 절연막(2)에 의해 덮여져 있고, 반도체 기판(1)으로부터 전기적으로 절연된 상태에 있다. 또한, 이면 배선 패드(4d)는 오목부(100) 내부에 형성되고, 이면 배선 패드의 주면(101)은, 반도체 기판의 이면(1y)보다 내측에 위치한다. 또한, 도 3에 도시한 바와 같이 평면에서 보아 오목부(100)가 이면 배선 패드(4d)보다 크면, 그 평면 형상은 도시하는 형상(사각 형상)에 한하지 않는다.
- <40> 이와 같이, 이면 배선 패드(4d)의 패턴보다도 광역에 오목부(100)가 형성되고, 그 오목부(100)의 내부에 이면 배선 패드(4d)가 형성됨으로써, 반도체 기판(1)의 이면(1y)보다도 외측에 이면 배선 패드(4d)의 주면(101)이 형성되는 것을 방지할 수 있다. 즉, 반도체 기판(1)의 이면(1y)에 볼록부가 생기는 것을 방지할 수 있다. 또한, 반도체 기판(1)의 이면(1y)의 평탄성을 확보할 수 있으므로, 칩(IC)으로서 취급할 때에, 흡착력의 저하를 방지할 수 있다. 이에 의해, 반도체 장치의 제조에서, 제조 수율을 개선할 수 있고, 또한 제조 코스트를 저감할 수 있다.
- <41> 다음으로, 도 4에 도시한 반도체 장치의 제조 방법, 특히 관통 전극(4)의 제조 방법에 대해서 도 5~도 29를 참조하여 설명한다.
- <42> 도 5에 도시한 바와 같이, 예를 들면 단결정 실리콘으로 이루어지는 10~50 μm 정도의 두께의 반도체 기판(1)을 준비한다. 다음으로, 반도체 기판(1)의 주면(소자 형성면)에, 주지 기술을 이용하여 예를 들면 MIS(Metal Insulator Semiconductor) 트랜지스터 등의 반도체 소자(도시 생략)를 형성한 후, 반도체 기판(1)의 주면(1x) 상에 예를 들면 산화실리콘막이나 질화실리콘막으로 이루어지는 층간 절연막(2)을 형성한다. 다음으로, 반도체 기판(1)의 주면(1x) 상에 층간 절연막(2)을 개재하도록, 층간 절연막(2)의 표면측에 주면 배선 패드(4a)를 형성한다. 이 주면 배선 패드(4a)는, 반도체 기판(1)의 주면에 형성된 반도체 소자와는 층간 절연막(2)에 의해 전기적으로 분리되어 있고, 포토리소그래피법, 스퍼터법 등을 이용하여 예를 들면 Al막으로 형성할 수 있다.
- <43> 관통 전극이 형성되게 되는 반도체 기판(1)은, 예를 들면 10~50 μm 정도까지 박형화를 행하면 형성하는 관통 전극이 얇아져 가공 난이도가 내려가지만, 박형화에 수반하는 기판 강도의 저하 및 기판의 휘어짐에 의한 수율 저하가 발생한다.
- <44> 따라서, 도 6에 도시한 바와 같이 층간 절연막(2) 상에 접착층(8)을 도포하고, 예를 들면 석영이나 글래스, 실리콘으로 이루어지는 지지 기판(9)을 접합한다. 지지 기판(9)을 접합함으로써, 박형화 후의 반도체 웨이퍼 강도 저하 및 반도체 웨이퍼의 휘어짐을 억제할 수 있다. 또한, 접착층(8)은 집적 회로를 보호하는 역할도 갖는다.
- <45> 계속해서, 도 7에 도시한 바와 같이, 백 그라운드 처리를 실시하여, 반도체 기판(1)의 두께를 얇게 깎는다. 깎는 방법으로서의 연삭, 연마 등이 있다. 깎은 후의 평탄성이, 기판의 이면(1y)에 형성하는 이면 배선 패드 형성 정밀도에 영향을 주기 때문에, 드라이 폴리시나 에칭, 혹은 CMP(Chemical Mechanical Polish)를 실시하는 것이 바람직하다.
- <46> 계속해서, 도 8에 도시한 바와 같이, 반도체 기판(1)의 이면(1y) 상에 포토레지스트를 도포하고, 포토리소그래피법에 의해, 오목부 가공용의 레지스트 마스크(102)를 형성한다. 레지스트 도포 방법으로서 예를 들면 스피너 도포를 이용한다. 또한, 마스크 형성 위치는, 적외 분광법에 의해 반도체 기판(1)의 주면(1x)의 디바이스 패턴을 확인하여 결정한다.
- <47> 계속해서, 도 9에 도시한 바와 같이, 드라이 에칭 장치에 의해 레지스트 마스크(102)를 사용하여 반도체 기판(1)의 이면(1y)에 에칭에 의해 오목부(100)를 형성한다. 구체적으로는, ICP-RIE(Inductively coupled plasma-

Reactive ion etching)에 의해 이방성의 에칭을 행하여, 오목부(100)를 형성한다. 또한, 프로세스 가스로서 SF₆과 C₄F₈을 이용하였다. 오목부(100)의 깊이는, 이후의 공정에서 형성하는 이면 배선 패드(4d)의 두께(예를 들면 2μm 정도)보다 깊게, 혹은 동등하게 한다.

- <48> 계속해서, 도 10에 도시한 바와 같이, 유기 용제나 산소 애싱에 의해 오목부 가공용의 레지스트 마스크(102)를 제거한다.
- <49> 계속해서, 도 11에 도시한 바와 같이, 반도체 기판(1)의 이면(1y) 상에 포토레지스트를 도포하고, 포토리소그래피법에 의해, 구멍 개구용의 레지스트 마스크(10)를 형성한다. 레지스트 도포 방법으로서 예를 들면 스피너 도포를 이용한다. 또한, 마스크 형성 위치는, 예를 들면 오목부(100)와 동시에 형성한 정렬 마크를 사용하여 결정한다.
- <50> 계속해서, 도 12에 도시한 바와 같이, ICP-RIE에 의해 이방성의 에칭을 행하여, 구멍(5)을 형성한다. 또한, 프로세스 가스로서 SF₆과 C₄F₈을 이용하였다. 통상 실리콘의 드라이 에칭에서는, 산화실리콘막을 마스크로 하여 실리콘을 에칭하기 때문에, SF₆과 C₄F₈에 의한 에칭에서는, 산화실리콘막을 주성분으로 하는 층간 절연막(2)에서 에칭이 스톱한다. 이 때의 구멍(5)의 깊이는, 반도체 기판(1)의 두께에 의해 결정한다.
- <51> 그 후, 도 13에 도시한 바와 같이 프로세스 가스를 SF₆과 C₄F₈로부터, C₃F₈, Ar, CHF₄의 혼합 가스로 바꾸어, 층간 절연막(2)의 가공을 진행시킨다. 이 때, 새로운 마스크의 형성은 행하지 않는다. 그 결과, 레지스트 마스크(10)와 반도체 기판(1)(실리콘부)을 마스크로 하여 구멍 저부의 층간 절연막(2)의 박층화가 진행된다. 그 후, 레지스트 마스크(10) 등을 제거하기 위해, 유기 용제나 산소 애싱에 의해 세정한다. 이에 의해, 구멍(5)의 저면이 층간 절연막(2)과 반도체 기판(1)의 경계보다도 주면 배선 패드(4a)에 가까운 위치까지 형성되게 된다.
- <52> 이 때, 층간 절연막(2)을 계속해서 가공하여 주면 배선 패드(4a)에 도달하는 구멍(5)을 형성하여도 되지만, 주면 배선 패드(4a)에 접하는 층간 절연막(2)이 없어서, 주면 배선 패드(4a)의 강도가 저하된다. 따라서, 후술하지만, 층간 절연막(2)의 표면 하부로부터 주면 배선 패드(4a)에 도달할 때까지의 범위로부터는, 실리콘부에 형성한 구멍(5)보다도 소직경의 컨택트 홀(6)을 형성하게 된다.
- <53> 계속해서, 도 14에 도시한 바와 같이, 구멍(5) 및 오목부(100)의 각각의 저면 및 측면을 포함하는 반도체 기판(1)의 이면(1y) 전체면 상에, 예를 들면 CVD(Cheical vapor deposition)법으로 절연막(7)을 형성한다. 절연막(7)은, 구멍(5) 내벽 및 반도체 기판(1)의 이면(1y)을 따라서 이들 면을 덮도록 형성된다. 절연막(7)으로서 산화실리콘, 질화실리콘, 폴리이미드 수지를 형성할 수 있다.
- <54> 계속해서, 도 15에 도시한 바와 같이, 예를 들면 스피터법으로 구멍(5) 내벽 및 오목부(100)도 포함한 절연막(7)을 덮도록, 절연막 보호용의 Al(알루미늄)막(11)을 형성한다. 형성 방법은, 증착법이어도 된다.
- <55> 계속해서, 도 16에 도시한 바와 같이, 구멍(5) 내벽 및 오목부(100)도 포함한 영역에 포토레지스트(레지스트 마스크(12))를 도포한다. 예를 들면 레지스트의 도포 방법으로서, 스피너에 의한 도포와 스프레이에 의한 도포가 있다. 스피너로 도포하는 경우에는, 구멍(5)을 매립하기 위해 5~30μm 두께로 도포할 수 있는 레지스트를 사용하는 것이 바람직하다. 또한 레지스트 내에 기포가 남아 있으면, 포토리소그래피의 공정에서 노광이 어렵게 되어 패턴 불량 발생한다. 그 때문에, 진공 탈포에 의해 기포를 제거하는 것이 바람직하다. 스프레이로 도포하는 경우에는, 스피너 도포와 달리, 구멍(5)을 따라서 레지스트를 도포할 수 있다.
- <56> 계속해서, 도 17에 도시한 바와 같이, 구멍(5) 내벽에 도포한 레지스트의 패터닝을 행하여, 구멍(5)의 저면에 컨택트 홀 개구용의 레지스트 마스크(12)를 형성한다. 구멍(5)의 내벽을 보호하는 레지스트 마스크(12)가 패터닝되지 않도록, 개구경을 작게 형성한다. 또한, 레지스트 마스크(12)의 개구부에는, 절연막 보호용의 Al막(11)이 나타난다.
- <57> 계속해서, 도 18에 도시한 바와 같이, 인산을 주성분으로 하는 에칭액에 의해, 개구부의 Al막(11)을 제거하여, 개구부의 절연막(7)을 노출시킨다. 또한, Al의 에칭액으로서 희불산 등을 이용하여도 된다.
- <58> 계속해서, 도 19에 도시한 바와 같이, 레지스트 마스크(12)를 이용하여 개구부의 절연막(7)과 층간 절연막(2)의 나머지를 모두 가공한다. 이에 의해, 개구부에 주면 배선 패드(4a)가 노출되는 컨택트 홀(6)이 형성된다. 가공에는 CHF₃이나 C₄F₈ 가스를 주성분으로 한 혼합 가스를 이용한다. 이와 같이 하여, 오목부(100)의 저면에 주면 배선 패드(4a)에 도달하는 구멍(5) 및 컨택트 홀(6)을 형성한다.

- <59> 계속해서, 도 20에 도시한 바와 같이, 유기 용제나 산소 애싱에 의해 레지스트 마스크(12)를 제거한다. 그 후, 도 21에 도시한 바와 같이, 절연막 보호용의 Al막(11)을 Al의 에칭 용액에 의해 제거한다. 이 때, 개구부에는 얇은 주면 배선 패드(4a)가 노출되어 있기 때문에, 주면 배선 패드(4a)가 에칭액에 녹지 않는 것이 중요하다.
- <60> 계속해서, 도 22에 도시한 바와 같이, 구멍(5)의 내부를 포함하는 반도체 기판(1)의 이면(1y)(절연막(7)) 상에 금속 시드층(13)을 예를 들면 스퍼터법으로 형성한다. 형성하는 금속 시드층(13)으로서, 예를 들면 Ti(티탄)막과 Au(금)막으로 이루어지는 적층이 생각된다. Ti막은 절연막(7)과 Au막의 밀착성을 확보하기 위해 0.02 μ m~0.3 μ m 정도의 두께로 형성하고, Au막은 도금의 시드로서 0.3~2 μ m 정도의 두께가 있으면 된다. 금속 시드층으로서 Ti막과 Au막의 적층막 외, 예를 들면 Cr막과 Au막의 적층막이 생각된다.
- <61> 계속해서, 도 23에 도시한 바와 같이, 포토리소그래피 기술에 의해 레지스트 마스크(14)를 형성한다. 이 레지스트 마스크는, 후의 도금막을 형성하는 공정에서 이용된다.
- <62> 계속해서, 도 24에 도시한 바와 같이, 예를 들면 전기 도금법에 의해 내부 전극(4c) 및 이면 배선 패드(4d)로 되는 Au막(15)(도금층)을 형성한다. 형성하는 도금막 두께는, 전기 저항을 고려하여 1 μ m 이상이 바람직하지만, Au막(15)의 막 두께로 관통 전극(4)의 내경이 소정의 직경으로 되도록 조절한다. Au막(15)의 형성 방법으로서 무전해 도금법, 스퍼터법 등이 생각된다. 또한, 도금막으로서 Au막과 Cu막의 적층도 생각되지만, 칩 적층 및 웨이퍼 적층의 관점에서 최표면은 Au막으로 하는 것이 바람직하다.
- <63> 계속해서, 도 25에 도시한 바와 같이, 유기 용제나 산소 애싱에 의해 도금용의 레지스트 마스크(14)를 제거한다. 그 후, 도 26에 도시한 바와 같이, 포토리소그래피 공정에 의해 레지스트를 패터닝하여, 구멍(5) 및 이면 배선 패드(4d)를 덮는 보호용의 레지스트 마스크(16)를 형성한다.
- <64> 계속해서, 도 27에 도시한 바와 같이, 노출되어 있는 금속 시드층(13)인 Au막과 Ti막을, 각각 Au의 에칭 용액과 Ti의 에칭 용액에 의해 제거한다. 또한, Ti막의 에칭 용액으로서, 예를 들면 불산이 생각되지만, 그 밖의 에칭 용액이어도 된다.
- <65> 이와 같이 하여, 오목부(100)의 저면 상에서는 절연막(7)을 개재하여, 콘택트 홀(6)의 저면 상에서는 주면 배선 패드(4a)와 전기적으로 접속되는 금속 시드층(4b) 및 이면 배선 패드(4d)를 구성하는 도전막이 형성된다.
- <66> 계속해서, 도 28에 도시한 바와 같이, 보호용의 레지스트 마스크(16)를 제거하여, 반도체 기판(1)의 가공이 완료된다. 그 후, 도 29에 도시한 바와 같이, 반도체 기판(1)으로부터 지지 기판(9)의 박리를 행한다. 예를 들면, 열 가소성의 접착층(8)이면 가열에 의해 박리를 행한다. 다음으로, 웨이퍼 상태의 반도체 기판(1)을 블레이드 다이싱에 의해 칩(1C)으로 개편화한다. 칩으로의 개편화는, 지지 기판(9)에 반도체 기판(1)을 접착한 상태에서도 행할 수 있지만, 지지 기판(9)마다 개편화하게 되면 지지 기판(9)의 재이용을 할 수 없다. 핸들링은 어렵게 되지만 지지 기판(9)을 떼어내어 다이싱을 행함으로써, 지지 기판(9)의 재이용이 가능하게 된다.
- <67> 계속해서, 도 4에 도시한 바와 같이, 반도체 기판(1)의 주면(1x)측에 있는 주면 배선 패드(4a)에 예를 들면 스텔드 범프법에 의해 범프(3)를 형성한다. 범프의 형성 방법으로서, 솔더 페이스트 범프법, 도금법, 증착법 등이 있다.
- <68> 이와 같이 관통 전극(4) 형성 시, 본 발명을 적용하면 칩(1C)(반도체 기판(1))의 이면(1y)에 볼록부가 형성되는 것을 방지할 수 있어, 칩 흡착력의 저하를 방지할 수 있다. 또한, 칩(1C)의 이면(1y)에 이면 배선 패드(4d)의 틀 형상의 더미 이면 배선이나 더미 이면 배선 패드를 형성하는 경우와 비교하여, 저코스트로 칩 흡착력 저하를 방지할 수 있다. 이와 같이 본 실시 형태에서의 반도체 장치에서, 제조 수율을 개선할 수 있어, 제조 코스트를 저감할 수 있다.
- <69> <실시 형태 2>
- <70> 본 실시 형태에서는, 예를 들면 마이크로컴퓨터 칩과 같은 반도체 장치를 구성하는 반도체 칩에서, 고집적 회로(반도체 소자)를 탑재한 반도체 칩에 인접하는 복수의 관통 전극을 설치할 때에, 본 발명을 적용한 경우에 대해서 설명한다. 구체적으로는, 상기 실시 형태 1에서는 1개의 오목부 내부에 1개의 관통 전극을 갖는 경우에 대해서 설명하였지만, 본 실시 형태에서는 1개의 오목부 내부에 복수의 관통 전극을 갖는 경우에 대해서 설명한다. 또한, 상기 실시 형태 1과는 1개의 오목부 내부에 복수의 관통 전극을 갖는 점만이 상위하므로, 상기 실시 형태 1과 마찬가지로의 설명은 생략하는 경우가 있다.
- <71> 도 30은 본 실시 형태에서의 반도체 장치의 주요부의 모식적 평면도이며, 도 31은 도 30의 X2-X2선에서의 반도체 장치의 모식적 단면도이다. 1개의 오목부(100) 내부에는, 예를 들면 1~3개의 관통 전극(4)이 설치되어 있

다. 반도체 기관(1)에 복수의 관통 전극(4)을 설치하는 경우, 예를 들면 1개의 오목부(100) 내부에 1개의 관통 전극(4)을 설치할 수도 있다. 그러나, 인접하는 관통 전극(4)의 협피치화의 대응을 고려한 경우, 인접하는 오목부(100)의 피치를 확보하는 것이 방해로 되는 경우가 있다. 따라서, 본 실시 형태에서는, 1개의 오목부(100) 내부에 복수의 관통 전극(4)을 설치함으로써, 관통 전극(4)의 협피치화에 대응하고 있다.

<72> 또한, 본 실시 형태에서의 관통 전극은, 상기 실시 형태 1에서 도 5~도 29를 참조하여 설명한 제조 방법을 이용하여 마찬가지로 형성할 수 있기 때문에, 그 설명은 생략한다.

<73> <실시 형태 3>

<74> 본 실시 형태에서는, 예를 들면 마이크로컴퓨터 칩과 같은 반도체 장치를 구성하는 반도체 칩에서, 고집적 회로(반도체 소자)를 탑재한 반도체 칩에 관통 전극 및 배선 주회용의 이면 배선을 형성할 때에, 본 발명을 적용한 경우에 대해서 설명한다. 또한, 상기 실시 형태 1과는 오목부 내부에 관통 전극 외에 배선 주회용의 이면 배선을 갖는 점만이 상위하므로, 상기 실시 형태 1과 마찬가지로의 설명은 생략하는 경우가 있다.

<75> 도 32는 본 실시 형태에서의 반도체 장치의 주요부의 모식적 평면도이며, 도 33은 도 3의 X3-X3선에서의 반도체 장치의 모식적 단면도이다.

<76> 도 33에 도시한 바와 같이, 반도체 기관(1)의 주면(1x)에는 반도체 소자(도시 생략)가 형성되어 있고, 그 반도체 소자를 덮도록 층간 절연막(2)이 형성되어 있다. 또한, 반도체 기관(1)의 이면(1y)에는 오목부(100)가 형성되어 있고, 그 오목부(100) 내부에는 금속 시드층(4b)과 내부 전극(4c)으로 구성되는 이면 배선(4e)이 형성되어 있다. 이 이면 배선(4e)은 오목부(100) 내부에 형성되고, 이면 배선(4e)의 주면(101)은 반도체 기관(1)의 이면(1y)으로부터 내측에 위치한다. 또한, 도 32에 도시한 바와 같이 평면에서 보아 오목부(100)가 이면 배선(4e)보다 크면, 그 평면 형상은 도시하는 형상에 한하지 않는다.

<77> 이와 같이, 이면 배선(4e)의 패턴보다도 광역에 오목부(100)를 형성하고, 그 오목부(100)의 내부에 이면 배선(4e)을 형성하고, 반도체 기관(1)의 이면(1y)보다도 외측에 이면 배선(4e)의 주면(101)이 형성되는 것을 방지하여, 반도체 기관(1)의 이면(1y)에 불록부가 생기는 것을 방지할 수 있다. 또한, 반도체 기관(1)의 이면(1y)의 평탄성을 확보할 수 있으므로, 칩(IC)으로서 취급할 때에, 흡착력의 저하를 방지할 수 있다. 이에 의해, 반도체 장치의 제조에서, 제조 수율을 개선할 수 있고, 또한 제조 코스트를 저감할 수 있다.

<78> 다음으로, 도 33에 도시한 반도체 장치의 제조 방법, 특히 이면 배선(4e)의 제조 방법에 대해서 도 34~도 50을 참조하여 설명한다. 또한, 상기 실시 형태 1과 동일 공정인 도 5~도 7의 설명을 생략하고, 그 이후의 공정에 대해서 설명한다.

<79> 도 34에 도시한 바와 같이, 반도체 기관(1)의 이면(1y) 상에 포토레지스트를 도포하고, 포토리소그래피법에 의해, 오목부 가공용의 레지스트 마스크(102)를 형성한다. 다음으로, 도 35에 도시한 바와 같이 ICP-RIE에 의해 이방성의 에칭을 행하여, 오목부(100)를 형성한다. 오목부(100)의 깊이는, 이후에 형성하는 이면 배선(4e)의 두께보다 깊게 혹은 동등하게 한다. 그 후, 유기 용제나 산소 애싱에 의해 오목부 가공용의 레지스트 마스크(102)를 반도체 기관(1)으로부터 제거한다(도 36).

<80> 계속해서, 도 37에 도시한 바와 같이, 반도체 기관(1)에 포토레지스트를 도포하고, 포토리소그래피법에 의해, 오목부를 덮도록 레지스트 마스크(10)를 형성한다. 이에 의해, 상기 실시 형태 1에서 설명한 도 9의 가공을 행하여도, 레지스트 마스크(10)에 의해 덮여져 있는 영역은 가공되지 않는다. 다음으로, 구멍(5)의 형성이 완료된 후, 남은 레지스트 마스크(10)를 유기 용제나 산소 애싱에 의해 세정한다(도 38, 도 12). 그 후, 도 39에 도시한 바와 같이, 오목부(100)를 포함하는 반도체 기관(1)의 이면(1y) 전체면에, 예를 들면 CVD(Chemical vapor deposition)법으로 절연막(7)을 형성한다. 절연막(7)은, 구멍(5) 내부에서 구멍 내벽 및 이면을 따라서 이들 면을 덮도록 형성된다(도 14).

<81> 계속해서, 도 40에 도시한 바와 같이, 예를 들면 스퍼터법으로 오목부(100)도 포함하여 절연막(7)을 덮도록 Al막(11)을 형성한다. 이 때, 구멍(5) 내면 및 저면에도 절연막 보호용의 Al막(11)이 형성된다(도 15). 형성 방법은, 증착법이어도 된다. 다음으로, 도 41에 도시한 바와 같이, 오목부(100)를 덮도록 레지스트 마스크(12)를 형성한다. 이에 의해, 상기 실시 형태 1에서 설명한 도 18 및 도 19에 도시하는 가공을 행하여도, 레지스트 마스크(12)에 의해 덮여져 있는 영역은 가공되지 않는다. 그 후, 유기 용제나 산소 애싱에 의해 절연간 개구용의 레지스트 마스크(12)를 반도체 기관(1)으로부터 제거한다(도 42).

<82> 계속해서, 절연막 보호용의 Al막(11)을 Al의 에칭 용액에 의해 제거한다(도 43). 다음으로, 구멍(5)의 내부를

포함하는 반도체 기판(1)에 금속 시드층(13)을 예를 들면 스퍼터법으로 형성하기 때문에(도 22), 도 44에 도시한 바와 같이, 절연막(7) 상에 금속 시드층(13)이 형성된다. 다음으로, 도 45에 도시한 바와 같이, 포토리소그래피 기술에 의해 도금용의 레지스트 마스크(14)를 금속 시드층(13) 상에 형성한다.

<83> 계속해서, 도 46에 도시한 바와 같이, 예를 들면 전기 도금법에 의해 이면 배선(4e)으로 되는 Au막(15)을 레지스트 마스크(14)의 개구부로부터 노출되어 있는 금속 시드층(13) 상에 형성한다. 이 Au막(15)은 내부 전극(4c) 및 이면 배선 패드(4d)를 구성하는 것이기도 하다(도 24). 다음으로, 유기 용제나 산소 애싱에 의해 도금용의 레지스트 마스크(14)를 반도체 기판(1)으로부터 제거한다(도 47). 그 후, 도 48에 도시한 바와 같이, 포토리소그래피 공정에 의해 레지스트를 패터닝하여, 보호용의 레지스트 마스크(16)를 금속 시드층(13) 상에 형성한다. 이 때, 구멍(5) 및 이면 배선 패드(4d)를 덮도록 보호용의 레지스트 마스크(16)가 형성된다(도 26).

<84> 계속해서, 도 49에 도시한 바와 같이, 노출되어 있는 금속 시드층(13)인 Au막과 Ti막을, 각각 Au의 에칭 용액과 Ti의 에칭 용액에 의해 제거한다. 다음으로, 보호용의 레지스트 마스크(16)를 제거함으로써, 반도체 기판(1)의 가공이 완료된다(도 50). 이에 의해, 상기 실시 형태 1에서 나타난 이면 배선 패드(4d)와 동시에, 오목부(100)의 저면 상에서 금속 시드층(13)/Au막(15)의 적층막으로 구성되는 이면 배선(4e)을 형성하게 된다.

<85> 계속해서, 반도체 기판(1)으로부터 지지 기판(9)의 박리를 행한다. 예를 들면, 열 가소성의 접착층(8)이면 가열에 의해 박리를 행한다(도 51). 그 후, 웨이퍼 상태의 반도체 기판(1)을 블레이드 다이싱에 의해 칩(1C)으로 개편화한다(도 33).

<86> 이와 같이 이면 배선(4e)의 형성 시, 본 발명을 적용하면 칩(1C)(반도체 기판1)의 이면(1y)에 볼록부가 형성되는 것을 방지할 수 있어, 칩 흡착력의 저하를 방지할 수 있다. 이와 같이 본 실시 형태에서의 반도체 장치에서, 제조 수율을 개선할 수 있어, 제조 코스트를 저감할 수 있다.

<87> <실시 형태 4>

<88> 본 실시 형태에서는, 상기 실시 형태 1에서 나타난 반도체 칩을 적층하여 구성되는 반도체 장치에 대해서 설명한다. 도 52는 본 실시 형태에서의 반도체 장치의 모식적 단면도이며, 도 53은 도 52에서의 반도체 장치를 분해하여 도시하는 모식적 평면도이다.

<89> 도 52에는, 상기 실시 형태 1에서 나타난 반도체 칩으로 구성되는 예를 들면 마이크로컴퓨터 칩(20)과 SDRAM 칩(21)의 고집적 회로를 탑재한 2매의 칩을 적층하기 위해, 재배선을 행하는 인터포저 칩(22)을 상기 2매의 칩간에 삽입하고, 배선 기판(23)에 탑재하고 있다.

<90> 각 칩간은, 상단 칩의 스테드 범프(3)를 하단 칩에 형성한 중공의 관통 전극(4)에 압접에 의해 변형 주입하고, 기하학적으로 코오킹하여 전기적으로 접속하고 있다. 배선 기판(23)의 하측에는, 뿔뿔 범프(24)가 형성되어 있어, 외부와의 접속용에 사용된다. 이에 의해, 마이크로컴퓨터 칩(20)의 관통 전극(4)과 인터포저 칩(22)의 스테드 범프(3)가 기하학적으로 코오킹되어, 마이크로컴퓨터 칩(20)의 이면(1y) 상에 적층되어 있다. 또한, 인터포저 칩(22)의 관통 전극(4)과 SDRAM 칩(21)의 스테드 범프(3)가 기하학적으로 코오킹되어, 인터포저 칩(22)의 이면(1y) 상에 적층되어 있다.

<91> 각 칩(마이크로컴퓨터 칩(20), SDRAM 칩(21), 인터포저 칩(22))과 배선 기판(23)을 적층한 후에, 밀봉용 접착제(25)로 각 칩이나 배선 기판(23)의 사이를 때우고, 기계 강도를 높여 반도체 장치의 조립 시의 핸들링성을 높임과 함께, 외부 환경으로부터 반도체 소자를 보호한다.

<92> 도 53에 도시한 바와 같이, 각 칩의 이면(1y)에 이면 배선(26)이 형성되어 있고, 관통 전극(4)을 통하여 배선끼리가 3차원적으로 연결되어 3차원 배선을 구성하고 있다. 따라서, 이면 배선(26)은 동(同)전위선으로서 사용 가능하며, 예를 들면 그라운드선, 전원선, 신호선으로서의 이용이 생각된다. 이와 같은 사용을 함으로써, 반도체 장치 전체로서의 배선 인덕턴스를 저감할 수 있으므로, 동작을 고속화할 수 있다.

<93> 이상, 본 발명자에 의해 이루어진 발명을 실시 형태에 기초하여 구체적으로 설명하였지만, 본 발명은 상기 실시 형태에 한정되는 것이 아니라, 그 요지를 이탈하지 않는 범위에서 다양하게 변경 가능한 것은 물론이다.

<94> 예를 들면, 상기 실시 형태에서는 스테드 범프와 관통 전극을 기하학적으로 코오킹하여 칩을 적층하는 경우에 대해서 설명하였지만, 스테드 범프 외에, 뿔뿔 범프나 도금 범프를 이용하여 관통 전극과 코오킹하는 경우에도 적용할 수 있다.

산업이용 가능성

<95> 본 발명은, 반도체 장치, 특히 3차원적으로 적층된 복수의 반도체 칩을 갖는 반도체 장치의 제조업에 폭넓게 이용되는 것이다.

도면의 간단한 설명

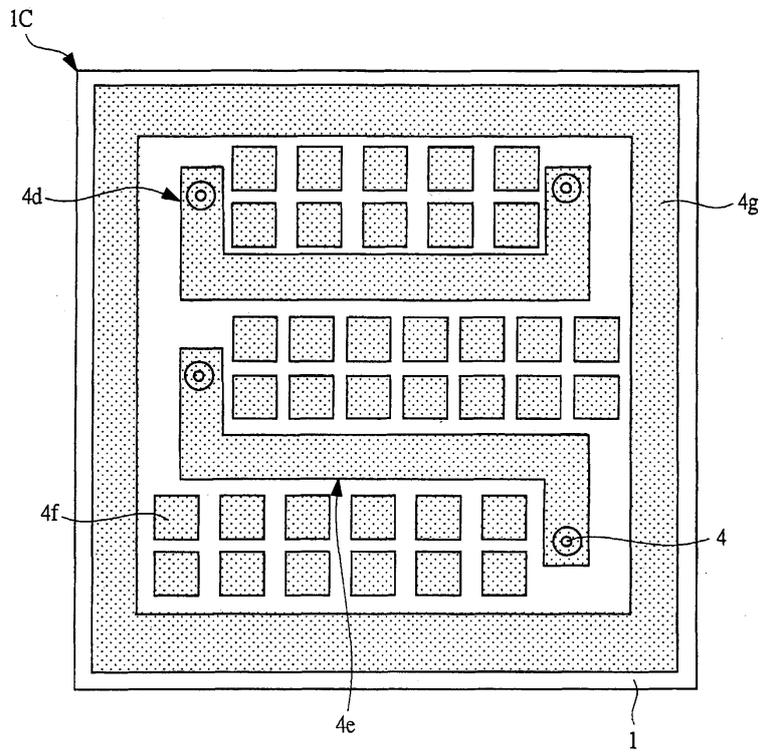
- <96> 도 1은 본 발명자들이 검토한 반도체 칩 이면의 모식적 평면도.
- <97> 도 2는 본 발명을 적용한 반도체 칩 이면의 모식적 평면도.
- <98> 도 3은 본 발명의 일 실시 형태에서의 반도체 장치의 주요부의 모식적 평면도.
- <99> 도 4는 도 3의 X1-X1선에서의 반도체 장치의 모식적 단면도.
- <100> 도 5는 본 발명의 일 실시 형태에서의 제조 공정 중의 반도체 장치의 주요부의 모식적 단면도.
- <101> 도 6은 도 5에 후속하는 제조 공정 중의 반도체 장치의 주요부의 모식적 단면도.
- <102> 도 7은 도 6에 후속하는 제조 공정 중의 반도체 장치의 주요부의 모식적 단면도.
- <103> 도 8은 도 7에 후속하는 제조 공정 중의 반도체 장치의 주요부의 모식적 단면도.
- <104> 도 9는 도 8에 후속하는 제조 공정 중의 반도체 장치의 주요부의 모식적 단면도.
- <105> 도 10은 도 9에 후속하는 제조 공정 중의 반도체 장치의 주요부의 모식적 단면도.
- <106> 도 11은 도 10에 후속하는 제조 공정 중의 반도체 장치의 주요부의 모식적 단면도.
- <107> 도 12는 도 11에 후속하는 제조 공정 중의 반도체 장치의 주요부의 모식적 단면도.
- <108> 도 13은 도 12에 후속하는 제조 공정 중의 반도체 장치의 주요부의 모식적 단면도.
- <109> 도 14는 도 13에 후속하는 제조 공정 중의 반도체 장치의 주요부의 모식적 단면도.
- <110> 도 15는 도 14에 후속하는 제조 공정 중의 반도체 장치의 주요부의 모식적 단면도.
- <111> 도 16은 도 15에 후속하는 제조 공정 중의 반도체 장치의 주요부의 모식적 단면도.
- <112> 도 17은 도 16에 후속하는 제조 공정 중의 반도체 장치의 주요부의 모식적 단면도.
- <113> 도 18은 도 17에 후속하는 제조 공정 중의 반도체 장치의 주요부의 모식적 단면도.
- <114> 도 19는 도 18에 후속하는 제조 공정 중의 반도체 장치의 주요부의 모식적 단면도.
- <115> 도 20은 도 19에 후속하는 제조 공정 중의 반도체 장치의 주요부의 모식적 단면도.
- <116> 도 21은 도 20에 후속하는 제조 공정 중의 반도체 장치의 주요부의 모식적 단면도.
- <117> 도 22는 도 21에 후속하는 제조 공정 중의 반도체 장치의 주요부의 모식적 단면도.
- <118> 도 23은 도 22에 후속하는 제조 공정 중의 반도체 장치의 주요부의 모식적 단면도.
- <119> 도 24는 도 23에 후속하는 제조 공정 중의 반도체 장치의 주요부의 모식적 단면도.
- <120> 도 25는 도 24에 후속하는 제조 공정 중의 반도체 장치의 주요부의 모식적 단면도.
- <121> 도 26은 도 25에 후속하는 제조 공정 중의 반도체 장치의 주요부의 모식적 단면도.
- <122> 도 27은 도 26에 후속하는 제조 공정 중의 반도체 장치의 주요부의 모식적 단면도.
- <123> 도 28은 도 27에 후속하는 제조 공정 중의 반도체 장치의 주요부의 모식적 단면도.
- <124> 도 29는 도 28에 후속하는 제조 공정 중의 반도체 장치의 주요부의 모식적 단면도.
- <125> 도 30은 본 발명의 다른 실시 형태에서의 반도체 장치의 주요부의 모식적 평면도.
- <126> 도 31은 도 30의 X2-X2선에서의 반도체 장치의 모식적 단면도.
- <127> 도 32는 본 발명의 다른 실시 형태에서의 반도체 장치의 주요부의 모식적 평면도.
- <128> 도 33은 도 32의 X3-X3선에서의 반도체 장치의 모식적 단면도.

- <129> 도 34는 본 발명의 다른 실시 형태에서의 제조 공정 중의 반도체 장치의 주요부의 모식적 단면도.
- <130> 도 35는 도 34에 후속하는 제조 공정 중의 반도체 장치의 주요부의 모식적 단면도.
- <131> 도 36은 도 35에 후속하는 제조 공정 중의 반도체 장치의 주요부의 모식적 단면도.
- <132> 도 37은 도 36에 후속하는 제조 공정 중의 반도체 장치의 주요부의 모식적 단면도.
- <133> 도 38은 도 37에 후속하는 제조 공정 중의 반도체 장치의 주요부의 모식적 단면도.
- <134> 도 39는 도 38에 후속하는 제조 공정 중의 반도체 장치의 주요부의 모식적 단면도.
- <135> 도 40은 도 39에 후속하는 제조 공정 중의 반도체 장치의 주요부의 모식적 단면도.
- <136> 도 41은 도 40에 후속하는 제조 공정 중의 반도체 장치의 주요부의 모식적 단면도.
- <137> 도 42는 도 41에 후속하는 제조 공정 중의 반도체 장치의 주요부의 모식적 단면도.
- <138> 도 43은 도 42에 후속하는 제조 공정 중의 반도체 장치의 주요부의 모식적 단면도.
- <139> 도 44는 도 43에 후속하는 제조 공정 중의 반도체 장치의 주요부의 모식적 단면도.
- <140> 도 45는 도 44에 후속하는 제조 공정 중의 반도체 장치의 주요부의 모식적 단면도.
- <141> 도 46은 도 45에 후속하는 제조 공정 중의 반도체 장치의 주요부의 모식적 단면도.
- <142> 도 47은 도 46에 후속하는 제조 공정 중의 반도체 장치의 주요부의 모식적 단면도.
- <143> 도 48은 도 47에 후속하는 제조 공정 중의 반도체 장치의 주요부의 모식적 단면도.
- <144> 도 49는 도 48에 후속하는 제조 공정 중의 반도체 장치의 주요부의 모식적 단면도.
- <145> 도 50은 도 49에 후속하는 제조 공정 중의 반도체 장치의 주요부의 모식적 단면도.
- <146> 도 51은 도 50에 후속하는 제조 공정 중의 반도체 장치의 주요부의 모식적 단면도.
- <147> 도 52는 본 발명의 다른 실시 형태에서의 반도체 장치의 주요부의 모식적 단면도.
- <148> 도 53은 도 52에서의 반도체 장치를 분해하여 나타내는 모식적 평면도.
- <149> <도면의 주요 부분에 대한 부호의 설명>
- <150> 1 : 반도체 기관
- <151> 1x : 주면(제1면)
- <152> 1y : 이면(제2면)
- <153> 1C : 칩
- <154> 2 : 층간 절연막
- <155> 3 : 스텝드 범프(범프 전극)
- <156> 4 : 관통 전극
- <157> 4a : 주면 배선 패드(제1 도전막)
- <158> 4b : 금속 시드층(제2 도전막)
- <159> 4c : 내부 전극(제2 도전막)
- <160> 4d : 이면 배선 패드(제2 도전막)
- <161> 4e : 이면 배선(제2 도전막)
- <162> 4f : 더미 이면 배선 패드
- <163> 4g : 더미 이면 배선
- <164> 5 : 구멍(제1 구멍)

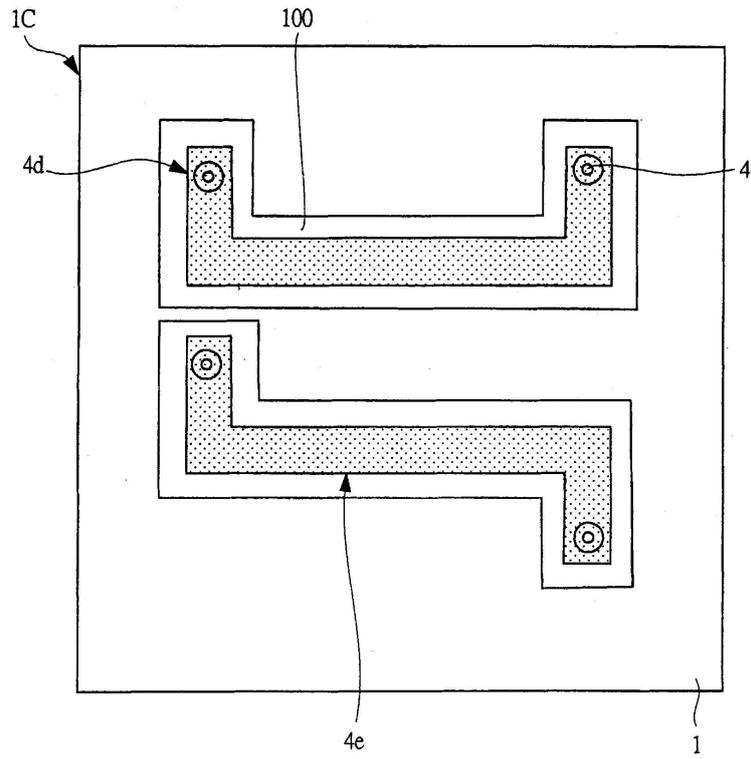
- <165> 6 : 콘택트 홀(제2 구멍)
- <166> 7 : 절연막
- <167> 8 : 접착층
- <168> 9 : 지지 기판
- <169> 10 : 레지스트 마스크(제2 레지스트 마스크)
- <170> 11 : Al막
- <171> 12 : 레지스트 마스크(제3 레지스트 마스크)
- <172> 13 : 금속 시드층(제2 도전막)
- <173> 14 : 레지스트 마스크(제4 레지스트 마스크)
- <174> 15 : Au막(제2 도전막)
- <175> 16 : 레지스트 마스크(제5 레지스트 마스크)
- <176> 20 : 마이크로컴퓨터 칩
- <177> 21 : SDRAM 칩
- <178> 22 : 인터포저 칩
- <179> 23 : 배선 기판
- <180> 24 : 뿔납 범프
- <181> 25 : 밀봉용 접착제
- <182> 26 : 이면 배선
- <183> 100 : 오목부
- <184> 101 : 주면
- <185> 102 : 레지스트 마스크(제1 레지스트 마스크)

도면

도면1

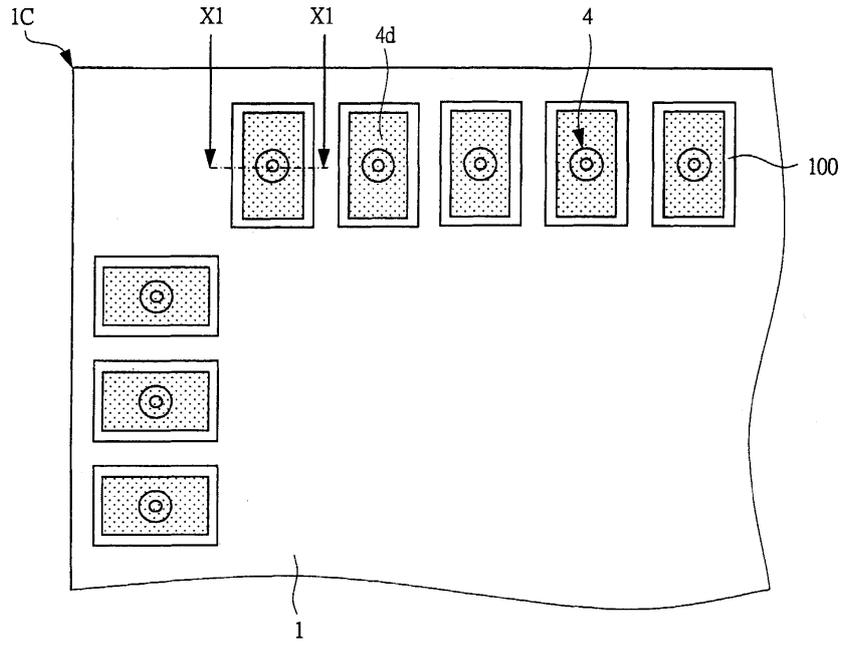


도면2

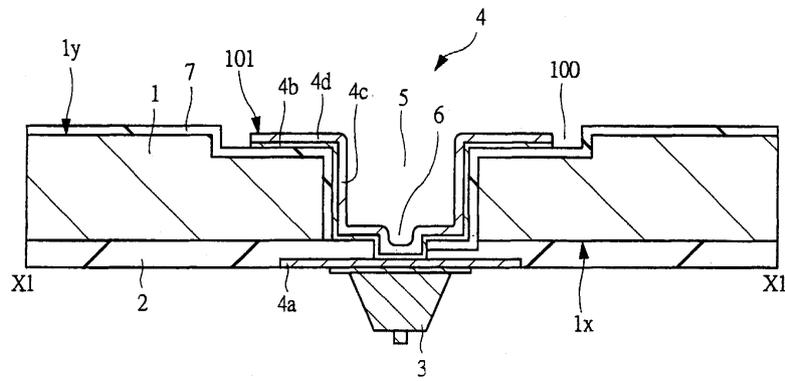


1C: 칩
4d: 이면 배선 패드
4e: 이면 배선
100: 오목부

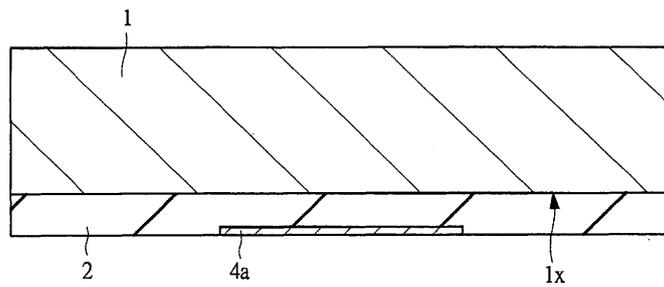
도면3



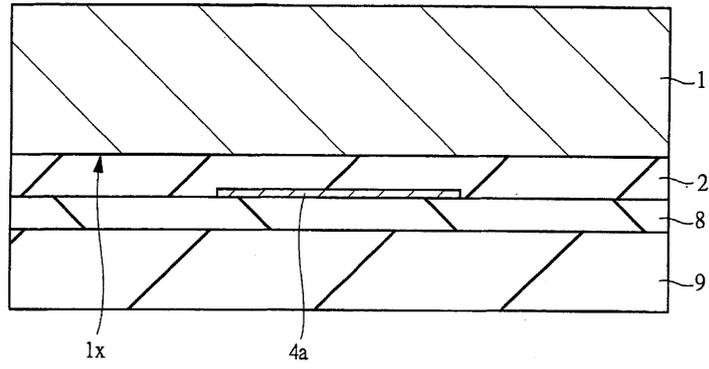
도면4



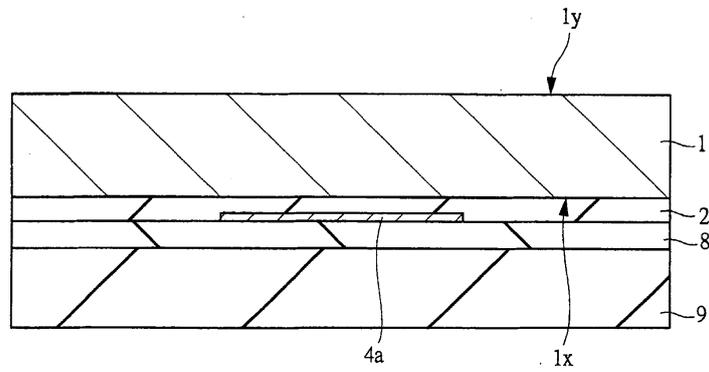
도면5



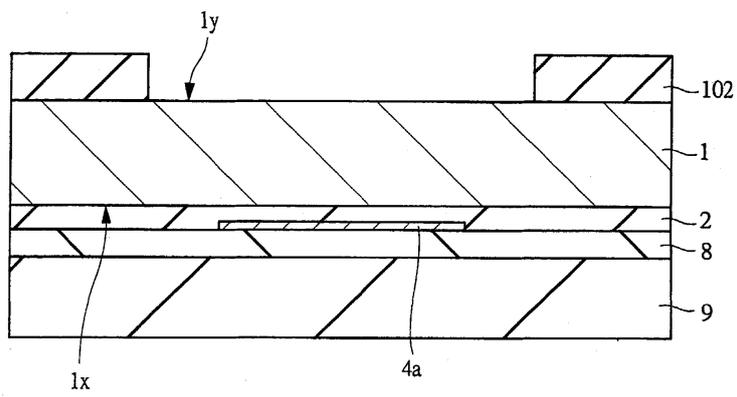
도면6



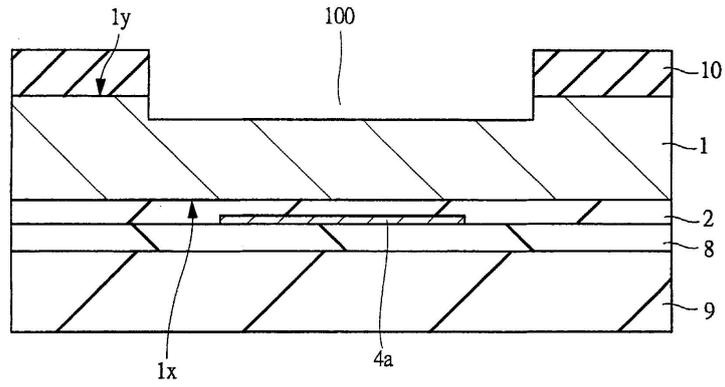
도면7



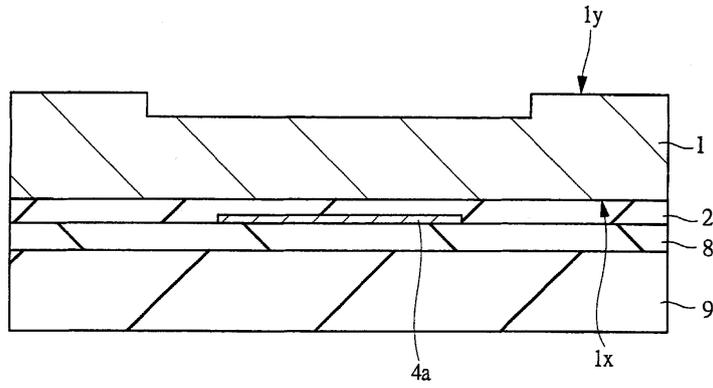
도면8



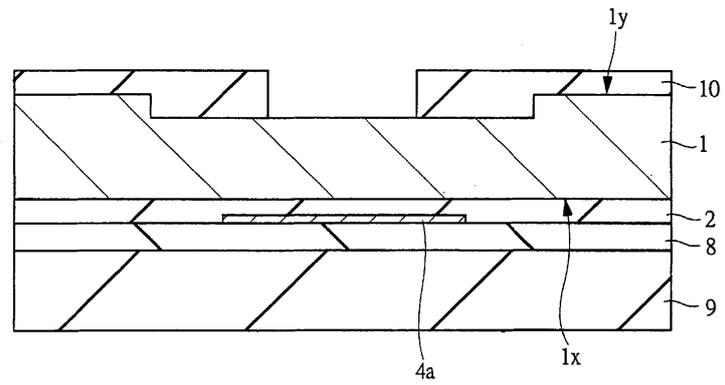
도면9



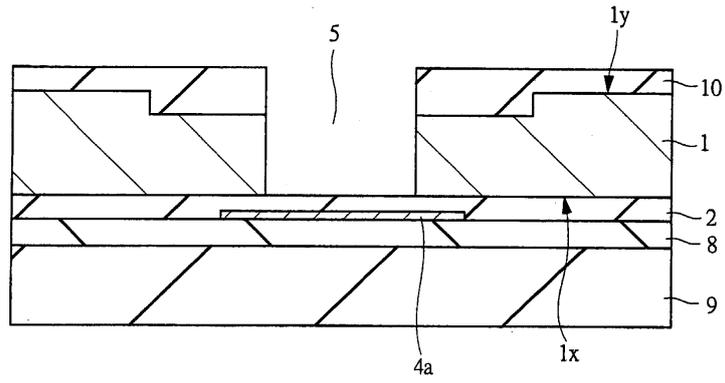
도면10



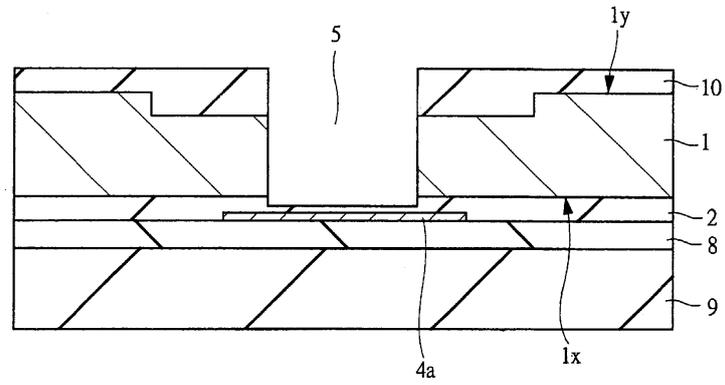
도면11



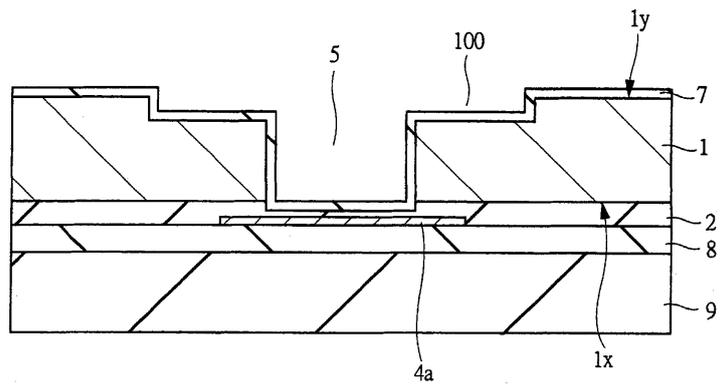
도면12



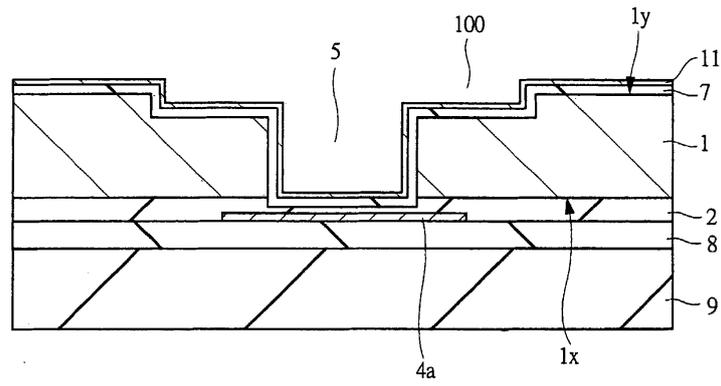
도면13



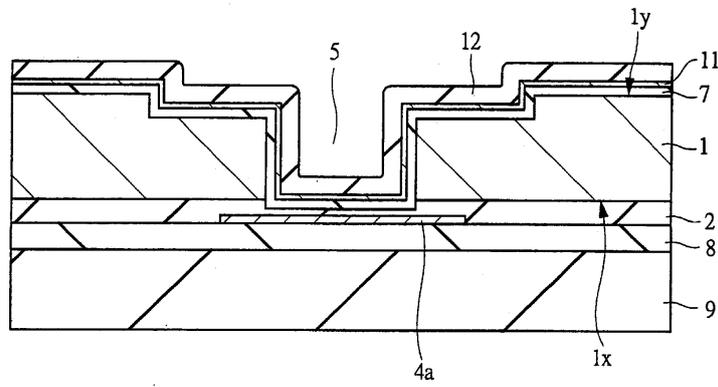
도면14



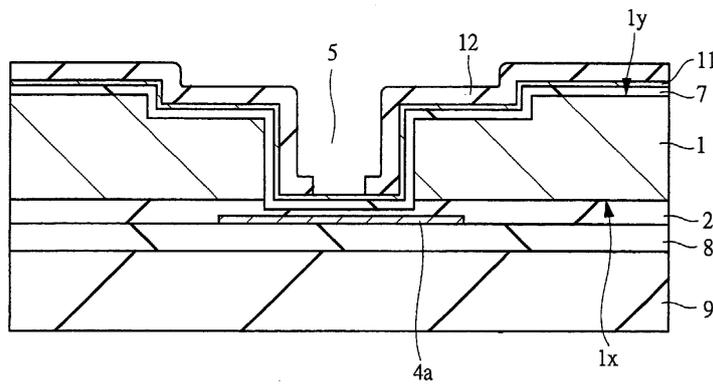
도면15



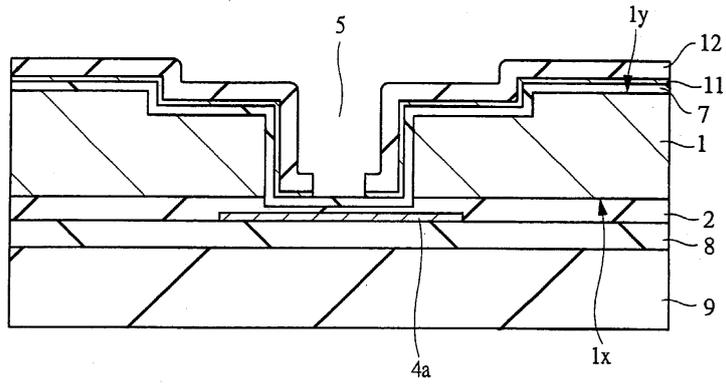
도면16



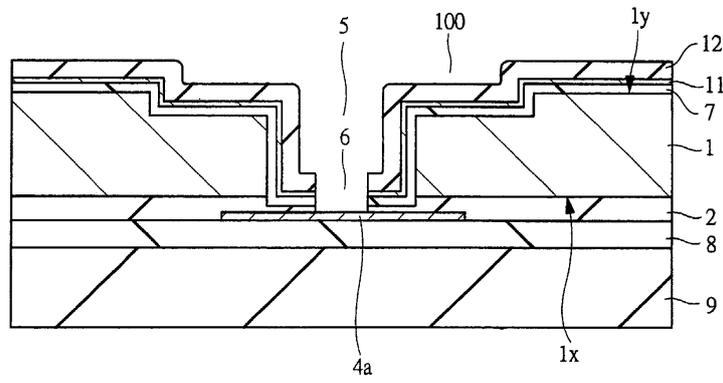
도면17



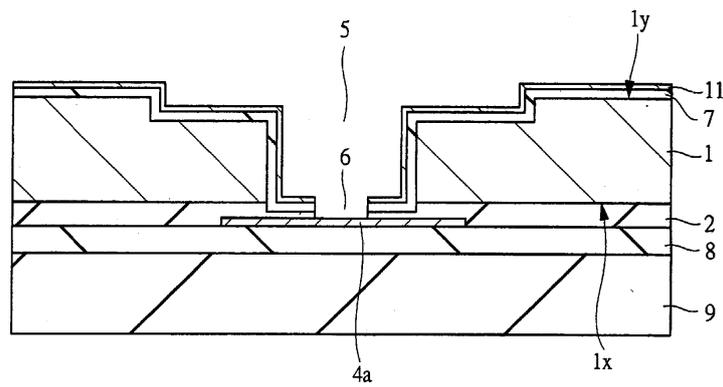
도면18



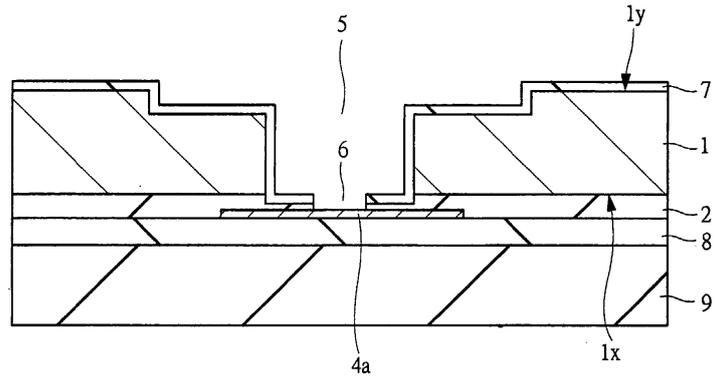
도면19



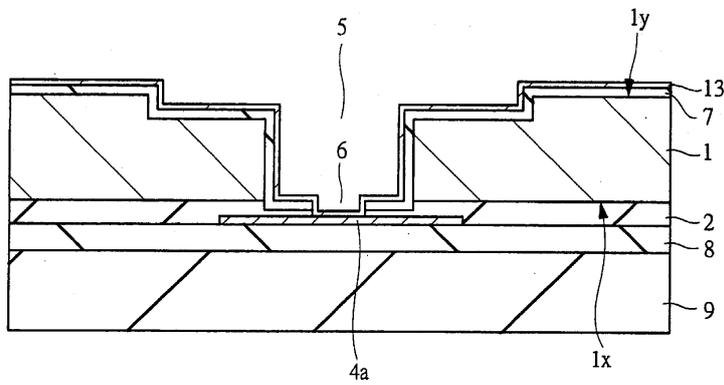
도면20



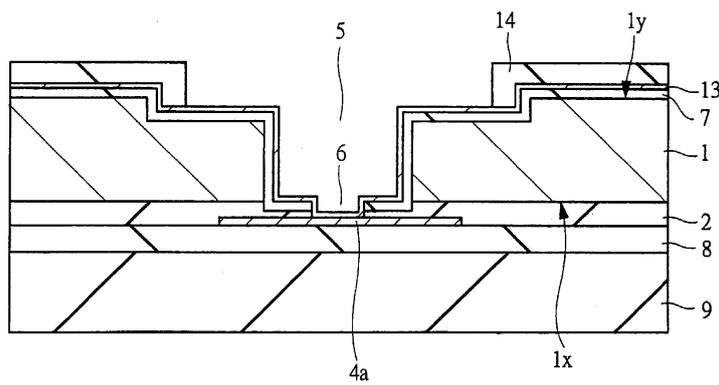
도면21



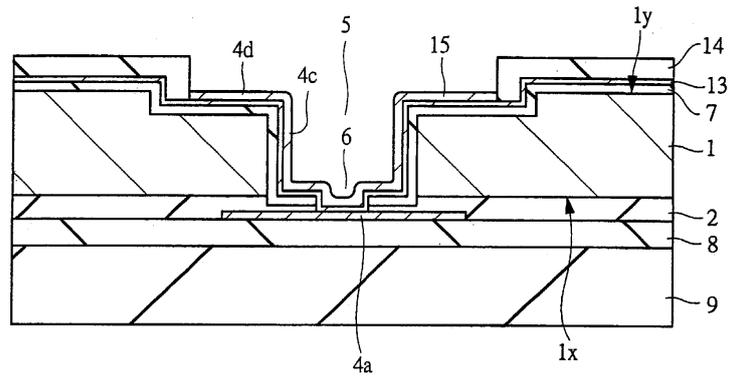
도면22



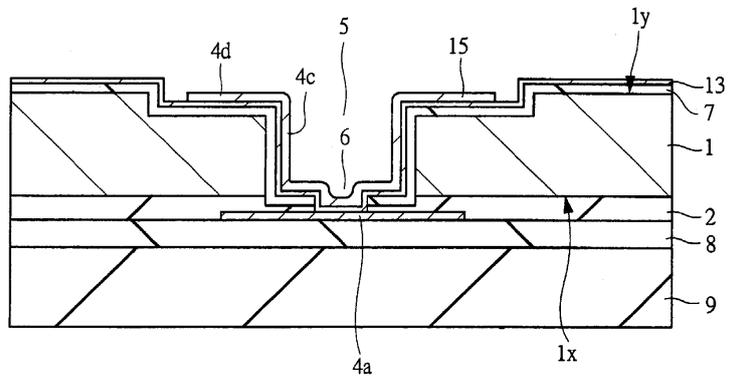
도면23



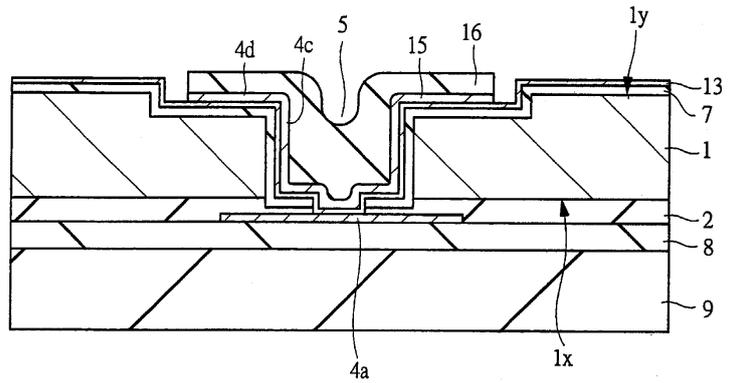
도면24



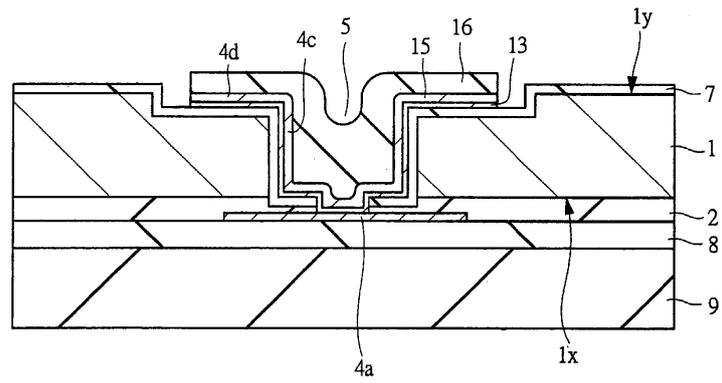
도면25



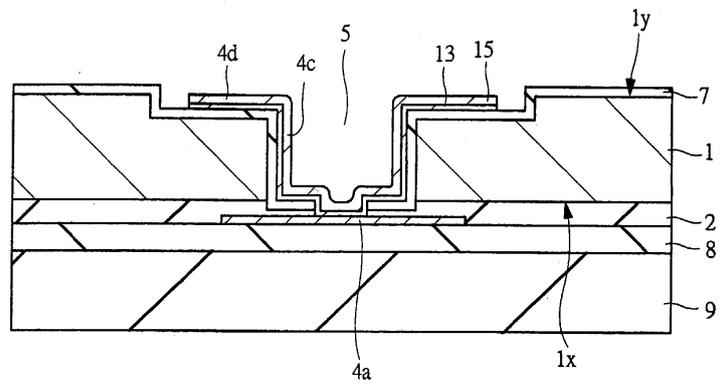
도면26



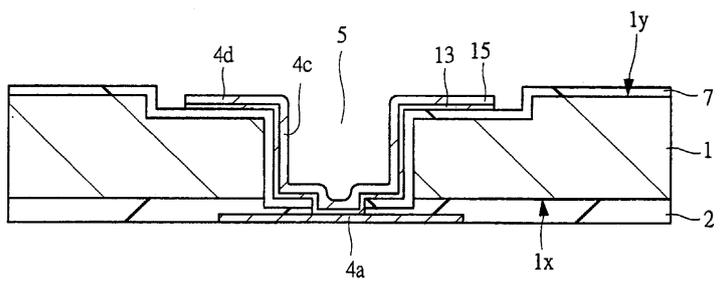
도면27



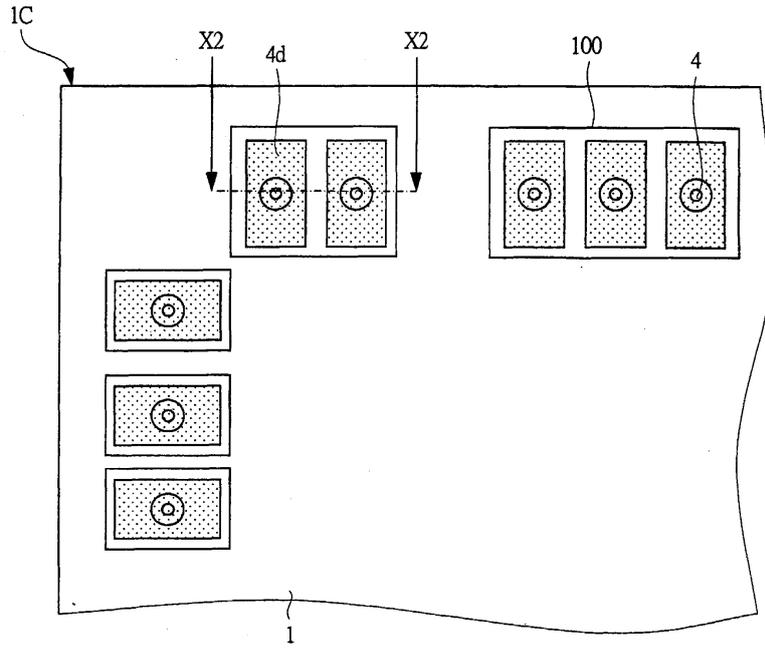
도면28



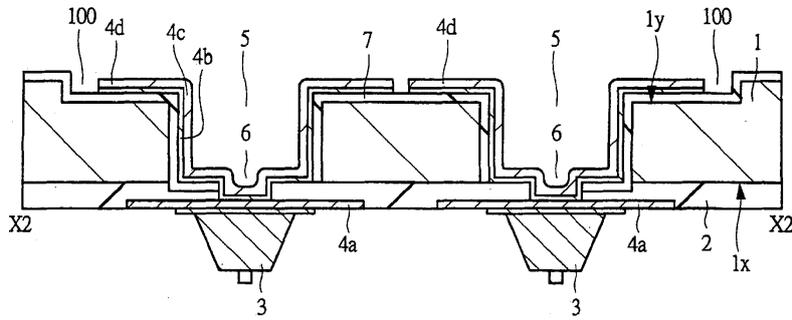
도면29



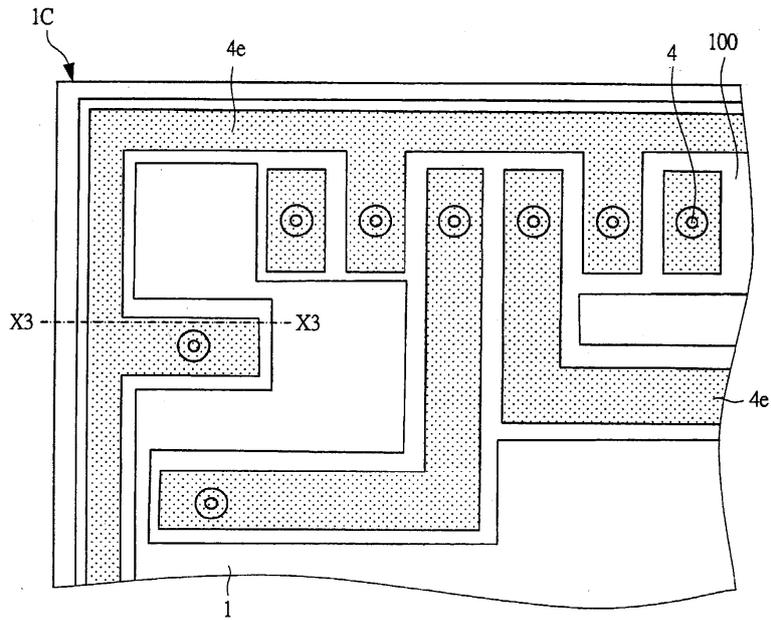
도면30



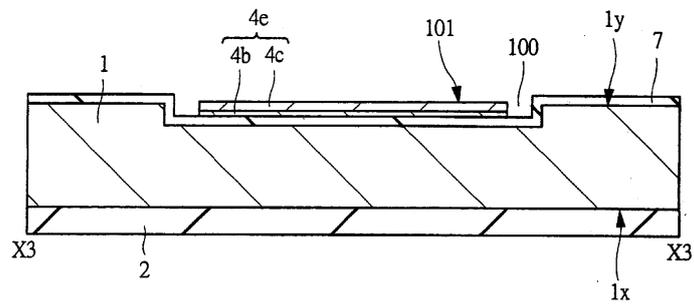
도면31



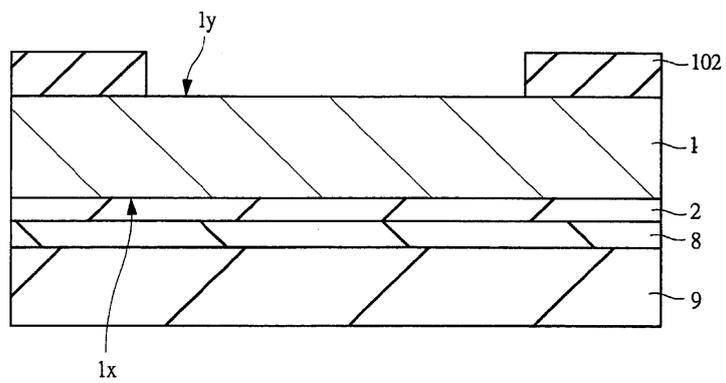
도면32



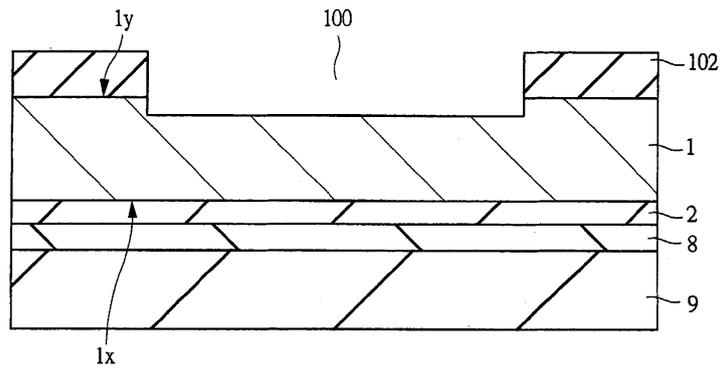
도면33



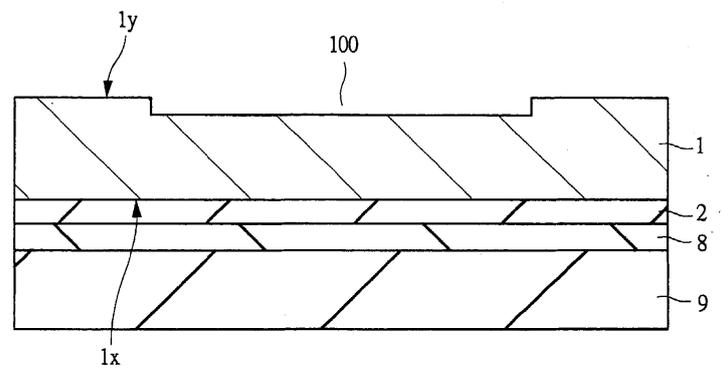
도면34



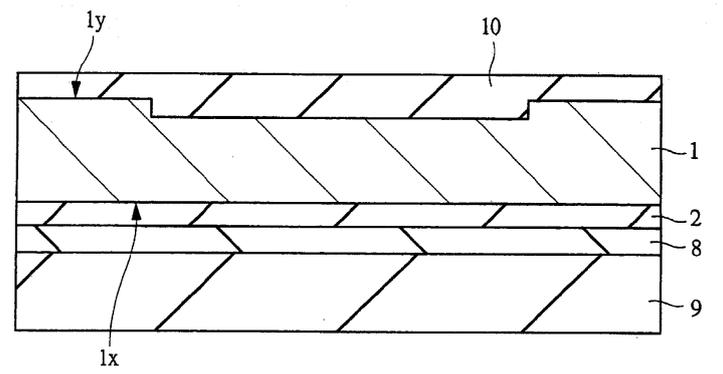
도면35



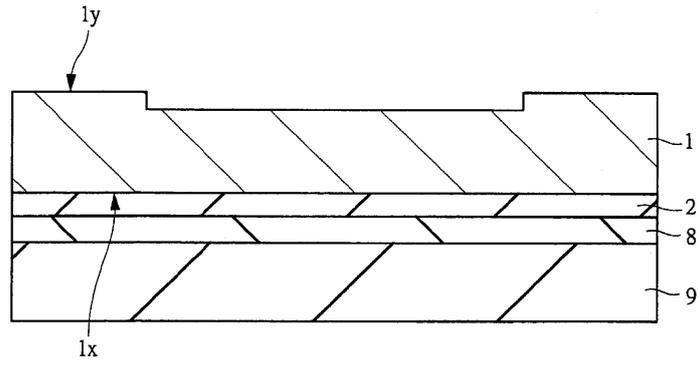
도면36



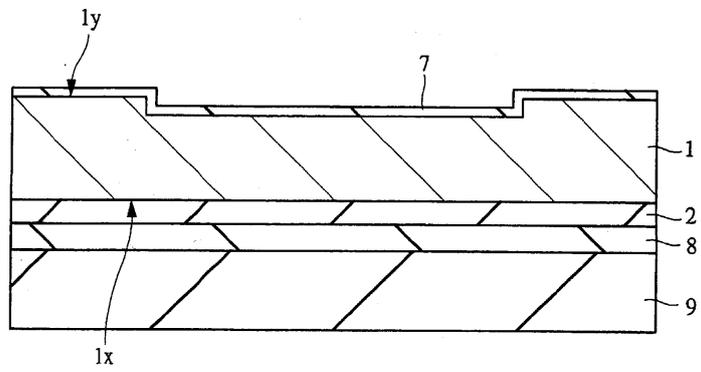
도면37



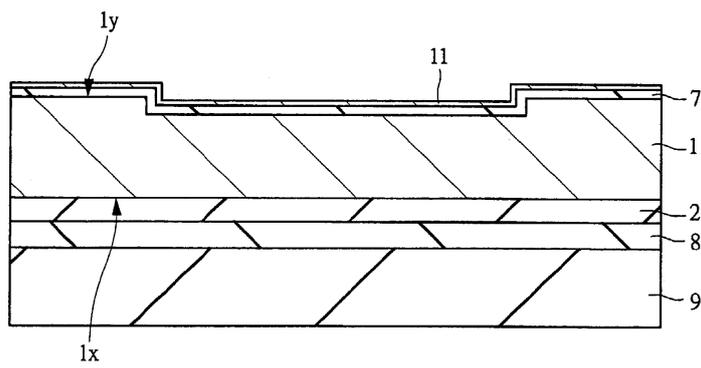
도면38



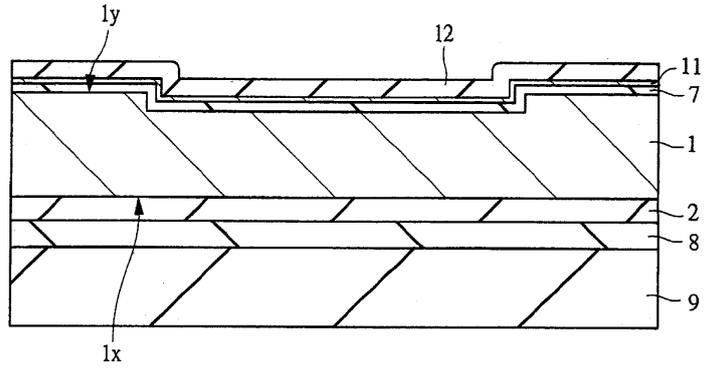
도면39



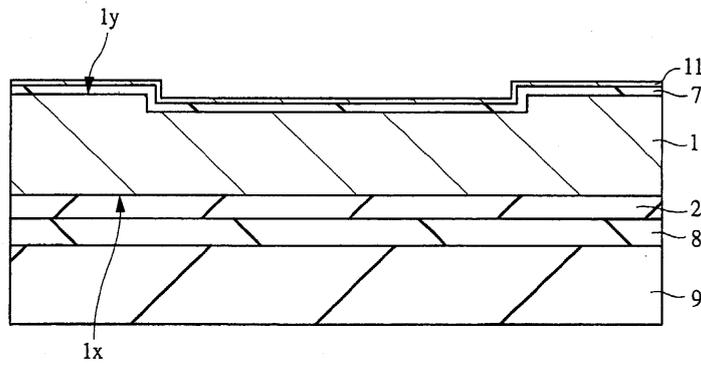
도면40



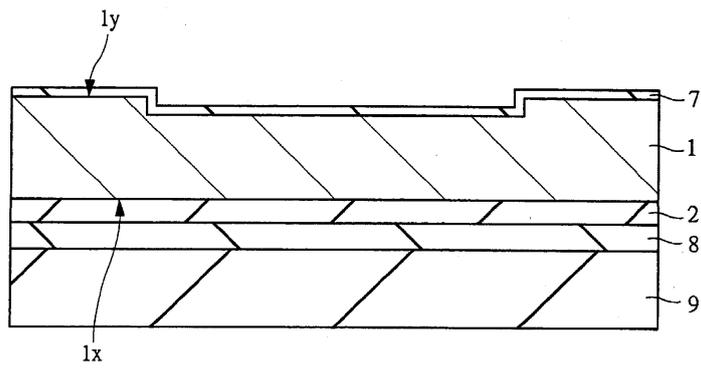
도면41



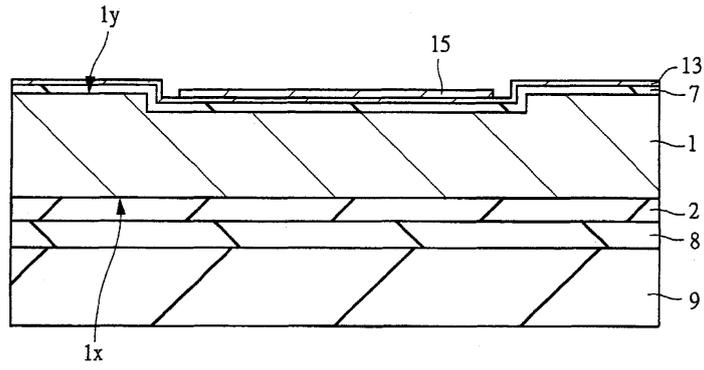
도면42



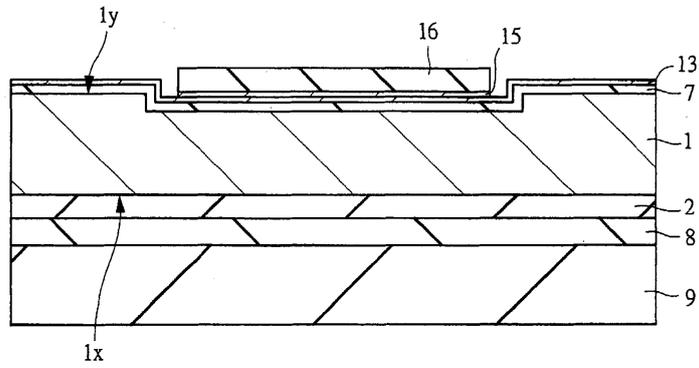
도면43



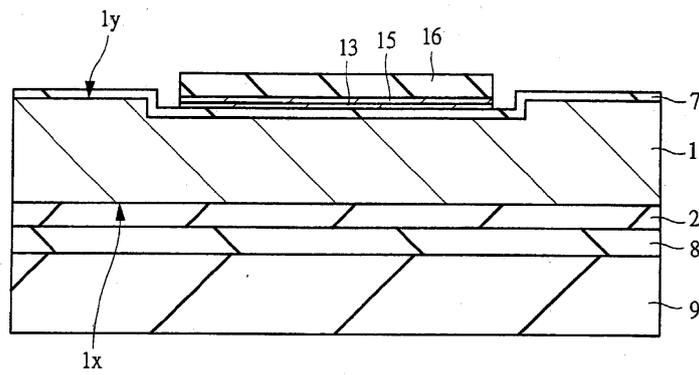
도면47



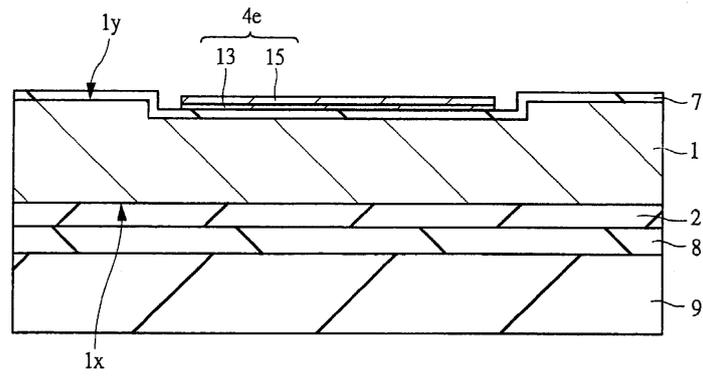
도면48



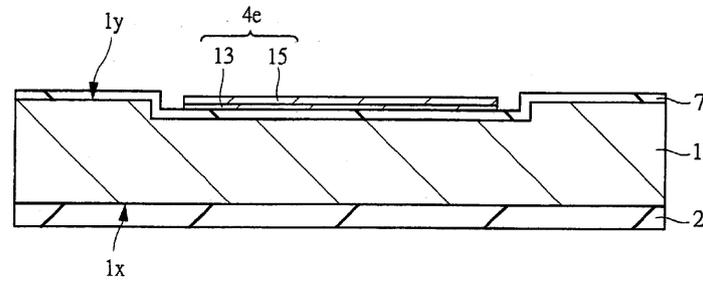
도면49



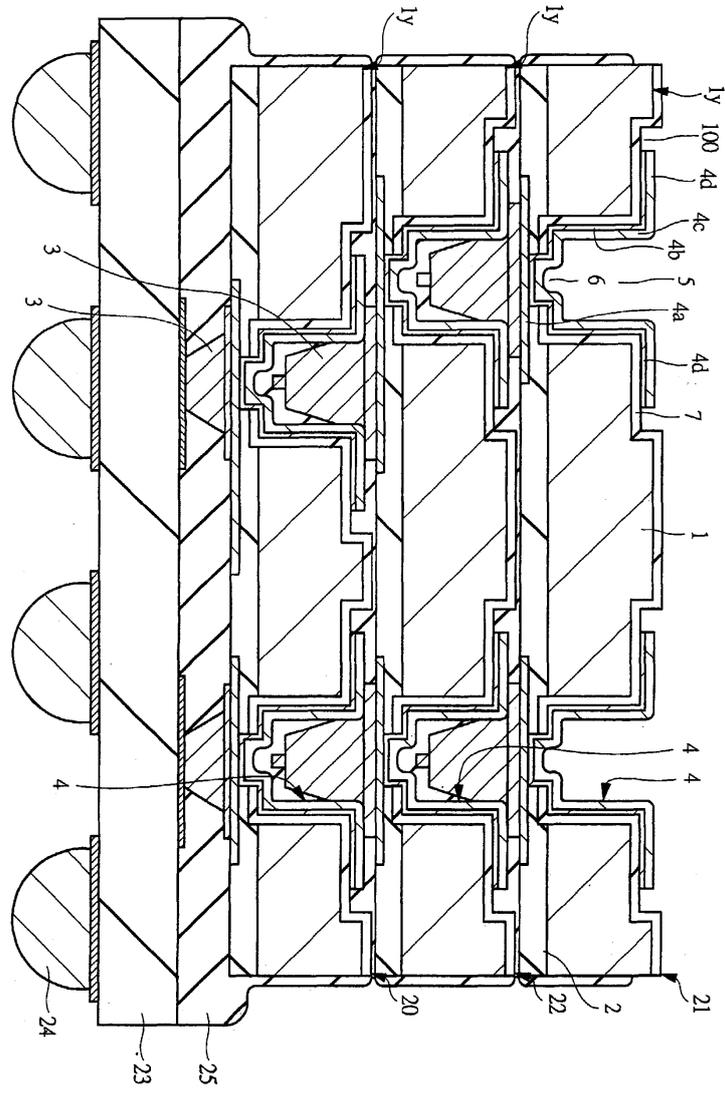
도면50



도면51



도면52



도면53

