



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2022-0032970
(43) 공개일자 2022년03월15일

- | | |
|---|--|
| (51) 국제특허분류(Int. Cl.)
H01L 25/065 (2006.01) H01L 23/00 (2006.01)
H01L 23/31 (2006.01) H01L 23/32 (2006.01)
H01L 23/538 (2006.01) H01L 23/64 (2006.01)
(52) CPC특허분류
H01L 25/0657 (2013.01)
H01L 23/31 (2013.01)
(21) 출원번호 10-2020-0114965
(22) 출원일자 2020년09월08일
심사청구일자 없음 | (71) 출원인
에스케이하이닉스 주식회사
경기도 이천시 부발읍 경충대로 2091
(72) 발명자
박세진
경기도 이천시 부발읍 경충대로 2091
이장희
경기도 이천시 부발읍 경충대로 2091
(74) 대리인
특허법인아주 |
|---|--|

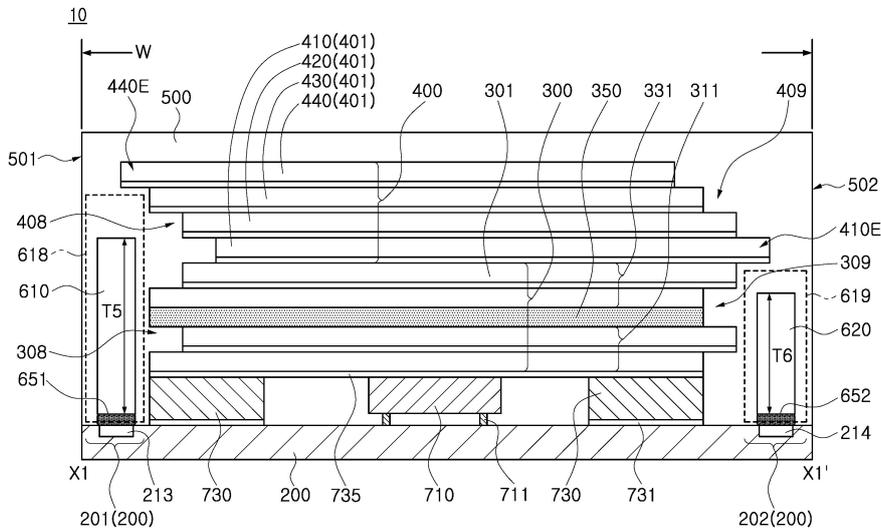
전체 청구항 수 : 총 24 항

(54) 발명의 명칭 수동 소자를 포함한 스택 패키지

(57) 요약

스택 패키지는 패키지 기판 상에 배치된 제1 및 제2수동 소자들과, 하부 스택, 및 상부 스택을 포함하여 구성될 수 있다. 하부 스택은 제1 및 제2수동 소자들 사이에 배치되고, 수직 방향으로 적층된 하부 다이(die)들이 제1 및 제2하부 측면들을 제공할 수 있다. 상부 스택은 최하단의 상부 다이, 중단의 상부 다이, 및 최상단의 상부 다이들이 계단 형상을 이루며 순차적으로 적층되어 구성될 수 있다. 최하단의 상부 다이의 제2단부는 제2수동 소자 상에 부분 중첩될 수 있다. 최상단의 상부 다이의 상단은 제1수동 소자 상에 부분 중첩될 수 있다.

대표도



(52) CPC특허분류

H01L 23/32 (2021.01)
H01L 23/5386 (2013.01)
H01L 23/5389 (2013.01)
H01L 23/645 (2013.01)
H01L 24/06 (2013.01)
H01L 24/09 (2013.01)
H01L 24/46 (2013.01)
H01L 24/49 (2013.01)
H01L 25/0652 (2013.01)

명세서

청구범위

청구항 1

패키지 기관;

상기 패키지 기관 상에 하부 다이(die)들이 수직 방향으로 지그재그(zigzag) 형태를 이루면서 적층된 하부 스택(stack);

하강 계단 형상(down stair shape)의 제1상부 측면을 제공하면서 제1오프셋 방향으로 순차적으로 오프셋 적층된 상부 다이들을 포함하고, 상기 상부 다이들 중 최상단의 상부 다이의 제1단부(end)는 상기 하부 스택의 제1하부 측면 바깥으로 돌출된 상부 스택;

상기 패키지 기관을 덮으면서 상기 하부 스택 및 상기 상부 스택을 밀봉하는 밀봉층; 및

상기 밀봉층의 제1외측 측면과 상기 제1하부 측면, 상기 제1상부 측면, 및 상기 패키지 기관의 제1부분 사이의 제1공간에 배치된 제1수동 소자;를 포함한 스택 패키지.

청구항 2

제1항에 있어서,

상기 제1수동 소자는

상단이 상기 최상단의 상부 다이의 제1단부 보다 낮게 상기 패키지 기관의 제1부분 상에 배치된 스택 패키지.

청구항 3

제1항에 있어서,

상기 제1수동 소자는

상기 최상단의 상부 다이의 제1단부에 일부 부분이 중첩되도록 상기 패키지 기관의 제1부분에 배치된 스택 패키지.

청구항 4

제1항에 있어서,

상기 제1수동 소자는

상기 최상단의 상부 다이의 제1단부에 이격되도록 상기 패키지 기관의 제1부분에 배치된 스택 패키지.

청구항 5

제1항에 있어서,

상기 제1외측 측면의 반대측인 상기 밀봉층의 제2외측 측면, 상기 하부 스택의 제2하부 측면, 및 상기 패키지 기관의 제1부분의 반대측인 상기 패키지 기관의 제2부분 사이의 제2공간에 배치된 제2수동 소자를 더 포함한 스택 패키지.

청구항 6

제5항에 있어서,

상기 상부 다이들 중 최하단의 상부 다이는

제2단부가 상기 제1하부 측면의 반대측인 상기 하부 스택의 제2하부 측면 바깥으로 돌출되고,

상기 제2수동 소자는

상단이 상기 최하단의 상부 다이의 제2단부 보다 낮게 상기 패키지 기관의 제2부분 상에 배치된 스택 패키지.

청구항 7

제6항에 있어서,

상기 제2수동 소자는

상기 최하단의 상부 다이의 제2단부에 일부 부분이 중첩되도록 상기 패키지 기관의 제2부분에 배치된 스택 패키지.

청구항 8

제5항에 있어서,

상기 제2수동 소자는

상기 제1수동 소자 보다 얇은 두께를 가지는 스택 패키지.

청구항 9

제5항에 있어서,

상기 제1수동 소자는 커패시터 소자를 포함하고,

상기 제2수동 소자는 레지스터 소자를 포함한 스택 패키지.

청구항 10

제1항에 있어서,

상기 상부 스택은

상기 제1상부 측면의 반대측에 상승 계단 형상(up stair shape)의 제2상부 측면을 더 포함하고,

상기 상승 계단 형상은 상기 상부 다이들의 상부 본딩 패드(bonding pad)들을 드러내는 스택 패키지.

청구항 11

제10항에 있어서,

상기 상부 본딩 패드들을 상기 패키지 기관의 제1본딩 핑거(landing finger)들에 전기적으로 연결시키는 제1본딩 와이어(bonding wire)들을 더 포함하는 스택 패키지.

청구항 12

제1항에 있어서,

상기 하부 스택은

제1서브 스택(sub stack);

상기 제1서브 스택 상에 수직하게 적층된 제2서브 스택; 및

상기 제2서브 스택을 상기 제1서브 스택에 접촉하는 제1접착층을 포함한 스택 패키지.

청구항 13

제12항에 있어서,

상기 제1 및 상기 제2서브 스택들은

서로 동일한 형상을 가지고, 서로 수직 방향으로 정렬되면서 적층된 스택 패키지.

청구항 14

제12항에 있어서,

상기 제1서브 스택은

제1하부 본딩 패드들을 포함한 제1하부 다이; 및

상기 제1하부 본딩 패드들을 드러내면서 상기 제1오프셋 방향에 반대되는 제2오프셋 방향으로 상기 제1하부 다이 상에 오프셋 적층되고, 제2하부 본딩 패드들을 포함한 제2하부 다이;를 포함한 스택 패키지.

청구항 15

제14항에 있어서,

상기 상부 다이들 각각이 상기 제1오프셋 방향으로 오프셋된 거리들은

상기 제2하부 다이가 상기 제1하부 다이에 대해 상기 제2오프셋 방향으로 오프셋된 거리와 실질적으로 동일한 스택 패키지.

청구항 16

제14항에 있어서,

상기 제2하부 본딩 패드들을 상기 제1하부 본딩 패드들에 전기적으로 연결시키고,

상기 패키지 기관의 제2본딩 핑거들에 전기적으로 연결시키는 제2본딩 와이어들을 더 포함하는 스택 패키지.

청구항 17

제16항에 있어서,

상기 제2본딩 와이어의 일부 부분은

상기 제1접착층에 함침되면서 상기 제2하부 본딩 패드에 본딩된 스택 패키지.

청구항 18

제17항에 있어서,

상기 제2서브 스택은

상기 제2본딩 와이어의 상기 제1접착층에 함침된 일부 부분에 일부 부분이 중첩되도록 위치한 제3하부 다이를 포함하는 스택 패키지.

청구항 19

제16항에 있어서,

상기 패키지 기관의 상기 제2본딩 핑거들 사이에

상기 제1수동 소자가 배치된 스택 패키지.

청구항 20

제15항에 있어서,

상기 제1서브 스택은

상기 제2하부 다이를 상기 제1하부 다이에 접촉하고, 상기 제1접착층보다 얇은 두께를 가지는 제2접착층을 더 포함한 스택 패키지.

청구항 21

제1항에 있어서,

상기 하부 스택과 상기 패키지 기관 사이에 배치된 컨트롤러 다이; 및

상기 컨트롤러 다이 주위에 배치되어 상기 하부 스택을 지지하는 서포터(supporter);를 더 포함하는 스택 패키지.

청구항 22

패키지 기관;

상기 패키지 기관 상에 서로 이격되면서 배치된 제1 및 제2수동 소자들;

상기 제1 및 제2수동 소자들 사이에 배치되고, 수직 방향으로 적층된 하부 다이(die)들이 제1 및 제2하부 측면들을 제공하는 하부 스택; 및

제2단부가 상기 제2수동 소자 상에 부분 중첩된 최하단의 상부 다이, 중단의 상부 다이, 및 제1단부가 상기 제1수동 소자 상에 부분 중첩된 최상단의 상부 다이들이 계단 형상을 이루며 순차적으로 적층된 상부 스택;을 포함하는 스택 패키지.

청구항 23

제22항에 있어서,

상기 제2수동 소자는

상기 제1수동 소자 보다 얇은 두께를 가지는 스택 패키지.

청구항 24

제22항에 있어서,

상기 하부 다이들은

수직 방향으로 지그재그(zigzag) 형태를 이루면서 서로 엇갈려 적층되어

상기 제1 및 제2하부 측면들이 요철 측면(jagged side or staggered side)들을 가지도록 하는 스택 패키지.

발명의 설명

기술 분야

[0001] 본 개시는 반도체 패키지 기술에 관한 것으로, 특히, 수동 소자를 포함한 스택 패키지에 관한 것이다.

배경 기술

[0002] 반도체 패키지는 다양한 전자 제품(electronic application)에 사용되고 있다. 반도체 패키지는 개인용 컴퓨터, 휴대폰이나 카메라 등에 사용될 수 있다. 전자 제품들 및 반도체 패키지들에 고속 동작, 및 대용량 데이터(data) 처리 동작이 요구되면서, 복수의 반도체 다이(semiconductor die)들을 하나의 반도체 패키지로 구성하는 요구가 증가되고 있다. 반도체 패키지 내에 복수의 반도체 다이들이 내장되면서, 반도체 다이들이 3차원적으로 서로 스택(stack)된 구조가 시도되고 있다. 반도체 패키지의 전기적 특성을 개선하기 위해서, 반도체 패키지 내에 수동 소자들을 배치하고자 시도되고 있다. 반도체 패키지의 제한된 크기(size) 내에 보다 많은 수의 수동 소자들을 추가하고자 하는 시도들이 이루어지고 있다.

발명의 내용

해결하려는 과제

[0003] 본 개시는 수동 소자를 포함한 스택 패키지 구조를 제시하고자 한다.

과제의 해결 수단

[0004] 본 개시의 일 관점에 따른 스택 패키지는, 패키지 기관; 상기 패키지 기관 상에 하부 다이(die)들이 수직 방향으로 지그재그(zigzag) 형태를 이루면서 적층된 하부 스택(stack); 하강 계단 형상(down stair shape)의 제1상부 측면을 제공하면서 제1오프셋 방향으로 순차적으로 적층된 상부 다이들을 포함하고, 상기 상부 다이들 중 최상단의 상부 다이의 제1단부(end)는 상기 하부 스택의 제1하부 측면 바깥으로 돌출된 상부 스택; 상기 패키지 기관을 덮으면서 상기 하부 스택 및 상기 상부 스택을 밀봉하는 밀봉층; 및 상기 밀봉층의 제1외측 측면과 상기 제1하부 측면, 상기 제1상부 측면, 및 상기 패키지 기관의 제1부분 사이의 제1공간에 배치된 제1수동 소자;를

포함할 수 있다.

[0005] 본 개시의 일 관점에 따른 스택 패키지는, 패키지 기관; 상기 패키지 기관 상에 서로 이격되면서 배치된 제1 및 제2수동 소자들; 상기 제1 및 제2수동 소자들 사이에 배치되고, 수직 방향으로 적층된 하부 다이(die)들이 제1 및 제2하부 측면들을 제공하는 하부 스택; 및 제2단부가 상기 제2수동 소자 상에 부분 중첩된 최하단의 상부 다이, 중단의 상부 다이, 및 제1단부가 상기 제1수동 소자 상에 부분 중첩된 최상단의 상부 다이들이 계단 형상을 이루며 순차적으로 적층된 상부 스택;을 포함할 수 있다.

발명의 효과

[0006] 본 개시의 실시예들에 따르면, 수동 소자를 포함한 스택 패키지 구조를 제시할 수 있다. 스택 패키지 내에 수동 소자들이 배치될 공간들을 확보하는 반도체 다이들의 스택 구조를 제시할 수 있다. 스택 패키지는 제한된 크기 및 두께를 유지면서도 복수의 수동 소자들을 내장할 수 있다.

도면의 간단한 설명

[0007] 도 1 및 도 2는 일 예에 따른 스택 패키지를 보여주는 개략적인 단면도들이다.
 도 3은 도 1의 스택 패키지의 하부 스택의 형상을 보여주는 개략적인 단면도이다.
 도 4는 도 2의 스택 패키지의 제1서브 스택의 형상을 보여주는 개략적인 단면도이다.
 도 5는 도 2의 스택 패키지의 하부 스택의 형상을 보여주는 개략적인 단면도이다.
 도 6은 도 1의 스택 패키지의 하부 및 상부 스택들이 적층된 형상을 보여주는 개략적인 단면도이다.
 도 7은 도 1의 스택 패키지의 제1수동 소자를 포함한 일부 부분을 확대하여 도시한 개략적인 단면도이다.
 도 8은 도 1의 스택 패키지의 제2수동 소자를 포함한 일부 부분을 확대하여 도시한 개략적인 단면도이다.
 도 9는 도 1의 스택 패키지의 제1 및 제2수동 소자들의 배치 형상을 보여주는 개략적인 평면도이다.
 도 10 및 도 11은 일 예에 따른 스택 패키지를 보여주는 개략적인 단면도들이다.

발명을 실시하기 위한 구체적인 내용

[0008] 본 출원의 예의 기재에서 사용하는 용어들은 제시된 실시예에서의 기능을 고려하여 선택된 용어들로서, 그 용어의 의미는 기술 분야에서의 사용자, 운용자의 의도 또는 관례 등에 따라 달라질 수 있다. 사용된 용어의 의미는 본 명세서에 구체적으로 정의된 경우 정의된 정의에 따르며, 구체적인 정의가 없는 경우 당업자들이 일반적으로 인식하는 의미로 해석될 수 있다.

[0009] 본 출원의 예의 기재에서 "제1" 및 "제2", "측면(side)", "상부(top)" 및 "하부(bottom or lower)"와 같은 기재는 부재를 구분하기 위한 것이며, 부재 자체를 한정하거나 특정한 순서를 의미하는 것으로 사용된 것은 아니다.

[0010] 반도체 장치는 반도체 기관 또는 복수의 반도체 기관들이 스택된 구조를 포함할 수 있다. 반도체 장치는 반도체 기관들이 스택된 구조가 패키징(packaging)된 반도체 패키지 구조를 지시할 수 있다. 반도체 기관들은 전자 부품 및 요소들이 집적된 반도체 웨이퍼, 반도체 다이 또는 반도체 칩을 지시할 수 있다. 반도체 칩은 DRAM이나 SRAM, NAND FLASH, NOR FLASH, MRAM, ReRAM, FeRAM 또는 PDRAM과 같은 메모리(memory) 집적회로가 집적된 메모리 칩이나, 또는 반도체 기관에 논리 회로가 집적된 로직(logic) 다이나 에이직(ASIC) 칩, 어플리케이션 프로세서(AP: Application Processor), 그래픽 처리 장치(GPU: Graphic Processing Unit), 중앙 처리 장치(CPU: Central Processing Unit), 또는 시스템 온 칩(SoC: System On Chip)과 같은 프로세서를 지시할 수 있다. 반도체 장치는 휴대 단말기와 같은 정보통신 기기나, 바이오(bio)나 헬스케어(health care) 관련 전자 기기들, 인간에 착용 가능한(wearable) 전자 기기들에 적용될 수 있다. 반도체 장치는 사물 인터넷에 적용될 수 있다.

[0011] 명세서 전문에 걸쳐 동일한 참조 부호는 동일한 구성 요소를 지칭할 수 있다. 동일한 참조 부호 또는 유사한 참조 부호들은 해당 도면에서 언급 또는 설명되지 않았더라도, 다른 도면을 참조하여 설명될 수 있다. 또한, 참조 부호가 표시되지 않았더라도, 다른 도면들을 참조하여 설명될 수 있다.

[0012] 도 1 및 도 2는 일 예에 따른 스택 패키지(10)를 보여주는 개략적인 단면도들이다. 도 1은 스택 패키지(10)의 제1 및 제2수동 소자들(610, 620)을 지나는 절단선(X1-X1')을 따르는 개략적인 단면 형상을 보여준다. 도 2는 스택 패키지(10)의 제1 및 제2본딩 와이어들(bonding wires: 810, 820)을 지나는 절단선(X2-X2')을 따르는 개

략적인 단면 형상을 보여준다.

- [0013] 도 1을 참조하면, 스택 패키지(10)는 패키지 기관(200), 하부 스택(lower stack: 300), 상부 스택(upper stack: 400), 밀봉층(500), 및 제1수동 소자(610)를 포함하여 구성될 수 있다. 도 2를 참조하면, 스택 패키지(10)는 제1본딩 와이어(810)들 및 제2본딩 와이어(820)들과 같은 접속 부재들을 더 포함하여 구성될 수 있다. 스택 패키지(10)는 하부 스택(300)과 패키지 기관(200) 사이에 배치된 컨트롤러 다이(controller die: 710)를 더 포함할 수 있다. 밀봉층(500)은 패키지 기관(200)을 덮으면서, 하부 스택(300) 및 상부 스택(400)을 덮어 밀봉하는 보호층으로 형성될 수 있다. 밀봉층(500)은 에폭시몰딩재(EMC: Epoxy Molding Compound)를 포함하여 형성될 수 있다.
- [0014] 하부 스택(300)은 하부 다이(301)들을 포함하고, 상부 스택(400)은 상부 다이(401)들을 포함할 수 있다. 컨트롤러 다이(710)는 하부 다이(301)들과 상부 다이(401)들을 제어하는 로직 회로(logic circuitry)가 집적된 반도체 다이일 수 있다. 컨트롤러 다이(710)가 배치될 공간을 확보하기 위해서, 서포터(supporter: 730)가 도입될 수 있다. 서포터(730)는 하부 스택(300)을 리프팅(lifting)하면서 하부 스택(300)을 지지하도록, 컨트롤러 다이(710) 주위에 배치될 수 있다. 서포터(730)는 더미 다이(dummy die)나 유전층의 블록(dielectric block) 형태로 도입될 수 있다.
- [0015] 서포터(730)는 제3접착층(731)에 의해 패키지 기관(200)에 접촉될 수 있다. 컨트롤러 다이(710)는 내측 도전 접속재(conductive inner connector: 711)에 의해 패키지 기관(200)과 연결될 수 있다. 내부 도전 접속재(711)는 범프(bump)와 같은 도전 부재를 포함할 수 있다. 제4접착층(735)에 의해서 하부 스택(300)은 컨트롤러 다이(710) 및 서포터(730)와 접촉될 수 있다.
- [0016] 스택 패키지(10)는 제2수동 소자(620)를 더 포함할 수 있다. 제2수동 소자(620)는 제1수동 소자(610)와 다른 형태의 소자일 수 있다. 수동 소자(610, 620)들은 커패시터 소자(capacitor)나 레지스터 소자(register), 또는 인덕터 소자(inductor)를 포함할 수 있다. 수동 소자들(610, 620)은 스택 패키지(10)에서 디커플링(decoupling), 필터링(filtering), 공진 감쇠, 또는 전압 조절과 같은 기능들을 제공하는 요소들로 도입될 수 있다. 제1수동 소자(610)는 커패시터 소자를 포함할 수 있고, 제2수동 소자(620)는 레지스터 소자를 포함할 수 있다. 수동 소자들(610, 620)은 스택 패키지(10)의 전기적 특성을 개선하고, 신호 특성의 신뢰성을 개선하는 데 기여할 수 있다.
- [0017] 하부 스택(300)은 복수의 하부 다이(301)들이 실질적으로 서로 수직하게 적층된 구조로 구성될 수 있다. 상부 스택(300)은 복수의 상부 다이(401)들이 실질적으로 서로 수직하게 적층된 구조로 구성될 수 있다. 하부 다이(301)들이 적층된 개수는 상부 다이(401)들이 적층된 개수와 같을 수 있다. 일 실시예에서 하부 다이(301)들이 적층된 개수는 상부 다이(401)들이 적층된 개수와 다를 수 있다. 하부 다이(301)들이 적층된 구조 형태는 상부 다이(401)들이 적층된 구조 형태와 다르다.
- [0018] 하부 다이(301)들과 상부 다이(401)들은 서로 동일한 형상 및 기능을 가지는 반도체 다이들일 수 있다. 하부 다이(301)들과 상부 다이(401)들은 메모리 반도체 다이들일 수 있다. 일 실시예에서 하부 다이(301)들과 상부 다이(401)들은 서로 다른 종류의 반도체 다이들일 수 있다.
- [0019] 하부 스택(300)은 제1서브 스택(sub stack: 311)과 제2서브 스택(331)을 포함하여 구성될 수 있다. 제2서브 스택(331)은 제1서브 스택(311) 상에 수직하게 적층될 수 있다. 제1접착층(350)이 제2서브 스택(331)을 제1서브 스택(311)에 접촉시키면서, 제2서브 스택(331)과 제1서브 스택(311) 사이 계면에 도입될 수 있다. 제1 및 제2서브 스택들(311, 331)은 실질적으로 서로 동일한 형상을 가질 수 있다. 제1 및 제2서브 스택들(311, 331)은 수직 방향으로 서로 정렬되면서 적층될 수 있다. 제2서브 스택(331)은 제1서브 스택(311)에 완전히 중첩(fully overlap)된 형상으로 스택될 수 있다.
- [0020] 제1 및 제2서브 스택들(311, 331) 상에 추가의 서브 스택들이 더 적층될 수도 있다.
- [0021] 도 3은 도 1의 하부 스택(300) 형상을 보여주는 개략적인 단면도이다.
- [0022] 도 3을 참조하면, 복수 개의 하부 다이(301)들이 실질적으로 수직하게 서로 적층됨으로써, 하부 스택(300)을 구성할 수 있다. 하부 다이(301)들은 수직 방향으로 지그재그(zigzag) 형태를 이루면서 서로 적층될 수 있다. 하부 다이(301)들은 수직 방향으로 서로 엇갈려 적층될 수 있다. 하부 스택(300)은 서로 반대측에 위치하고 서로 마주보는 제1하부 측면(308) 및 제2하부 측면(309)을 제공한다. 제1하부 측면(308) 및 제2하부 측면(309)은 요철 형상의 측면(concavo-convex side or jagged side or staggered side)으로 형성될 수 있다.

- [0023] 도 4는 도 2의 제1서브 스택(311)의 형상을 보여주는 개략적인 단면도이다.
- [0024] 도 4 및 도 2를 참조하면, 하부 스택(300)을 구성하는 제1서브 스택(311)은 제1하부 다이(310)와 제2하부 다이(320)를 포함하여 구성될 수 있다. 일 실시예에서 제2하부 다이(320) 상에 추가의 하부 다이가 더 적층될 수도 있다. 각각의 하부 다이(301)들은 가장자리 부분에 하부 본딩 패드(bonding pad: 303)들을 포함하여 구성될 수 있다. 하부 본딩 패드(303)들은 제2본딩 와이어(도 2의 820)들이 본딩되는 접속 부재들일 수 있다.
- [0025] 제2하부 다이(320)는 제1하부 다이(310)에 비해 제2오프셋 방향(D2)으로 일정 거리 이동된 위치에 배치될 수 있다. 제2하부 다이(320)는 제1하부 다이(310) 상에 오프셋 적층(offset stack)될 수 있다. 제2하부 다이(320)는 제1하부 다이(310)의 제1하부 본딩 패드(313)를 드러내면서, 제1하부 다이(310) 상에 오프셋 적층될 수 있다.
- [0026] 도 5는 도 2의 하부 스택(300)의 형상을 보여주는 개략적인 단면도이다.
- [0027] 도 5를 참조하면, 제2서브 스택(331)이 제1서브 스택(311) 상에 적층될 수 있다. 제2서브 스택(331)은 제1서브 스택(311)에 수직 방향으로 실질적으로 완전히 정렬되면서 적층될 수 있다. 제2서브 스택(331)의 제2에지(E2)는 제1서브 스택(311)의 제1에지(E1)에 수직 방향으로 정렬될 수 있다. 제2서브 스택(331)은 제1서브 스택(311)의 형상과 동일한 형상을 가지도록 구성될 수 있다. 제3하부 다이(330)가 제1하부 다이(310)에 실질적으로 완전히 중첩되도록 제1서브 스택(311) 상에 배치될 수 있다. 제4하부 다이(340)는 제2하부 다이(320)에 실질적으로 완전히 중첩되도록 배치될 수 있다. 제4하부 다이(340)는 제3하부 다이(330)에 제2오프셋 방향(D2)으로 오프셋된 위치에서 제3하부 다이(330) 상에 오프셋 적층될 수 있다.
- [0028] 제2서브 스택(331)이 제1서브 스택(311) 상에 중첩된 하부 스택(300)의 구조는, 하부 다이(301)들이 실질적으로 수직 방향으로 지그재그 형태를 이루면서 서로 엇갈려 적층된 구조를 포함할 수 있다. 이러한 지그 재그 적층 구조는 각각의 하부 다이(301)들에 제2본딩 와이어(820)들을 연결시키는 데 유용하다.
- [0029] 제2본딩 와이어(820)들은 하부 다이(301)들의 하부 본딩 패드(303)들을 패키지 기판(200)에 전기적으로 연결하도록 형성될 수 있다. 패키지 기판(200)은 제1본딩 핑거(bonding finger: 211)들 및 제2본딩 핑거(212)들을 포함하여 구성될 수 있다. 제2본딩 와이어(820)들은 하부 본딩 패드(303)들을 제2본딩 핑거(212)들에 전기적으로 연결시킬 수 있다. 제2본딩 와이어(820)는 제2하부 본딩 패드(323)를 제1하부 본딩 패드(313)에 연결시키고, 제2본딩 핑거(212)에 더 연결시키도록 연장될 수 있다.
- [0030] 하부 스택(300)의 지그 재그 적층 구조에서, 제2하부 다이(320)는 제1하부 다이(310) 상에 적층된다. 제2하부 다이(320)는 제1하부 다이(310)의 제1하부 본딩 패드(313)들을 드러내도록 제2오프셋 방향(D2)으로 오프셋 적층된다. 제1하부 본딩 패드(313)가 제2하부 다이(320)에 의해 가려지지 않고 노출되므로, 제2하부 다이(320)는 제2본딩 와이어(820)가 제1하부 본딩 패드(313)에 본딩되는 것을 방해하지 않을 수 있다.
- [0031] 제2서브 스택(331)의 제3하부 다이(330)는 제1하부 다이(310)에 실질적으로 완전히 중첩될 수 있다. 제3하부 다이(330)는 제2하부 본딩 패드(323)에 본딩된 제2본딩 와이어(820)의 일부 부분(820B)에 일부 부분이 중첩되도록 위치할 수 있다. 이에 따라, 제2하부 본딩 패드(323)에 본딩된 제2본딩 와이어(820)의 일부 부분(820B)이 제3하부 다이(330)에 의해 눌러 변형되거나 손상될 가능성이 있다. 이러한 손상을 방지하기 위해서, 제2하부 다이(320)와 제3하부 다이(330) 사이에 제1접착층(350)을 도입한다. 제1접착층(350)이 제2하부 다이(320)와 제3하부 다이(330) 사이에 갭(gap)을 확보함으로써, 제3하부 다이(330)에 의해 제2본딩 와이어(820)의 일부 부분(820B)이 손상되는 것을 유효하게 방지할 수 있다. 이를 위해서, 제1접착층(350)은 제2하부 본딩 패드(323)에 본딩된 제2본딩 와이어(820)의 일부 부분(820B)으로 형성되는 루프 높이(loop height)보다 두꺼운 두께(T1)를 가지도록 형성될 수 있다.
- [0032] 제1접착층(350)은 제2하부 다이(320)를 제외한 나머지 하부 다이(301)들을 접촉시키는데 사용되는 제2접착층(355)보다 두껍게 형성될 수 있다. 제1접착층(350)은 제2접착층(355)의 두께(T2) 보다 두꺼운 두께(T1)를 가지도록 형성될 수 있다. 제2접착층(355)은 제1하부 다이(310)와 제2하부 다이(320)를 서로 접촉시키는 층으로 도입될 수 있다. 제1하부 다이(310)와 제2하부 다이(320) 사이에는 제2 본딩 와이어(820)를 위한 갭을 확보할 필요성이 없을 수 있다. 따라서, 제2접착층(355)은 제1접착층(350) 보다 얇은 두께(T1)로 도입될 수 있다.
- [0033] 제2하부 다이(320)가 제1하부 본딩 패드(313)를 노출하도록 제1하부 다이(310)에 오프셋 적층되므로, 제2하부 다이(320)와 제1하부 다이(310) 사이에는 제1접착층(350)과 같은 상대적으로 두꺼운 접착층을 도입하지 않고, 상대적으로 얇은 제2접착층(355)을 도입할 수 있다. 제4하부 다이(340) 또한 제3하부 다이(330)에 제3하부 본딩 패드(333)를 노출하도록 오프셋 적층되므로, 제4하부 다이(340)와 제3하부 다이(330) 사이에도 제1접착층(350)

과 같은 상대적으로 두꺼운 접착층을 도입하지 않고, 상대적으로 얇은 제2접착층(355)을 도입할 수 있다. 이와 같이 제1서브 스택(311)과 제2서브 스택(331) 사이에만 두꺼운 제1접착층(350)을 제한적으로 도입할 수 있어, 하부 스택(300)의 두께(T3)가 과도하게 증가하는 것을 억제할 수 있다.

- [0034] 제2본딩 와이어(820)의 일부 부분(820B)은 제1접착층(350) 내로 침투하면서 제2하부 본딩 패드(323)에 본딩된다. 제2본딩 와이어(820)의 일부 부분(820B)은 제1접착층(350)에 함침될 수 있다.
- [0035] 도 6은 도 1의 스택 패키지(10)의 하부 및 상부 스택들(300, 400)이 적층된 형상을 보여주는 개략적인 단면도이다. 도 6은 도 1의 제1 및 제2수동 소자들(도 1의 610, 620)을 도면에서 생략한 형상을 보여주는 도면이다.
- [0036] 도 6을 참조하면, 상부 스택(400)은 하부 스택(300) 상에 배치된다. 복수 개의 상부 다이(401)들이 제1오프셋 방향(D1)으로 순차적으로 이동되고 오프셋 적층될 수 있다. 제1오프셋 방향(D1)은 하부 다이(301)들이 오프셋된 제2오프셋 방향(D2)에 반대되는 방향일 수 있다. 각각의 상부 다이(401)들이 제1오프셋 방향(D1)으로 오프셋되면서 이동되는 거리는, 각각의 하부 다이(301)들이 제2오프셋 방향(D2)으로 이동된 거리와 실질적으로 동일할 수 있다. 상부 다이(401)들 각각이 제1오프셋 방향(D1)으로 오프셋된 거리들은, 제2하부 다이(320) 제1하부 다이(310)에 대해 제2오프셋 방향(D2)으로 오프셋된 거리와 실질적으로 동일할 수 있다.
- [0037] 상부 다이(401)들이 순차적으로 제1오프셋 방향(D1)으로 적층되면서, 계단 형상을 가지는 상부 스택(400)이 형성될 수 있다. 상부 스택(400)은 패키지 기판(200) 쪽으로 하강하는 하강 계단 형상(down stair shape)의 제1상부 측면(408)을 가질 수 있다. 상부 스택(400)은 제1상부 측면(408)의 반대측에 상승 계단 형상(up stair shape)의 제2상부 측면(409)을 가질 수 있다. 제2상부 측면(409)은 제1상부 측면(408)과는 반대되는 형상 또는 역전된 형상(reverse shape)을 가질 수 있다.
- [0038] 상부 다이(401)들 중 최상단의 상부 다이(440)의 제1단부(end: 440E)는, 하부 스택(300)의 제1하부 측면(308) 바깥으로 돌출될 수 있다. 상부 다이(401)들 중 최하단의 상부 다이(410)의 제2단부(410E)는, 하부 스택(300)의 제2하부 측면(309) 바깥으로 더 돌출될 수 있다. 최하단의 상부 다이(410)와 최상단의 상부 다이(440) 사이에는 제1중단의 상부 다이(420) 및 제2중단의 상부 다이(430)가 적층될 수 있다. 일 실시에서, 최하단의 상부 다이(410)와 최상단의 상부 다이(440) 사이에는 3개 이상의 상부 다이들이 적층될 수 있다.
- [0039] 도 6을 도 2와 함께 참조하면, 상부 스택(400)은 제1상부 측면(408)과 제2상부 측면(409)을 가진다. 제2상부 측면(409)은 상승 계단 형상을 가지고, 상승 계단 형상은 각각의 상부 다이(401)들의 상부 본딩 패드(403)들을 드러내도록 구성될 수 있다. 제1본딩 와이어(810)들이 상부 본딩 패드(403)들을 패키지 기판(200)의 제1본딩 핑거(211)들에 전기적으로 연결시키도록 형성될 수 있다. 각각의 제1본딩 와이어(810)들은 계단 구조를 통해 노출된 상부 본딩 패드(403)를 서로 연결시킬 수 있다.
- [0040] 제5접착층(455)들이 상부 다이(401)들 사이에 각각 도입되어, 상부 다이(401)들을 서로 접착시킬 수 있다. 제5접착층(455)들은 제2접착층(355)와 실질적으로 동일한 두께의 접착층으로 도입될 수 있다. 상부 스택(400)은 순차적인 계단 형상으로 적층되어 도 2에서와 같이 상부 본딩 패드(403)를 노출시키므로, 제1접착층(350)과 같은 상대적으로 두꺼운 접착층을 도입하지 않을 수 있다. 각각의 상부 다이(401)들은 상대적으로 얇은 제5접착층(455)들로 접착되므로, 상부 스택(400)의 두께(T4)가 최소화될 수 있다.
- [0041] 도 7은 도 1의 스택 패키지(10)의 제1수동 소자(610)를 포함한 일부 부분을 확대하여 도시한 개략적인 단면도이다.
- [0042] 도 7을 참조하면, 제1수동 소자(610)는 패키지 기판(200)의 제1부분(201) 상에 배치될 수 있다. 패키지 기판(100)의 제1부분(201)은 패키지 기판(100)의 서로 마주보는 양측 가장자리 부분들 중 일측 부분을 지칭할 수 있다. 패키지 기판(200)의 제1부분(201)에 제1수동 소자(610)가 접속될 제3본딩 핑거(213)가 배치될 수 있다. 제1수동 소자(610)는 제1도전성 접착층(651)에 의해 제3본딩 핑거(213)에 본딩될 수 있다. 제1도전성 접착층(651)은 솔더 물질(soldering material)을 포함할 수 있다. 제1수동 소자(610)는 제1도전성 접착층(651)을 통해 패키지 기판(200)에 전기적으로 접속될 수 있다.
- [0043] 밀봉층(500)은 제1외측 측면(501)을 가질 수 있다. 제1외측 측면(501)은 하부 스택(300)의 제1하부 측면(308)과 상부 스택(400)의 제1상부 측면(408)을 마주보는 측면일 수 있다. 밀봉층(500)의 제1외측 측면(501)과, 하부 스택(300)의 제1하부 측면(308), 상부 스택(400)의 제1상부 측면(408), 및 패키지 기판(200)의 제1부분(201) 사이에 제1공간(618)이 확보될 수 있다. 제1공간(618) 내에 제1수동 소자(610)가 배치될 수 있다.
- [0044] 제1수동 소자(610)의 상단(610T)이 최상단의 상부 다이(440)의 제1단부(440E) 보다 낮게, 제1수동 소자(610)가

패키지 기관(200)의 제1부분(201) 상에 배치될 수 있다. 최상단의 상부 다이(440)의 제1단부(440E)에 제1수동 소자(610)의 일부 부분이 중첩되도록, 제1수동 소자(610)가 패키지 기관(200)의 제1부분(201) 상에 배치된다. 이에 따라, 스택 패키지(10)의 폭(W) 또는 크기의 증가를 억제하면서, 제1수동 소자(610)가 패키지 기관(200)에 배치될 수 있다. 만일, 제1수동 소자가 최상단의 상부 다이(440)의 제1단부(440E)에 중첩되지 않고, 최상단의 상부 다이(440)의 제1단부(440E) 바깥에 위치한다면, 제1수동 소자가 배치될 면적 또는 공간을 추가로 더 확보하기 위해서 스택 패키지의 폭은 증가될 수 있다. 그렇지만, 최상단의 상부 다이(440)의 제1단부(440E)에 제1수동 소자(610)의 일부 부분이 중첩되도록 제1수동 소자(610)가 스택 패키지(10) 내에 배치되므로, 스택 패키지(10)의 폭(W)의 증가는 실질적으로 최소화될 수 있다. 최상단의 상부 다이(440)의 제1단부(440E) 아래에 중첩된 공간을 제1수동 소자(610)가 배치되는 공간으로 활용할 수 있어, 스택 패키지(10)의 폭(W)의 증가는 실질적으로 최소화될 수 있다.

[0045] 제1수동 소자(610)의 상단(610T)은 최상단의 상부 다이(440)의 제1단부(440E)와 접촉되지 않고 이격된다. 최상단의 상부 다이(440)의 제1단부(440E)가 제1수동 소자(610) 보다 더 높은 위치에 위치할 수 있어, 최상단의 상부 다이(440)의 제1단부(440E)가 제1수동 소자(610)의 상단(610T)과 이격될 수 있다. 이에 따라, 제1수동 소자(610)의 상단(610T)이 최상단의 상부 다이(440)의 제1단부(440E)에 접촉되는 것을 방지할 수 있다. 또한, 제1수동 소자(610)의 상단(610T)이 최상단의 상부 다이(440)의 제1단부(440E)에 접촉되어 손상되는 불량을 유효하게 방지할 수 있다.

[0046] 도 8은 도 1의 스택 패키지(10)의 제2수동 소자(620)를 포함한 일부 부분을 확대하여 도시한 개략적인 단면도이다.

[0047] 도 8을 참조하면, 제2수동 소자(620)는 패키지 기관(200)의 제2부분(202) 상에 배치될 수 있다. 패키지 기관(200)의 제2부분(202)에 제2수동 소자(620)가 접속될 제4본딩 핑거(214)가 배치될 수 있다. 제2수동 소자(620)는 제2도전성 접촉층(652)에 의해 제4본딩 핑거(214)에 본딩될 수 있다. 제2수동 소자(620)는 제2도전성 접촉층(652)을 통해 패키지 기관(200)에 전기적으로 접속될 수 있다.

[0048] 밀봉층(500)의 제2외측 측면(502)은 하부 스택(300)의 제2하부 측면(309)과 상부 스택(400)의 제2상부 측면(409)을 마주보는 측면일 수 있다. 밀봉층(500)의 제2외측 측면(502)은 제1외측 측면(도 7의 501)에 반대되는 측면이다. 밀봉층(500)의 제2외측 측면(502)과, 하부 스택(300)의 제2하부 측면(309), 상부 스택(400)의 제2상부 측면(409), 및 패키지 기관(200)의 제2부분(202) 사이에 제2공간(619)이 확보될 수 있다. 이 제2공간(619) 내에 제2수동 소자(620)가 배치될 수 있다.

[0049] 제2수동 소자(620)는 상단(620T)이 최하단의 상부 다이(410)의 제2단부(410E) 보다 낮게 패키지 기관(200)의 제2부분(202) 상에 배치될 수 있다. 제2수동 소자(620)가 최하단의 상부 다이(410)의 제2단부(410E)에 일부 부분이 중첩되도록 패키지 기관(200)의 제2부분(201) 상에 배치되면서도, 상단(620T)이 최하단의 상부 다이(410)의 제2단부(410E)와 접촉되지 않고 이격될 수 있다. 최하단의 상부 다이(410)의 제2단부(410E)는 제2수동 소자(620) 보다 더 높은 위치에 위치할 수 있다. 이에 따라, 제2수동 소자(620)의 상단(620T)이 최하단의 상부 다이(410)의 제2단부(410E)에 접촉하는 것과 접촉에 따른 손상 불량을 유효하게 방지할 수 있다.

[0050] 제2수동 소자(620)가 최하단의 상부 다이(410)의 제2단부(410E)에 일부 부분이 중첩되도록 스택 패키지(10) 내에 배치되므로, 제2수동 소자(620)의 배치에 의해서 스택 패키지(10)의 폭(W) 또는 크기가 증가하는 것을 유효하게 억제하거나 실질적으로 최소화할 수 있다. 만일, 제2수동 소자가 최하단의 상부 다이(410)의 제2단부(410E)에 중첩되지 않고, 최하단의 상부 다이(410)의 제2단부(410E) 바깥에 위치한다면, 제2수동 소자가 배치될 면적 또는 공간을 추가로 더 확보하기 위해서 스택 패키지의 폭은 증가될 수 있다. 그렇지만, 최상단의 상부 다이(440)의 제1단부(440E)에 제1수동 소자(610)의 일부 부분이 중첩되도록 제1수동 소자(610)가 스택 패키지(10) 내에 배치되므로, 스택 패키지(10)의 폭(W)의 증가는 실질적으로 최소화될 수 있다. 최하단의 상부 다이(410)의 제2단부(410E) 아래에 중첩된 공간을 제2수동 소자(620)가 배치되는 공간으로 활용할 수 있어, 스택 패키지(10)의 폭(W)의 증가는 실질적으로 최소화될 수 있다.

[0051] 도 8 및 도 7을 함께 참조하면, 최하단 상부 다이(410)의 제2단부(410E)의 위치가 최하단 상부 다이(410)의 제2단부(410E)의 위치 보다 낮으므로, 제2공간(619)의 높이는 제1공간(618)의 높이 보다 낮다. 제2수동 소자(620)는 제2공간(619)에 배치되기 위해서, 제2수동 소자(620)는 제1수동 소자(610)의 두께(T5) 보다 얇은 두께(T6)를 가지는 것이 적절하다. 일 실시예에서, 제1수동 소자(610)는 커패시터 소자로 도입되고, 레지스터 소자가 제2수동 소자(620)로 도입될 수 있다.

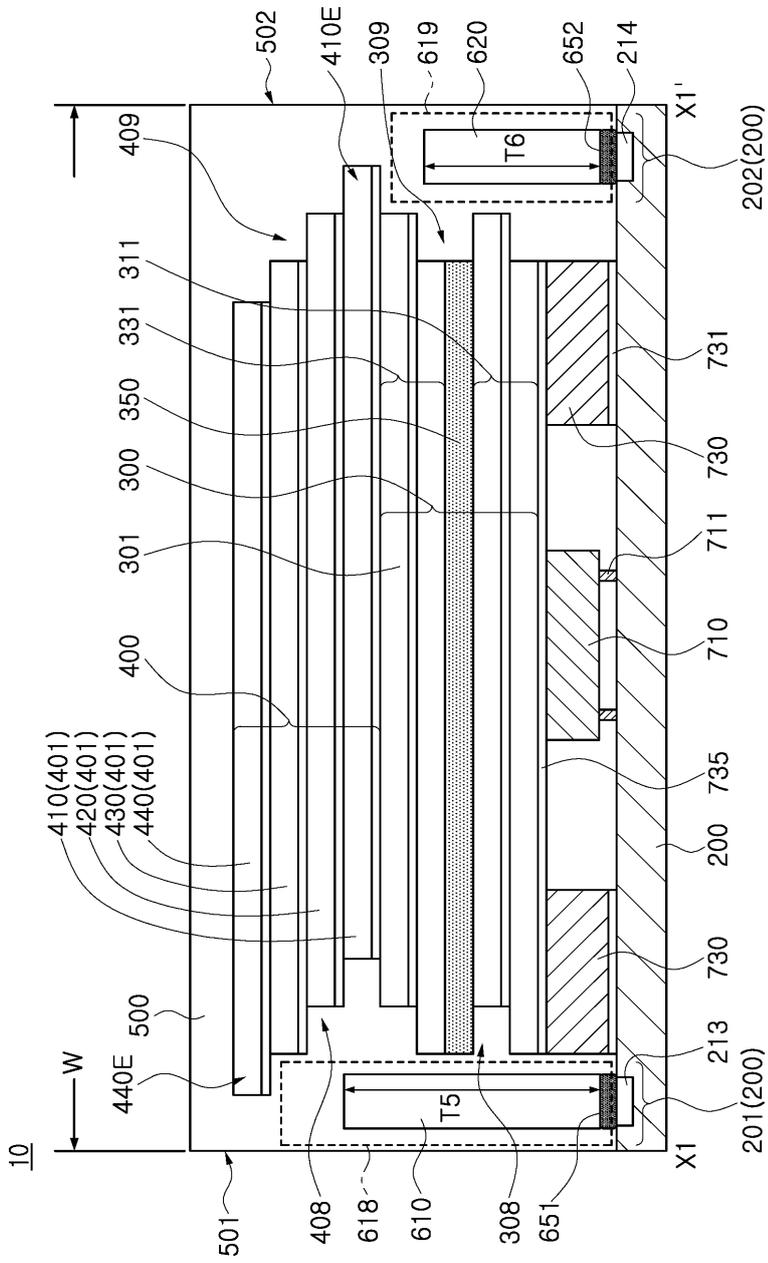
- [0052] 도 9는 도 1의 제1 및 제2수동 소자들(610, 620)이 패키지 기관(200)에 배치된 평면 형상을 보여주는 개략적인 평면도이다.
- [0053] 도 9 및 도 1을 참조하면, 패키지 기관(200)의 일측에 제1본딩 핑거(211)들이 열을 이루며 배치되고, 반대측에 제2본딩 핑거(212)들이 열을 이루며 배치될 수 있다. 제1본딩 핑거(211)들 사이에 제2수동 소자(620)들이 각각 배치되고, 제2본딩 핑거(212)들 사이에 제1수동 소자(610)들이 각각 배치될 수 있다. 본딩 핑거들(211, 212)들이 이루는 열 사이에 수동 소자들(610, 620)이 배치되므로, 패키지 기관(200)에서 수동 소자들(610, 620)이 배치될 면적을 유효하게 확보할 수 있다. 이에 따라, 스택 패키지(10) 내에 배치될 수 있는 수동 소자들(610, 620)의 수를 증가시킬 수 있다. 이에 따라, 스택 패키지(10)의 전기적 특성을 개선할 수 있다.
- [0054] 한편, 패키지 기관(200)의 중앙 부분에 컨트롤러 다이(710)가 배치되고, 컨트롤러 다이(710)의 양측에 서포터(730)들이 배치될 수 있다. 이에 따라, 하부 스택(300)이 양측의 서포터(730)들에 의해 균형있게 지지되므로, 하부 스택(300) 및 상부 스택(400)은 서포터(730)들에 의해 안정적으로 지지될 수 있다.
- [0055] 도 10 및 도 11은 일 예에 따른 스택 패키지(15)를 보여주는 개략적인 단면도들이다. 도 10은 스택 패키지(15)의 제1 및 제2수동 소자들(1610, 1620)을 지나는 절단선(X3-X3')을 따르는 개략적인 단면 형상을 보여준다. 도 11은 스택 패키지(15)의 제1 및 제2본딩 와이어들(1810, 1820)을 지나는 절단선(X4-X4')을 따르는 개략적인 단면 형상을 보여준다.
- [0056] 도 10 및 도 11에 제시된 일 예의 스택 패키지(15)는, 도 1 및 도 2에 제시된 다른 일 예의 스택 패키지(10)와 달리, 컨트롤러 다이(710) 및 서포터(730)가 도입되지 않은 패키지 구조로 구성될 수 있다. 도 10 및 도 11에서 도 1 및 도 2에서와 동일하거나 유사하게 도시된 요소들은 실질적으로 동일한 요소로 이해될 수 있다.
- [0057] 도 10 및 도 11을 참조하면, 스택 패키지(15)는 패키지 기관(1200)과, 밀봉층(1500), 제1 및 제2수동 소자들(1610, 1620), 하부 스택(1300), 및 상부 스택(1400)을 포함하여 구성될 수 있다. 제1 및 제2수동 소자들(1610, 1620)은 패키지 기관(1200) 상에 서로 이격되면서 배치될 수 있다. 하부 스택(1300)은 제1 및 제2수동 소자들(1610, 620) 사이에 배치되고, 하부 다이(1301)들이 제1 및 제2하부 측면들(1308, 1309)을 제공하도록 수직 방향으로 적층될 수 있다. 하부 스택(1300)의 제1하부 측면(1308)에 드러난 하부 본딩 패드(1303)들에 제2본딩 와이어(1820)들이 연결된다.
- [0058] 최하단의 상부 다이(1410), 중단의 상부 다이들(1420, 1430), 및 최상단의 상부 다이(1440)들이 계단 형상을 이루며 순차적으로 적층되어 상부 스택(1400)을 구성할 수 있다. 상부 스택(1400)은 하강 계단 형상의 제1상부 측면(1408)과 상승 계단 형상의 제2상부 측면(1409)를 가질 수 있다. 최하단 상부 다이(1410)의 제2단부(1410E)가 제2수동 소자(1620) 상에 부분 중첩(partially overlapping)되고, 최상단 상부 다이(1440)의 제1단부(1440E)가 제1수동 소자(1610) 상에 부분 중첩될 수 있다. 상부 스택(1400)의 제2상부 측면(1409)에 드러난 상부 본딩 패드(1403)들에 제1본딩 와이어(1810)가 연결된다.
- [0059] 이제까지 본 발명에 대하여 실시예들을 중심으로 살펴보았다. 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 변형된 형태로 구현될 수 있음을 이해할 수 있을 것이다. 그러므로 개시된 실시예들은 한정적인 관점이 아니라 설명적인 관점에서 고려되어야 한다. 본 발명의 범위는 전술한 설명이 아니라 특허청구범위에 나타나 있으며, 그와 동등한 범위 내에 있는 모든 차이점은 본 발명에 포함된 것으로 해석되어야 할 것이다.

부호의 설명

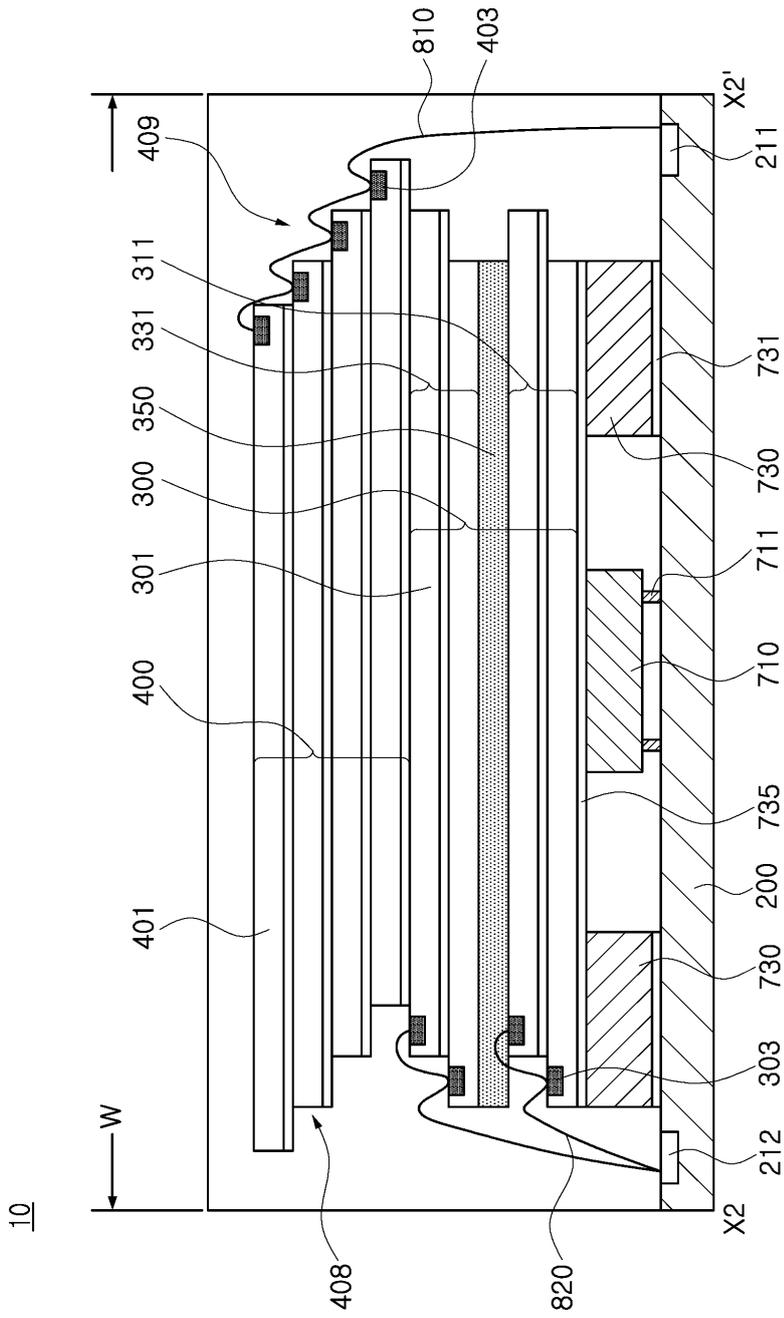
- [0060] 200, 1200: 패키지 기관,
- 300, 400, 1300, 1400: 다이 스택
- 610, 620, 1610, 1620: 수동 소자.

도면

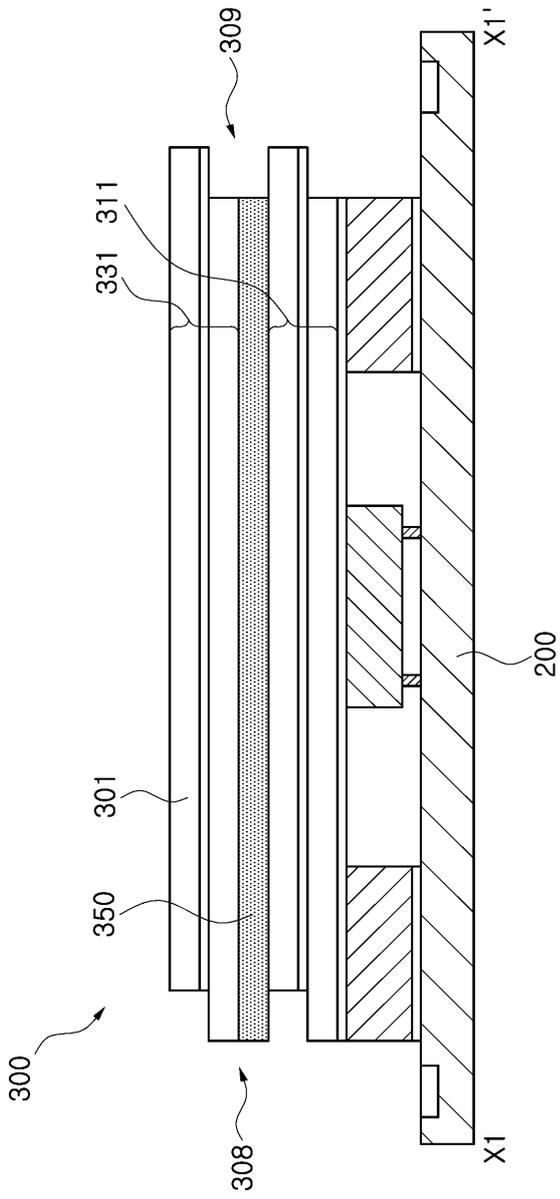
도면1



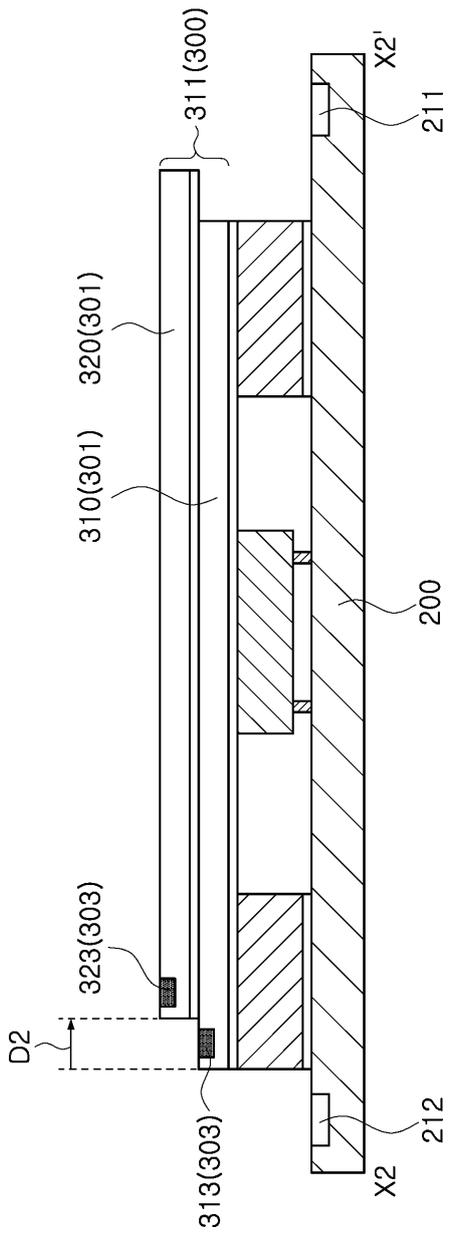
도면2



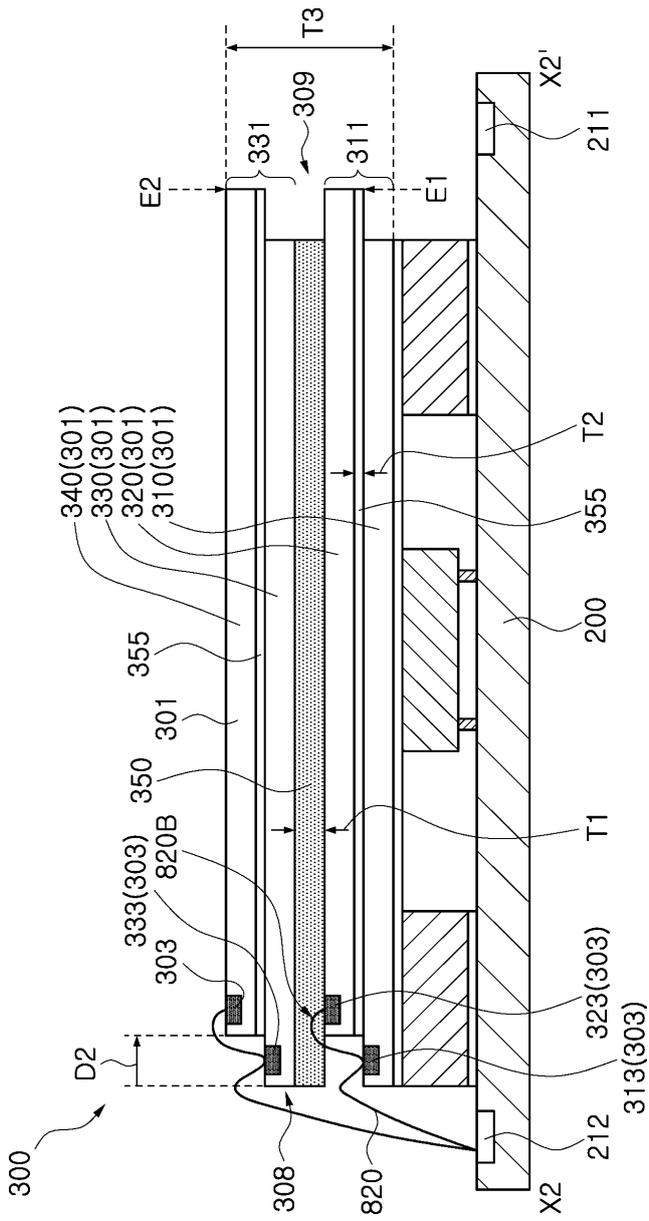
도면3



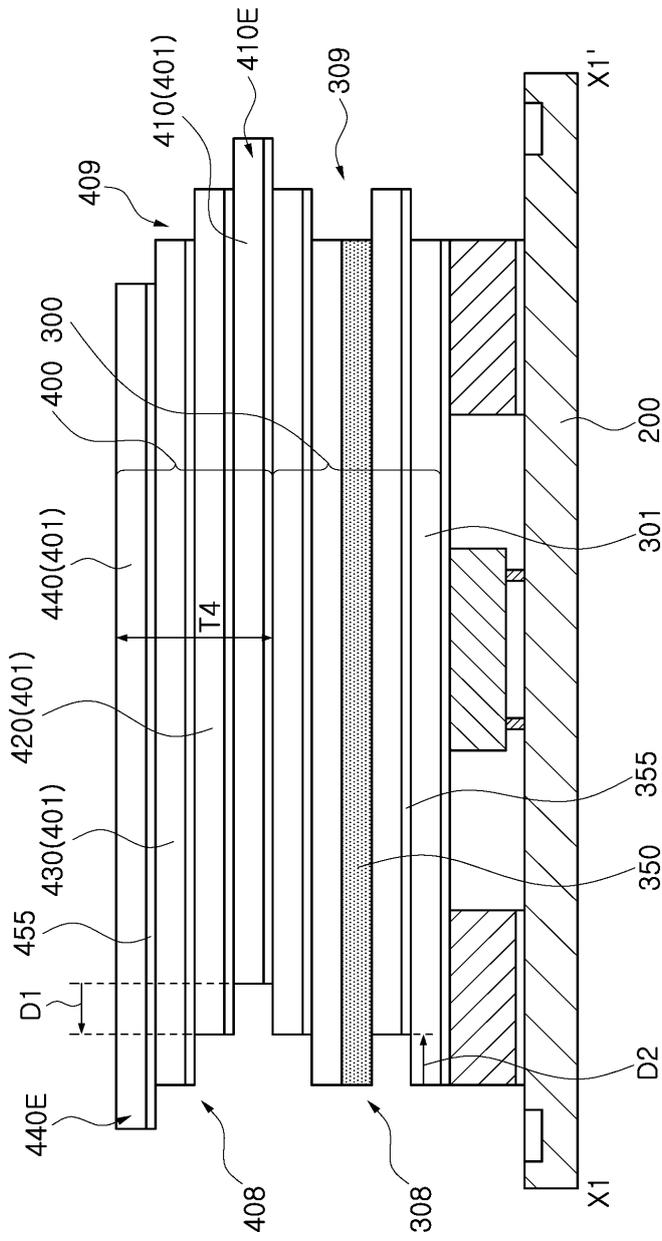
도면4



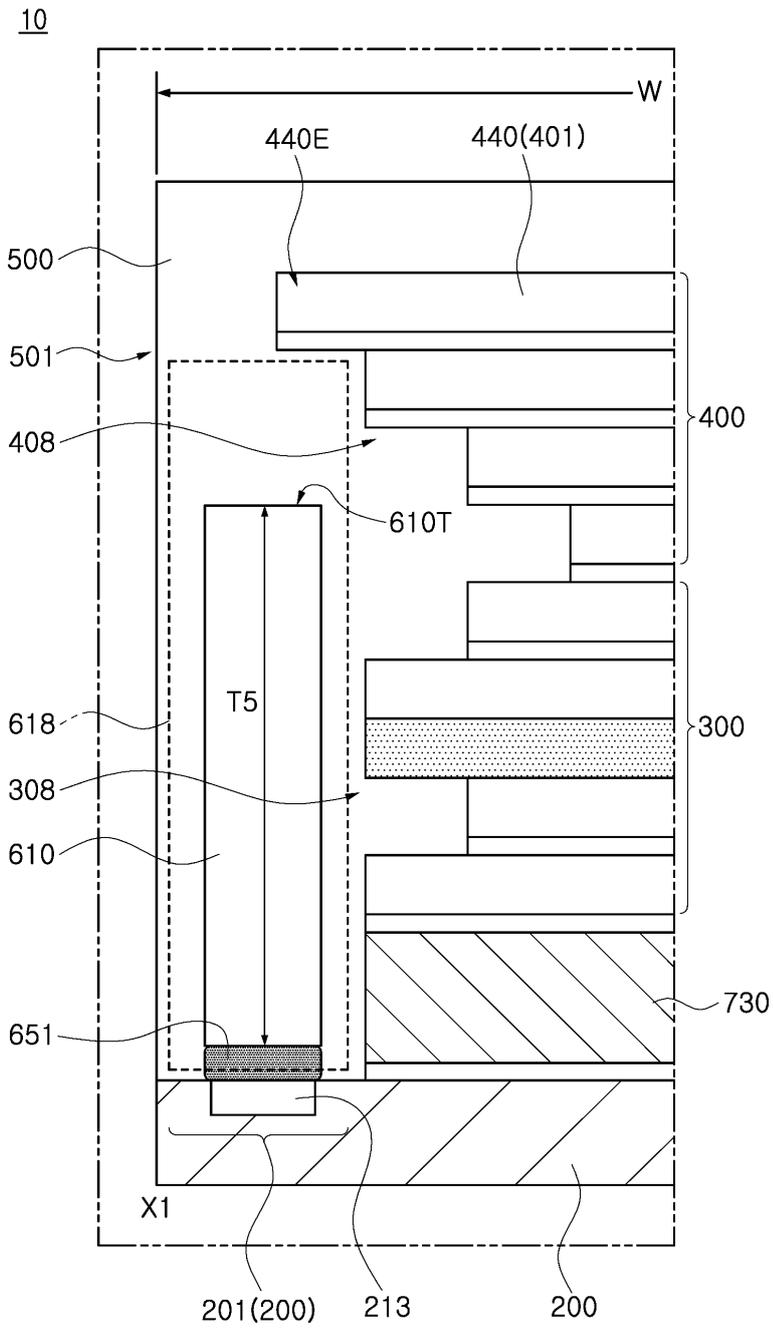
도면5



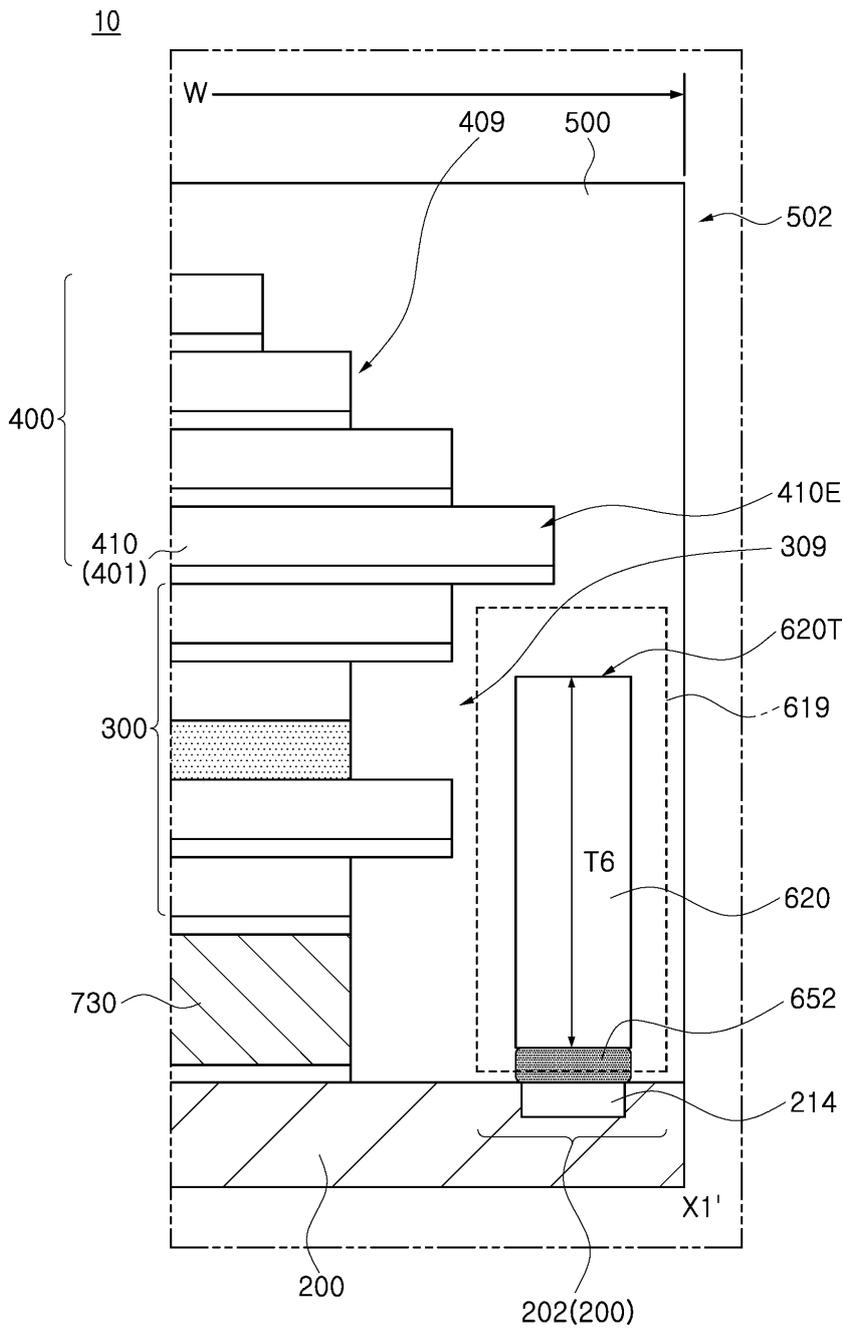
도면6



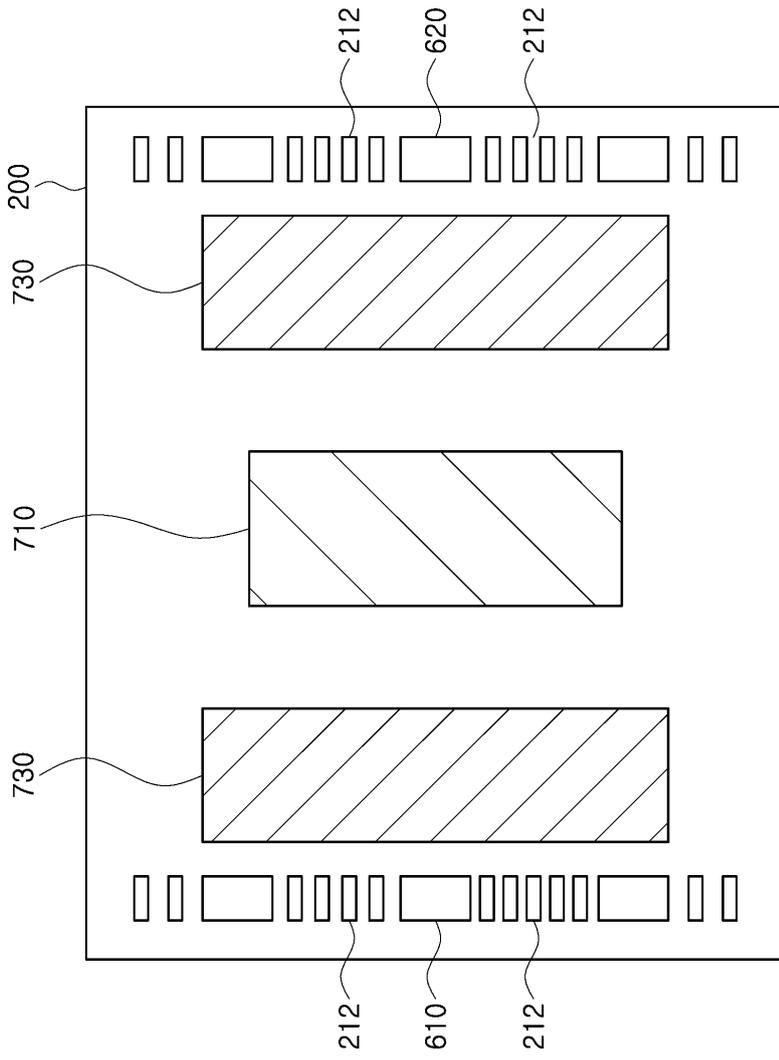
도면7



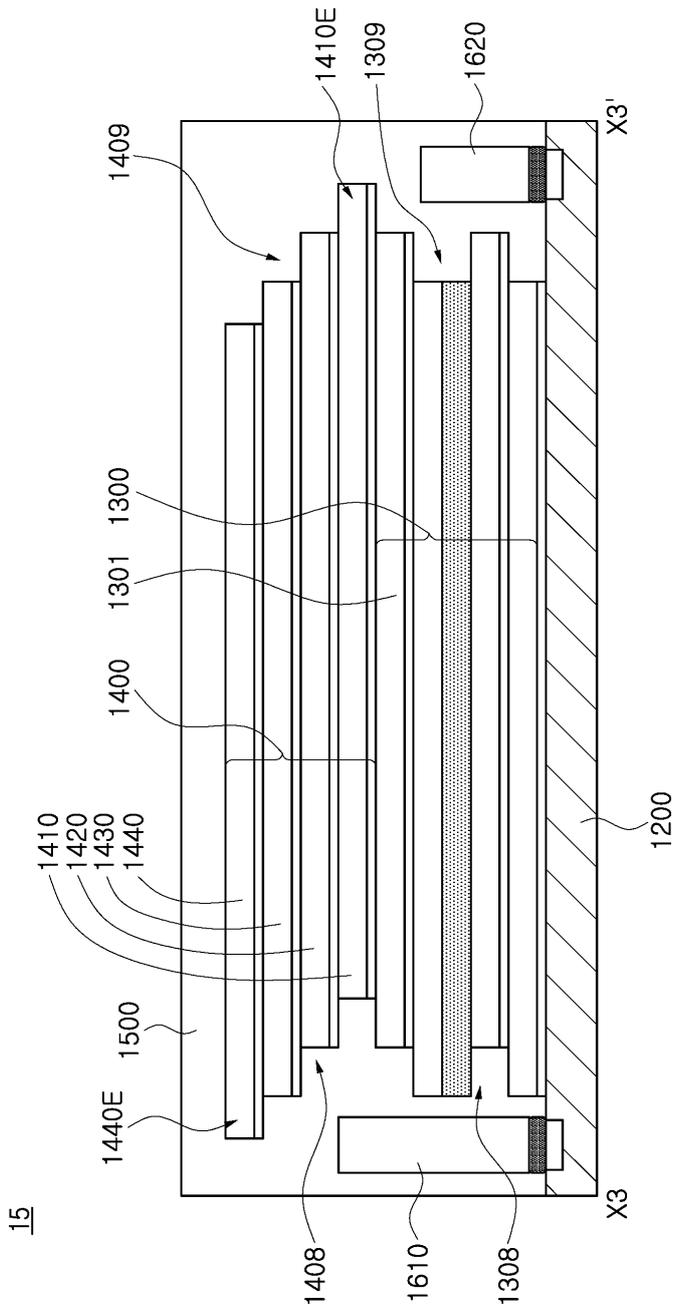
도면8



도면9



도면10



도면11

