



(12) 发明专利申请

(10) 申请公布号 CN 113517334 A

(43) 申请公布日 2021. 10. 19

(21) 申请号 202110633949.5

(22) 申请日 2021.06.07

(71) 申请人 西安电子科技大学

地址 710000 陕西省西安市雁塔区太白南路2号

(72) 发明人 何艳静 袁纯纯 江希 袁嵩  
弓小武

(74) 专利代理机构 西安嘉思特知识产权代理事务  
所(普通合伙) 61230

代理人 刘长春

(51) Int. Cl.

H01L 29/06 (2006.01)

H01L 29/78 (2006.01)

H01L 21/336 (2006.01)

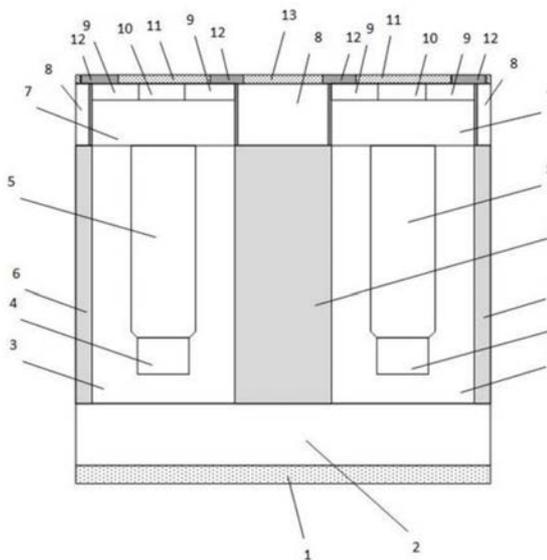
权利要求书1页 说明书6页 附图7页

(54) 发明名称

一种具有高K介电沟槽的功率MOSFET器件及其制备方法

(57) 摘要

本发明公开了一种具有高K介电沟槽的功率MOSFET器件及其制备方法,该器件自下而上依次包括:第一金属层、N+衬底、N-外延层以及主体结构层;其中,N-外延层内设有若干沟槽阱结构,沟槽阱结构从N-外延层的上表面向下延伸,且其深度小于N-外延层的厚度;相邻两个沟槽阱结构之间设有高K介电沟槽,且高K介电沟槽的深度与N-外延层的厚度相同;高K介电沟槽区上表面设有沟槽栅,沟槽栅位于相邻两个主体结构层之间,其上具有第二金属层;主体结构层上形成有器件源极。本发明提供的功率MOSFET器件将沟槽栅、高K介电沟槽和沟槽阱相结合,在得到最大的击穿电压的同时,最大程度上降低了导通电阻,提高了器件性能。



1. 一种具有高K介电沟槽的功率MOSFET器件,其特征在于,自下而上依次包括:第一金属层(1)、N+衬底(2)、N-外延层(3)以及主体结构层;其中,

所述N-外延层(3)内设有若干沟槽阱结构,所述沟槽阱结构从所述N-外延层(3)的上表面向下延伸,且其深度小于所述N-外延层(3)的厚度;

相邻两个沟槽阱结构之间设有高K介电沟槽(6),且所述高K介电沟槽(6)的深度与所述N-外延层(3)的厚度相同;所述沟槽阱结构、所述高K介电沟槽(6)以及两者之间的所述N-外延层(3)一起形成三维超结结构;

所述高K介电沟槽区(6)上表面设有沟槽栅(8),所述沟槽栅(8)位于相邻两个所述主体结构层之间,其上具有第二金属层(13);

所述主体结构层上形成有器件源极(13)。

2. 根据权利要求1所述的功率MOSFET器件,其特征在于,所述沟槽阱结构的掺杂浓度自下而上逐渐降低。

3. 根据权利要求1所述的功率MOSFET器件,其特征在于,所述沟槽阱结构包括第一沟槽阱(4)和第二沟槽阱(5);其中,所述第二沟槽阱(5)起始于所述N-外延层(3)上表面,并向所述N-外延层(3)内部延伸;

所述第一沟槽阱(4)位于所述第二沟槽阱(5)下方,且与所述N-外延层(3)之间具有一定间距,以形成耗尽区。

4. 根据权利要求3所述的功率MOSFET器件,其特征在于,所述第一沟槽阱(4)的宽度小于所述第二沟槽阱(5)的宽度。

5. 根据权利要求3所述的功率MOSFET器件,其特征在于,所述第一沟槽阱(4)的深度小于所述第二沟槽阱(5)的深度。

6. 根据权利要求3所述的功率MOSFET器件,其特征在于,所述第一沟槽阱(4)的离子掺杂浓度大于所述第二沟槽阱(5)的离子掺杂浓度。

7. 根据权利要求3所述的功率MOSFET器件,其特征在于,所述主体结构层包括P+衬底(7)、N+掺杂区(9)以及P+掺杂区(10),所述P+衬底(7)位于所述N-外延层(3)上,所述N+掺杂区(9)和所述P+掺杂区(10)均位于所述P+衬底(7)上,且所述P+掺杂区(10)位于两个N+掺杂区(9)之间。

8. 根据权利要求6所述的功率MOSFET器件,其特征在于,所述P+衬底(7)的离子掺杂浓度大于所述第二沟槽阱(5)的离子掺杂浓度,且小于所述P+掺杂区(10)的离子注入浓度。

9. 根据权利要求1所述的功率MOSFET器件,其特征在于,所述高K介电沟槽区(6)由高K介电离子注入形成,所述高K介电离子包括氮化物或金氧化物。

10. 一种具有高K介电沟槽的功率MOSFET器件的制备方法,其特征在于,包括以下步骤:  
选取第一金属层作为器件漏极,并在其上生长N+衬底;

在所述N+衬底上多次外延生长N-外延层,并在每次生长之后进行刻蚀和离子注入,以形成沟槽阱结构;

对所述沟槽阱中间的N-外延层进行离子注入形成高K介电沟槽区;

对样品表面进行多次离子注入形成主体结构层;

制作沟槽栅结构以及源极,以完成器件的制备。

## 一种具有高K介电沟槽的功率MOSFET器件及其制备方法

### 技术领域

[0001] 本发明属于半导体技术领域,具体涉及一种具有高K介电沟槽的功率MOSFET器件及其制备方法。

### 背景技术

[0002] 随着半导体技术的不断发展,对电子电力系统中的功率器件提出了更高的要求。功率金属氧化物半导体场效应晶体管(Power Metal-Oxide-Semiconductor Field-Effect Transistor,Power MOSFET),也称电力场效应晶体管,是一种用栅极电压来控制漏极电流的场效应晶体管,它的显著特点是驱动电路简单,驱动功率小,开关速度快,工作频率高;但是其电流容量小,耐压低,只用于小功率的电力电子装置,无法在高压领域得到广泛应用。

[0003] 近年来,人们致力于改善场效应晶体管导通电阻 $R_{on}$ 和击穿电压 $V_B$ 的关系,试图在高击穿电压的同时得到最小的导通电阻。1991年,电子科技大学的陈星弼教授独立提出了复合缓冲层(Composite Buffer,CB)结构,并提出该结构具有 $R_{on} \propto V_B^{1.32}$ 的关系,这成功地打破了传统耐压层的“硅极限”。CB结构也即是现在为大家所熟知的超结(Superjunction,SJ)耐压层。采用超结耐压层的MOSFET被称为超结MOSFET(SJ-MOSFET)。在相同击穿电压下,SJ-MOSFET的导通电阻可以比传统功率MOSFET的导通电阻低一个数量级。

[0004] 然而,基于电子电力技术的发展,现有的超结MOSFET器件低导通电阻和高击穿电压等性能方法仍然无法使用所有场景;此外,现有的超结MOSFET还存在一定电荷平衡问题,这些在一定程度上限制了其应用范围。

### 发明内容

[0005] 为了解决现有技术中存在的上述问题,本发明提供了一种具有高K介电沟槽的功率MOSFET器件及其制备方法。本发明要解决的技术问题通过以下技术方案实现:

[0006] 一种具有高K介电沟槽的功率MOSFET器件,自下而上依次包括:第一金属层、N+衬底、N-外延层以及主体结构层;其中,

[0007] 所述N-外延层内设有若干沟槽阱结构,所述沟槽阱结构从所述N-外延层的上表面向下延伸,且其深度小于所述N-外延层的厚度;

[0008] 相邻两个沟槽阱结构之间设有高K介电沟槽,且所述高K介电沟槽的深度与所述N-外延层的厚度相同;所述沟槽阱结构、所述高K介电沟槽以及两者之间的所述N-外延层一起形成三维超结结构;

[0009] 所述高K介电沟槽区上表面设有沟槽栅,所述沟槽栅位于相邻两个所述主体结构层之间,其上具有第二金属层;

[0010] 所述主体结构层上形成有器件源极。

[0011] 在本发明的一个实施例中,所述沟槽阱结构的掺杂浓度自下而上逐渐降低。

[0012] 在本发明的一个实施例中,所述沟槽阱结构包括第一沟槽阱和第二沟槽阱;其中,所述第二沟槽阱起始于所述N-外延层上表面,并向所述N-外延层内部延伸;

[0013] 所述第一沟槽阱位于所述第二沟槽阱下方,且与所述N-外延层之间具有一定间距,以形成耗尽区。

[0014] 在本发明的一个实施例中,所述第一沟槽阱的宽度小于所述第二沟槽阱的宽度。

[0015] 在本发明的一个实施例中,所述第一沟槽阱的深度小于所述第二沟槽阱的深度。

[0016] 在本发明的一个实施例中,所述第一沟槽阱的离子掺杂浓度大于所述第二沟槽阱的离子掺杂浓度。

[0017] 在本发明的一个实施例中,所述主体结构层包括P+衬底、N+掺杂区以及P+掺杂区,所述P+衬底位于所述N-外延层上,所述N+掺杂区和所述P+掺杂区均位于所述P+衬底上,且所述P+掺杂区位于两个N+掺杂区之间。

[0018] 在本发明的一个实施例中,所述P+衬底的离子掺杂浓度大于所述第二沟槽阱的离子掺杂浓度,且小于所述P+掺杂区的离子注入浓度。

[0019] 在本发明的一个实施例中,所述高K介电沟槽区由高K介电离子注入形成,所述高K介电离子包括氮化物或金氧化物。

[0020] 本发明的另一个实施例还提供了一种具有高K介电沟槽的功率MOSFET器件的制备方法,包括以下步骤:

[0021] 选取第一金属层作为器件漏极,并在其上生长N+衬底;

[0022] 在所述N+衬底上多次外延生长N-外延层,并在每次生长之后进行刻蚀和离子注入,以形成沟槽阱结构;

[0023] 对所述沟槽阱中间的N-外延层进行离子注入形成高K介电沟槽区;

[0024] 对样品表面进行多次离子注入形成主体结构层;

[0025] 制作沟槽栅结构以及源极,以完成器件的制备。

[0026] 本发明的有益效果:

[0027] 1、本发明通过在器件外延层中设置沟槽阱结构以在沟槽阱与外延层之间形成耗尽区,增加了器件耗尽区面积,提高了击穿电压,同时,在沟槽阱结构之间还设置有高K介电沟槽结构,改变了漂移区中的电场分布,使电场的横向分量减小,垂直电场分布均匀,进一步提升了击穿电压;

[0028] 2、本发明采用高K介电质离子注入技术形成K介电沟槽结构,取代了部分N-漂移区,使得漂移区的等效介电常数增加,优化了电场,改善了电荷平衡问题;同时,对于高K介质,其介电常数越高,MIS电容效应越强,从而使器件具有更高的杂质浓度和更小的导通电阻;

[0029] 3、本发明将沟槽阱结构的离子注入浓度设置成自下而上逐渐降低的非均匀模式,在保持耗尽区最大的情况下,折衷了击穿电压和导通电阻的关系;

[0030] 4、本发明提供的具有高K介电沟槽的功率MOSFET器件将沟槽栅、高K介电沟槽和沟槽阱相结合,在得到最大的击穿电压的同时,最大程度上降低了导通电阻,提高了器件性能。

[0031] 以下将结合附图及实施例对本发明做进一步详细说明。

## 附图说明

[0032] 图1是本发明实施例提供的一种具有高K介电沟槽的功率MOSFET器件结构示意图;

[0033] 图2a是现有普通沟道的等势面；

[0034] 图2b是本发明实施例提供的高K介电沟槽的等势面；

[0035] 图3是本发明实施例提供的一种具有高K介电沟槽的功率MOSFET器件的制备方法流程图；

[0036] 图4a-4j是本发明实施例提供的一种具有高K介电沟槽的功率MOSFET器件的制备过程示意图；

[0037] 附图标记说明：

[0038] 1-第一金属层；2-N+外延区；3-N-外延区；4-第一沟槽阱；5-第二沟槽阱；6-高K介电沟槽；7-P+注入区；8-沟槽栅；9-N+注入区；10-P+注入区；11-第三金属层；12-二氧化硅层；13-第二金属层。

### 具体实施方式

[0039] 下面结合具体实施例对本发明做进一步详细的描述，但本发明的实施方式不限于此。

[0040] 实施例一

[0041] 请参见图1，图1是本发明实施例提供的一种具有高K介电沟槽的功率MOSFET器件结构示意图，自下而上依次包括：第一金属层1、N+衬底2、N-外延层3以及主体结构层；其中，

[0042] N-外延层3内设有若干沟槽阱结构，沟槽阱结构从N-外延层3的上表面向下延伸，且其深度小于N-外延层3的厚度；

[0043] 相邻两个沟槽阱结构之间设有高K介电沟槽6，且高K介电沟槽6的深度与N-外延层3的厚度相同；沟槽阱结构、高K介电沟槽6以及两者之间的N-外延层3一起形成三维超结结构；

[0044] 高K介电沟槽区6上表面设有沟槽栅8，沟槽栅8位于相邻两个主体结构层之间，其上具有第二金属层11；

[0045] 主体结构层上形成有器件源极13。

[0046] 具体的，第一金属层1是MOSFET器件的漏极，位于N+衬底区2背面。第二金属层13用于为沟槽栅8提供栅极电压。

[0047] 本实施例采用沟槽栅结构，与平面栅结构相比缩短沟道长度，沟槽下的高K介电沟槽能够调整载流子分布，降低导通电阻。

[0048] 进一步地，沟槽阱结构可以包括多个垂直分布的沟槽阱，其掺杂浓度自下而上逐渐降低。本实施例将沟槽阱结构的离子注入浓度设置成自下而上逐渐降低的非均匀模式，在保持耗尽区最大的情况下，折衷了击穿电压和导通电阻的关系。

[0049] 例如，在本实施例中，沟槽阱结构可以包括第一沟槽阱4和第二沟槽阱5；其中，第二沟槽阱5起始于N-外延层3上表面，并向N-外延层3内部延伸；

[0050] 第一沟槽阱4位于第二沟槽阱5下方，且与N-外延层3之间具有一定间距，以形成耗尽区。

[0051] 其中，第一沟槽阱4的宽度和深度均小于第二沟槽阱5的宽度和深度，且第一沟槽阱4的离子掺杂浓度大于第二沟槽阱5的离子掺杂浓度。

[0052] 在本实施例中，第一沟槽阱和第二沟槽阱使用深沟道填充技术，也就是说，在深沟

槽填充方法中,可以通过外延方法或化学气相沉积来产生多个第一沟槽阱和多个第二沟槽阱。

[0053] 更进一步地,本实施例还通过高K介电离子注入形成了高K介电沟槽区6,其中,高K介电离子包括氮化物或金氧化物,例如 $\text{Si}_3\text{N}_4$ 、 $\text{Al}_2\text{O}_3$ 、 $\text{TiO}_2$ 等。

[0054] 具体地,本实施例采用高K介电质离子注入技术形成高K介电沟槽结构,取代了部分N-漂移区,使得漂移区的等效介电常数增加,优化了电场,改善了电荷平衡问题;同时,对于高K介质,其介电常数越高,MIS电容效应越强,从而使器件具有更高的杂质浓度和更小的导通电阻。

[0055] 请参见图2a-2b,图2a是现有普通沟道的等势面,图2b是本发明实施例提供的高K介电沟槽的等势面;对比图2a和图2b可以发现,高K材料沟槽改变了漂移区中的电场分布,使其更加均匀和紧凑。由于HK物质在E场上的调制,电场的横向分量非常小,垂直电场分布非常均匀,因此获得了很高的击穿电压。

[0056] 多次实验表明,延伸的高K材料沟槽在漂移区中带来更大的MIS电容,从而增强了辅助耗尽,因此导通电阻降低,并且对电荷平衡的灵敏度也变弱。与没有介电沟槽的金属氧化物半导体场效应晶体管器件相比,其击穿电压上升了百分之十二,导通电阻下降了百分之五十。

[0057] 本实施例通过在器件外延层中设置沟槽阱结构以在沟槽阱与外延层之间形成耗尽区,增加了器件耗尽区面积,提高了击穿电压,同时,在沟槽阱结构之间还设置有高K介电沟槽结构,改变了漂移区中的电场分布,使电场的横向分量减小,垂直电场分布均匀,进一步提升了击穿电压。

[0058] 在本实施例中,主体结构层包括P+衬底7、N+掺杂区9以及P+掺杂区10,P+衬底7位于N-外延层3上,N+掺杂区9和P+掺杂区10均位于P+衬底7上,且P+掺杂区10位于两个N+掺杂区9之间。

[0059] 其中,P+衬底7的离子掺杂浓度大于第二沟槽阱5的离子掺杂浓度,且小于P+掺杂区10的离子注入浓度。

[0060] 进一步地,P+掺杂区10以及部分N+掺杂区9上设有第三金属层11,以作为器件的源极,第三金属层11和第二金属层13之间通过二氧化硅层12隔开。

[0061] 本发明提供的具有高K介电沟槽的功率MOSFET器件将沟槽栅、高K介电沟槽和沟槽阱相结合,在得到最大的击穿电压的同时,最大程度上降低了导通电阻,提高了器件性能。

[0062] 实施例二

[0063] 在上述实施例一的基础上,本实施例提供了一种具有高K介电沟槽的功率MOSFET器件的制备方法。请参见图3,图3是本发明实施例提供的一种具有高K介电沟槽的功率MOSFET器件的制备方法流程图,具体包括以下步骤:

[0064] S1:选取第一金属层作为器件漏极,并在其上生长N+衬底;

[0065] S2:在N+衬底上多次外延生长N-外延层,并在每次生长之后进行刻蚀和离子注入,以形成沟槽阱结构;

[0066] S3:对沟槽阱中间的N-外延层进行离子注入形成高K介电沟槽区;

[0067] S4:对样品表面进行多次离子注入形成主体结构层;

[0068] 其中,主体结构层包括P+衬底、N+掺杂区以及P+掺杂区,P+衬底位于N-外延层上

部,N+掺杂区和P+掺杂区均位于P+衬底上,且P+掺杂区位于两个N+掺杂区之间。

[0069] S5:制作沟槽栅结构以及源极,以完成器件的制备。

[0070] 本实施例在制备具有高K介电沟槽的功率MOSFET器件的过程中,采用多次外延技术和离子注入技术,减少了工艺难度。

[0071] 下面以结合附图,对本发明的制备过程进行详细说明。请参见图4a-4j,图4a-4j是本发明实施例提供的一种具有高K介电沟槽的功率MOSFET器件的制备过程示意图,具体包括:

[0072] 步骤1:选取第一金属,例如铜等作为第一金属层1,并在其上生长N+衬底2,如图4a所示。

[0073] 具体的,由于沟槽功率MOSFET的导通沟道是从硅片表面的源极到达背面的漏极,为了降低导通,必须尽可能的提高硅衬底的掺杂浓度,一般采用高浓度的红磷掺杂的硅衬底,掺杂浓度一般为 $1 \times 10^{13} \text{ cm}^{-3} \sim 1 \times 10^{13} \text{ cm}^{-3}$ 。

[0074] 步骤2:在N+衬底2上先外延一部分的多晶硅3,如图4b所示。

[0075] 步骤3:对上述部分多晶硅3形成的外延层进行沟槽刻蚀,经过光罩投影和曝光,采用干法刻蚀在外延单晶硅上形成第一沟槽,如图4c所示。

[0076] 步骤4:通过深沟槽填充技术对第一沟槽进行P+离子注入,形成第一沟槽阱4,如图4d所示。

[0077] 具体的,第一沟槽阱的掺杂浓度为 $1 \times 10^{15} \text{ cm}^{-3} \sim 1 \times 10^{17} \text{ cm}^{-3}$ 。

[0078] 步骤5:在N-外延层3中继续外延N-材料,此次外延层厚度大于第一次外延厚度,如图4e所示。

[0079] 步骤6:对上述外延层进行沟槽刻蚀,经过光罩投影和曝光,采用干法刻蚀在外延单晶硅上形成第二沟槽,如图4f所示。

[0080] 步骤7:通过深沟槽填充技术对第二沟槽进行P+离子注入,此时离子浓度低于第一沟槽阱中的离子浓度,形成第二沟槽阱5,如图4g所示。

[0081] 具体的,第二沟槽阱的掺杂浓度为 $1 \times 10^{14} \text{ cm}^{-3} \sim 1 \times 10^{16} \text{ cm}^{-3}$ ,相比于第一沟槽的离子浓度低大约一个数量级。

[0082] 步骤8:通过离子注入高K介质材料,形成高K介电沟槽,高K介电材料如图4h所示。

[0083] 具体地,这里通常选用相对介电常数为100~2000的材料,例如 $\text{TiO}_2$ 。材料的相对介电常数越高,越能加强其漂移区的电场。

[0084] 步骤9:继续采用离子注入方式依次在N-外延层3上面形成P+衬底7、N+掺杂区9以及P+掺杂区10,从而形成期间的主体层结构,如图4i所示。

[0085] 步骤10:制作沟槽栅8,并在整个器件表面覆盖金属和二氧化硅,以形成器件栅极和源极,如图4j所示。

[0086] 至此,完成具有扩展的高K介电沟槽和三维超结的功率金属氧化物半导体场效应晶体管器件的制备。

[0087] 应当说明的是,在本实施例中,诸如第一和第二等之类的关系术语仅仅用来将一个实体或者操作与另一个实体或操作区分开来,而不一定要求或者暗示这些实体或操作之间存在任何这种实际的关系或者顺序。

[0088] 以上内容是结合具体的优选实施方式对本发明所作的进一步详细说明,不能认定

本发明的具体实施只局限于这些说明。对于本发明所属技术领域的普通技术人员来说,在不脱离本发明构思的前提下,还可以做出若干简单推演或替换,都应当视为属于本发明的保护范围。

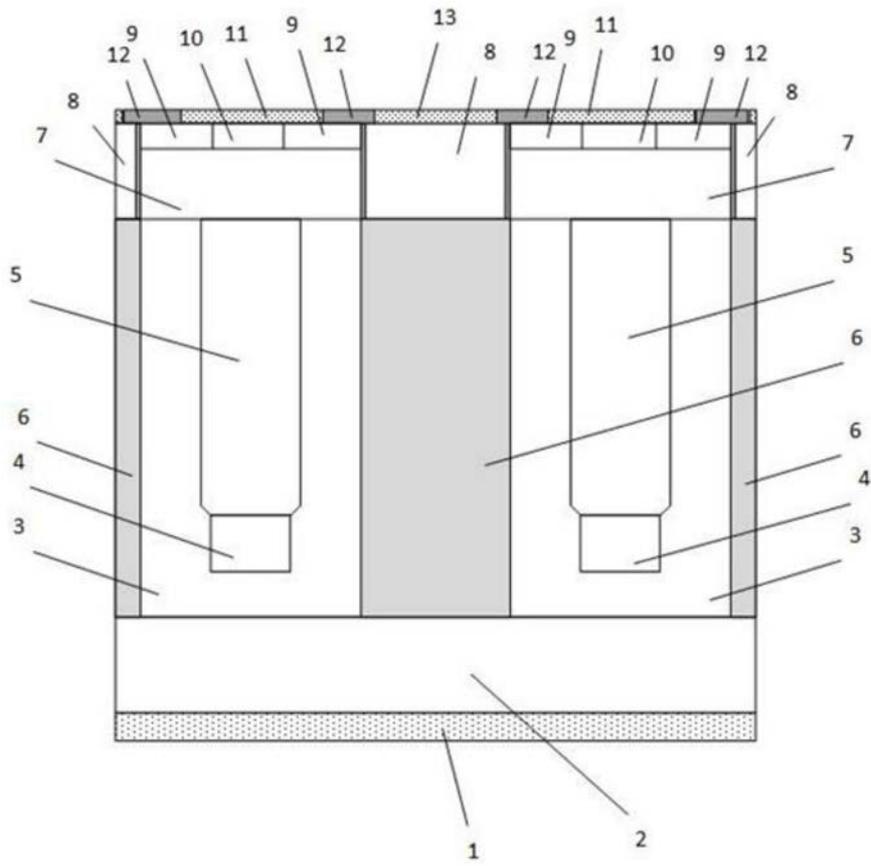


图1

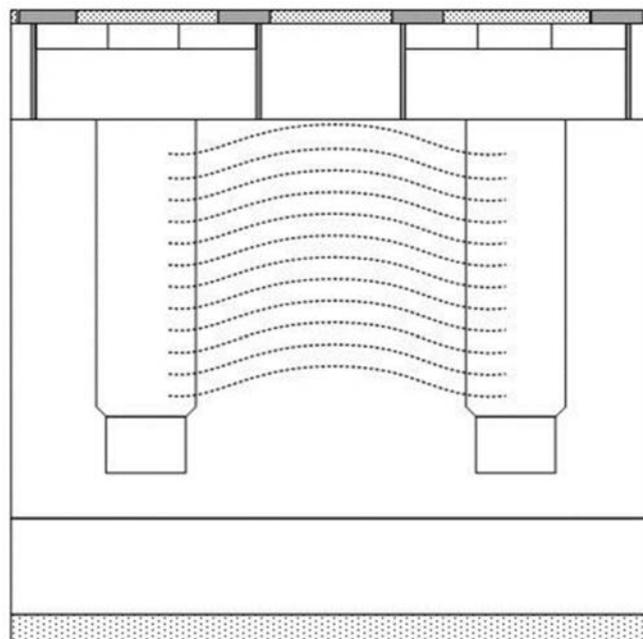


图2a

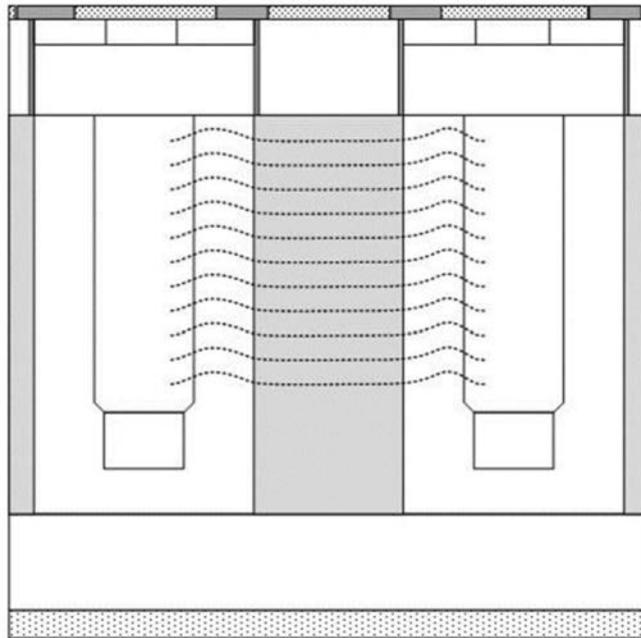


图2b

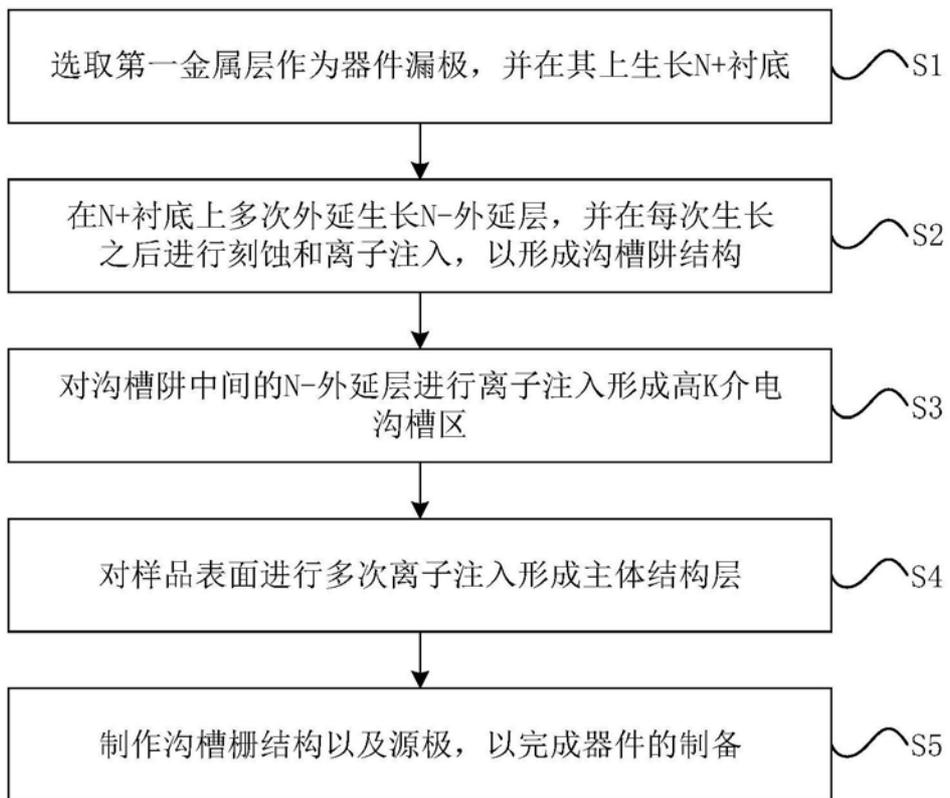


图3

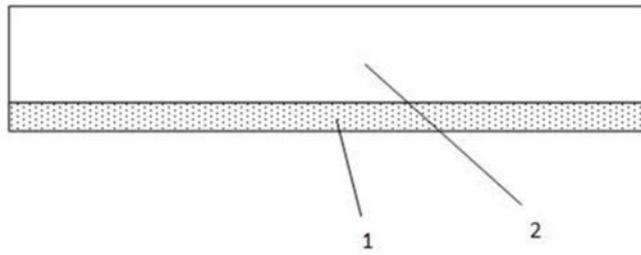


图4a

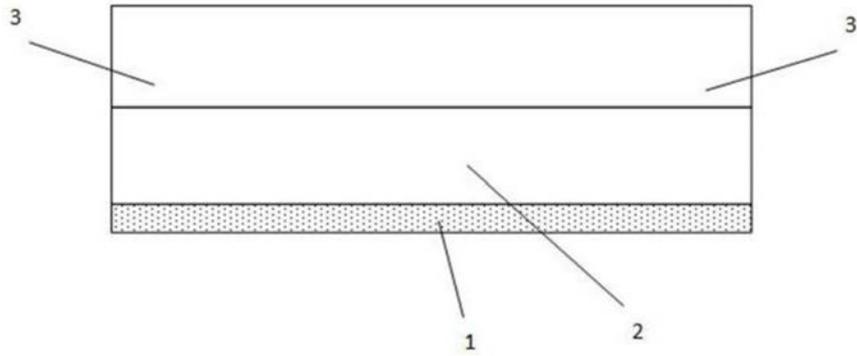


图4b

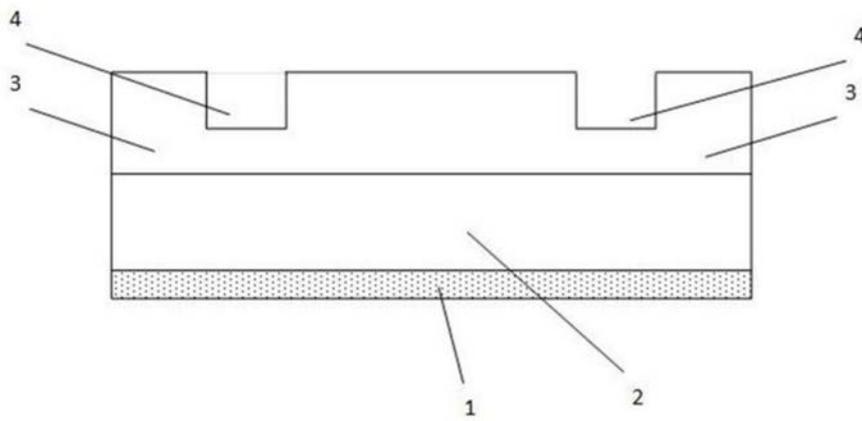


图4c

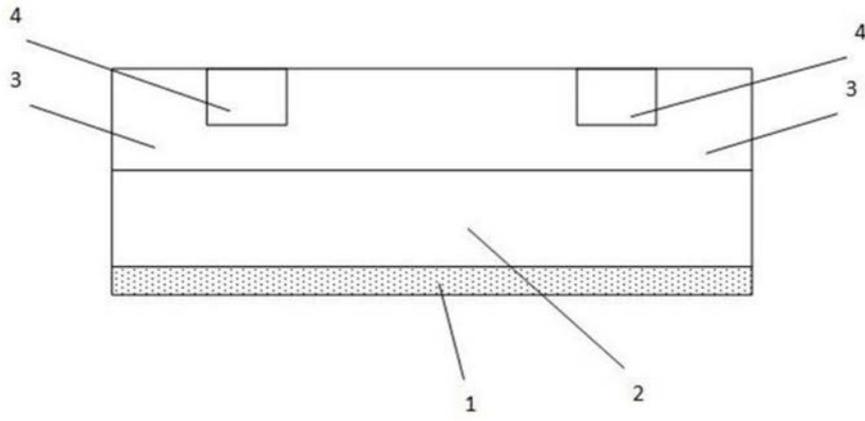


图4d

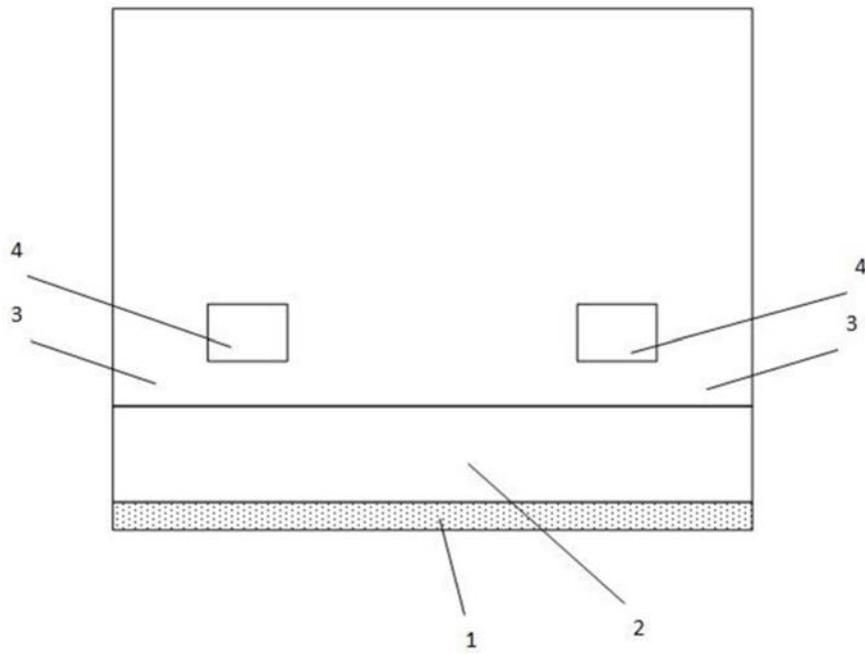


图4e

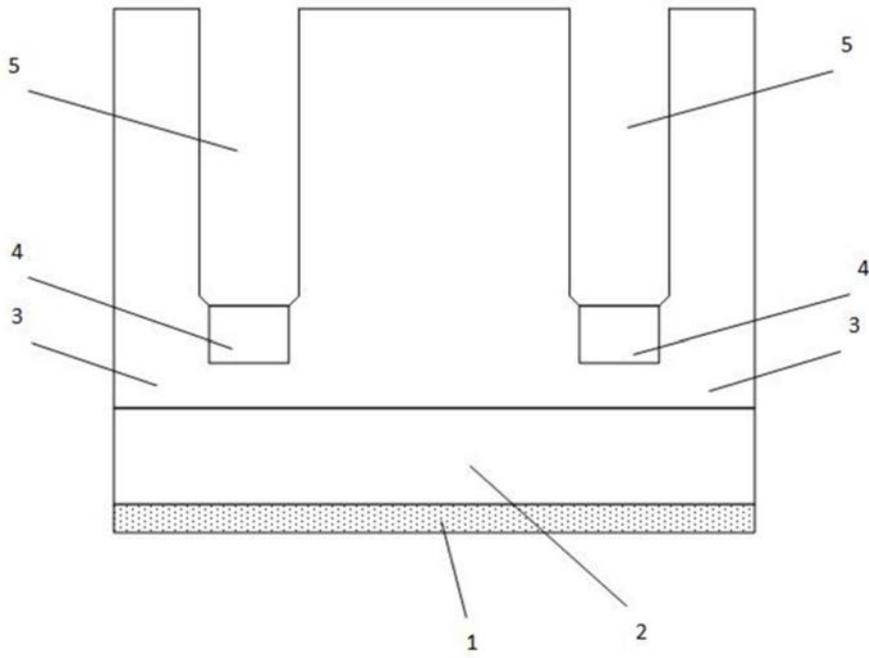


图4f

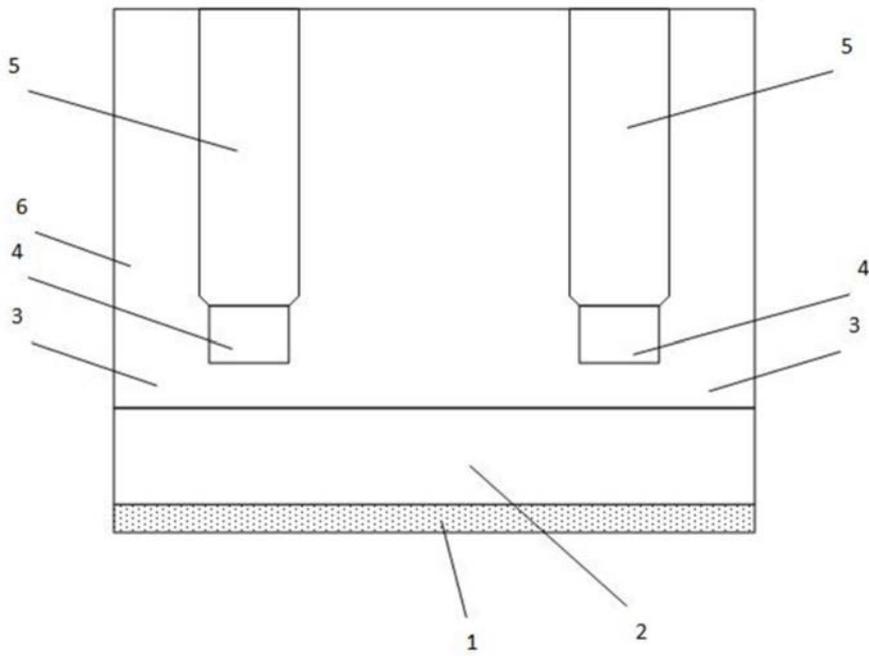


图4g

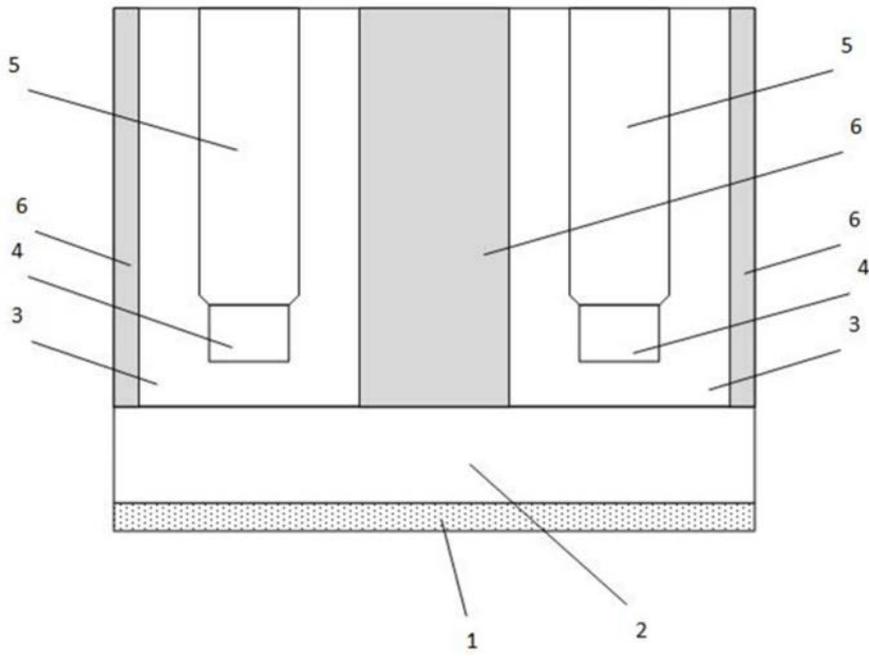


图4h

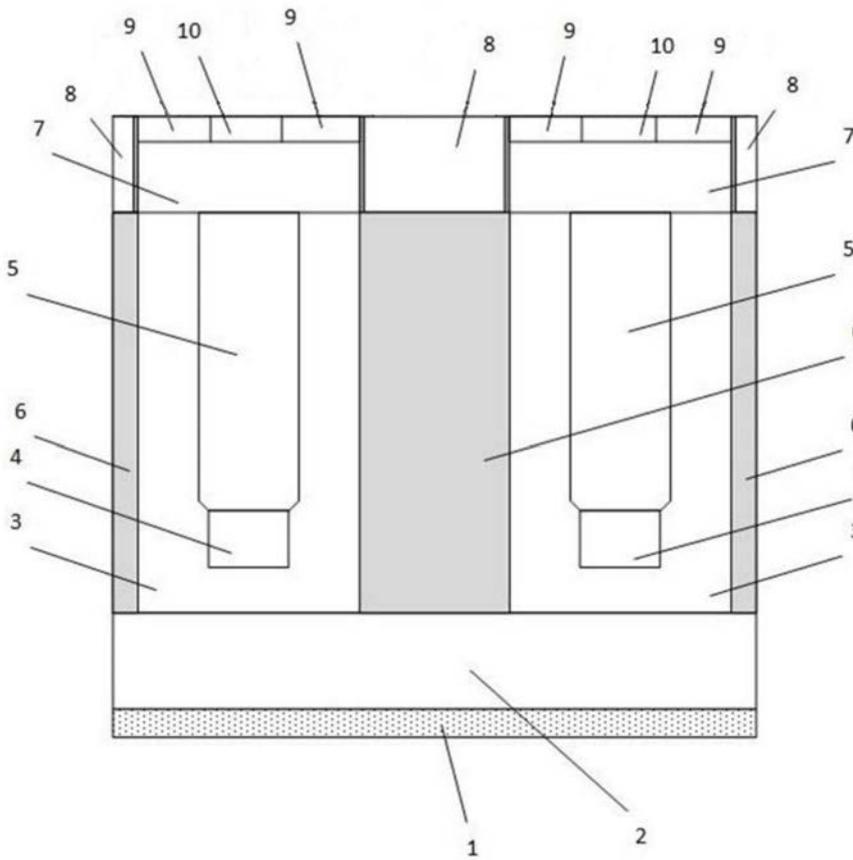


图4i

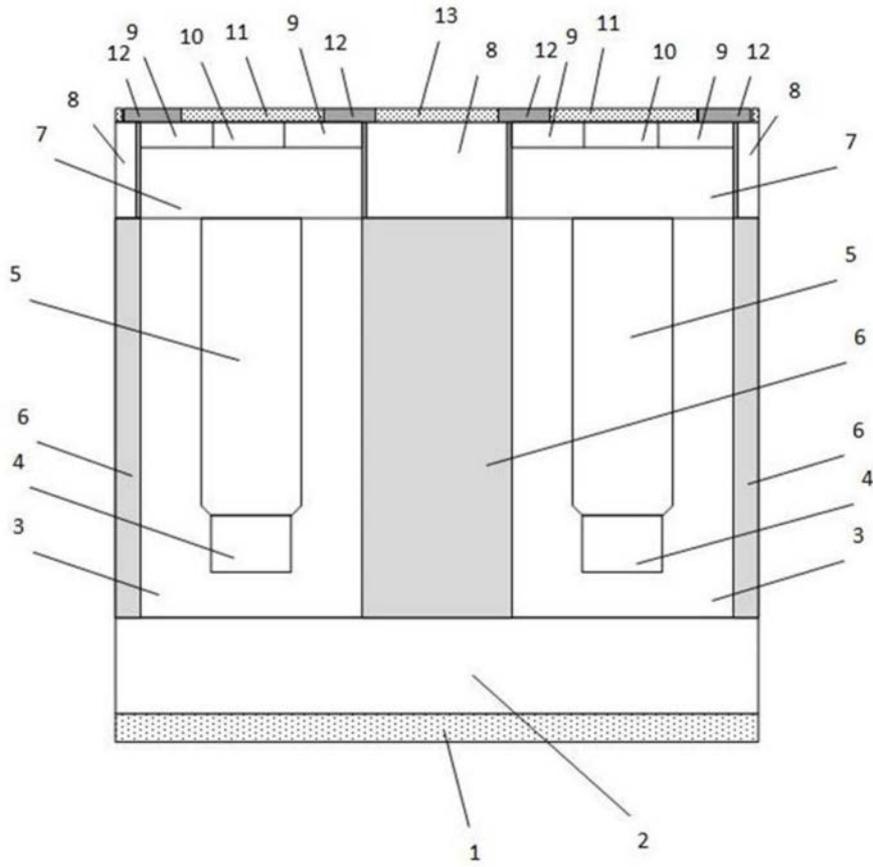


图4j