



(12) 发明专利申请

(10) 申请公布号 CN 102891177 A

(43) 申请公布日 2013. 01. 23

(21) 申请号 201110201413. 2

(22) 申请日 2011. 07. 19

(71) 申请人 中芯国际集成电路制造(北京)有限公司

地址 100176 北京市大兴区经济技术开发区
文昌大道 18 号

(72) 发明人 三重野文健

(74) 专利代理机构 中国国际贸易促进委员会专
利商标事务所 11038

代理人 金晓

(51) Int. Cl.

H01L 29/78(2006. 01)

H01L 21/336(2006. 01)

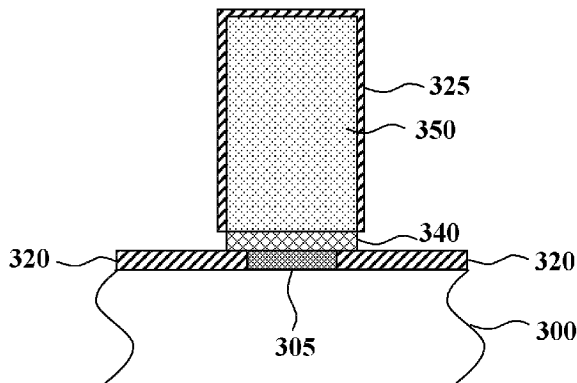
权利要求书 2 页 说明书 6 页 附图 4 页

(54) 发明名称

半导体器件及其制造方法

(57) 摘要

本发明涉及半导体器件及其制造方法。所述半导体器件包括：在半导体衬底上形成的被图案化的叠层结构，所述叠层结构从下至上依次包括锗半导体层、栅极电介质层和栅极层；在所述锗半导体层的两侧选择性外延生长的被掺杂的外延半导体层，其中，所述外延半导体层形成抬高的源漏延伸区，并且所述锗半导体层用作沟道区。根据本发明，能够有利地使得源漏延伸区的结深浅（或厚度小）且掺杂浓度高。上述半导体器件能够有利地提高载流子迁移率。



1. 一种半导体器件,其特征在于,所述半导体器件包括:

在半导体衬底上形成的被图案化的叠层结构,所述叠层结构从下至上依次包括锗半导体层、栅极电介质层和栅极层;

在所述锗半导体层的两侧选择性外延生长的被掺杂的外延半导体层,

其中,所述外延半导体层形成抬高的源漏延伸区,并且所述锗半导体层用作沟道区。

2. 如权利要求 1 所述的半导体器件,其特征在于,所述外延半导体层的掺杂浓度为 $5.0 \times 10^{19} \sim 5.0 \times 10^{21} \text{cm}^{-3}$ 。

3. 如权利要求 1 所述的半导体器件,其特征在于,所述外延半导体层的厚度为 5 ~ 50nm。

4. 如权利要求 1 所述的半导体器件,其特征在于,所述半导体器件为 PMOS 晶体管。

5. 如权利要求 1 所述的半导体器件,其特征在于,所述外延半导体层为锗层。

6. 如权利要求 1 所述的半导体器件,其特征在于,所述锗半导体层的两端相对于所述栅极电介质层被底切,并且,所述锗半导体层被底切掉的总长度为栅极长度的 10 ~ 20%。

7. 如权利要求 1-6 中任意一项所述的半导体器件,其特征在于,所述栅极电介质层和所述栅极层被替换为高 K 栅极电介质层和金属栅极层。

8. 如权利要求 7 所述的半导体器件,其特征在于,所述高 K 栅极电介质层基本上为 U 形,并且所述金属栅极层被所述高 K 栅极电介质层包围。

9. 一种半导体器件的制造方法,其特征在于,所述制造方法包括如下步骤:

在半导体衬底上形成被图案化的叠层结构,所述叠层结构从下至上依次包括锗半导体层、栅极电介质层和栅极层;

在所述锗半导体层的两侧选择性外延生长被掺杂的外延半导体层,以形成抬高的源漏延伸区;以及

将所述栅极电介质层和所述栅极层替换为高 K 栅极电介质层和金属栅极层,而留下所述锗半导体层用作沟道区。

10. 如权利要求 9 所述的制造方法,其特征在于,所述外延半导体层的掺杂浓度为 $5.0 \times 10^{19} \sim 5.0 \times 10^{21} \text{cm}^{-3}$ 。

11. 如权利要求 9 所述的制造方法,其特征在于,所述外延半导体层的厚度为 5 ~ 50nm。

12. 如权利要求 9 所述的制造方法,其特征在于,所述半导体器件为 PMOS 晶体管。

13. 如权利要求 9 所述的制造方法,其特征在于,所述外延半导体层为锗层。

14. 如权利要求 13 所述的制造方法,其特征在于,所述选择性外延生长的条件如下: H_2 的流量为 10 ~ 50SLM, GeH_4 的流量为 100 ~ 300SCCM,以及摩尔比为 1 : 99 的 AsH_3 和 H_2 的混合物,摩尔比为 1 : 99 的 B_2H_6 和 H_2 或摩尔比为 1 : 99 的 PH_3 和 H_2 的混合物的流量为约 90SCCM,温度为约 530°C,并且压力为约 0.07 托。

15. 如权利要求 9 所述的制造方法,其特征在于,所述制造方法进一步包括如下步骤: 在形成所述叠层结构之后且在形成所述抬高的源漏延伸区之前,对所述锗半导体层进行蚀刻,以相对于所述栅极电介质层底切所述锗半导体层的两端,

其中,所述锗半导体层被底切掉的总长度为栅极长度的 10 ~ 20%。

16. 如权利要求 15 所述的制造方法,其特征在于,

通过摩尔比为 3 : 97 的 H_2O_2 和 H_2O 的混合物在室温下蚀刻所述锗半导体层。

17. 如权利要求 9-16 中任意一项所述的制造方法,其特征在于,将所述栅极电介质层和所述栅极层替换为高 K 栅极电介质层和金属栅极层的步骤包括如下步骤:

形成所述叠层结构的侧壁间隔件;

去除所述栅极层和所述栅极电介质层,以在所述侧壁间隔件之间形成沟槽;

形成覆盖所述沟槽的底部和侧壁的高 K 栅极电介质层;以及

形成被所述高 K 栅极电介质层包围的金属栅极层。

18. 如权利要求 9 所述的制造方法,其特征在于,所述制造方法进一步包括如下步骤:
紧接在形成所述侧壁间隔件之后形成源漏区。

半导体器件及其制造方法

技术领域

[0001] 本发明涉及半导体器件及其制造方法。本发明尤其涉及具有外延的源漏延伸区的半导体器件及其制造方法。

背景技术

[0002] 当前,数以百万的半导体器件被集成在一起以形成超大规模集成电路。

[0003] 图 1 示出常规的半导体器件(晶体管)的截面图。晶体管一般包括半导体衬底(为了清楚起见,此处未示出)上的栅极电介质层 140 和栅极电介质层 140 上的栅极层 150。在栅极电介质层 140 和栅极层 150 的侧壁上形成有侧壁间隔件 160 和 165。晶体管一般还包括栅极层两侧 150 的一对源漏区 110。此外,一对源漏延伸区 120 形成在半导体衬底的表面区域中,并延伸到栅极电介质层 140 和栅极层 150 之下。沟道区 130 形成在一对源漏延伸区 120 之间、栅极电介质层 140 之下的半导体衬底中。

[0004] 随着晶体管的特征尺寸不断地缩小,希望源漏延伸区 120 的结深浅(或厚度小)以减小结电容(C_{junc}),并且还希望源漏延伸区 120 的激活掺杂剂浓度高以减小积累电阻(R_{acc}),从而增大晶体管的驱动电流。

[0005] 为了上述目的,通常对于通过离子注入所形成的源漏延伸区进行退火,尤其是激光熔化/亚熔退火。

[0006] 但是,本发明的发明人对此进行了深入研究,发现通过离子注入和激光熔化/亚熔退火所形成的源漏延伸区的结深以及激活掺杂剂浓度有待进一步的改善。顺便提及的是,虽然通常使用 SIMS(二次离子质谱术)来测量激光熔化/亚熔退火之后的掺杂剂分布,但是 SIMS 并不能辨别掺杂剂是否被激活。

[0007] 因此,本发明的发明人意识到,需要一种源漏延伸区的结深浅(或厚度小)且激活掺杂剂浓度高的半导体器件及其制造方法。

发明内容

[0008] 鉴于以上问题提出本发明。

[0009] 本发明的一个目的是提供一种源漏延伸区的结深浅(或厚度小)且激活掺杂剂浓度高的半导体器件及其制造方法。

[0010] 根据本发明的第一方面,提供一种半导体器件,其特征在于,所述半导体器件包括:在半导体衬底上形成的被图案化的叠层结构,所述叠层结构从下至上依次包括锗半导体层、栅极电介质层和栅极层;在所述锗半导体层的两侧选择性外延生长的被掺杂的外延半导体层,其中,所述外延半导体层形成抬高的源漏延伸区,并且所述锗半导体层用作沟道区。

[0011] 优选地,所述外延半导体层的掺杂浓度为 $5.0 \times 10^{19} \sim 5.0 \times 10^{21} \text{ cm}^{-3}$ 。

[0012] 优选地,所述外延半导体层的厚度为 $5 \sim 50 \text{ nm}$ 。

[0013] 优选地,所述半导体器件为 PMOS 晶体管。

- [0014] 优选地,所述外延半导体层为 Ge 层。
- [0015] 优选地,所述锗半导体层相对于所述栅极电介质层被底切,并且,所述锗半导体层被底切掉的长度为栅极长度的 10 ~ 20%。
- [0016] 优选地,所述栅极电介质层和所述栅极层被替换为高 K 栅极电介质层和金属栅极层。
- [0017] 优选地,所述高 K 栅极电介质层为 U 形,并且所述金属栅极层被所述高 K 栅极电介质层包围。
- [0018] 根据本发明的第二方面,提供一种半导体器件的制造方法,其特征在于,所述制造方法包括如下步骤:在半导体衬底上形成被图案化的叠层结构,所述叠层结构从下至上依次包括锗半导体层、栅极电介质层和栅极层;在所述锗半导体层的两侧选择性外延生长被掺杂的外延半导体层,以形成抬高的源漏延伸区;以及将所述栅极电介质层和所述栅极层替换为高 K 栅极电介质层和金属栅极层,而留下所述锗半导体层用作沟道区。
- [0019] 优选地,所述外延半导体层的掺杂浓度为 $5.0 \times 10^{19} \sim 5.0 \times 10^{21} \text{cm}^{-3}$ 。
- [0020] 优选地,所述外延半导体层的厚度为 5 ~ 50nm。
- [0021] 优选地,所述锗半导体层为 SiGe 层,并且 Ge 的浓度为 30 ~ 40 原子%。
- [0022] 优选地,所述半导体器件为 PMOS 晶体管。
- [0023] 优选地,所述外延半导体层为 Si 层。
- [0024] 优选地,所述选择性外延生长的条件如下: H_2 的流量为 10 ~ 50slm, Si 源的流量为 100 ~ 300sccm, HCl 的流量为 50 ~ 300sccm, AsH_3 1% / H_2 、 B_2H_6 1% / H_2 或 PH_3 1% / H_2 的流量为 100 ~ 500sccm,温度为 620 ~ 800°C,并且压力为 0.1 ~ 1.0 托。
- [0025] 优选地,所述制造方法进一步包括如下步骤:在形成所述叠层结构之后且在形成所述抬高的源漏延伸区之前,对所述锗半导体层进行蚀刻,以相对于所述栅极电介质层底切所述锗半导体层,其中,所述锗半导体层被底切掉的长度为栅极长度的 10 ~ 20%。
- [0026] 优选地,所述锗半导体层为 SiGe 层,并且 Ge 的浓度为 30 ~ 40 原子%;以及通过 HCl 气相蚀刻进行所述蚀刻,其中,使用 HCl 和 H_2 的混合气体,HCl 的分压为 0.1 ~ 0.9 托,总压小于 80 托,并且温度为 500 ~ 700°C。
- [0027] 优选地,所述高 K 栅极电介质层为 U 形,并且所述金属栅极层被所述高 K 栅极电介质层包围。
- [0028] 优选地,所述制造方法进一步包括如下步骤:在形成所述抬高的源漏延伸区之后且在将所述栅极电介质层和所述栅极层替换为高 K 栅极电介质层和金属栅极层之前,形成源漏区。
- [0029] 根据本发明,可以提供一种源漏延伸区的结深浅(或厚度小)且激活掺杂剂浓度高的半导体器件及其制造方法。

附图说明

[0030] 被包含于说明书中并构成其一部分的附图示出本发明的实施例,并与描述一起用于解释本发明的原理。

[0031] 要注意的是,在附图中,为了便于描述,各个部分的尺寸可能并不是按照实际的比例关系绘制的。

[0032] 图 1 示意性地示出常规的半导体器件的截面图。

[0033] 图 2 示意性地示出根据本发明的半导体器件的制造方法的一个实施例的流程图。

[0034] 图 3A ~ 3F 示意性地示出根据本发明的半导体器件的制造方法的所述一个实施例中的各步骤的截面图。

[0035] 从参照附图对示例性实施例的以下详细描述,本发明的目的、特征和优点将变得明显。

具体实施方式

[0036] 下面参照附图详细描述本发明的示例性实施例。应注意,以下的描述在本质上仅是示例性的。除非另外特别说明,否则,在实施例中阐述的部件、步骤、数值等并不限制本发明的范围。另外,本领域技术人员已知的技术、方法和装置可能不被详细讨论,但在适当的情况下意在成为说明书的一部分。

[0037] 下面将以晶体管为例对本发明进行描述。在阅读了本发明之后,本领域技术人员可以在将本发明应用于任何可以使用此处所教导的技术方案的精神和实质的场合中。

[0038] 下面将参照图 2 以及图 3A ~ 3F 详细描述本发明的半导体器件的制造方法的一个实施例。其中,图 2 示意性地示出所述一个实施例的流程图。图 3A ~ 3F 示意性地示出所述一个实施例中的各步骤的截面图。要注意的是,图 2 中的各步骤并不一定都是必需的,而是可以根据情况而省略其中的某些步骤。

[0039] 首先,在图 2 的步骤 210 中,在半导体衬底 300 上形成被图案化的叠层结构,所述叠层结构从下至上依次包括锗半导体层 305、栅极电介质层 340 和栅极层 350(参见图 3A)。

[0040] 半导体衬底 300 可以是本领域已知的任何类型的衬底,诸如体硅衬底、绝缘体上硅(SOI)衬底等。另外,在半导体衬底 300 中例如可以形成有多个隔离区域,诸如浅沟槽隔离(STI)区域(图中未示出)。

[0041] 锗半导体层 305 的厚度例如可以为 5 ~ 50nm。在本发明的一些实施例中,锗半导体层 305 的厚度小于 20nm,甚至小于 10nm。

[0042] 栅极电介质层 340 的材料不受特别限制,其例如可以为硅氧化物或硅氮化物等。

[0043] 栅极层 350 的材料不受特别限制,其例如可以为多晶硅等。

[0044] 可以利用本领域已知的方法通过沉积、图案化和蚀刻等来形成所述叠层结构。

[0045] 接下来,在图 2 的步骤 220 中,对锗半导体层 305 进行蚀刻,以相对于栅极电介质层 340 底切锗半导体层 305 的两端(参见图 3B)。

[0046] 底切锗半导体层 305 的两端的目的是使得以下将形成的外延半导体层与栅极结构相交叠。例如,锗半导体层 305 被底切掉的两端的长度可以相同,例如均为栅极长度的 5 ~ 10%。换言之,锗半导体层 305 被底切掉的两端的总长度可以为栅极长度的 10 ~ 20%。

[0047] 蚀刻锗半导体层 305 可以在以下工艺条件下进行:其中,可以使用摩尔比为 3 : 97 的 H_2O_2 和 H_2O 的混合物在室温下进行蚀刻,对锗半导体层 305 进行蚀刻的更具体的细节可以参见 N. Cerniglia 和 P. Wang 在 Journal of the Electrochemical Society 上发表的 "Dissolution of Germanium in Aqueous Hydrogen Peroxide Solution", vol. 109, No. 6(1962)pp508-512; 以及 M. F. EHMAN 等人在 Journal of Materials Science 上发表的 "Characterisation of Thin Surface Films on Germanium in Various Solvents by

Ellipsometry", 6(1971), pp969-973。

[0048] 要注意的是,在本发明的一些实施例中,也可以不执行蚀刻步骤 220。

[0049] 然后,在图 2 的步骤 230 中,在锗半导体层 305 的两侧选择性外延生长被掺杂的外延半导体层 320,以形成抬高的源漏延伸区(参见图 3C)。

[0050] 所述选择性外延生长步骤仅在存在用作“籽晶”的锗原子的位置处进行。因此,所述选择性外延生长步骤在锗半导体层 305 的两侧选择性外延生长被掺杂的外延半导体层 320。所述被掺杂的外延半导体层 320 将形成抬高的源漏延伸区。另外,所述选择性外延生长步骤还同时在栅极层 350 的周围形成外延半导体层 325(外延半导体层 325 可以在后续步骤中被去除)。

[0051] 在一个实施例中,外延半导体层 320 的材料为重掺杂的锗。例如可以采用如下条件来进行选择性外延生长:可以使用快速热 CVD 工具进行所述选择性外延生长,其中, H_2 的流量为 10 ~ 50SLM,优选为 30SLM,作为 Ge 源的 GeH_4 的流量为 100 ~ 300SCCM,可选地,还可以引入 HCl,其流量例如为 50 ~ 300SCCM,摩尔比为 1 : 99 的 AsH_3 和 H_2 的混合物,摩尔比为 1 : 99 的 B_2H_6 和 H_2 的混合物或摩尔比为 1 : 99 的 PH_3 和 H_2 的混合物,流量例如为约 90SCCM,温度为约 400-600°C,例如为 500°C,并且压力为约 0.05-1.0 托,例如为 0.07 托。在一个实施例中,可以采用 B_2H_6 作为掺杂剂,掺杂浓度例如可以为 $5.0 \times 10^{19} \sim 5.0 \times 10^{21} cm^{-3}$ 。

[0052] 顺便提及的是,在外延生长步骤 230 中优选不进行预热处理。这是因为,预热处理通常使用氢和 800°C 以上的温度,而即使是 800°C 的低温预热处理也将在例如硅氧化物和衬底之间的界面(诸如 STI 附近)处引入晶体缺陷。

[0053] 顺便提及的是,由于本征氧化物的生长,因此蚀刻步骤 220 和外延生长步骤 230 之间的排队时间(queue time)(即蚀刻步骤 220 和外延生长步骤 230 之间的时间间隔)优选小于 2 小时,更优选小于 1 小时。

[0054] 根据以上的处理,形成了一种半导体器件(参见图 3C)。所述半导体器件包括:在半导体衬底 300 上形成的被图案化的叠层结构,所述叠层结构从下至上依次包括锗半导体层 305、栅极电介质层 340 和栅极层 350;以及在锗半导体层 305 的两侧选择性外延生长的被掺杂的外延半导体层 320。其中,如下面将描述的那样,外延半导体层 320 形成抬高的源漏延伸区,并且锗半导体层 305 用作沟道区。

[0055] 要注意的是,与通过离子注入和退火来形成源漏延伸区的现有技术相比,在本发明中,由于通过外延来形成被掺杂的外延半导体层 320 从而形成源漏延伸区,因此,外延半导体层 320(即源漏延伸区)的掺杂浓度可以较高(即重掺杂),例如,其可以为 $5.0 \times 10^{19} \sim 5.0 \times 10^{21} cm^{-3}$;并且,掺杂剂可以较大程度地被激活,从而晶体缺陷较少。这能够有利地减小积累电阻,从而增大晶体管的驱动电流。

[0056] 并且,与通过离子注入和退火来形成源漏延伸区的现有技术相比,在本发明中,由于通过外延来形成被掺杂的外延半导体层 320 从而形成源漏延伸区,因此,外延半导体层 320(即源漏延伸区)的厚度可以较小,例如,其可以为 5 ~ 50nm。在本发明的一些实施例中,外延半导体层 320 的厚度小于 20nm,甚至小于 10nm。这能够有利地减小结电容,从而提高晶体管的性能。

[0057] 此外,激光熔化/亚熔退火需要复杂的工艺调整,并且,激光熔化/亚熔退火的高温(例如,可达 1300°C 以上)可能在沟道区处引入缺陷。相比之下,在通过外延来形成源

漏延伸区的本发明中,由于外延的温度较低(例如,620 ~ 800℃),因此对沟道区的损伤较小。

[0058] 此外,在本发明中,所形成的源漏延伸区位于半导体衬底 300 的表面之上,因此所形成的源漏延伸区是抬高的源漏延伸区。这种抬高的源漏延伸区的结构可以进一步减小结电容,从而进一步提高晶体管的性能。

[0059] 顺便提及的是,在通过离子注入和退火来形成源漏延伸区的现有技术中,注入的掺杂剂不仅可在纵向上扩散,而且还可在横向上不利地扩散。相比之下,在本发明中,可以通过锗半导体层 305 的底切量来较好地控制源漏延伸区的长度,因此有利于进一步地减小结电容。

[0060] 在形成抬高的源漏延伸区之后,参见图 3D,可以形成叠层结构的侧壁间隔件 360 和 365、层间电介质层 370 以及源漏区(图中未示出)。

[0061] 侧壁间隔件 360、365 和层间电介质层 370 的材料和形成方法不受特别限制。例如,侧壁间隔件 360、365 可以分别为硅氮化物和硅氧化物,并且,可以通过覆盖性好且温度低的原子层沉积(ALD)而形成。在通过沉积和蚀刻形成侧壁间隔件 360、365 之后,进行层间电介质层 370 的沉积,然后进行化学机械抛光(CMP),以得到如图 3D 的结构。

[0062] 并且,例如,可以在形成侧壁间隔件 360、365 之后且在形成层间电介质层 370 之前,形成源漏区(图中未示出)。源漏区可以通过常规的离子注入和退火处理来形成,也可以形成诸如抬高的源漏区的其它类型的源漏区。

[0063] 接下来,在图 2 的步骤 240 中,将栅极电介质层 340 和栅极层 350 替换为高 K 栅极电介质层 344 和金属栅极层 355,而留下锗半导体层 305 用作沟道区(参见图 3E ~ 3F)。

[0064] 首先,依次去除栅极层 350 和栅极电介质层 340 而留下锗半导体层 305,以形成沟槽 375(参见图 3E)。

[0065] 去除栅极层 350 和栅极电介质层 340 的方法不受特别限制。例如,可以采用包括干蚀刻和湿蚀刻的各种方法来选择性地蚀刻掉栅极层 350 和栅极电介质层 340,从而形成沟槽 375。另外,在栅极层 350 的周围形成的外延半导体层 325 也被蚀刻掉。

[0066] 然后,在沟槽 375 中依次形成高 K 栅极电介质层 344 和金属栅极层 355(参见图 3F)。

[0067] 高 K 栅极电介质层 344 的材料不受特别限制,其例如可以为 HfO₂、HfSiO₂、LaO₃、ZrO₂、ZrSiO₂、TaO₃、BST、BaTiO₃、SrTiO₃、Y₂O₃、Al₂O₃、PbScTaO₆、PbZnNb₂O₇ 等。高 K 栅极电介质层 344 的厚度例如小于 **60 Å**。如图 3F 所示,所形成的高 K 栅极电介质层 344 不仅覆盖沟槽 375 的底部,而且还覆盖沟槽 375 的侧壁,即,高 K 栅极电介质层 344 基本上为 U 形。

[0068] 在沟槽 375 中形成作为衬里层(lining layer)的高 K 栅极电介质层 344 之后,在沟槽 375 中进行沉积和平坦化而形成金属栅极层 355,从而得到如图 3F 所示的高 K 栅极电介质层 344 为 U 形并且金属栅极层 355 被高 K 栅极电介质层 344 包围的结构。金属栅极层 355 的材料不受特别限制。例如,对于 n 型金属栅极层 355,可以使用 Hf、Zr、Ti、Ta、Al、HfC、ZrC、TiC、TaC、AlC 等,其功函数约为 3.9 ~ 4.2 eV,并且其厚度例如为 **100~2000 Å**;对于 p 型金属栅极层 355,可以使用 Ru、Pa、Pt、Co、Ni、RuO₂ 等,其功函数约为 4.9 ~ 5.2 eV,并且其厚度例如为 **50~1000 Å**。

[0069] 根据以上的处理,形成了一种半导体器件(参见图 3F)。在所述半导体器件中,相

比于图 3C 以及图 3D 所示的半导体器件,将栅极电介质层 340 和栅极层 350 替换为高 K 栅极电介质层 344 和金属栅极层 355。

[0070] 在本发明的后高 K 电介质后栅极的工艺中,在形成用作源漏延伸区的外延半导体层 320 之后将栅极电介质层 340 替换为高 K 栅极电介质层 344,由此避免了由于外延生长时的还原性气体所导致的高 K 栅极电介质层的劣化。相比之下,在先高 K 电介质先栅极的工艺中,当利用外延方法来形成源漏延伸区时,由于外延生长时的还原性气体所导致的高 K 栅极电介质层的还原性反应,因此高 K 栅极电介质层被劣化。

[0071] 要注意的是,在本发明的一些实施例中,也可以不执行替换步骤 240。

[0072] 至此,已经详细描述了本发明的半导体器件及其制造方法。为了避免遮蔽本发明的构思,没有描述本领域公知的一些细节。本领域技术人员根据上面的描述,可以容易地明白如何实施这里公开的技术方案。

[0073] 虽然已参照示例性实施例描述了本发明,但应理解,本发明不限于所公开的示例性实施例。对于本领域技术人员而言显然的是,可以在不背离本发明的范围和精神的条件下修改以上的示例性实施例。所附的权利要求的范围应被赋予最宽的解释,以包含所有这样的修改以及等同的结构和功能。

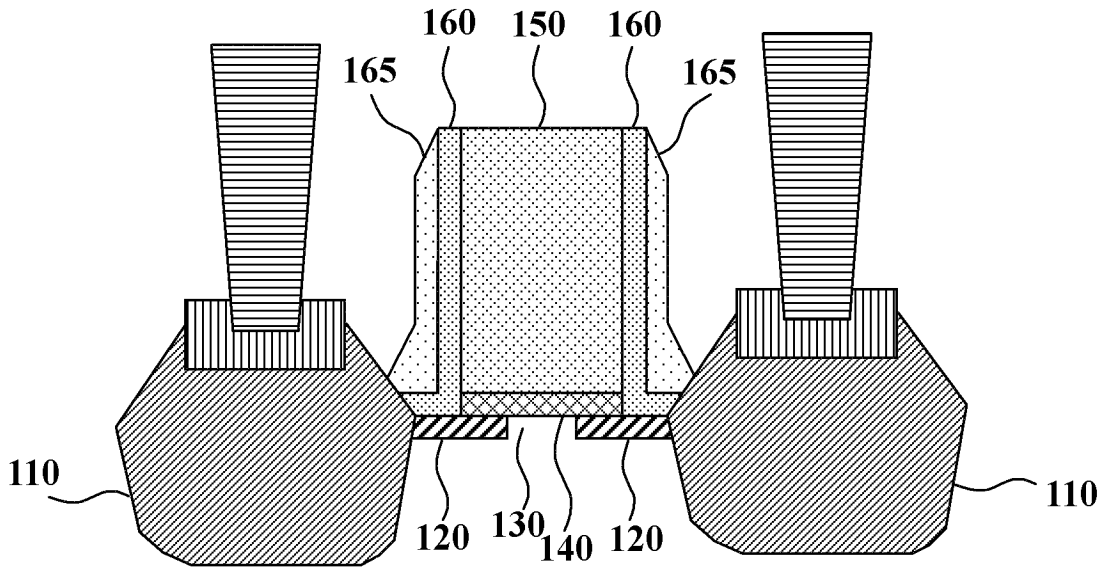


图 1

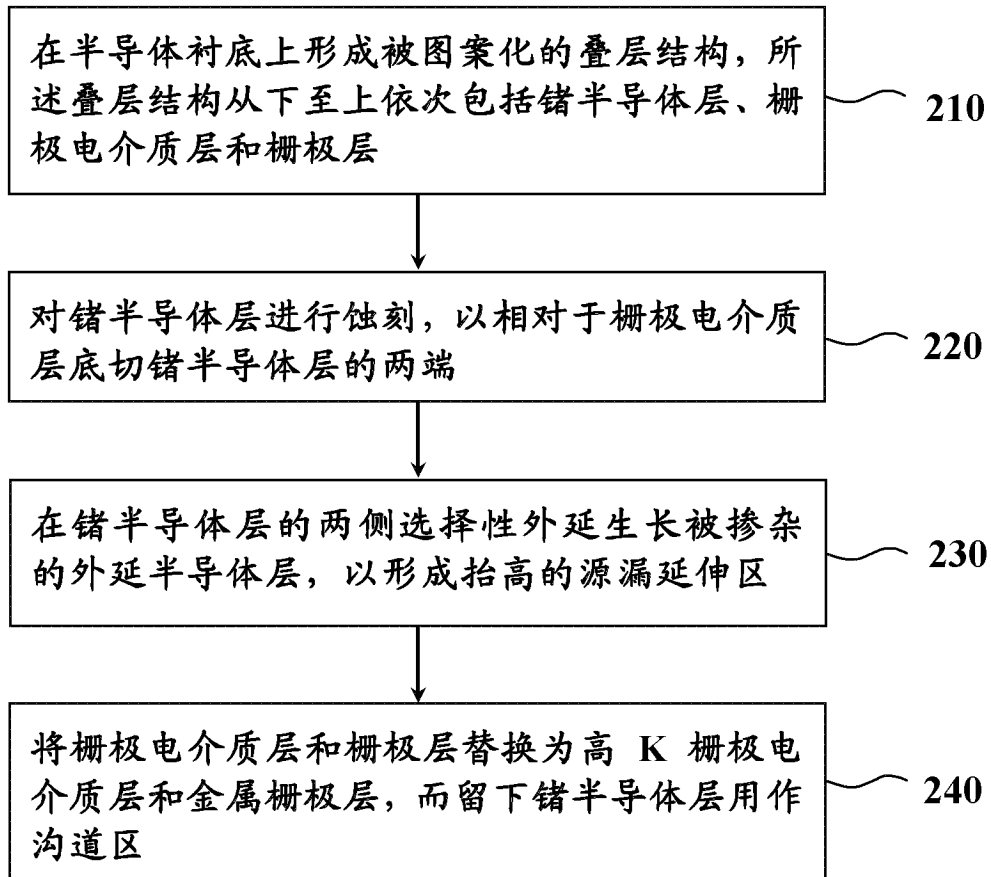


图 2

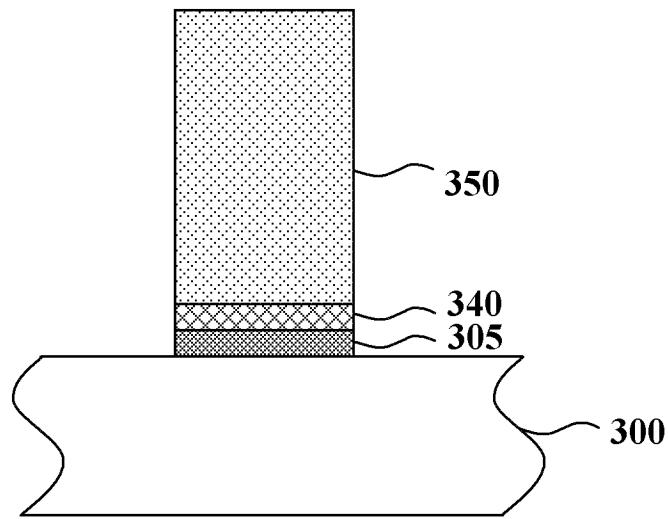


图 3A

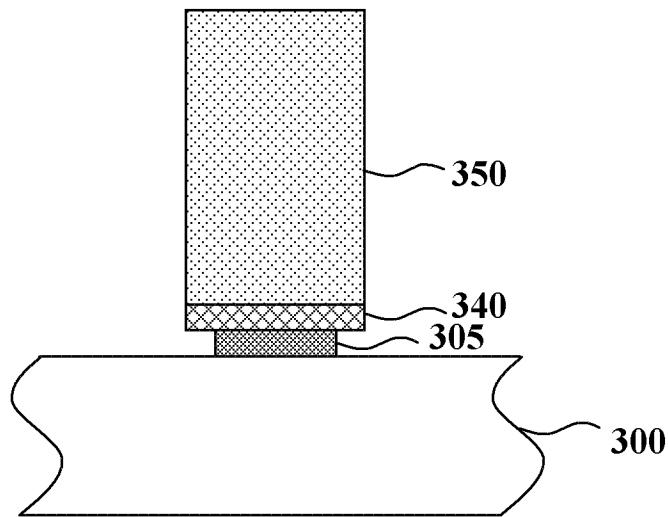


图 3B

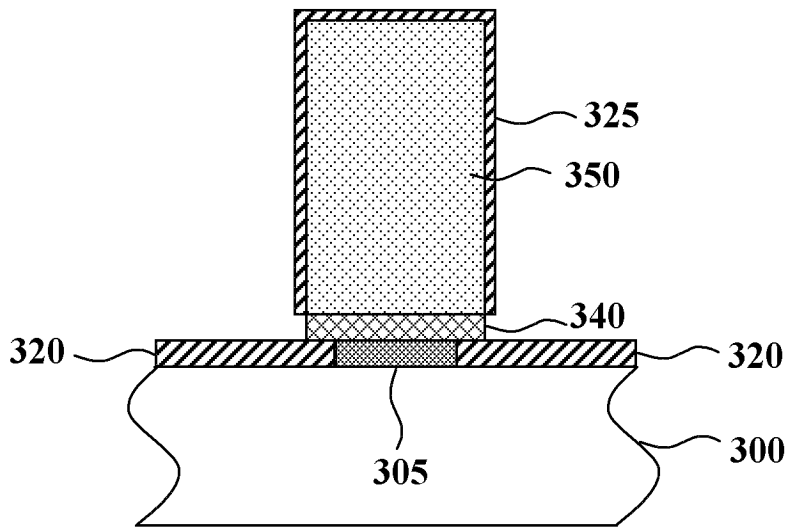


图 3C

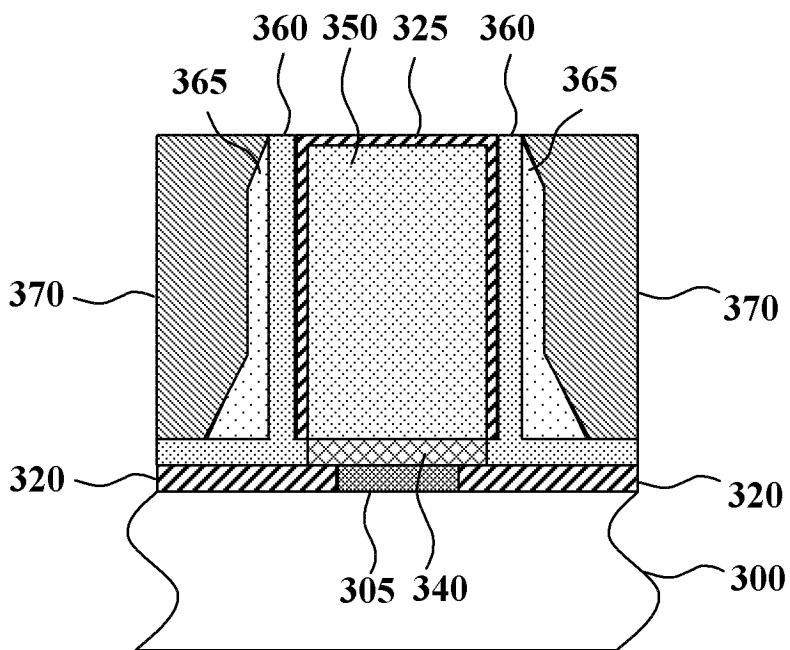


图 3D

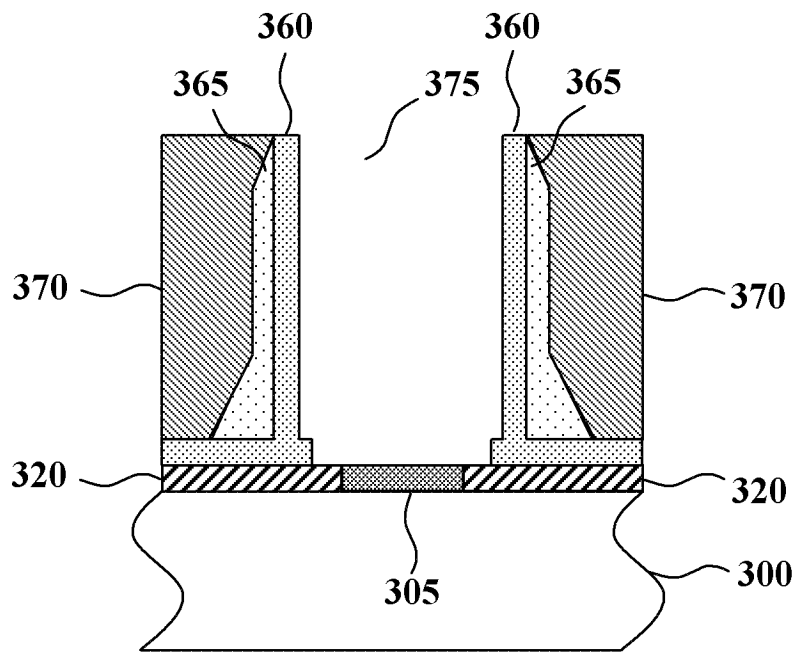


图 3E

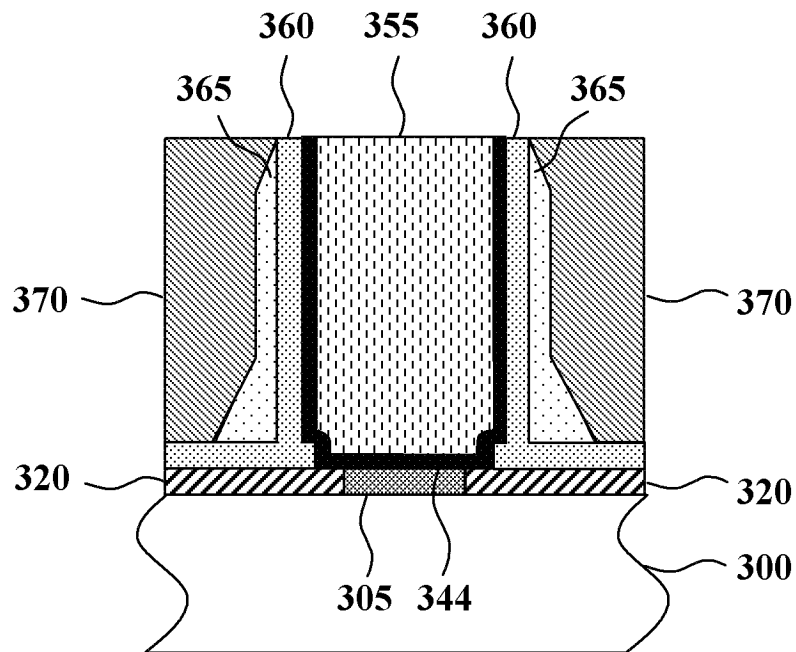


图 3F