



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2013년03월20일  
 (11) 등록번호 10-1245928  
 (24) 등록일자 2013년03월14일

(51) 국제특허분류(Int. Cl.)  
*H01L 23/12* (2006.01) *H01L 21/98* (2006.01)  
 (21) 출원번호 10-2012-7002724(분할)  
 (22) 출원일자(국제) 2008년06월20일  
 심사청구일자 2012년01월25일  
 (85) 번역문제출일자 2012년01월25일  
 (65) 공개번호 10-2012-0055547  
 (43) 공개일자 2012년05월31일  
 (62) 원출원 특허 10-2009-7023473  
 원출원일자(국제) 2008년06월20일  
 심사청구일자 2009년11월16일  
 (86) 국제출원번호 PCT/IB2008/001626  
 (87) 국제공개번호 WO 2008/129424  
 국제공개일자 2008년10월30일  
 (56) 선행기술조사문헌  
 JP2006134914 A  
 JP2007059821 A  
 전체 청구항 수 : 총 24 항

(73) 특허권자  
 쿠퍼 에셋 엘티디. 엘.엘.씨.  
 미국 델라웨어 19801 월밍턴 오렌지 스트리트  
 1209  
 (72) 발명자  
 트레자 존  
 미국 03063 뉴햄프셔 나슈아 화이트 오크 드라이브  
 브 12  
 (74) 대리인  
 신정건, 김태홍

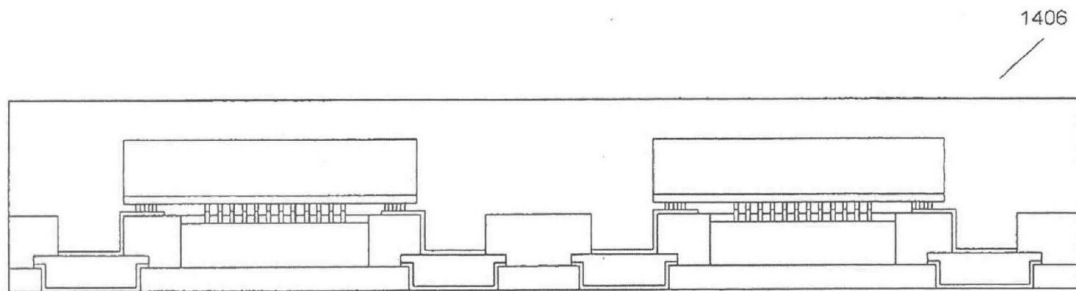
심사관 : 이재균

(54) 발명의 명칭 **극박 적층 칩 패키징**

**(57) 요약**

패키징 방법은, 제1 칩을 안정 베이스에 부착하는 단계와, 상기 안정 베이스 위의 지점에 콘택 패드들을 형성하는 단계와, 상기 제1 칩의 측면들이 전기적으로 절연되도록 상기 안정 베이스 위에 매체를 부착하는 단계와, 상기 매체 위에 전기 경로를 형성하는 단계와, 제2 칩을 제1 칩에 부착하여 어셈블리를 형성하는 단계와, 상기 안정 베이스를 제거하는 단계를 포함한다. 패키지는, 서로 전기적으로 연결되어 있는 적어도 2개의 칩과, 적어도 하나의 콘택 패드와, 상기 콘택 패드에서부터 상기 적어도 하나의 칩 위의 접촉점까지 연장되어 있는 전기 전도성 경로와, 평탄화 매체와, 평탄화 매체의 상부 위에 위치하는 코팅 물질을 포함한다.

**대표도**



**특허청구의 범위**

**청구항 1**

패키지에 있어서,

제1 칩의 활성 면(active face)이 페이스-업(face-up)하도록 페이스-업 구성으로 배치되는 상기 제1 칩으로서, 상기 제1 칩은, 이 제1 칩의 최상단면 상에 상기 제1 칩의 활성 면을 포함하고 상기 제1 칩의 최하단면 상에 비활성 면을 포함하는 것인, 상기 제1 칩;

상기 제1 칩에 결합되는 제2 칩으로서, 상기 제2 칩은 이 제2 칩의 활성 면이 페이스-다운(face-down)하도록 페이스-다운 구성으로 배치되며, 상기 제2 칩은 이 제2 칩의 최하단면 상에 상기 제2 칩의 활성 면을 포함하고 상기 제2 칩의 최상단면 상에 비활성 면을 포함하는 것인, 상기 제2 칩;

제1 금속 연결부를 통해 상기 제1 칩에 결합되는 제1 콘택 패드;

상기 제1 칩과 실질적으로 동일한 높이에 있는 평탄화 매체로서, 상기 제1 금속 연결부는 적어도 부분적으로 상기 평탄화 매체 상에 위치하고, 상기 평탄화 매체는, 상기 제1 칩의 측면들과 직접 접촉해 있고, 상기 제1 칩의 측면들과 대향하여 위치한 상기 제1 금속 연결부의 일부분과 직접 접촉해 있는 것인, 상기 평탄화 매체; 및

상기 제2 칩의 적어도 일부분, 상기 평탄화 매체의 적어도 일부분, 및 상기 제1 금속 연결부의 적어도 일부분을 덮는 코팅 물질을 포함하고,

상기 코팅 물질은 상기 평탄화 매체와 직접 접촉해 있고, 상기 평탄화 매체의 어떠한 부분도 상기 제1 칩 및 제2 칩 사이에 배치되지 않는 것인, 패키지.

**청구항 2**

제1항에 있어서, 제2 금속 연결부를 통해 상기 제2 칩에 결합되는 제2 콘택 패드를 더 포함하는, 패키지.

**청구항 3**

제1항에 있어서, 상기 제1 콘택 패드는 상기 제1 금속 연결부를 통해 상기 제2 칩에 추가적으로 결합되는 것인, 패키지.

**청구항 4**

제1항에 있어서, 상기 제1 칩은 적어도 하나의 관통-칩(through-chip) 비아를 포함하는 것인, 패키지.

**청구항 5**

제1항에 있어서, 상기 제2 칩에 접하고 있지 않은 상기 제1 칩의 면 중 적어도 일부분을 덮는 지지층(support layer)을 더 포함하는 것인, 패키지.

**청구항 6**

제1항에 있어서, 에칭 정지부(etching stop) 또는 이형층(release layer) 중 적어도 하나로서 구성되는 지지 코팅(support coating)을 더 포함하는, 패키지.

**청구항 7**

제6항에 있어서, 상기 지지 코팅은 유전체, 폴리머, 금속, 또는 증착된 반도체 물질 중 적어도 하나를 포함하는 것인, 패키지.

**청구항 8**

패키지를 포함하는 시스템에 있어서,

상기 패키지는,

관통-칩 비아를 포함하는 제1 칩으로서, 상기 제1 칩은 이 제1 칩의 활성 면이 페이스-업하도록 상기 패키지의

바닥부에 대해 페이스-업 구성으로 배치되어(oriented) 있고, 상기 제1 칩은 이 제1 칩의 최상단 표면 상에 상기 제1 칩의 활성 면을 포함하고 상기 제1 칩의 최하단 표면 상에 비활성 면을 포함하는 것인, 상기 제1 칩;

상기 제1 칩에 결합되는 제2 칩으로서, 상기 제2 칩은 이 제2 칩의 활성 면이 페이스-다운하도록 상기 패키지의 바닥부에 대해 페이스-다운 구성으로 배치되는 있고, 상기 제2 칩은 이 제2 칩의 최하단 표면 상에 상기 제2 칩의 활성 면을 포함하고 상기 제2 칩의 최상단 표면 상에 비활성 면을 포함하는 것인, 상기 제2 칩;

금속 연결부를 통해 상기 제2 칩에 결합되는 콘택 패드;

상기 제1 칩의 최상단 표면과 실질적으로 동일한 높이에 있는 최상단 표면을 갖는 평탄화 매체로서, 상기 평탄화 매체는, 상기 제1 칩의 측면들과 직접 접촉해 있고, 상기 제1 칩의 측면들에 대하여 위치한 금속 연결부의 일부분과 직접 접촉해 있는 것인, 상기 평탄화 매체; 및

상기 제2 칩의 적어도 일부분, 상기 평탄화 매체의 적어도 일부분, 및 상기 금속 연결부의 적어도 일부분과 직접 접촉하여 덮고 있는 코팅 물질을 포함하고, 패키지 포함 시스템.

**청구항 9**

제8항에 있어서, 상기 제1 칩은 또 다른 관통-칩 비아를 더 포함하는 것인, 패키지 포함 시스템.

**청구항 10**

제8항에 있어서, 상기 제2 칩과 접하지 않는 상기 제1 칩의 면 중 적어도 일부분을 덮는 지지층을 더 포함하는, 패키지 포함 시스템.

**청구항 11**

제10항에 있어서, 상기 코팅 물질, 상기 평탄화 매체, 또는 상기 지지층 중 적어도 하나는 폴리머인 것인, 패키지 포함 시스템.

**청구항 12**

제8항에 있어서, 상기 제1 칩 및 상기 제2 칩은 상이한 치수를 갖는 것인, 패키지 포함 시스템.

**청구항 13**

제8항에 있어서, 솔더 볼 범프 또는 와이어 본드 중 적어도 하나로 상기 패키지에 결합되는 외부 소자를 더 포함하는, 패키지 포함 시스템.

**청구항 14**

제13항에 있어서, 상기 외부 소자는 인터포저를 포함하고, 상기 인터포저는 패드를 포함하고, 상기 패드는 솔더 볼 범프 또는 와이어 본드 중 적어도 하나로 상기 패키지에 결합되는 것인, 패키지 포함 시스템.

**청구항 15**

제10항에 있어서, 상기 지지층은 이형층을 포함하는 것인, 패키지 포함 시스템.

**청구항 16**

제10항에 있어서, 상기 지지층은 에칭 정지층을 포함하는 것인, 패키지 포함 시스템.

**청구항 17**

제1항에 있어서, 상기 코팅 물질은, 상기 제2 칩의 상기 적어도 일부분 및 상기 제1 금속 연결부의 상기 적어도 일부분과 직접 접촉해 있는 것인, 패키지.

**청구항 18**

제8항에 있어서, 상기 금속 연결부는 적어도 부분적으로 상기 평탄화 매체 상에 직접적으로 위치하는 것인, 패키지 포함 시스템.

**청구항 19**

패키지를 포함하는 시스템에 있어서,

상기 패키지는,

관통-칩 비아를 포함하는 제1 칩으로서, 상기 제1 칩은 이 제1 칩의 전기 콘택들을 포함하는 활성 면이 상기 패키지의 기저부(base)로부터 멀리 향하도록(face away) 페이스-업 구성으로 배치되고, 상기 제1 칩은 이 제1 칩의 최상단 표면 상에 상기 제1 칩의 전기 콘택들을 포함하는 활성 면을 포함하고 상기 제1 칩의 최하단 표면 상에 비활성 면을 포함하는 것인, 상기 제1 칩;

상기 제1 칩에 결합되는 제2 칩으로서, 상기 제2 칩은 이 제2 칩의 전기 콘택들을 포함하는 활성 면이 상기 패키지의 베이스를 향해 있도록 페이스-다운 구성으로 배치되고, 상기 제2 칩은 이 제2 칩의 최하단 표면 상에 상기 제2 칩의 전기 콘택들을 포함하는 활성 면을 포함하고 상기 제2 칩의 최하단 표면 상에 비활성 면을 포함하는 것인, 상기 제2 칩;

상기 제1 칩 또는 제2 칩 중 하나에만 전기적으로 직접 결합되는 금속 연결부;

상기 금속 연결부를 통해 상기 제1 칩 또는 제2 칩 중 상기 하나에 결합되는 콘택 패드; 및

상기 제1 칩에 인접하게 배치되는 평탄화 매체로서, 상기 금속 연결부는 적어도 부분적으로 상기 평탄화 매체 상에 위치하고, 상기 평탄화 매체는, 상기 제1 칩의 측면들과 직접 접촉해 있고, 상기 콘택 패드와 직접 접촉해 있는 것인, 패키지 포함 시스템.

**청구항 20**

제19항에 있어서, 상기 제2 칩의 적어도 일부분, 상기 평탄화 매체의 적어도 일부분, 및 상기 금속 연결부의 적어도 일부분을 덮는 코팅 물질을 더 포함하고,

상기 코팅 물질은 상기 제2 칩의 상기 적어도 일부분, 상기 평탄화 매체의 상기 적어도 일부분, 및 상기 금속 연결부의 상기 적어도 일부분과 직접 접촉해 있는 것인, 패키지 포함 시스템.

**청구항 21**

제20항에 있어서, 상기 코팅 물질은 전기 절연 물질의 단일 층을 포함하는 것인, 패키지 포함 시스템.

**청구항 22**

제8항에 있어서, 상기 코팅 물질은 전기 절연 물질의 단일 층을 포함하는 것인, 패키지 포함 시스템.

**청구항 23**

제17항에 있어서, 상기 코팅 물질은 전기 절연 물질의 단일 층을 포함하는 것인, 패키지.

**청구항 24**

제1항에 있어서, 상기 평탄화 매체는 상기 제1 콘택 패드와 직접 접촉해 있는 것인, 패키지.

**명세서**

**기술분야**

[0001] 본 발명은 전자 패키징에 관한 것으로, 보다 상세하게는 칩 패키징에 관한 것이다.

**배경기술**

[0002] 좁은 공간에 가능하면 많은 칩들을 패키징할 수 있는 기술이 오랜 기간 동안 요망되고 있다. 최근에는, 이러한 요망으로 인해 다양한 집적 기술이 개발되었다. 도 1에 도시한 바와 같은, 집적 방법 중의 하나는 제2 다이(104) 위에 하나의 다이(102)를 직접 부착하는 것을 포함한다. 이는 상부 다이(102)와 하부 다이(104)가 서로 직접 통신하도록 한다. 또한, 2개의 칩들(102, 104)이 라우팅 트레이스(108)를 경유하여 칩(들)에 연결되어 있는 와이어본드(106)를 사용하여 외부와 연결되어 있다. 이러한 방법은 패키지가 소형이 되도록 하지만, 2개의 칩들의

크기가 동일하거나 거의 동일한 경우에는 문제가 발생하는데, 이는 일부 경우에 있어서 다이들 중 어느 하나의 다이 위에 존재해야 하는 와이어본드 패드(110)의 공간이 충분하지 않을 수 있기 때문이다. 또한, 복수 칩들(예를 들어 이들 2개의 칩 유닛 복수 개를 멀티-칩 디바이스 위의 다른 멀티-칩 위에 적층한)에 대해 이러한 방법을 사용할 때, 와이어본드(106)가 사용되어야 한다면 구현이 매우 어렵고 비용도 고가로 된다.

[0003] 또 다른 집적 방법으로, 도 2에 도시되어 있는 방법은 2개의 다이 스택이 외부와 연결될 수 있도록 하기 위해 솔더 볼(202), 플립-칩 부착 방법을 사용하는 것이다. 이 방법은 와이어본드 방법에 비해서는 저렴하여, 멀티-칩 디바이스 위에 멀티-칩이 보다 용이하게 또는 저렴하게 적층될 수 있게 한다. 그러나, 2개의 칩들의 크기가 동일하거나 거의 동일한 경우에는 어느 하나의 다이 위에 존재해야 하는 솔더 볼 패드의 공간이 충분하지 않을 수 있기 때문에, 이 집적 방법은 상술한 것과 동일한 문제점을 안고 있다.

[0004] 또 다른, 멀티-칩 적층 공정(도 3)은, 솔더 범프 패드를 포함하는 칩(104)에 부착되는 칩(102)의 높이가 솔더 볼 범프(202)의 높이보다 작게 되도록 하기 위해, 각 다이들이 매우 얇아야만 한다. 문제를 더 어렵게 하는 것은, 멀티-칩 스택이 표준 패키지 내에 조립되기 위해서는, 멀티-칩 상의 멀티-칩 스택의 전체 높이가 작아야만 한다는 것이다. 이는 극박의 웨이퍼들과 다이들을 사용해야 하며, 이들 극박 웨이퍼 상에서 듀얼 사이드 공정의 수행을 필요로 하게 된다. 그 결과, 특히 솔더 볼(202)이 이들 극박 부품들 위에 실장되어야 하는 경우에는, 수율 손실과 다이 손상의 심각한 위험이 있게 된다.

[0005] 도 4에 도시되어 있는 또 다른 집적 방법은, 2개의 다이들을 외부와 연결하는 라우팅 요소로 기능할 수 있는 "인터포저"로 알려져 있는 수동소자(402)를 사용하는 것이다. 이 방법은 2개의 다이들(404, 406)의 크기가 동일하거나, 거의 동일하더라도 위와 같은 문제들이 없다는 이점이 있다. 이는 이들이 항상 와이어본드 또는 솔더 범프 연결부를 수용하기에 충분하게 크게 제작되기 때문이다. 그러나, 일반적으로 인터포저들도 심각한 단점을 갖고 있다. 일례로, 인터포저들은 그 전체가 복잡하고 고가인 새로운 부품(어텐던트 라우팅(408)을 구비하는 인터포저)으로 제조되어야 한다는 것이다. 또한, 일반적인 인터포저 방법은 극박 웨이퍼를 취급해야 하는 문제 또는 이들 극박 웨이퍼들의 듀얼-사이드 가공을 해야 하는 문제들을 배제하지 못해서, 전술한 수율 감소 및 칩 손상의 증대 위험성은 여전히 남아 있다. 또한, 인터포저들은 일반적으로 매우 두꺼워서, 인터포저들이 관통-연결부(408)를 구비한다고 해도, 2개 다이들 간의 연결 길이가 매우 길어져서 칩과 칩 연결부의 전기 성능이 열화된다.

[0006] 상기 인터포저 방법은 또한 멀티-칩 대 멀티-칩 스택을 형성하는 상술한 문제들이 수반된다(도 5).

[0007] 또한, 상기 방법을 사용할 때에, 일부 실시 경우에 있어, 회로 영역을 차지하거나, 수율 감소의 위험성을 증가시키기 때문에 바람직하지 않은 능동소자들을 포함하는 칩 내에 비아들을 사용해야만 한다.

[0008] 제3 '칩'을 스택에 부가하기 위해서는, 2개의 칩만을 사용할 때보다 각 칩들은 보다 얇아져야 한다. 이에 따라, 수율 감소 및 손상의 위험성이 더 부가된다.

**발명의 내용**

**해결하려는 과제**

[0009] 따라서, 현재 사용되고 있는 전술한 방법들이 갖고 있는 문제점들 및/또는 위험성들이 없는 패키징 방법에 대한 수요가 있다.

**과제의 해결 수단**

[0010] 본 출원인은 전술한 공정들이 갖고 있는 문제점들을 감소시키거나 없앤, 칩들을 서로 집적하는 공정을 개발하였다.

[0011] 특정 실시 형태에 따라서는, 본 발명 방법들이 다음의 이점들 중 하나 또는 그 이상의 이점을 제공할 수 있다. 본 발명 방법은 임의의 크기의 2개의 칩에 사용될 수 있다. 본 발명 방법은 최종 스택의 높이를 매우 작게 하여서, 멀티-칩 상의 멀티-칩 구성을 구현할 수 있다. 본 발명 방법은 능동 칩 내에 비아들을 만들 필요가 없게 한다. 본 발명 방법은 전체적으로 관통-다이 비아들을 만들 필요가 없게 한다(예를 들어, 다이가 소자들을 포함하든지, 포함하지 않든지 간에). 본 발명 방법은 특수하게 생성되는 인터포저 칩을 사용할 필요가 없게 한다. 본 발명 방법은 후속의 안정적인 플랫폼을 포함한다. 본 발명 방법은 개별 다이의 듀얼-사이드 가공을 수행할 필요가 없게 한다. 본 발명 방법은 인터포저-관통 비아 구조물에 의해 부과되는 전기 성능의 "충돌"(hit) 없이, 소

형의 밀집한 연결부들을 사용하도록 한다.

- [0012] 일 실시 형태는 패키징 방법을 포함한다. 상기 방법은, 제1 칩을 안정 베이스에 부착하는 단계와, 상기 안정 베이스 위의 지점에 콘택 패드들을 형성하는 단계와, 상기 제1 칩의 측면이 전기적으로 절연되도록 상기 안정 베이스 위에 매체(media)를 부착하는 단계와, 상기 매체 위에 전기 경로를 형성하는 단계와, 어셈블리를 형성하도록, 제2 칩을 제1 칩에 부착하는 단계와, 상기 안정 베이스를 제거하는 단계를 포함한다.
- [0013] 다른 실시 형태는, 전기적으로 서로 연결되어 있는 적어도 2개의 칩과, 적어도 하나의 콘택 패드와, 상기 콘택 패드에서부터 상기 적어도 하나의 칩 위의 접촉점까지 연장되어 있는 전기 전도성 경로와, 평탄화 매체와, 평탄화 매체의 상부 위에 위치하는 코팅 물질을 포함하는 패키지를 포함한다.
- [0014] 본 명세서에 개시되어 있는 하나 또는 그 이상의 실시 형태들을 사용하여, 본 명세서에 개시되어 있는 하나 또는 그 이상의 다양한 이점들이 달성될 수 있다. 본 명세서에 개시되어 있는 이점들과 특징들은 대표적인 실시 형태들로부터 얻을 수 있는 이점과 특징들 중의 일부이고, 본 발명의 이해를 보조하는 것만을 나타내었다. 개시되어 있는 이점들과 특징들이 청구항에 정의되어 있는 본 발명을 한정하거나 청구항의 균등물을 한정하는 것으로 간주되어서는 안 된다. 예를 들어, 이들 이점들의 일부는 단일의 실시 형태에서 동시에 나타날 수 없다는 점에서, 서로 모순될 수도 있다. 유사하게, 본 발명의 일 측면에 일부의 이점들이 적용될 수 있고, 그 이점들이 다른 측면에는 적용되지 않을 수도 있다. 따라서, 특징들과 이점들의 요약은 균등 범위를 정하는 데에 작용하는 것으로 간주되어서는 안 된다. 본 발명의 추가적인 특징들과 이점들이 후술하는 상세한 설명, 도면 및 청구항으로부터 명확해질 것이다.

**발명의 효과**

- [0015] 본원에 따르면, 종래 기술의 칩 패키징 공정들이 갖고 있는 문제점들을 감소시키거나 없애는 것이 가능해진다.

**도면의 간단한 설명**

- [0016] 도 1은 와이어본드 외부 연결부를 구비하는 칩 스택을 매우 단순화한 형태로 나타낸다.
- 도 2는 솔더 볼 외부 연결부를 구비하는 칩 스택을 매우 단순화한 형태로 나타낸다.
- 도 3은 칩 위의 칩 스택을 매우 단순화한 형태로 나타낸다.
- 도 4는 칩 스택을 위한 인터포저-기반 방법을 매우 단순화한 형태로 나타낸다.
- 도 5는 인터포저-기반 멀티-칩 스택 대 멀티-칩을 단순화한 형태로 나타낸다.
- 도 6은 시작 시점에서 사용되기에 적합한 안정 베이스의 일례를 매우 단순화한 형태로 나타낸다.
- 도 7은 지지 코팅이 부착된 안정 베이스의 일례를 매우 단순화한 형태로 나타낸다.
- 도 8은 상기 지지 코팅 내에 개구가 형성된 안정 베이스 일례의 확대부를 매우 단순화한 형태로 나타낸다.
- 도 9는 상기 지지 코팅 내에 형성되어 있는 개구 내에 패드가 형성된 안정 베이스 일례의 확대부를 매우 단순화한 형태로 나타낸다.
- 도 10은 확대부용 제1 칩들이 상기 안정 베이스에 부착된, 안정 베이스 일례의 확대부를 매우 단순화한 형태로 나타낸다.
- 도 11은 제1 칩의 표면을 평탄화한, 안정 베이스 일례의 확대부를 매우 단순화한 형태로 나타낸다.
- 도 12는 적어도 패드 바디를 노출하기 위해 일부 영역의 평탄화 매체를 제거한, 안정 베이스 일례의 확대부를 매우 단순화한 형태로 나타낸다.
- 도 13은 콘택이 형성된, 안정 베이스 일례의 확대부를 매우 단순화한 형태로 나타낸다.
- 도 14는 제2 칩이 부착된, 어셈블리의 확대부를 매우 단순화한 형태로 나타낸다.
- 도 15는 코팅 물질이 부가된, 도 14의 어셈블리 복합체를 매우 단순화한 형태로 나타낸다.
- 도 16은 안정 베이스가 제거된, 도 15의 어셈블리 복합체를 매우 단순화한 형태로 나타낸다.
- 도 17은 전도성 접합 소재가 부가된, 도 16의 어셈블리 복합체를 매우 단순화한 형태로 나타낸다.

- 도 18은 도 15의 어셈블리 복합체로부터 절단된 2개의 개별 패키지 유닛을 매우 단순화한 형태로 나타낸다.
- 도 19는 콘택이 형성된, 안정 베이스 일레의 확대부를 매우 단순화한 형태로 나타낸다.
- 도 20은 보다 복잡한 어셈블리 복합체를 형성하기 위해 제2 칩들이 부착된, 어셈블리의 확대부를 매우 단순화한 형태로 나타낸다.
- 도 21은 전술한 바와 같은 코팅 물질이 부가된, 도 20의 어셈블리 복합체를 매우 단순화한 형태로 나타낸다.
- 도 22는 전술한 바와 같이 안정 베이스가 제거된, 도 21의 어셈블리 복합체를 매우 단순화한 형태로 나타낸다.
- 도 23은 전술한 바와 같이 전도성 접합 소재가 부가된, 도 22의 어셈블리 복합체를 매우 단순화한 형태로 나타낸다.
- 도 24는 전술한 바와 같이 도 22의 어셈블리 복합체로부터 절단된 2개의 개별 패키지 유닛을 매우 단순화한 형태로 나타낸다.
- 도 25는 솔더 볼 범프를 통해 인터포저의 패드가 외부로 연결되는 제1 패밀리 방법으로 나온 개별 패키지 유닛의 변형례를 매우 단순화한 형태로 나타낸다.
- 도 26은 와이어본드 연결부에 의해 일부 다른 요소가 외부로 연결되는 제1 패밀리 방법으로 나온 개별 패키지 유닛의 변형례를 매우 단순화한 형태로 나타낸다.
- 도 27은 솔더 볼 범프를 통해 인터포저의 패드가 외부로 연결되는 제2 패밀리 방법으로 나온 개별 패키지 유닛의 변형례를 매우 단순화한 형태로 나타낸다.
- 도 28은 와이어본드 연결부에 의해 일부 다른 요소가 외부로 연결되는 제2 패밀리 방법으로 나온 개별 패키지 유닛의 변형례를 매우 단순화한 형태로 나타낸다. 매우 단순화한 형태로 나타낸다.

**발명을 실시하기 위한 구체적인 내용**

- [0017] 2개의 주요 실시 형태를 간략화한 실시예로 하여 본 발명 방법을 기재한다. 도 6 내지 도 18에 도시되어 있는, 간략화된 제1 실시 패밀리는 서로 다른 크기의 2개의 칩들의 스택을 포함하는 칩 패키지의 생성을 포함하는데, 스택의 초기 칩이 그 초기 칩의 상단에 적층되는 칩보다 약간 작다. 간략화된 제2 실시 패밀리는 스택의 초기 칩이 그 초기 칩의 상단에 적층되는 칩보다 약간 큰, 서로 다른 크기의 2개의 칩들의 스택을 포함하는 칩 패키지의 생성을 포함한다. 이들 두 개의 실시예들은 두 개의 극단적인 경우를 설명하는 것이므로, 이들 두 개의 주요 실시예들은, 크기가 동일한 칩들을 포함하여, 이들 범위에 속하는 다른 모든 실시예들과 함께 사용된다.
- [0018] 간결하게 하기 위해, 본 방법을 이해하는 데에 관련된 단계만을 기재한다. 따라서, 기재되어 있는 한 단계에서 다음 단계로 넘어갈 때에, 수행될 필요가 있는 중간 단계가 추가될 수도 있다. 이들 중간 단계들은 관련 업계에 있는 자들에게는 자명한 것이다. 일례로, 전술한 바와 같이 특정 영역에 금속을 적층하는 공정이 포함될 수 있다. 명세서에 공정에 대한 언급이 없어도, 공정의 전이를 위해 필수적이거나 또는 유일한 것으로 공지된 적당한 중간 공정이 사용될 수 있다. 일례로, 일 변형 실시예는 포토레지스트 도포, 패터닝, 금속 증착, 포토레지스트 박리 및 포토층(overburden)의 제거를 포함할 수 있다. 또 다른 변형 실시예는 무전해 또는 전기도금과 이에 따른 패터닝, 시드 증착 등을 포함할 수 있다. 따라서, 별 다르게 언급하지 않았다면, 공정 중의 한 시점에서 공정의 다른 시점으로 가는 것으로 공지된 여하한의 방식도 채용될 수 있다.
- [0019] 본 공정은 공정이 수행되는 대부분 시간동안 안정 베이스(stable base)로 기능하는 단편 소재로 시작하며, 그 단편 소재는 추후에 제거된다. 특정 실시 형태에 따라, 상기 베이스는 많은 다양한 것일 수 있다. 일례로, 후에 에칭 공정으로 제거될 수 있는 실리콘 웨이퍼, 또는 유리, 사파이어, 석영, 폴리머 등과 같은 재료일 수 있다. 이와 관련되는 측면은, i) 베이스로 사용될 재료는 이하에 기재한 공정 단계들을 견디기에 충분한 강성과 안정성을 구비해야 하고, ii) 필요하다면 공정 중에 그 시점까지 생성된 패키지에 손상을 주지 않는 기법, 화학적, 물리적 또는 열작용(또는 이들의 조합) 또는 일부 다른 기법을 사용하여 제거될 수 있어야 한다는 것이다.
- [0020] 이러한 소재를 사용하는 목적은 공정 단계 중에 기구적 지지를 제공함으로써 전술한 박형 웨이퍼 취급 문제를 어느 정도 예방하기 위한 것이다. 이는, 주요 공정 단계들이 웨이퍼 레벨에서 수행되는 반면, 어느 정도 포함되어 있는 "박형"부재들은 칩 레벨에서 취급되기 때문이다.
- [0021] 유리하게는, 본 명세서에 그 기재 전부가 참고로 통합되어 있는, 미국 특허출원 11/329,481, 11/329,506, 11/329,539, 11/329,540, 11/329,556, 11/329,557, 11/329,558, 11/329,574, 11/329,575, 11/329,576,

11/329,873, 11/329,874, 11/329,875, 11/329,883, 11/329,885, 11/329,886, 11/329,887, 11/329,952, 11/329,953, 11/329,955, 11/330,011 및 11/422,551에 기재되어 있는 콘택 형성 및 사용 기법은, 비록 관통-칩 비아들이 본 명세서에 개시된 기법의 일부를 구성할 필요가 없을 지라도, 본 방법과 호환되어 사용될 수 있다면, 본 방법 전체에 채용될 수 있다.

- [0022] 침부된 도면들을 참고로 하여 본 발명 공정을 개시한다. 다만, 개시된 치수들은 설명의 목적으로 제공된 것이므로, 그 치수들이 축척에 맞지 않을 수도 있고, 설명을 용이하게 하기 위해 전체적으로 변형되어 있을 수 있다는 점을 명심해야 한다.
- [0023] 도 6은 공정 시작 시점에서 사용하기에 적당한 안정 베이스(stable base)(600)의 일례를 간략한 형태로 나타내고 있다. 본 실시예에 사용된 안정 베이스(600)는 직경이 약 300 mm, 두께가 800 μm인 실리콘 웨이퍼이다.
- [0024] 초기에, 일례로 두께가 약 0.5 μm인 박층의 지지 코팅(702)이 안정 베이스(600)의 표면(704)에 부착된다. 아래에 기재한 바와 같이, 추후에 안정 베이스(600)를 제거하는 데에 사용되는 방법에 따라, 지지 코팅(702)은 후속 공정에서 에칭 정지부로 기능하거나, 궁극적으로는 후속 단계에서 부가되는 칩들과 연결부에 손상을 주지 않으면서 안정 베이스(600) 재료를 깨끗하게 제거할 수 있도록 하는 이형층(release layer)으로 기능하거나 또는 이들 두 가지 기능을 모두 발휘할 수 있도록 선택될 수 있다.
- [0025] 특정 실시 형태에 따라서는, 지지 코팅(702)은 산화물 또는 기타 유전체, 폴리머, 금속, 증착된 반도체 소재 또는 이들의 조합물일 수 있다.
- [0026] 일 변형 실시예에서, 지지 코팅(702)은 공정이 종료된 후에 그 자리에 남아 있는 에칭 정지부로만 사용될 수 있다.
- [0027] 다른 변형 실시예에서, 지지 코팅(702)은 후속 공정 단계에서 제거되는 에칭 정지부로 사용될 수 있다.
- [0028] 또 다른 변형 실시예에서, 지지 코팅(702)은, 후속하는 증착된 부분들로부터 에칭에 의해 안정 베이스(600)를 분리시키는 이형층으로 사용될 수 있다(이하에서 상세하게 기재함).
- [0029] 또 다른 실시예에서, 지지 코팅(702)은 조합물일 수 있다. 지지 코팅(702)이 조합물인 경우, 일례로 금속이 에칭 정지부로 부가될 수 있으며, 그런 다음 이하에서 기재된 후속 단계에서 형성되는 연결 패드들이 최종 작업이 완료된 후에 누전되는 것을 방지하기 위해, 유전체가 증착될 수 있다. 본 특정 실시예의 경우, 에칭 정지부로 사용되는 금속은 궁극적으로는 제거되는 반면에, 상기 유전체는 남아 있게 된다.
- [0030] 도 7은 지지 코팅(702)이 부착된, 안정 베이스(600)의 일례를 단순화한 형태로 나타내고 있다. 본 실시예의 설명을 위해, 지지 코팅(702)은 유전체를 사용하고 있다.
- [0031] 다음으로, 지지 코팅(702)에서 최종 연결 패드들로 되는 부분에 개구들(802)이 형성된다. 안정 베이스(600)가 제거된 후에, 이들 개구들(802) 내에 생성된 최종 콘택들이 액세스될 수 있도록, 개구들(802)은 지지 재료까지 하향 연장되어 있다.
- [0032] 특정 실시 형태에 따라서는, 상기 개구들은 사용되는 특정 지지 코팅(702)에 적합한 임의의 방식으로 생성될 수 있다.
- [0033] 도 8은 상기 지지 코팅(702)에 개구들(802)이 형성된, 안정 베이스(600)의 일례의 확대부(800)를 단순화한 형태로 나타내고 있다. 본 실시예의 설명을 위해, 개구들은 패터닝과 에칭으로 형성되어 있다.
- [0034] 다음으로, 최종 콘택들을 위한 패드들(902)이 형성된다. 특정 변형 실시 형태에 따라서는, 상기 패드들(902)은 종래의 솔더 연결부들이나, 와이어본드 연결부에 적합한 크기와 소재일 수 있다. 또는 상기 패드들(902)은 다른 유형의 연결 콘택들, 일례로 포스트 및 침투 연결(post and penetration connection)이나 전술한 본 명세서에 통합되어 있는 출원명세서들에 기재되어 있는 다른 연결들에 적합할 소재로 이루어질 수도 있다. 상기 패드들(902)은 금 스타드 범프, 구리 필러 또는 솔더 트립드 구리 필러(solder tripped copper pillar), 금 피복 구리 등 또는 합금들과 같은 적당한 금속들의 조합물일 수 있다. 또한, 상기 층들은 도 17과 관련하여 이하에 기대되어 있는 바와 같은, 전도성 접합 소재를 포함하여, 상기 층들이 후속 공정에서 별도로 위치할 필요가 없을 수도 있다.
- [0035] 도 9는 지지 코팅(702) 내에 형성된 개구들(802) 내에 패드들(902)이 형성된, 안정 베이스(600)의 일례의 확대부(800)를 단순화한 형태로 나타내고 있다. 도시된 바와 같이, 패드(902)는 구리로 된 패드 바디(906) 아래에 있는 증착된 금층(904)으로 이루어져 있다. 일부 변형 실시 형태에서, 패드(902)는 일례로 니켈/금과 같은 통상



의 언더-범프-금속(UBM) 세트 재료이거나, 이들 세트 재료를 포함할 수 있다. 다른 변형 실시 형태에서, 패드(902)는 장벽층 또는 산화 장벽층으로 니켈 또는 금을 구비하는 통상의 구리 패드 또는 알루미늄일 수 있다. 또한, 다양한 적층 방법이 되도록 하기 위해, 층(904)은 그 아래에, 전술한 본 출원명세서에 통합되어 있는 출원들에 기재되어 있는 재료들, 예를 들어 고탄성 재료, 또는 "연성"(malleable) 또는 "강성"(rigid) 재료 중 하나를 추가로 가질 수 있다. 일부 실시 형태에서, 이들 재료들은 공정이 시작되기 전에 안정 베이스(600)의 적당한 위치에 부착되거나 아니면 부분적으로 매립될 수 있다. 마지막으로, 개시된 특정 재료들이 모두 전기적으로 전도성이지만, 일부 실시 형태에서, 패드(902)의 일부 지점에는 비전도성 소재들로 채워질 수도 있다(예를 들어, 이들 비전도성 소재들이 정렬 또는 간격 띄움의 목적으로 사용되는 경우).

- [0036] 다음으로, 제1 칩(1002)이 놓여지고, 안정 베이스(600)에 부착된다. 이 경우에 "페이스-업"(즉, 칩 상의 회로가 안정 베이스(600)의 반대쪽을 향함)된다. 칩들이 관통-비아들을 구비하고 있지 않은 경우, 제1 칩(1002)과 안정 베이스(600) 사이에 물리적인 연결을 형성하기에 적당한 임의의 방식으로 상기 칩이 부착된다. 특정 실시 형태에 따라서는, 상기 부착은 일례로 에폭시, 솔더, 공유 결합, 텍 및/또는 퓨즈 연결, 열 압착, 웨이퍼 접합(wafer fusion), 구리 접합, 부착 또는 열 릴리스 접합 테이프 또는 필름 등의 사용을 포함할 수 있다.
- [0037] 선택적으로 그리고 유리하게는, 일부 변형 실시 형태에서는, 패드(902)는 추후에 와이어본드 또는 플립 칩 패드, 플립 칩 범프 자체 또는 패드와 범프의 조합으로 작용하도록 구성될 수도 있다.
- [0038] 선택적으로, 제1 칩(1002)이 상기 본 출원에 통합되어 있는 출원에 개시되어 있는 것과 같은, 통상의 관통-칩 비아들, 또는 관통-칩 연결부 또는 비아들을 구비하고 있다면, 제1 칩(1002)은 "페이스-다운" 부착되어서 하부와 접촉할 수 있다.
- [0039] 특정 실시 형태에 따라서는, 제1 칩(1002)은 오리지널 웨이퍼를 프리-절단 또는 포스트-절단(post-dicing)의 추가 공정을 거칠 수 있다. 그러나, 제1 칩(1002)을 본 프로세스에서 사용하기 전에 제1 칩(1002)에 적용되는 최종 공정 단계는, 웨이퍼를 박육화(thinning)한 다음에 개별 칩들을 웨이퍼로부터 절단하거나, 또는 칩들을 웨이퍼로부터 절단한 후에 박육화하여 개별 칩들이 박육화된 형태로 취급되는 것이 이상적이다.
- [0040] 도 10은 확대부용의 모든 제1 칩들이 안정 베이스(600)에 부착된, 안정 베이스 일례의 확대부를 매우 단순화한 형태로 나타낸 것이다.
- [0041] 일단 제1 칩(1002)이 안정 베이스(600)에 부착되면, 안정 베이스(600)의 표면은 평탄화 매체(planarizing medium)(1102)를 사용하여 평탄화된다.
- [0042] 특정 실시 형태에 따라서는, 평탄화 매체(1102)는 스핀-온 글라스, 폴리머, 에폭시, 유전체, 산화물, 질화물 또는 다른 적당한 소재일 수 있다. 다만, 중요한 점은 평탄화 매체(1102)는 비전도성이어야 하고, 실질적으로 평탄면을 형성하거나 아니면 실질적으로 평탄면을 형성하도록 처리될 수 있어야 한다는 것이다.
- [0043] 특정 실시 형태에 따라서는, 평탄화 매체(1102)가 제1 칩(1002)의 상부와 일치하거나 아니면 거의 일치하도록 평탄화 매체(1102)가 부착될 수 있다. 그러한 경우, 만일 사용되는 재료가 자연스럽게 평탄면을 형성한다면, 본 단계에서 더 이상의 추가의 공정은 필요하지 않게 된다. 선택적으로, 다른 실시 형태에서는, 평탄화 매체(1102)가 제1 칩(1002)을 덮고 나서 자연스럽게 평탄면을 형성하지 않을 수 있다. 이런 경우, 평탄화 매체(1102)는 일례로 폴리싱, 래핑, 에칭, 리프트오프, 소재의 현상 등의 추가 공정에 의해 평탄화될 수 있다. 두 번째 경우와 유사하지만 다른 실시 형태에서, 제1 칩(1002)(또는 제1 칩의 일부분)의 표면(1004)만이 일례로 하나 또는 그 이상의 선행 공정에 의해 재-노출될 수 있다. 선택적으로, 제1 칩의 크기가 제1 칩의 상단부에 적층될 칩의 접촉 면적과 같거나 아니면 그보다 큰 경우, 제1 칩(1002)의 높이가 충분히 작다면, 단순히 적어도 제1 칩(1002)의 상기 측면을 덮을 수 있는 절연 피막이 사용될 수 있다. 일반적으로, 본 단계와 관련된 국면은 추후에 제1 칩(1002)의 측면들에 누전(shorting) 또는 회로 개방을 형성하지 않으면서 금속 라우팅 층들이 부가될 수 있도록 표면이 형성된다는 것이다.
- [0044] 도 11은 제1 칩(1002)의 표면(1004)을 평탄화한, 안정 베이스(600) 일례의 확대부(800)를 매우 단순화한 형태로 나타낸다.
- [0045] 특정 영역(1202)에서 평탄화 매체(1102)가 제거되어 패드 바디(906)와 연결부를 형성할 목적으로 노출될 필요가 있는 다른 영역들이 노출된다.
- [0046] 유리하게는, 평탄화 매체(1102)가 감광성 폴리이미드와 같은 감광성 물질이라면, 평탄화 매체(1102)가 본 단계를 준비하는 데에 간단한 방식의 패턴 및 노출이 사용될 수 있다. 후속 단계에서 상기 영역들에 바람직하지 않

은 누전이 발생하지 않도록 제1 칩(1002)의 측면들이 보호되는 한은, 본 단계의 일부로서, 예를 들어 제1 칩(1002) 상부, 패드 바디(906)의 상부(도 12 참조), 기타 다른 영역의 상부 등에 에칭이 수행될 수 있다는 점을 주목해야 한다.

- [0047] 도 12는 적어도 패드 바디(902)를 노출하기 위해 일부 영역의 평탄화 매체(1102)를 제거한, 안정 베이스(600) 일레의 확대부(800)를 매우 단순화한 형태로 나타낸다. 도 12의 실시예에서, 콘택 포스트를 형성하기 위해, 제1 칩(1002) 위에 추가의 에칭 공정이 수행될 수 있다는 점을 알아야 한다.
- [0048] 이 시점에서, 일레로 패드 바디(902)가 제1 칩(1002)에 연결되도록, 패드 바디(902), 다른 연결점들이 다른 칩 또는 일부 다른 요소들의 대응 연결부들과 궁극적으로 정렬되도록, 금속 연결부들(1302, 1304)이 형성되고, (선택적으로 필요하다면) 용기된 콘택들(1306)이 형성된다. 물론, 많은 변형 실시 형태에서, 이들 중 두 가지 형태가 조합될 수도 있고, 일부 실시 형태에서는 패드 바디(902)가 의도적으로 다른 패드 바디에 연결될 수 있다(미도시).
- [0049] 제1 칩(1002)의 높이가 작아서 제1 칩이 다이로만 취급되기 때문에, 평탄화 매체(1102)를 제거하여 형성된 개구의 어스펙트비(aspect ratio)가 낮을 수 있다. 이것은 연결부를 형성하는 데에 저렴한 적층 공법 또는 간단한 도금(plating) 공정이 사용될 수 있도록 한다. 다시 말하면, 특수하거나 고도의 비아 충전 기법이 사용될 수도 있지만, 특수하거나 고도의 비아 충전 기법이 필요 없게 되어 공정이 저렴하게 수행된다.
- [0050] 도 13은 콘택들(1302, 1304, 1306)이 형성된, 안정 베이스(600) 일레의 확대부(800)를 매우 단순화한 형태로 나타낸다.
- [0051] 이 단계에서, 상기 제1 칩(1002) 위에 제2 칩(1402)을 부가하기에 적합한 패키지 어셈블리(1308)가 생성된다. 이에 따라, 다음 단계에서 제2 칩(1402)이 상기 어셈블리(1308)에 부착된다. 이 시점까지의 전체 공정은 후속 기관(즉, 안정 베이스(600))을 포함하기 때문에 본 공정은 2개의 칩들이 결합하여 매우 얇은 기관으로 접합되는 공정들에 비해 더 탄탄하다는 점을 인지해야 한다. 또한, 이 시점에서 제2 칩(1402)이 얇을 수는 있지만, 제2 칩(1402)의 모든 콘택들(1404)은 제2 칩이 웨이퍼 형태이며 두꺼운 제2 칩(1402) 위에 위치하는 것이 이상적이다. 그런 다음, 제2 칩(1402)을 포함하는 웨이퍼가 박육화되고 절단되며, 제2 칩(1402)이 어셈블리(1308)에 부착될 수 있다.
- [0052] 유리하게는, 본 명세서에 개시되어 있는 변형 실시 형태들의 사용을 통해, 듀얼 사이드 공정 및 박육 웨이퍼-스케일 취급 공정이 감소되거나, 이상적으로는 이들 공정이 사용되지 않을 수 있다는 점을 이해해야 한다.
- [0053] 다시 공정으로 돌아가서, 이 시점에서 제2 칩(1402)이 어셈블리(1308)의 각 연결 지점에 정렬되고 부착된다. 특정 변형 실시 형태에 따라서, 본 공정은 종래의 솔더 부착, 탭 & 퓨즈 기법(tack and fuse approach), 포스트 및 칩투 연결, 공유 접합 등을 포함할 수 있다.
- [0054] 유리하게는, 필수적이지는 않지만, 밀집-피치 연결부(일레로 피치가 50  $\mu\text{m}$  미만, 바람직하게는 30  $\mu\text{m}$  미만인 연결부)가 사용되는 경우에는, 탭 & 퓨즈 기법이 바람직하다. 또한, 전술한 본 출원에 통합되어 있는 출원명세서에 개시되어 있는 기법을 사용하여 형성될 수 있는, 높이가 낮은(높이가 25  $\mu\text{m}$  미만) 경우, 또는 높이가 낮으면서 피치도 밀집한 연결부를 함께 사용하는 경우에는 최종 패키지의 전체 높이가 낮게 유지되는 것이 유리하다.
- [0055] 본 명세서에 개시되어 있는 방법들의 변형 실시 형태는, 인터포저에 의해 제공되는 이점들(즉, 칩 크기 제한을 극복하는)을 가지면서도 비아 기생들(via parasitic) 없이, 콘택 크기가 작고 연결부 길이가 짧다면 더 유리하다는 점을 이해해야 한다. 또한, 이들 이점들은 후속 웨이퍼를 취급하도록 하고, 듀얼-사이드 공정을 예방 또는 방지하면서도, 얻어질 수 있다.
- [0056] 도 14는 어셈블리(1308)에 제2 칩(1402)이 부착되어 어셈블리 복합체(1406)를 형성한, 어셈블리(1308)의 확대부를 매우 단순화한 형태로 나타낸다.
- [0057] 이 시점에서 메인 공정이 종료된다. 그러나, 어셈블리 복합체(1406)에 칩들이 추가로 부착된다면, 전술한 선행 단계들의 방법이 필요한 만큼 반복되는 것이 유리하다.
- [0058] 그러나 선택적으로는 상기 공정에 후속하여, 일레로 칩을 보호하기 위해, 열 컨덕터로 기능하도록, 또는 어셈블리 복합체(1406)가 평탄화 되도록 하는 추가의 코팅 물질(1502) 부가 공정이 수행될 수 있다. 특정 실시 형태에 따라서는, 코팅 물질(1502)은 선택적으로 다음 후속 단계의 일부 케이스에서 사용될 수 있는 부식액(etchant)에 견딜 수 있는 소재일 수 있다. 대부분의 변형 실시 형태에서, 코팅 물질(1502)은 비전도성 물질이고, 보다 상세하게는 평탄화 매체(1102)로 사용되기에 적합한 물질들 중 어느 하나이다. 유리하게는, 일부 경우에 있어서, 코

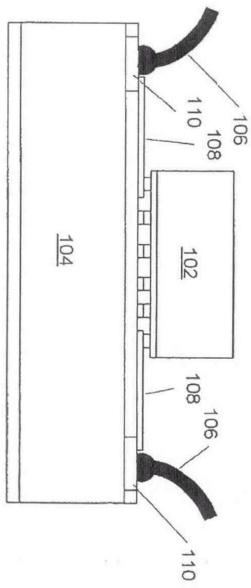
팅 물질(1502)은, 또는 선택적으로, 구조적 지지물로 사용되어 본 명세서에 개시되어 있는 공정에 의해 생성된 웨이퍼-형태 어셈블리가 안정 베이스(600)가 제거된 후에 웨이퍼-형태 방식으로 취급될 수 있다.

- [0059] 도 15는 코팅 물질(1502)이 부가된, 도 14의 어셈블리 복합체를 매우 단순화한 형태로 나타낸다.
- [0060] 다음으로, 안정 베이스(600)가 어셈블리 복합체(1406)로부터 제거된다. 안정 베이스(600)로 사용되는 특정 재료에 따라, 안정 베이스의 제거는 다수의 공정들 중 임의의 공정에 의해 이루어질 수 있는데, 단 한 가지 제약은 그러한 공정이 소망하는 제거를 달성하고, 패드들(902)의 안정 베이스(600) 사이드를 노출시키는 데에 적합하여야 한다는 것이다. 특정 실시 형태에 따라서는, 상기 제거는 그라인딩, 래핑 및/또는 만약 안정 베이스가 에칭 정지부 층이라면 코팅(702)의 에칭에 의해 수행될 수 있다. 만약 코팅(702)이 적절한 공정(예를 들어, 가열, 에칭, 화학 반응, 빛의 특정 파장(일례로 자외선 또는 적외선 등)에의 노출)에 의해 희생될 수 있는 희생층이라면, 어셈블리 복합체(1406)가 안정 베이스(600)로부터 부유(flow away)할 수 있게 되어, 안정 베이스(600)를 파괴 방식으로 제거할 필요가 없게 된다. 이에 따라, 희생층 방법이 사용되는 일부 실시 형태에서, 안정 베이스(600)가 재사용될 수 있어서 비용을 추가로 절감하게 된다.
- [0061] 유리하계는, 에칭이 사용되고, 지지 코팅(702), 평탄화 매체(1102) 및 코팅 물질(1502)이 상기 에칭 공정에 견딜 수 있다면, 어셈블리 복합체(1406) 내의 칩들이 에칭으로부터 완전하게 보호될 것이며, 이에 따라 습식 에칭과 같은 공격성 공정이 일괄 공정으로 사용되어 무리없이 안정 베이스(600)를 제거할 수 있다.
- [0062] 안정 베이스(600)를 제거한 후에, 지지 코팅(702), 평탄화 매체(1102) 및 코팅 물질(1502)이 폴리머(들)라면, 잔류하는 어셈블리 복합체(1406)는 유연하고(compliant) 내크랙성을 갖게 된다.
- [0063] 도 16은 안정 베이스(600)가 제거된, 도 15의 어셈블리 복합체(1406)를 매우 단순화한 형태로 나타낸다.
- [0064] 이 시점에서, 도 9와 연계하여 개시한 바와 같이, 패드(902) 형성 시에 일례로 금 또는 솔더 같은 접합 소재가 부가되도록 콘택용 패드(902)가 형성되고, 어셈블리 복합체(1406)가 완전하게 형성되며, 패키지 형성 공정을 완료하기 위해 이 시점 이후에 행해야 할 것은 단지 웨이퍼 전체를 개별 패키지 유닛으로 절단하는 것 뿐이다.
- [0065] 선택적으로, 패드(902)의 현재-노출된 측면이 솔더 범프 또는 금 볼과 같은 전도성 접합 소재(1702)와 함께 사용될 예정이라면, 일례로 전도성 접합 소재(1702)가 이 단계에서 부가될 수 있다. 유리하계는, 전도성 접합 소재(1702)가 실리콘의 단편들 중 어느 하나의 단편에 부착되지 않기 때문에, 칩 또는 인터포저가 사용되는 경우에는 인터포저 상에 응력이 발생하지 않는다.
- [0066] 도 17은 전도성 접합 소재(1702)가 부가된, 도 15의 어셈블리 복합체(1406)를 매우 단순화한 형태로 나타낸다.
- [0067] 최종적으로, 어셈블리 복합체(1406)가 개별 패키지 유닛(1802)으로 절단된다. 여기서도, 상기 어셈블리 복합체(1406) 내의 각 칩들이 매우 얇기는 하지만, 칩들이 손상될 위험성은 매우 적다는 것을 이해해야 한다.
- [0068] 도 18은 도 15의 어셈블리 복합체(1406)로부터 절단된 2개의 개별 패키지 유닛(1802)을 매우 단순화한 형태로 나타낸다.
- [0069] 이하에서 단순화한 제2 실시 형태 패밀리를 기재한다. 초기 단계는 도 6 내지 도 12와 연계하여 개시한 단계와 동일하기 때문에, 이들 단계들을 반복 기재하지는 않는다. 또한, 본 실시예는 제1 단순화한 실시 형태 패밀리와는 스택 내 칩들의 상대 크기만이 다르기 때문에, 그러한 차이에 의해 나타나는 차이점에 대해서만 기재한다.
- [0070] 도 12에 이르는 단계가 종료된 시점에서, 일례로 패드 바디(902)가 제1 칩(1002)에 연결되도록, 패드 바디(902), 다른 연결점들이 다른 칩 또는 일부 다른 요소들의 대응 연결부들과 궁극적으로 정렬되도록, 금속 연결부들(1902, 1904)이 형성되고, (선택적으로 필요하다면) 용기된 콘택들(1906)이 형성된다. 물론, 도 13의 실시예와 같이, 많은 실시 형태에서, 이들 중 두개의 조합이 이루어질 수 있고, 일부 경우에는 패드 바디(902)가 다른 패드 바디(미도시)에 의도적으로 연결될 수 있다.
- [0071] 도 19는 콘택들(1902, 1904, 1906)이 형성된, 안정 베이스(600) 일례의 확대부(1900)를 매우 단순화한 형태로 나타낸다.
- [0072] 이 시점에서, 도 13에서와 같이, 제1 칩(1002) 위에 제2 칩(2002)을 부가하기에 적합한 패키지 어셈블리(1908)가 생성된다. 이에 따라, 다음 단계에서, 제2 칩(2002)이 상기 어셈블리(1908)에 부착된다. 제1 실시예 패밀리에서와 같이, 이 시점에서 제2 칩(2002)이 박육화될 수도 있지만, 이상적으로는 제2 칩(2002)의 모든 콘택들(2004)들이 웨이퍼 형태 및 후속 상태로 있는 제2 칩(2002) 위에 위치하고, 그런 다음 제2 칩(2002)을 포함하는 웨이퍼가 박육화 및 절단되고, 제2 칩(2002)이 어셈블리(1908)에 부착될 수 있다는 것을 명심해야 한다.

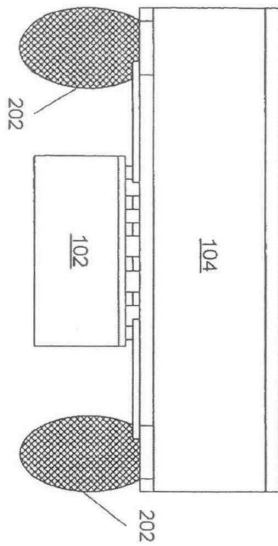
- [0073] 이 시점에서, 제2 칩(2002)이 어셈블리(1908)의 각 연결점과 정렬되어 부착될 수 있다. 상술한 바와 같이, 특정 변형 실시 형태에 따라서는, 본 공정은 종래의 솔더 부착, 텍 & 퓨즈 기법, 포스트 및 침투 연결, 공유 접합 등을 포함할 수 있다.
- [0074] 도 20은 제2 칩들(2002)이 부착되어, 보다 복잡한 어셈블리 복합체(2006)를 형성한, 어셈블리(1908)의 확대부를 매우 단순화한 형태로 나타낸다.
- [0075] 도 20에 도시된 제2 칩(2002)이 도 14에 도시된 제2 칩(1402)보다 어느 정도 작기 때문에, 제2 칩(2002)은 주변 콘택들(1902, 1904)에는 연결되지 않고, 그 보다는 제2 칩(2002) 범위 내의 콘택들(1906)에만 연결된다. 그러나, 라우팅 층을 사용함으로써 주변의 콘택들이 제2 칩(2002)에 라우팅되어서 그 라우팅이 콘택을 주변으로부터 다른 지역 좀 더 중앙 영역으로 이동시킬 수 있다.
- [0076] 그런 다음, 도 15 내지 도 18에 개시된 공정이 계속된다. 도 21은 전술한 바와 같은 코팅 물질(1502)이 부가된, 도 20의 어셈블리 복합체(2006)를 매우 단순화한 형태로 나타낸다.
- [0077] 도 22는 전술한 바와 같이 안정 베이스(600)가 제거된, 도 21의 어셈블리 복합체(2006)를 매우 단순화한 형태로 나타낸다.
- [0078] 도 23은 전술한 바와 같이 전도성 접합 소재(1702)가 부가된, 도 22의 어셈블리 복합체(2006)를 매우 단순화한 형태로 나타낸다.
- [0079] 도 24는 전술한 바와 같이 도 22의 어셈블리 복합체(2006)로부터 절단된 2개의 개별 패키지 유닛(2402)을 매우 단순화한 형태로 나타낸다.
- [0080] 전술한 사항으로부터, 제3 또는 추가의 칩들을 부가하기 위해 상기 단계들 중 일부 단계가 반복적으로 채용될 수 있다는 점을 명확하게 알 수 있다.
- [0081] 이들 두 개의 패밀리들에 있어서, 2개의 칩들의 크기가 동일한 경우가 전술한 제1 또는 제2 실시 형태 중 어느 한 형태와 동일한 방식으로 가공될 수 있다는 점도 명확하다.
- [0082] 전술한 사항으로부터, 전술한 방법들이 와이어본드 또는 인터포저 방법들과 호환될 수 있으며, 필요에 따라서는 이들 두 방법 모두를 채용할 필요가 있다는 점도 이해가 될 것이다.
- [0083] 도 25는 솔더 볼 범프(1702)를 통해 인터포저(2504)의 패드(2502)가 외부와 연결되는 제1 패밀리 방법으로 나온 개별 패키지 유닛(1802)의 변형례를 매우 단순화한 형태로 나타낸다.
- [0084] 도 26은 와이어본드 연결부(2602)에 의해 일부 다른 요소(미도시)가 외부와 연결되는 제1 패밀리 방법으로 나온 개별 패키지 유닛(1802)의 변형례를 매우 단순화한 형태로 나타낸다.
- [0085] 도 27은 솔더 볼 범프(1702)를 통해 인터포저(2504)의 패드(2502)가 외부와 연결되는 제2 패밀리 방법으로 나온 개별 패키지 유닛(2402)의 변형례를 매우 단순화한 형태로 나타낸다.
- [0086] 도 28은 와이어본드 연결부(2602)에 의해 일부 다른 요소(미도시)가 외부와 연결되는 제2 패밀리 방법으로 나온 개별 패키지 유닛(2402)의 변형례를 매우 단순화한 형태로 나타낸다.
- [0087] 본 명세서(도면을 포함)는 단지 일부 예시적인 실시 형태들을 설명하기 위한 것임을 이해해야 한다. 독자들의 편의를 위해, 전술한 사항들은 실시 가능한 모든 실시 형태 중에서 본 발명의 원리를 교시하는 대표적인 샘플에 초점을 맞추었다. 전술한 사항들은 실시 가능한 실시 형태들 모두를 나열하려고 하지는 않았다. 특정 부위를 위한 선택적인 실시 형태들이 나타나지 않을 수도 있고, 추가로 기재하지 않은 선택적 실시 형태들이 사용될 수 있으므로, 그러한 실시 형태들을 권리로서 배제하는 것으로 간주되어서는 안 된다. 통상의 지식을 가진 자라면 본 명세서에 기재되지 않은 실시 형태들의 다수가 본 발명의 동일한 원리와 균등 범위 내로 통합될 수 있다는 것을 이해할 수 있을 것이다.

도면

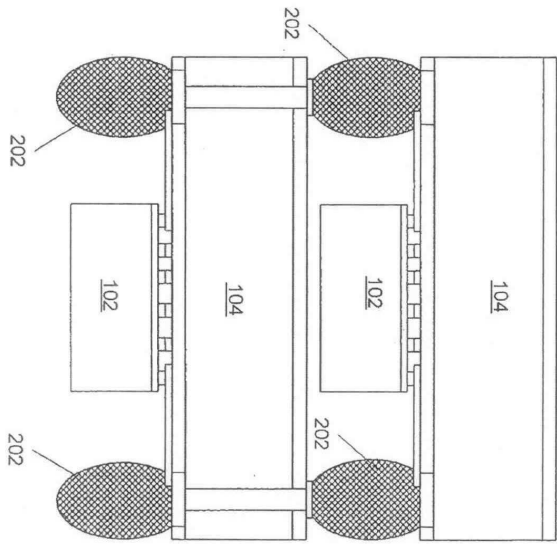
도면1



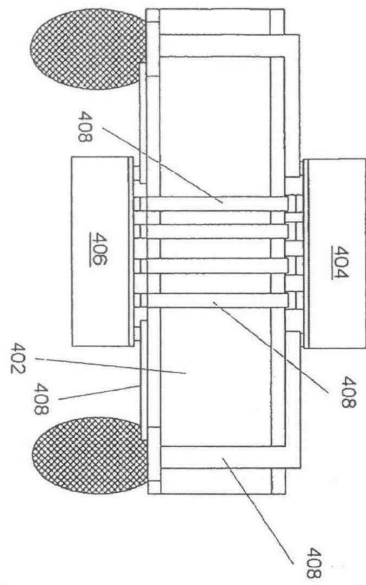
도면2



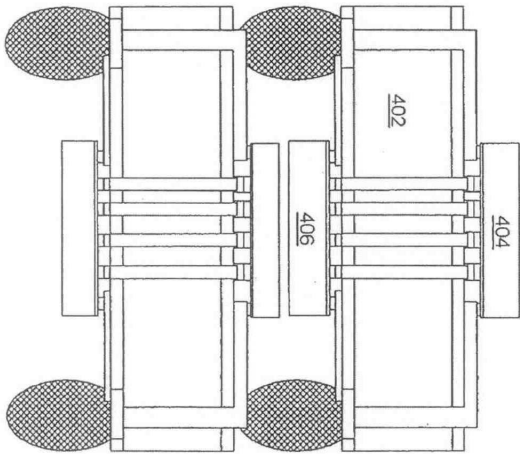
도면3



도면4



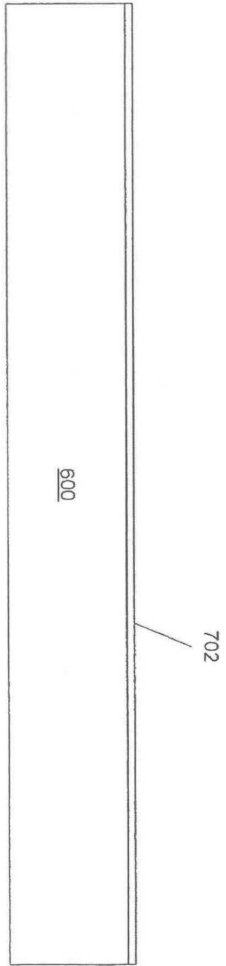
도면5



도면6

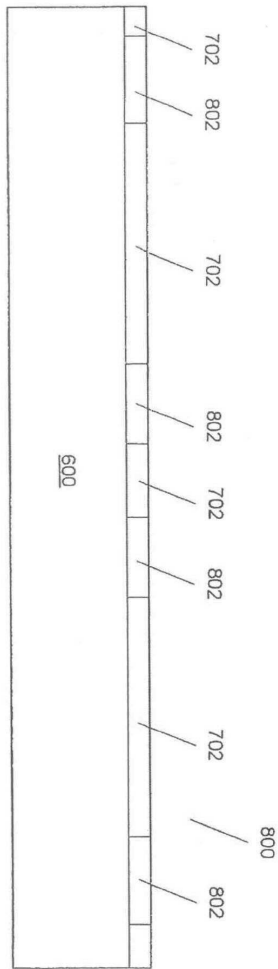


도면7

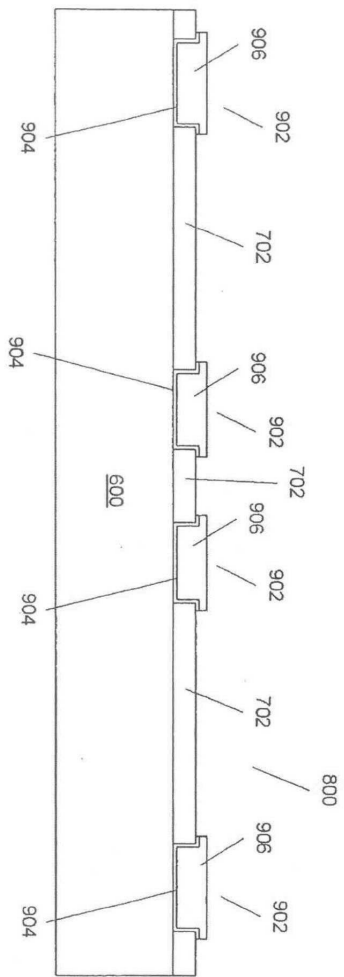




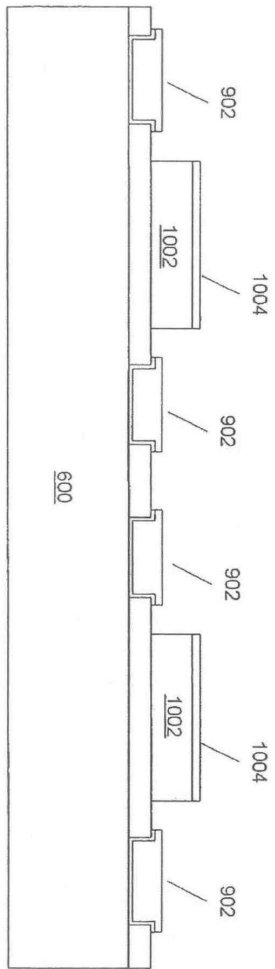
도면8



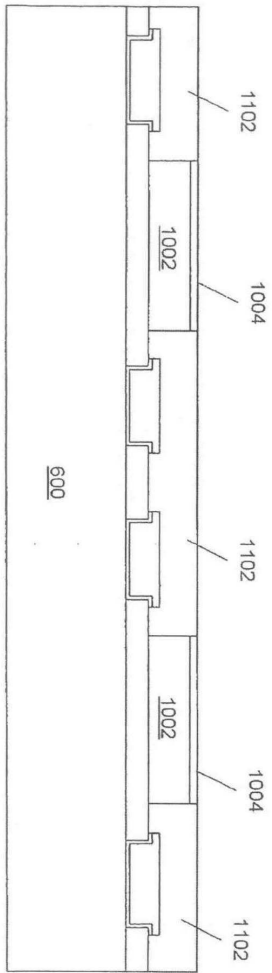
도면9



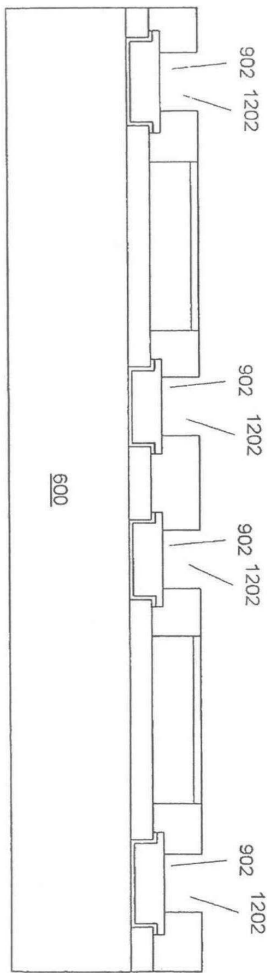
도면10



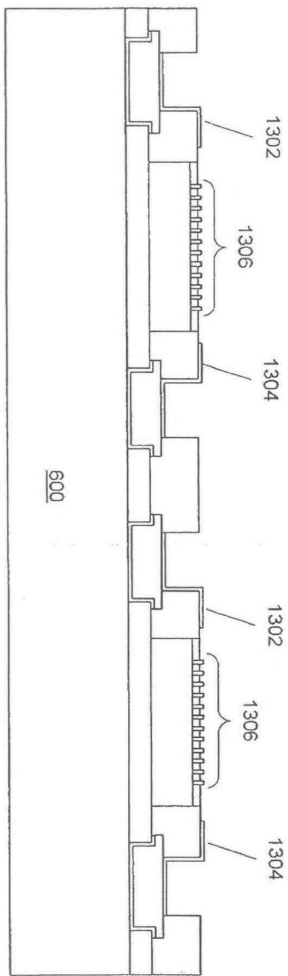
도면11



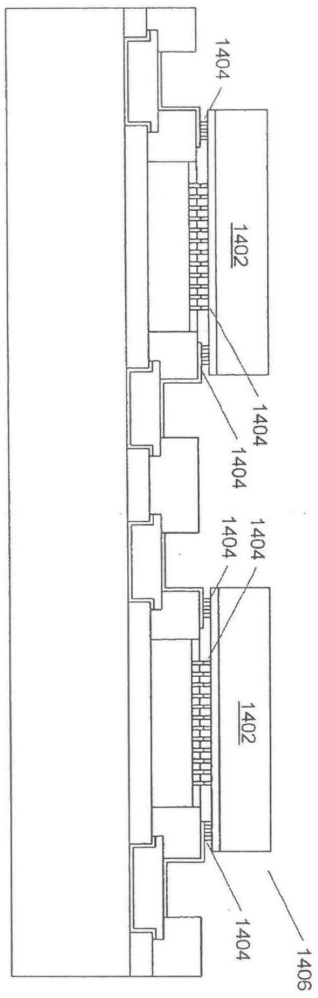
도면12



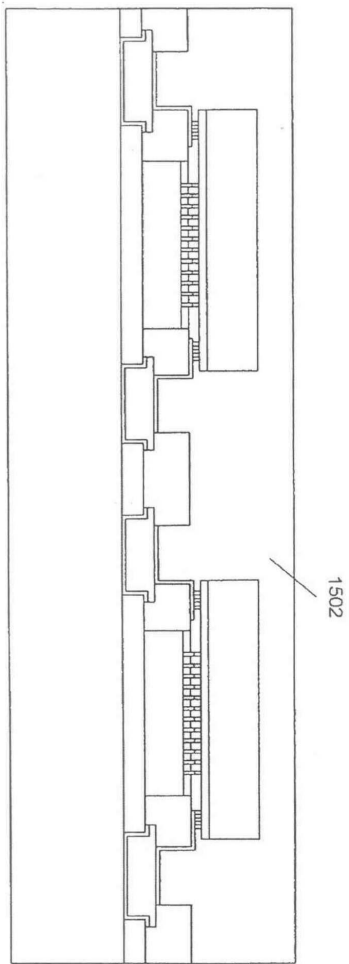
도면13



도면14

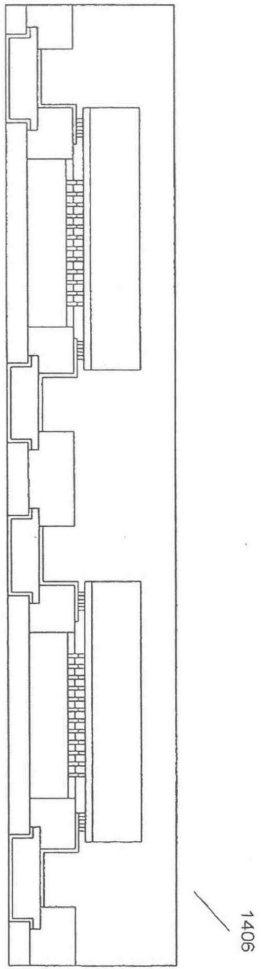


도면15

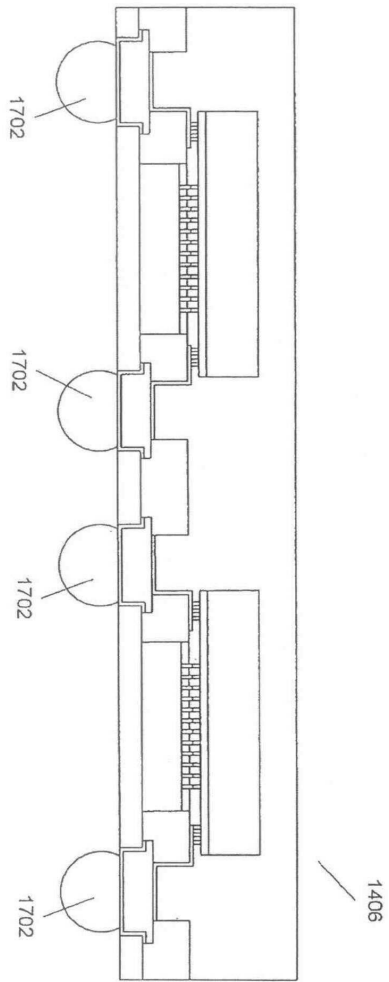




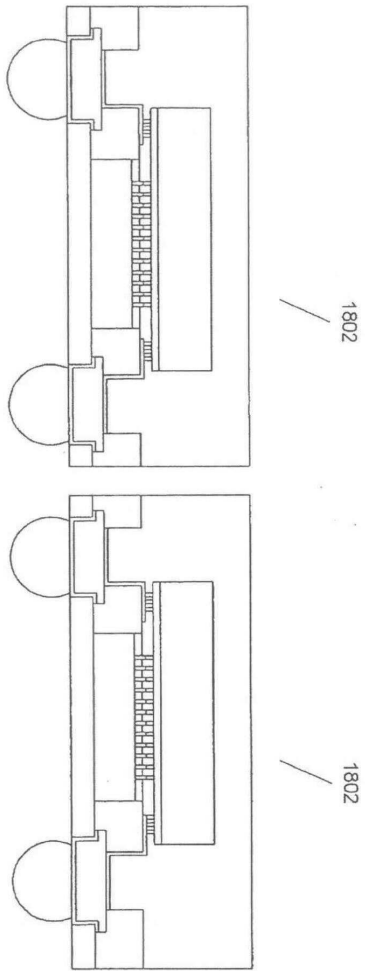
도면16



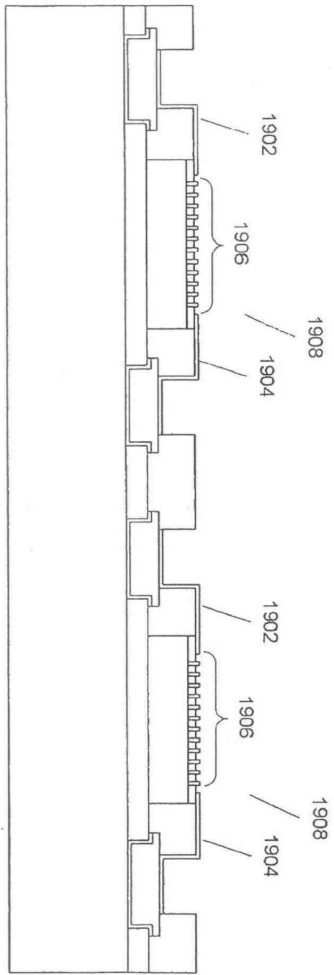
도면17



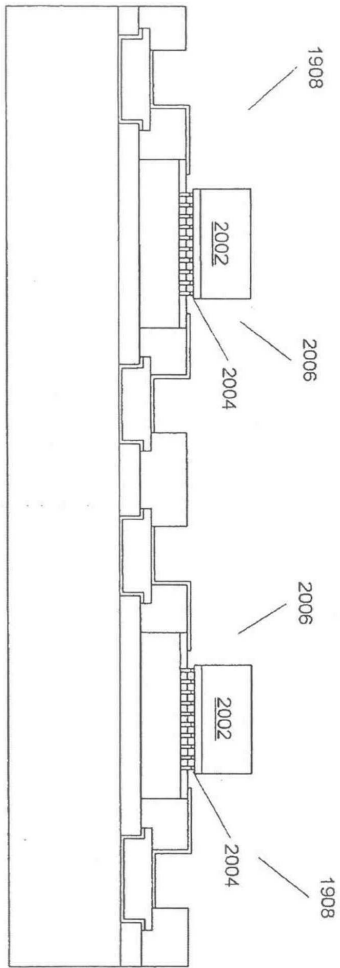
도면18



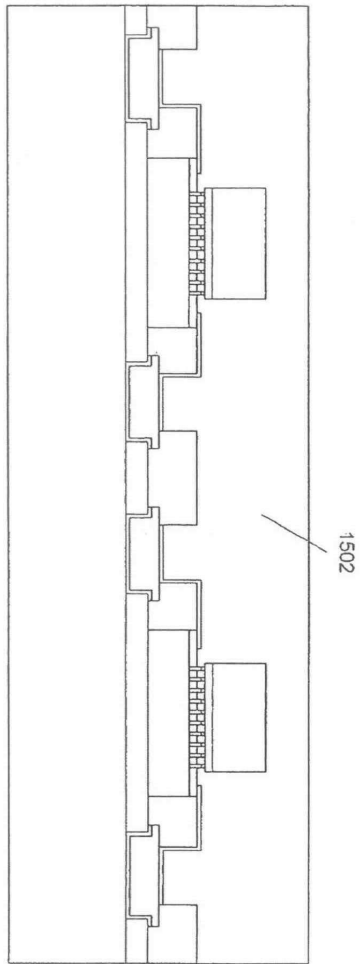
도면19



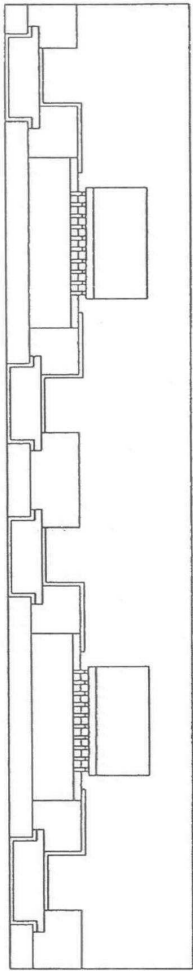
도면20



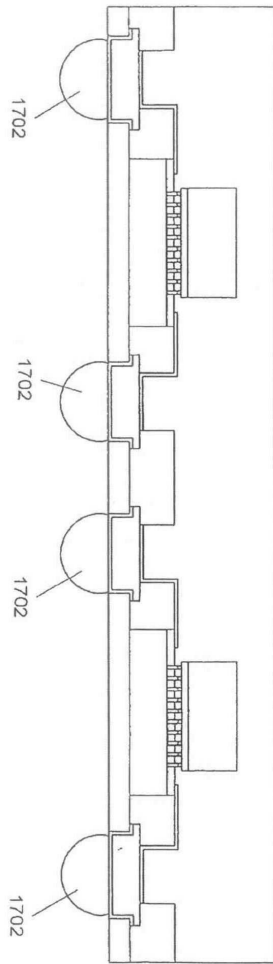
도면21



도면22

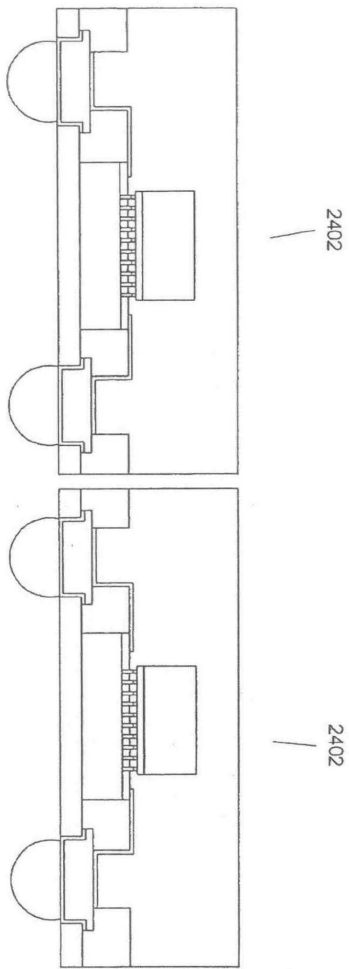


도면23

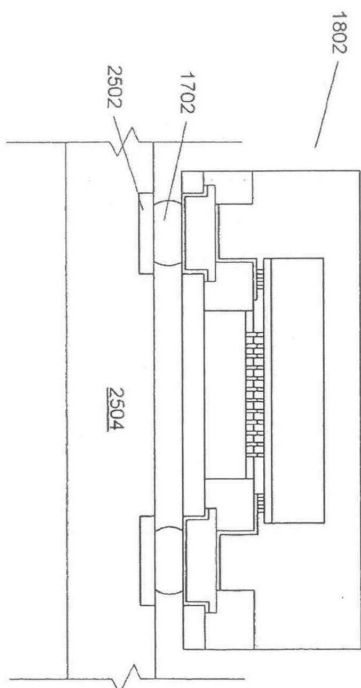




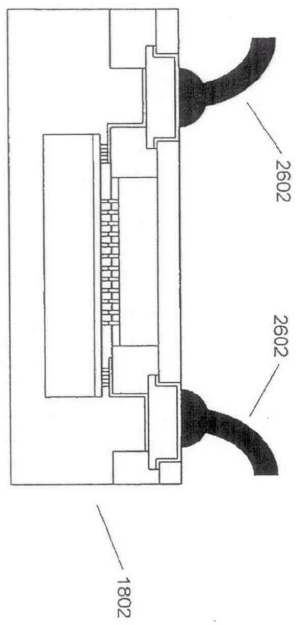
도면24



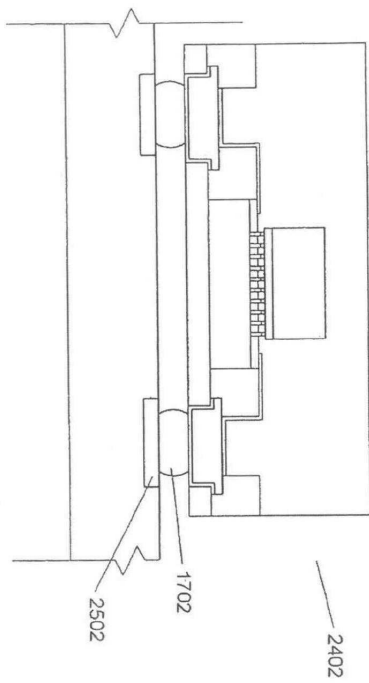
도면25



도면26



도면27



도면28

