



(12) 发明专利

(10) 授权公告号 CN 101603648 B

(45) 授权公告日 2012. 05. 30

(21) 申请号 200910136054. X

(56) 对比文件

(22) 申请日 2009. 04. 24

CN 200987228 Y, 2007. 12. 05,

EP 0689373 A2, 1995. 12. 27,

(66) 本国优先权数据

CN 101112126 A, 2008. 01. 23,

200810111585. 9 2008. 06. 10 CN

WO 2008048516 A2, 2008. 04. 24,

(73) 专利权人 矽诚科技股份有限公司

审查员 韩冰

地址 中国台湾台北县中和市建康路 130 号 4 楼之 9

(72) 发明人 彭文琦

(74) 专利代理机构 北京汇泽知识产权代理有限公司 11228

代理人 徐乐慧

(51) Int. Cl.

F21S 4/00(2006. 01)

F21V 23/00(2006. 01)

H05B 37/02(2006. 01)

F21Y 101/02(2006. 01)

F21W 121/00(2006. 01)

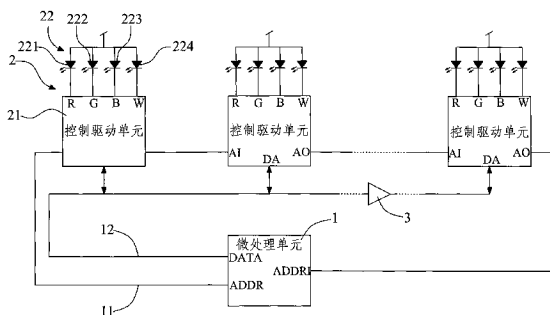
权利要求书 2 页 说明书 4 页 附图 8 页

(54) 发明名称

并联式单线寻址灯光装置

(57) 摘要

本发明涉及一种并联式单线寻址灯光装置, 包括: 微处理单元、两组或两组以上灯光组; 该微处理单元具有寻址传输线及数据传输线, 输出寻址设定信号及数据控制信号; 该两组或两组以上灯光组由控制驱动单元及至少一个与该控制驱动单元电性连接的灯组组成, 该控制驱动单元通过该寻址传输线及数据传输线与该微处理单元并联连接, 接收微处理单元所输出的寻址设定信号及数据控制信号, 该微处理单元的寻址传输线传送设定每个灯光组寻址的寻址设定信号到控制驱动单元; 再由数据传输线输出控制灯光组的灯光变化的数据控制信号到控制驱动单元。本发明可以简化线路、易于制作、降低成本。



1. 一种并联式单线寻址灯光装置,其特征在于,包括:

微处理单元,具有寻址传输线及数据传输线,所述微处理单元输出寻址设定信号及数据控制信号;

两组或两组以上灯光组,每个灯光组由控制驱动单元及至少一个与该控制驱动单元电性连接的灯组组成;该微处理单元的寻址传输线与该控制驱动单元串联连接,且该微处理单元的数据传输线以并联方式连接到所有控制驱动单元,接收微处理单元所输出的寻址设定信号及数据控制信号;

其中,该微处理单元的寻址传输线传送设定每个灯光组的寻址的寻址设定信号到控制驱动单元,再由数据传输线输出控制灯光组的灯光变化的数据控制信号到控制驱动单元;

所述控制驱动单元包括:

累加器,与所述微处理单元及下一个累加器电性连接,每次对寻址设定信号进行累加;

译码器,与所述微处理单元电性连接,将所述微处理单元送来的数据控制信号进行译码;

寻址输入缓存器,与所述译码器电性连接,暂存所述微处理单元送出的身份标识码;

寻址缓存器,与所述累加器电性连接,储存所述累加器累进后的身份标识码的值;

比较器,与所述寻址输入缓存器及所述寻址缓存器电性连接,比较两个缓存器储存的身份标识码;

数据位移缓存器,与所述比较器及所述译码器电性连接,接收所述译码器译码后的数据,控制所述灯组变化。

2. 如权利要求1所述的并联式单线寻址灯光装置,其特征在于,所述数据传输线送出一串数据控制信号,该数据控制信号包含有:身份标识码、控制灯组产生变化的数据。

3. 如权利要求1所述的并联式单线寻址灯光装置,其特征在于,所述灯组旁设有光传感器,该光传感器与所述控制驱动单元电性连接。

4. 如权利要求1所述的并联式单线寻址灯光装置,其特征在于,在所述灯组旁设有光传感器,该光传感器与所述控制驱动单元电性连接,所述光传感器检测所述灯组光亮度,在所述微处理单元的数据传输线送出一串数据控制信号,该数据控制信号除了包含有身份标识码及控制所述灯组产生变化的数据外,还具有调整所述灯组的光亮度的控制时序信号。

5. 如权利要求1所述的并联式单线寻址灯光装置,其特征在于,所述控制驱动单元还包括有栓锁电路,该栓锁电路电性连接在灯组与数据位移缓存器之间。

6. 如权利要求1所述的并联式单线寻址灯光装置,其特征在于,所述控制驱动单元还包括有编码器,该编码器与所述译码器电性连接,该编码器电性连接有感应检知器,该感应检知器与外部的的光传感器电性连接,感应检知外部的该光传感器所感应的所述灯组的光亮度,经所述编码器编码后,传输至微处理单元中。

7. 如权利要求6所述的并联式单线寻址灯光装置,其特征在于,所述感应检知器与外部的所述光传感器电性连接,感应检知外部的所述光传感器所感应的所述灯组的光亮度,经所述编码器编码后,传输至所述译码器输入/输出端上,再传送至外部的所述微处理单元中。

8. 如权利要求1所述的并联式单线寻址灯光装置,其特征在于,所述灯组由红色发光

二极管、绿色发光二极管、蓝色发光二极管及白色发光二极管组成。

9. 如权利要求 1 所述的并联式单线寻址灯光装置,其特征在于,所述并联式单线寻址灯光装置还包含有两个或两个以上电源转换器,该每个电源转换器与所述每个灯光组电性连接。

10. 如权利要求 1 所述的并联式单线寻址灯光装置,其特征在于,所述并联式单线寻址灯光装置还包含有至少一个信号放大单元,该信号放大单元电性连接在所述数据传输线上。

并联式单线寻址灯光装置

技术领域

[0001] 本发明有关一种发光二极管 (LED, Light Emitting Diode) 灯串模块, 尤指一种并联式单线寻址灯光装置。

背景技术

[0002] 目前, LED 灯串模块大致上可分为有串联式及并联式的两种连接方式, 而这两种形态的 LED 灯串模块也被使用者广泛运用在大楼外观、树木、招牌及造景物上, 以增添这些事物的外观美。

[0003] 公知串联式的 LED 灯串模块是将多组的 LED 灯串模块串联连接在一起, 而且 LED 灯串模块的串联数量是依据盘绕的物体体积大小而定, 且在串联后由第一个 LED 灯串模块的控制器对所有的 LED 灯串模块的 LED 灯组进行控制。虽然, 这种串联式的连接方式, 使 LED 灯串模块易于串联使用, 但是在使用过程中, 只要有一组 LED 灯串模块发生故障时, 将造成控制信号无法传递, 致使该组发生故障的 LED 灯串模块的后段的 LED 灯串模块接收不到任何控制信号, 导致后段的 LED 灯串模块均无法被点亮。

[0004] 另外, 并联式的 LED 灯串模块是将多组的 LED 灯串模块与控制器并联连接, 每一个 LED 灯串模块就要有一条控制线及一条寻址线来控制。若是并联 10 组的 LED 灯串模块时, 该控制器就必须利用 10 条控制线及 10 条寻址线来控制 10 组 LED 灯串模块。这种并联式在使用时, 当有一组 LED 灯串模块发生故障时, 将不会影响到其它 LED 灯串模块的控制。但是, 并联的 LED 灯串模块数量越多时, 相对控制线及寻址线越多, 造成线路的复杂, 不易制作, 且成本高。

发明内容

[0005] 有鉴于此, 本发明的主要目的在于提供一种可简化线路、易于制作、降低成本的并联式单线寻址灯光装置。

[0006] 为达到上述的目的, 本发明提供一种并联式单线寻址灯光装置, 包括: 微处理单元、两组或两组以上灯光组; 该微处理单元具有寻址传输线及数据传输线, 输出寻址设定信号及数据控制信号, 该两组或两组以上灯光组由控制驱动单元及至少一组与该控制驱动单元电性连接的灯组所组成; 所述控制驱动单元通过该寻址传输线及数据传输线与微处理单元并联连接, 接收微处理单元所输出的寻址设定信号及数据控制信号; 其中, 该微处理单元的寻址传输线传送设定每个灯光组的寻址的寻址设定信号到控制驱动单元, 再由数据传输线输出控制灯光组的灯光变化的数据控制信号到控制驱动单元。

[0007] 所述控制驱动单元包括: 累加器、编码器、寻址输入缓存器、比较器、寻址缓存器、译码器、数据位移缓存器、栓锁电路及感应检知器。所述灯光组由红色发光二极管、绿色发光二极管、蓝色发光二极管、白色发光二极管组成, 并与所述控制驱动单元的所述栓锁电路电性连接。信号放大单元, 电性连接在所述微处理单元及控制驱动单元之间的数据传输线上, 以避免传输过程中信号的衰减。

[0008] 由以上技术方案可以看出,本发明的并联式单线寻址灯光装置将并联式的连接方式重新设计,利用单线寻址的方式来控制多组并联的 LED 灯组,以简化线路、易于制作、降低成本。

附图说明

- [0009] 图 1 为本发明并联式单线寻址灯光装置的电路方框示意图；
 [0010] 图 2 为本发明的控制驱动单元内部电路方框示意图；
 [0011] 图 3a 为本发明并联式单线寻址灯光装置的启动时序示意图；
 [0012] 图 3b 为本发明并联式单线寻址灯光装置的另一种启动时序示意图；
 [0013] 图 3c 为本发明的初始状态 (Power On Initial) 的重置时序信号示意图；
 [0014] 图 3d 为本发明的灯光组的寻址设定模式 (Address Define Mode) 的时序信号示意图；
 [0015] 图 3e 为本发明的灯光组的正常模式 (Normal Mode) 的控制时序信号示意图；
 [0016] 图 3f 为本发明的灯光组的测试模式 (Test Mode) 的时序信号示意图；
 [0017] 图 3g 为本发明的灯光组重新设定寻址设定 (Address Redefine Mode) 的时序信号示意图；
 [0018] 图 4 为本发明并联式单线寻址灯光装置的另一个实施例示意图；
 [0019] 图 5 为本发明并联式单线寻址灯光装置的再一个实施例示意图；
 [0020] 图 6 为本发明并联式单线寻址灯光装置的又一个实施例示意图。

附图标记说明

[0022]	微处理单元	1	寻址传输线	11
[0023]	数据传输线	12	灯光组	2
[0024]	控制驱动单元	21	累加器	211
[0025]	编码器	212	寻址输入缓存器	213
[0026]	比较器	214	寻址缓存器	215
[0027]	译码器	216	数据位移缓存器	217
[0028]	栓锁电路	218	感应检知器	219
[0029]	灯组	22	红色发光二极管	221
[0030]	绿色发光二极管	222	蓝色发光二极管	223
[0031]	白色发光二极管	224	信号放大单元	3
[0032]	光传感器	4	电源转换器	5

具体实施方式

- [0033] 有关本发明的技术内容及详细说明,现配合附图说明如下。
 [0034] 请参阅图 1,为本发明并联式单线寻址灯光装置的电路方框示意图。如图 1 所示,本发明并联式单线寻址灯光装置,包括:微处理单元 1、两组或两组以上灯光组 2 及至少一个信号放大单元 3。
 [0035] 该微处理单元 1,具有寻址传输线 11 及数据传输线 12。
 [0036] 该灯光组 2 由控制驱动单元 21 及至少一个灯组 22 所组成。该控制驱动单元 21

通过该寻址传输线 11、该数据传输线 12 与微处理单元 1 并联连接；如图 2 所示，该控制驱动单元 21 包括：累加器 (COUNTER) 211、编码器 (ENCODER) 212、寻址输入寄存器 (ADDR INPUT REGISTER) 213、比较器 (COMPARE) 214、寻址寄存器 (ADDR REGISTER) 215、译码器 (DECODER) 216、数据位移寄存器 (DATA SHIFT REGISTER) 217、栓锁电路 (LATCH) 218 及感应检知器 (Sensor Detector) 219。灯组 22 由红色发光二极管 221、绿色发光二极管 222、蓝色发光二极管 223、白色发光二极管 224 组成，并与该控制驱动单元 21 的该栓锁电路 (LATCH) 218 电性连接。

[0037] 该信号放大单元 3，电性连接在该微处理单元 1 及控制驱动单元 21 之间的数据传输线 12 上，以避免传输过程中信号的衰减。

[0038] 本发明中的数据格式包括数据时序、启动时序、撷取等三种信号传递，特举两种方式说明，其一是以电压位准 (Level) 加上频率的方法，如图 3a 所示。当微处理单元 1 开始传送数据前，数据传输线 12 为无数据状态，以 $1/2V_{DD}$ 的电压位准来代表。在微处理单元 1 开始传送数据时，数字信号的“1”或“0”代表灯组 22 每一个发光二极管所执行的指令的数据，而执行何种动作则可以事先定义。传送数据的过程中，每位“1”或“0”结束时一定回复到 $1/2V_{DD}$ 电压位准然后再传送下一个位，因此可以同时包含了数据及频率。

[0039] 另外一种数据传递可如图 3b 所示，将数据以预定时间间距的数字“0”和“1”进行数据时序及启动时序的传输，同样的可以定义一段时间内无任何数据时，信号停留在 V_{DD} ，即 V_H ，或者信号停留在 V_{SS} ，即 V_L ；当超过一段时间，则表示为锁住指令且显示变化。这样也可成功地实现以一条信号线传递数据时序、启动时序及同时显示等信号。两者的差别主要在于前者属静态方式辨识数据，而后者则需每一个灯组 22 的发光二极管内需自行产生时序以辨识数据。

[0040] 在灯光装置启动 (Power On Initial) 的初始状态时，该微处理单元 1 输出信号 (如图 3c 所示的初始状态的重置时序信号)，将每一个控制驱动单元 21 内部的寻址寄存器 215 清除为零。

[0041] 当每一个控制驱动单元 21 重置后，该微处理单元 1 由寻址传输线 11 送出寻址设定信号 (如图 3d 所示的寻址设定模式 (Address Define Mode) 的时序信号)。当寻址设定信号传送至第一个控制驱动单元 21 的累加器 211 的输入端 AI 后，该累加器 211 将寻址设定信号储存在该寻址寄存器 215 中，以作为该第一个控制驱动单元 21 的身份标识码 (ID) 为“0”。在第一个控制驱动单元 21 的身份标识码 (ID) 设定后，该累加器 211 的输出端 AO 将寻址设定信号传送至第二个控制驱动单元 21 的累加器 211 的输入端 AI，此时该累加器 211 便自动累进加 1，并将累进加 1 的寻址设定信号储存在寻址寄存器 215 中，以作为第二控制驱动单元 21 的身份标识码 (ID) 为“1”，以此类推完成所有控制驱动单元 21 的寻址设定后，再将信号回传至微处理单元 1 中，该微处理单元 1 即可得知有多少组的灯光组需控制。

[0042] 在每一个控制驱动单元 21 的寻址设定后，该微处理单元 1 的数据传输线 12 上会送出一串的数据控制信号，该数据控制信号至少包含有：身份标识码 (ID) 及控制灯组 22 产生变化的数据，(如图 3e 所示的正常模式 (Normal Mode) 的控制时序信号)。该数据控制信号由控制驱动单元 21 的译码器 216 输入后，该译码器 216 将送来的数据控制信号中所夹带的身份标识码 (ID) 传送至寻址输入寄存器 213 中，经过比较器 214 与原先存在寻址寄存器 215 内的寻址做比对，若比对身份标识码 (ID) 不相同，该跟随着身份标识码 (ID) 后的控

制灯组 22 变化的数据,无法由译码器 216 传送至数据位移寄存器 217 中,因此无法控制灯组 22 产生任何变化。若比对的寻址相同时,该跟随着身份标识码 (ID) 后的控制灯组变化的数据,将由译码器 216 传送至数据位移寄存器 217 中,再经栓锁电路 218 的控制,以控制灯组 22 在不同时间里或同个时间里产生多种亮、不亮或闪烁或规律或不规律等多种变化。

[0043] 当灯光装置发生故障,该微处理单元 1 通过数据传输线 12 依序送出数据控制信号至每一个控制驱动单元 21 中,只要该微处理单元 1 未收到其中一个控制驱动单元 21 所回传的信号时,该微处理单元即可得知那一个灯光组 2 发生故障,以便于使用者更换新的灯光组或维修灯光组(如图 3f 所示的测式模式 (Test Mode) 的时序信号)。

[0044] 在灯光装置检测后,该微处理单元 1 会对该所有的灯光组 2 再进行寻址的设定(如图 3g 所示的重新设定寻址设定 (Address Redefine Mode) 的时序信号)。

[0045] 请参阅图 4,本发明并联式单线寻址灯光装置的另一个实施例示意图。如图 4 所示,在本实施例中,在该灯组 22 旁设有光传感器 4,该光传感器 4 与该控制驱动单元 21 内部的感应检知器 219 的输入端 S1、S2(如图 2 所示)电性连接。该光传感器 4 用以感测灯组 22 的每一个发光二极管的光亮度后,将信号传送至感应检知器 219 处理,再经编码器 212 编码,由编码器 212 的输出端 S0 回传至微处理单元 1 的输入端 AEN,由微处理单元 1 判断灯组 22 的发光二极管的光亮度衰减时,微处理单元 1 的数据传输线 12 再一次送出一串数据控制信号,该数据控制信号除了包含有:身份标识码 (ID) 及控制灯组 22 产生变化的数据外,还加上对该发光二极管的光亮度调整部分(如图 3e 所示的正常模式 (Normal Mode) 的控制时序信号)。

[0046] 请参阅图 5,本发明并联式单线寻址灯光装置的再一个实施例示意图。如图 5 所示,在本实施例中,同样在该灯组 22 旁设有光传感器 4,该光传感器 4 与该控制驱动单元 21 内部的感应检知器 219 的输入端 S1、S2(如图 2 所示)电性连接。该光传感器 4 用以感测灯组 22 的每一个发光二极管的光亮度后,将信号传送至感应检知器 219 处理,再经编码器 212 编码后回传至译码器 216(如图 2 的虚线所示)的输入/输出端 DA,即图 5 中的输入/输出端 DAS(DAS 是将译码器 216 的输入/输出端 DA 与编码器 212 的输出端 S0 合并为一起的输入/输出端),再回传至微处理单元 1 的输入端 AEN 进行处理,以进行发光二极管的光亮度调整。这样,使该控制驱动单元 21 与该微处理单元 1 的并联连接上可以省掉一条传输线的设计。

[0047] 请参阅图 6,本发明并联式单线寻址灯光装置的又一个实施例示意图。如图 6 所示,本发明以一个微处理单元 1 并联多组的灯光组 2,并且每一组的灯光组 2 电性连接一个电源转换器 5,该电源转换器 5 将交流电 AC 转换为直流电,以提供该灯组 22 所需的电源。

[0048] 上述仅为本发明的较佳实施例而已,并非用来限定本发明实施的范围。即只要根据本发明权利要求书的保护范围所做的均等变化与修饰,均为本发明保护范围所涵盖。

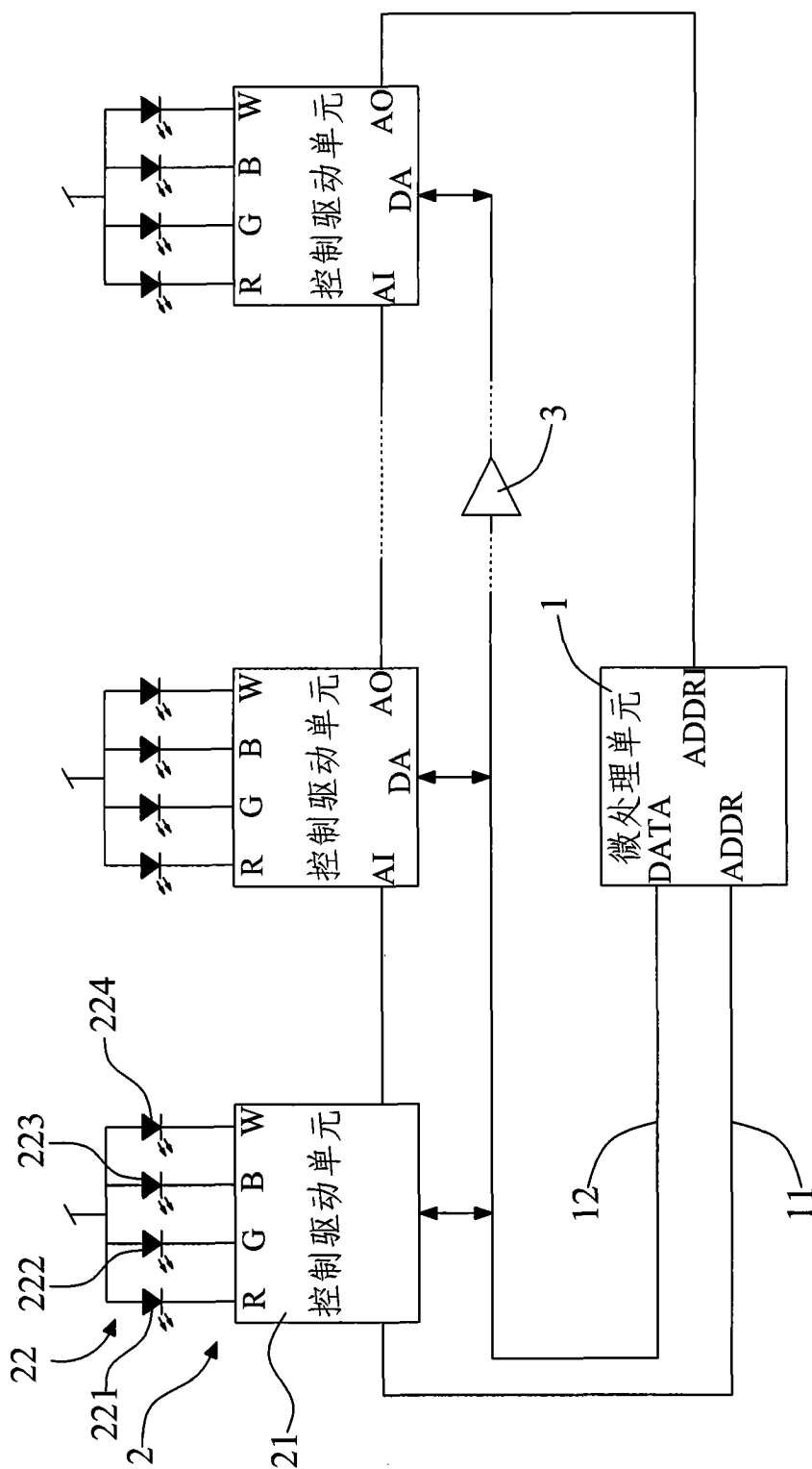


图 1

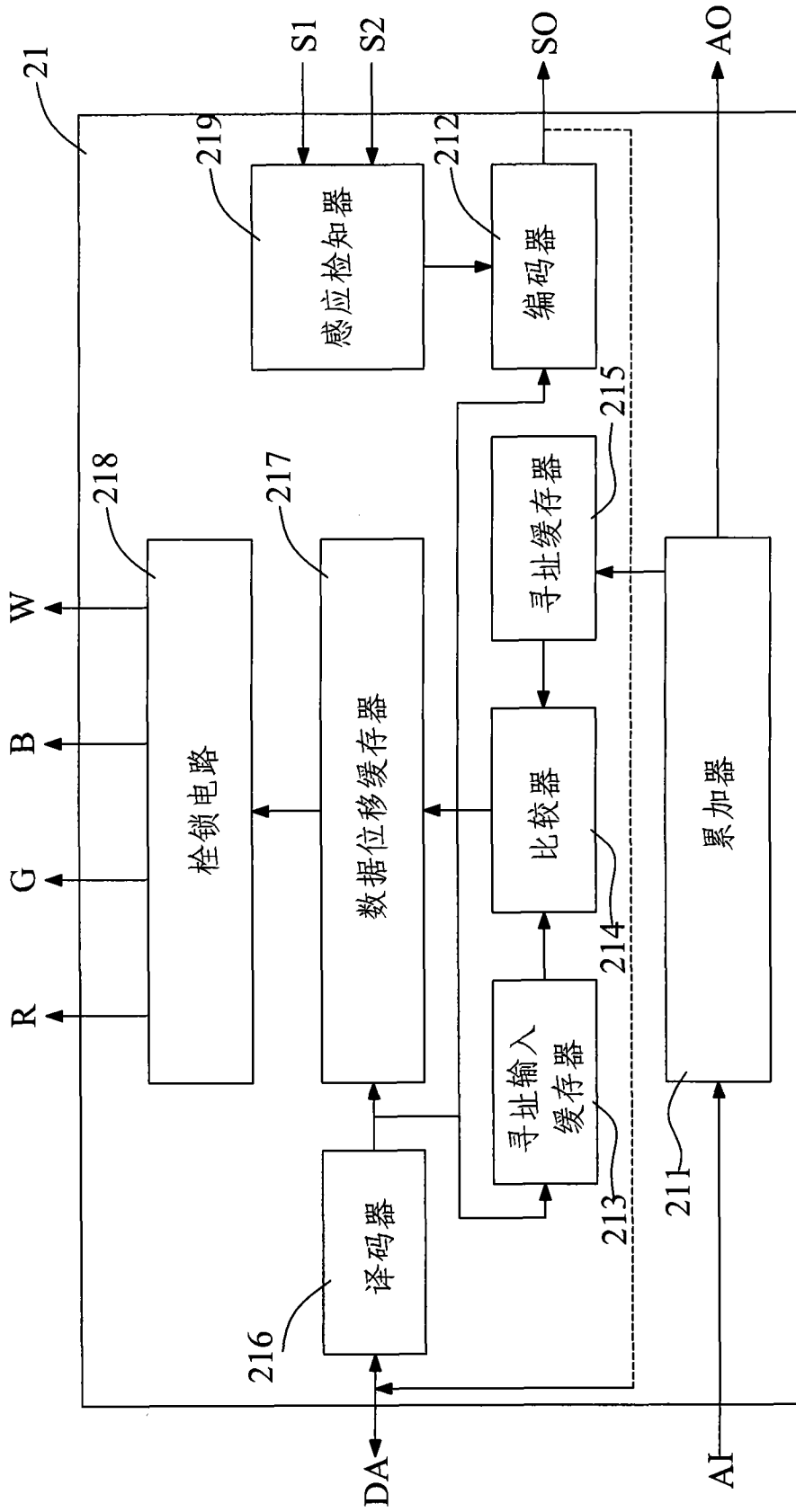


图 2

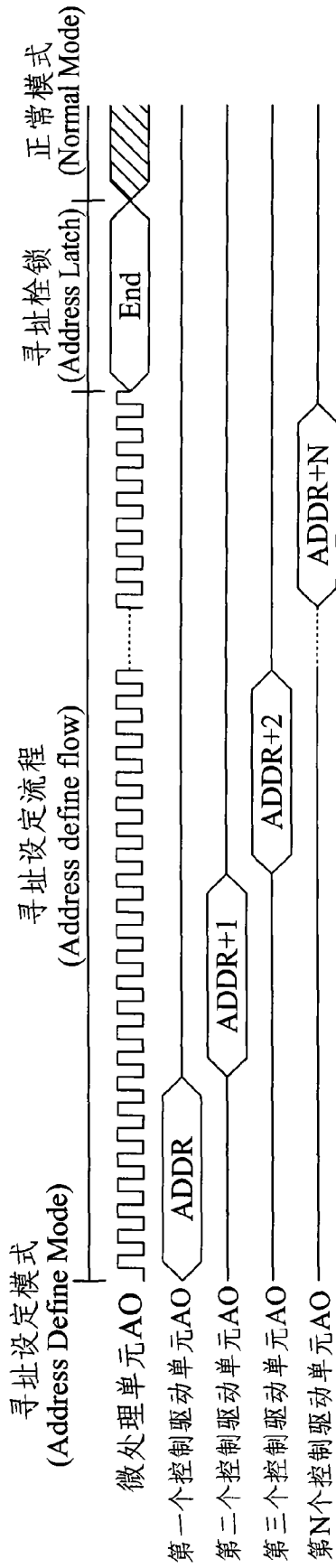


图 3d

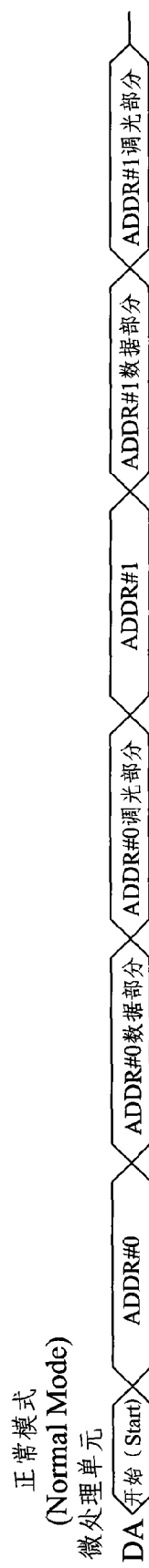


图 3e

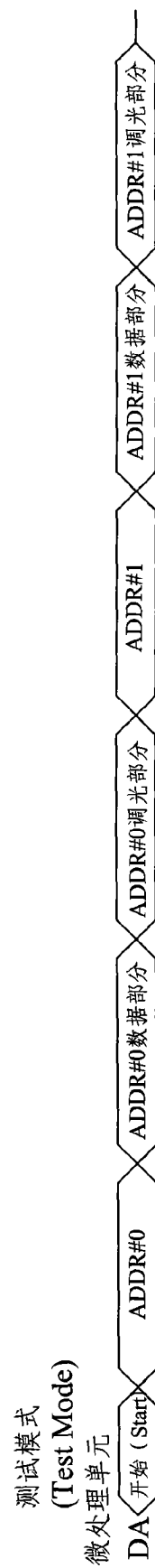


图 3f

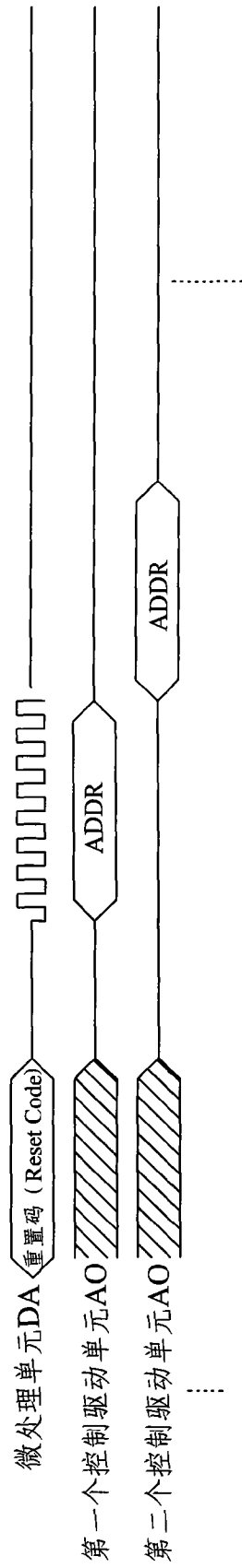


图 3g

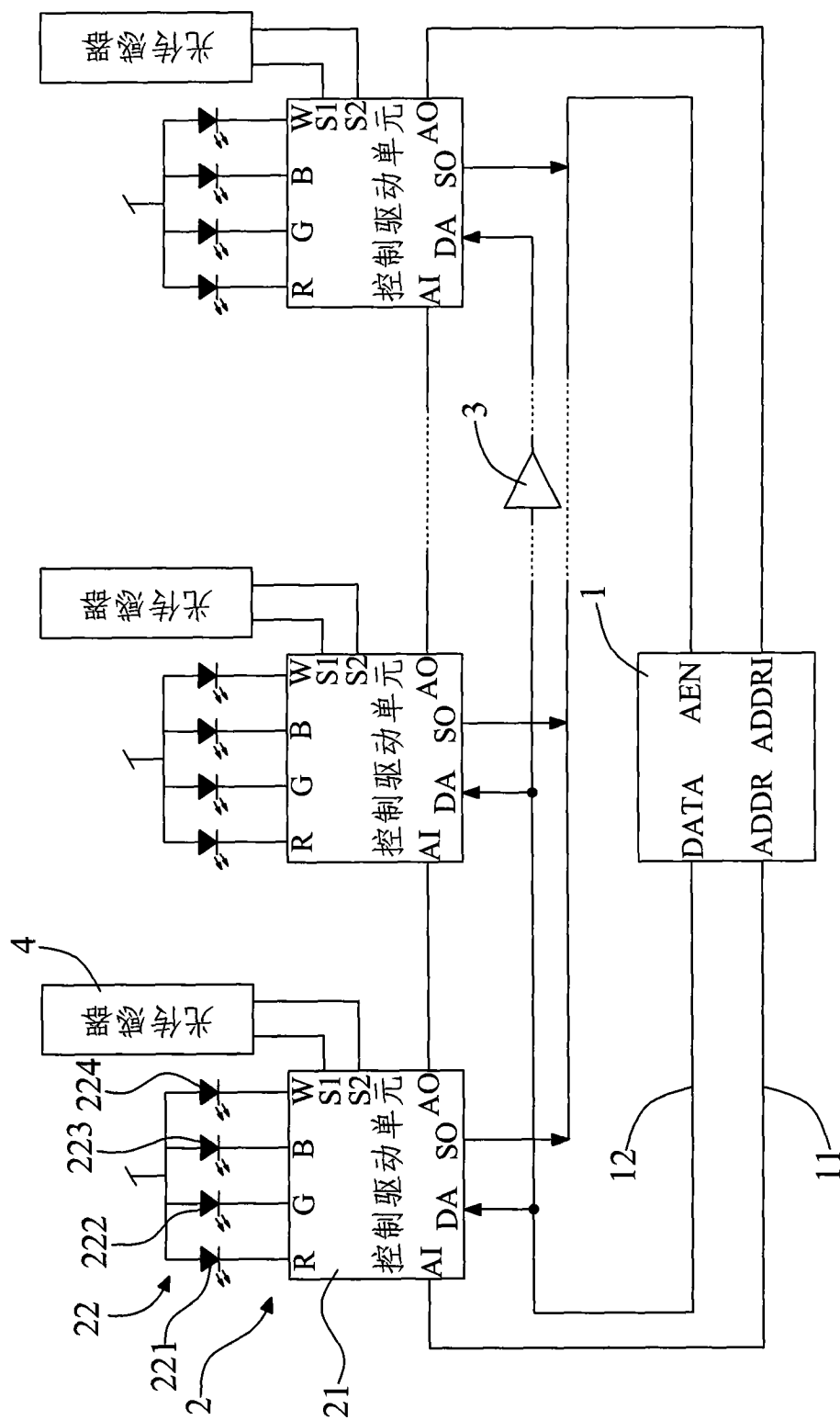


图 4

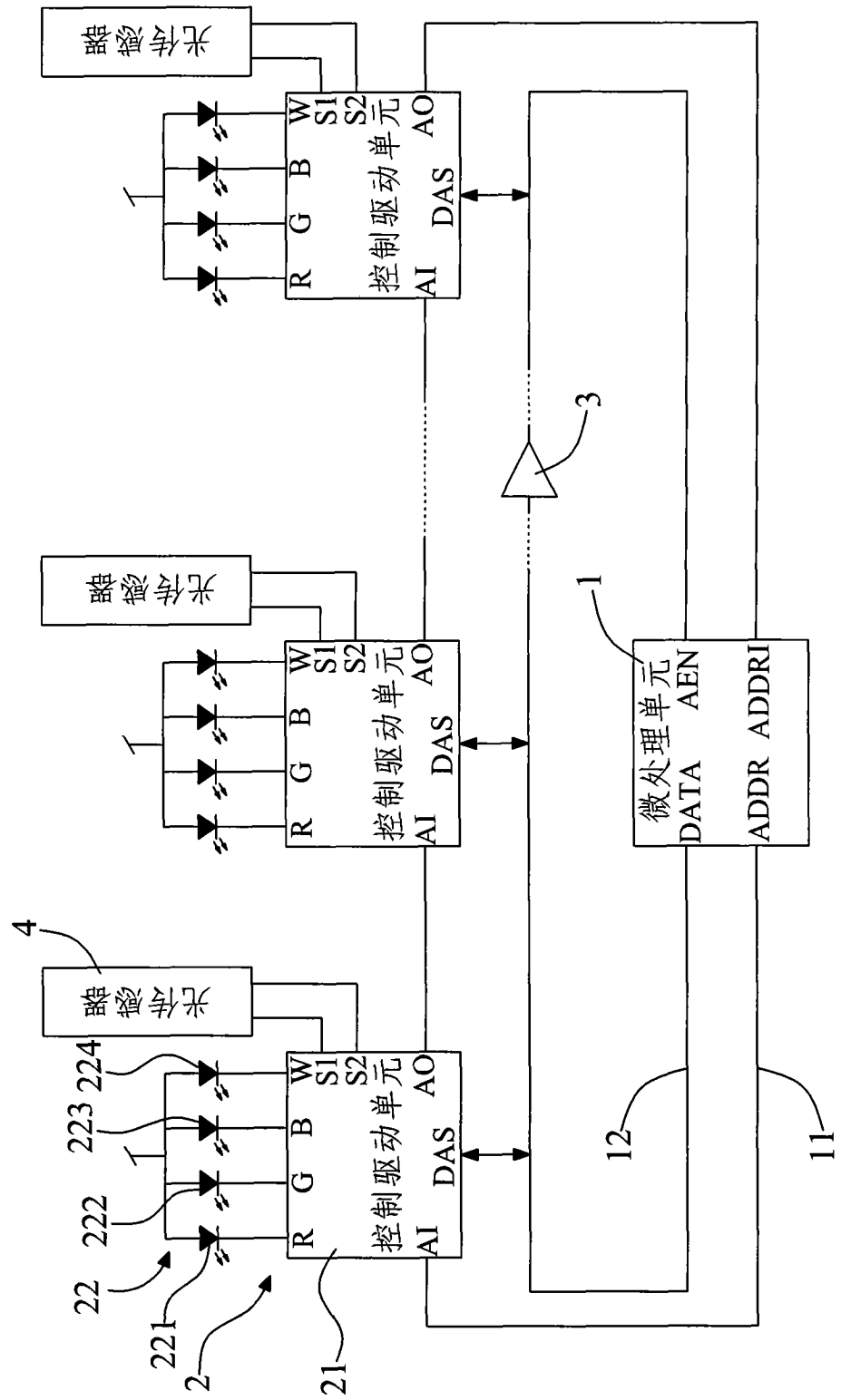


图 5

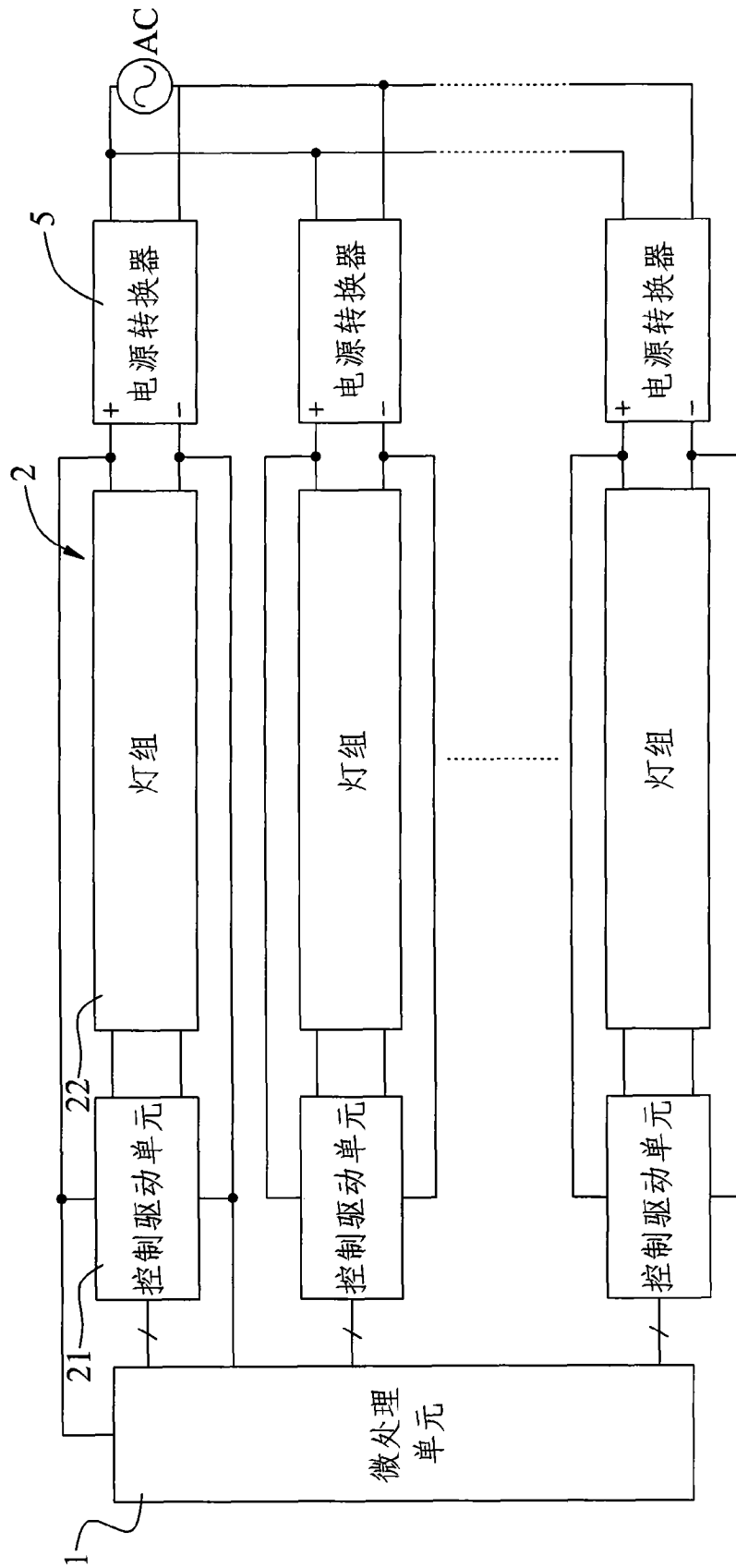


图 6