



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0121399
(43) 공개일자 2015년10월29일

(51) 국제특허분류(Int. Cl.)
H01L 27/115 (2006.01) H01L 21/8247 (2006.01)
(21) 출원번호 10-2014-0046994
(22) 출원일자 2014년04월18일
심사청구일자 없음

(71) 출원인
에스케이하이닉스 주식회사
경기도 이천시 부발읍 경춘대로 2091
(72) 발명자
권영준
충북 청주시 서원구 1순환로1137번길 80, 401동
304호 (분평동, 주공4단지아파트)
(74) 대리인
특허법인아주양현

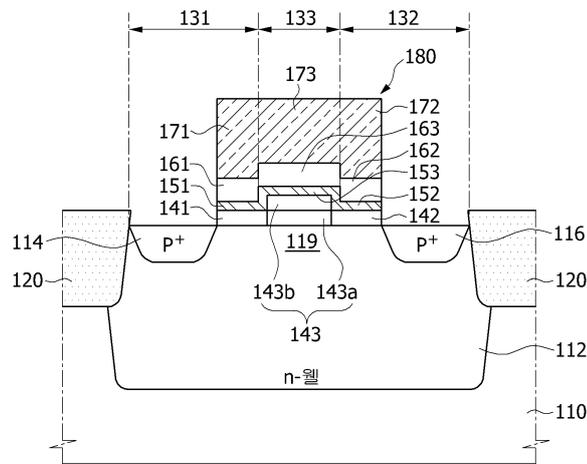
전체 청구항 수 : 총 18 항

(54) 발명의 명칭 전하 트랩층을 갖는 불휘발성 메모리소자 및 그 제조방법

(57) 요약

전하 트랩층을 갖는 불휘발성 메모리소자는, 일 방향을 따라 배치되는 제1 전하트랩영역 및 제2 전하트랩영역과, 그 사이의 선택영역을 갖는 기관과, 기관의 상부 일정 영역에 형성되는 제1 도전형의 웰영역과, 웰영역의 상부에서 채널영역에 의해 상호 이격되도록 배치되는 제2 도전형의 소스영역 및 드레인영역과, 그리고 채널영역 위에 배치되는 게이트 구조체를 포함하되, 게이트 구조체는, 제1 전하트랩영역에 배치되는 제1 터널링층, 제1 전하트랩층, 제1 블록킹층, 및 제1 도전층과, 제2 전하트랩영역에 배치되는 제2 터널링층, 제2 전하트랩층, 제2 블록킹층, 및 제2 도전층과, 그리고 선택영역에 배치되는 제1 절연층, 제2 절연층, 제3 절연층, 및 제3 도전층을 포함한다.

대표도 - 도2



이 발명을 지원한 국가연구개발사업

과제고유번호 10041855

부처명 지식경제부

연구관리전문기관 한국산업기술평가관리원

연구사업명 산업융합원천개발사업

연구과제명 e-NVM 내장형 아날로그 혼성신호 기반의 융복합 공정기술 및 IP 개발

기여율 1/1

주관기관 SK하이닉스

연구기간 2012.06.01 ~ 2015.05.31

명세서

청구범위

청구항 1

일 방향을 따라 배치되는 제1 전하트랩영역 및 제2 전하트랩영역과, 그 사이의 선택영역을 갖는 기관;

상기 기관의 상부 일정 영역에 형성되는 제1 도전형의 웰영역;

상기 웰영역의 상부에서 채널영역에 의해 상호 이격되도록 배치되는 제2 도전형의 소스영역 및 드레인영역; 및

상기 채널영역 위에 배치되는 게이트 구조체를 포함하되, 상기 게이트 구조체는, 상기 제1 전하트랩영역에 배치되는 제1 터널링층, 제1 전하트랩층, 제1 블록킹층, 및 제1 도전층과, 상기 제2 전하트랩영역에 배치되는 제2 터널링층, 제2 전하트랩층, 제2 블록킹층, 및 제2 도전층과, 그리고 상기 선택영역에 배치되는 제1 절연층, 제2 절연층, 제3 절연층, 및 제3 도전층을 포함하는 전하 트랩층을 갖는 불휘발성 메모리소자.

청구항 2

제1항에 있어서,

상기 제1 도전층 및 제2 도전층은 각각 제1 전하트랩 트랜지스터 및 제2 전하트랩 트랜지스터의 제1 컨트롤전극층 및 제2 컨트롤전극층으로 작용하고, 상기 제3 도전층은 선택 트랜지스터의 게이트전극층으로 작용하는 전하 트랩층을 갖는 불휘발성 메모리소자.

청구항 3

제1항에 있어서,

상기 제1 절연층은 제1 하부절연층 및 제1 상부절연층이 순차적으로 적층되는 구조로 이루어지는 전하 트랩층을 갖는 불휘발성 메모리소자.

청구항 4

제3항에 있어서,

상기 제1 터널링층, 제2 터널링층, 및 제1 상부 절연층은 동일한 물질층으로 이루어지는 전하 트랩층을 갖는 불휘발성 메모리소자.

청구항 5

제4항에 있어서,

상기 제1 터널링층, 제2 터널링층, 및 제1 상부 절연층은 옥사이드층으로 이루어지는 전하 트랩층을 갖는 불휘발성 메모리소자.

청구항 6

제3항에 있어서,

상기 제1 하부절연층, 상기 제1 터널링층, 및 제2 터널링층은 실질적으로 동일한 두께를 갖는 전하 트랩층을 갖는 불휘발성 메모리소자.

청구항 7

제3항에 있어서,

상기 제1 전하트랩층, 제2 전하트랩층, 및 제2 절연층은 상기 일 방향을 따라 일체로 배치되는 전하 트랩층을 갖는 불휘발성 메모리소자.

청구항 8

제7항에 있어서,

상기 제1 전하트랩영역 및 선택영역의 경계부분에서 상기 제1 전하트랩층과 제2 절연층 사이에 단차가 존재하고, 상기 제2 전하트랩영역 및 선택영역의 경계부분에서 상기 제2 전하트랩층과 제2 절연층 사이에 단차가 존재하며, 상기 단차의 높이는 상기 제1 상부절연층의 두께와 실질적으로 일치하는 전하 트랩층을 갖는 불휘발성 메모리소자.

청구항 9

제7항에 있어서,

상기 제1 전하트랩층, 제2 전하트랩층, 및 제2 절연층은 동일한 물질층으로 이루어지는 전하 트랩층을 갖는 불휘발성 메모리소자.

청구항 10

제9항에 있어서,

상기 제1 전하트랩층, 제2 전하트랩층, 및 제2 절연층은 나이트라이드층으로 이루어지는 전하 트랩층을 갖는 불휘발성 메모리소자.

청구항 11

제3항에 있어서,

상기 제1 블록킹층, 제2 블록킹층, 및 제3 절연층은 상기 일 방향을 따라 일체로 배치되는 전하 트랩층을 갖는 불휘발성 메모리소자.

청구항 12

제11항에 있어서,

상기 제1 전하트랩영역 및 선택영역의 경계부분에서 상기 제1 블록킹층과 제3 절연층 사이에 단차가 존재하고, 상기 제2 전하트랩영역 및 선택영역의 경계부분에서 상기 제2 블록킹층과 제3 절연층 사이에 단차가 존재하며, 상기 단차의 높이는 상기 제1 상부절연층의 두께와 실질적으로 일치하는 전하 트랩층을 갖는 불휘발성 메모리소자.

청구항 13

제3항에 있어서,

상기 제1 도전층, 제2 도전층, 및 제3 도전층은 상기 일 방향을 따라 일체로 배치되는 전하 트랩층을 갖는 불휘발성 메모리소자.

청구항 14

제13항에 있어서,

상기 제1 전하트랩영역 및 선택영역의 경계부분에서 상기 제1 도전층의 하부면과 제3 도전층의 하부면 사이에 단차가 존재하고, 상기 제2 전하트랩영역 및 선택영역의 경계부분에서 상기 제2 도전층의 하부면과 제3 도전층의 하부면 사이에 단차가 존재하며, 상기 단차의 높이는 상기 제1 상부절연층의 두께와 실질적으로 일치하는 전하 트랩층을 갖는 불휘발성 메모리소자.

청구항 15

제13항에 있어서,

상기 제1 도전층, 제2 도전층, 및 제3 도전층은 동일한 물질층으로 이루어지는 전하 트랩층을 갖는 불휘발성 메모리소자.

청구항 16

제15항에 있어서,

상기 제1 도전층, 제2 도전층, 및 제3 도전층은 폴리실리콘층으로 이루어지는 전하 트랩층을 갖는 불휘발성 메모리소자.

청구항 17

제1항에 있어서,

상기 제1 도전층은 n형이고, 상기 제2 도전층은 p형인 전하 트랩층을 갖는 불휘발성 메모리소자.

청구항 18

기판의 상부 일정 영역에 웰영역을 형성하는 단계;

상기 웰영역 위에 제1 터널링층을 형성하는 단계;

상기 제1 터널링층의 일부를 제거하여 상기 제1 터널링층 사이로 상기 웰영역의 일부 표면을 노출시키는 단계;

상기 제1 터널링층 및 웰영역의 노출표면 위에 제2 터널링층, 전하트랩층, 및 절연층을 형성하는 단계;

상기 절연층 위에 도전층을 형성하는 단계;

상기 도전층, 절연층, 전하트랩층, 및 제2 터널링층의 일부를 제거하여 상기 웰영역의 일부 표면을 노출시키는 게이트 구조체를 형성하는 단계; 및

상기 웰영역의 노출 부분에 소스/드레인영역을 형성하는 단계를 포함하는 전하 트랩층을 갖는 불휘발성 메모리소자의 제조방법.

발명의 설명

기술 분야

[0001] 본 출원은 불휘발성 메모리소자 및 그 제조방법에 관한 것으로서, 특히 전하 트랩층을 갖는 불휘발성 메모리소자 및 그 제조방법에 관한 것이다.

배경 기술

[0002] 반도체 메모리소자는, 휘발성(volatile) 메모리소자와 불휘발성(non-volatile) 메모리소자로 구분할 수 있다. 휘발성 메모리소자는, 읽고 쓰는 속도가 빠르지만 외부로부터의 전원공급이 끊기면 저장된 데이터도 사라진다. 반면에 불휘발성 메모리소자는 외부로부터의 전원공급이 중단되더라도 저장된 데이터를 보존한다. 따라서 불휘발성 메모리소자는 전원공급 여부와는 관계없이 데이터가 보존되어야 할 필요가 있는 응용분야에 적용되고 있다. 불휘발성 메모리소자는 마스크롬(mask read-only memory, MROM), 프로그램 가능한 롬(programmable read-only memory, PROM), 소거 및 프로그램 가능한 롬(erasable programmable read-only memory, EPROM), 전기적으로 소거 및 프로그램 가능한 롬(electrically programmable read-only memory, EEPROM), 및 플래시 메모리 등을 포함한다.

[0003] 일반적으로 MROM, PROM, 및 EPROM은 시스템 자체적으로 소거 및 쓰기가 자유롭지 않아서 일반 사용자들이 기억 내용을 갱신하기가 용이하지 않다. 이에 반해 EEPROM 및 플래시 메모리는 전기적으로 소거 및 쓰기가 가능하기 때문에, 지속적인 갱신이 필요한 시스템 프로그래밍(system programming)이나 보조기억장치와 같이 그 응용분야가 다양하게 확대되고 있다. 일괄 소거가 가능한 플래시 메모리는 기존의 EEPROM에 비해 집적도가 높아 대용량 보조기억장치로의 응용에 매우 유리한 것으로 알려져 있다.

[0004] 플래시 또는 EEPROM과 같은 불휘발성 메모리소자는, 각각의 메모리셀에 저장되는 비트 수에 따라서 각각의 메모리셀에 저장 가능한 데이터 상태가 결정된다. 하나의 메모리셀에 1비트 데이터를 저장하는 메모리셀을 단일-비트 셀(single-bit cell) 또는 단일-레벨 셀(single-level cell; SLC)이라 한다. 그리고 하나의 메모리셀에 멀티 비트 데이터, 예컨대 2비트 이상의 데이터를 저장하는 메모리 셀을 멀티-비트 셀(multi-bit cell), 멀티-레벨 셀(multi-level cell; MLC), 또는 멀티-스테이트 셀(multi-state cell)이라 한다. 최근에는 메모리소자에

대한 고집적 요구가 높아짐에 따라, 하나의 메모리 셀에 멀티 비트 데이터를 저장하는 불휘발성 메모리소자에 대한 연구가 활발하게 진행되고 있다.

[0005] 한편, 플래시 또는 EEPROM과 같은 불휘발성 메모리소자는, 플로팅게이트와 컨트롤게이트가 수직 방향으로 적층되는 스택(stack) 구조를 갖는 것이 일반적이다. 그런데 이와 같은 스택 구조를 갖는 불휘발성 메모리소자의 경우 인접 셀의 전하저장(charge) 상태에 따라 문턱전압이 급격하게 변화되는 상호간섭(interference) 또는 커플링 문제가 대두되고 있다. 이에 따라 셀들 사이의 간섭 현상이 억제되는 전하 트랩 구조를 갖는 불휘발성 메모리소자에 대한 관심이 증대되고 있다.

발명의 내용

해결하려는 과제

[0006] 본 출원이 해결하고자 하는 과제는, 과소거(over-erase) 현상의 발생을 억제하고 2비트 데이터 저장이 가능하도록 하여 메모리 집적도를 증가시킬 수 있도록 하는 전하 트랩층을 갖는 불휘발성 메모리소자를 제공하는 것이다.

[0007] 본 출원이 해결하고자 하는 다른 과제는, 위와 같은 전하 트랩층을 갖는 불휘발성 메모리소자를 제조하는 방법을 제공하는 것이다.

과제의 해결 수단

[0008] 일 예에 따른 전하 트랩층을 갖는 불휘발성 메모리소자는, 일 방향을 따라 배치되는 제1 전하트랩영역 및 제2 전하트랩영역과, 그 사이의 선택영역을 갖는 기판과, 기판의 상부 일정 영역에 형성되는 제1 도전형의 웰영역과, 웰영역의 상부에서 채널영역에 의해 상호 이격되도록 배치되는 제2 도전형의 소스영역 및 드레인영역과, 그리고 채널영역 위에 배치되는 게이트 구조체를 포함하되, 게이트 구조체는, 제1 전하트랩영역에 배치되는 제1 터널링층, 제1 전하트랩층, 제1 블록킹층, 및 제1 도전층과, 제2 전하트랩영역에 배치되는 제2 터널링층, 제2 전하트랩층, 제2 블록킹층, 및 제2 도전층과, 그리고 선택영역에 배치되는 제1 절연층, 제2 절연층, 제3 절연층, 및 제3 도전층을 포함한다.

[0009] 일 예에 따른 전하 트랩층을 갖는 불휘발성 메모리소자의 제조방법은, 기판의 상부 일정 영역에 웰영역을 형성하는 단계와, 웰영역 위에 제1 터널링층을 형성하는 단계와, 제1 터널링층의 일부를 제거하여 제1 터널링층 사이로 웰영역의 일부 표면을 노출시키는 단계와, 제1 터널링층 및 웰영역의 노출표면 위에 제2 터널링층, 전하트랩층, 및 절연층을 형성하는 단계와, 절연층 위에 도전층을 형성하는 단계와, 도전층, 절연층, 전하트랩층, 및 제2 터널링층의 일부를 제거하여 웰영역의 일부 표면을 노출시키는 게이트 구조체를 형성하는 단계와, 그리고 웰영역의 노출 부분에 소스/드레인영역을 형성하는 단계를 포함한다.

발명의 효과

[0010] 본 예에 따르면, 과소거(over-erase) 현상을 억제할 수 있으며, 2비트 데이터 저장이 가능하도록 하여 메모리 집적도를 증가시킬 수 있다는 이점들이 제공된다. 또한 비트 단위 또는 바이트 단위로 소거가 가능하고, 낮은 전원 전압으로 동작이 가능하며, 그리고 독립된 p형 웰 사용을 배제함으로써 셀 크기를 감소시킬 수 있다는 이점들도 제공된다.

도면의 간단한 설명

[0011] 도 1은 일 예에 따른 전하 트랩층을 갖는 불휘발성 메모리소자의 단위 셀을 나타내 보인 레이아웃도이다.

도 2는 도 1의 선 I-I'를 따라 절단하여 나타내 보인 단면도이다.

도 3은 도 1에 보여진 단위 셀에 대응하는 등가회로도이다.

도 4는 도 1의 전하 트랩층을 갖는 불휘발성 메모리소자의 동작을 설명하기 위해 나타내 보인 도표이다.

도 5는 도 1의 전하 트랩층을 갖는 불휘발성 메모리소자의 단위 셀을 이용한 셀 어레이의 레이아웃도이다.

도 6은 도 5에 보여진 셀 어레이 레이아웃도에 대응하는 등가회로도이다.

도 7은 도 5의 셀 어레이의 동작을 설명하기 위해 나타내 보인 도표이다.

도 8 내지 도 13은 일 예에 따른 전하 트랩층을 갖는 불휘발성 메모리소자의 제조방법을 설명하기 위해 나타내 보인 단면도들이다.

발명을 실시하기 위한 구체적인 내용

[0012] 도 1은 일 예에 따른 전하 트랩층을 갖는 불휘발성 메모리소자의 단위 셀을 나타내 보인 레이아웃도이다. 그리고 도 2는 도 1의 선 I-I'를 따라 절단하여 나타내 보인 단면도이다. 도 1 및 도 2를 참조하면, 본 예에 따른 전하 트랩층을 갖는 불휘발성 메모리소자의 단위셀(100)은, 기판(110)의 상부 일정 영역 위에 배치되는 n형 웰 영역(112)을 포함한다. 기판(110)은, 제1 방향을 따라 배치되는 제1 전하트랩영역(131) 및 제2 전하트랩영역(132)과, 이들 사이에 배치되는 선택영역(133)을 갖는다. 기판(110)의 상부에는 액티브영역(118)을 한정하는 트렌치 소자분리층(120)이 배치된다. 제1 방향으로의 액티브영역(118)의 양 측면에는 각각 p+형 제1 접합영역(114) 및 p+형 제2 접합영역(116)이 각각 배치된다. p+형 제1 접합영역(114)은 제1 전하트랩영역(131) 내에 배치된다. p+형 제2 접합영역(116)은 제2 전하트랩영역(132) 내에 배치된다. 일 예에서 p+형 제1 접합영역(114)은 소스영역이고, p+형 제2 접합영역(116)은 드레인영역이다. p+형 제1 접합영역(114) 및 p+형 제2 접합영역(116) 사이의 액티브영역(118) 표면 부근에는 채널영역(119)이 배치된다.

[0013] 기판(110)의 채널영역(119) 위에는 게이트 구조체(180)가 배치된다. 제1 전하트랩영역(131)에서 게이트 구조체(180)는, 제1 터널링층(141), 제1 전하트랩층(151), 제1 블록킹층(161), 및 제1 도전층(171)이 순차적으로 적층되는 구조로 이루어진다. 제1 도전층(171)은 제1 콘트롤전극층으로 작용한다. 제2 전하트랩영역(132)에서 게이트 구조체(180)는, 제2 터널링층(142), 제2 전하트랩층(152), 제2 블록킹층(162), 및 제2 도전층(172)이 순차적으로 적층되는 구조로 이루어진다. 제2 도전층(172)은 제2 콘트롤전극층으로 작용한다. 선택영역(133)에서 게이트 구조체(180)는, 제1 절연층(143), 제2 절연층(153), 제3 절연층(163), 및 제3 도전층(173)이 순차적으로 적층되는 구조로 이루어진다. 제1 절연층(143), 제2 절연층(153), 및 제3 절연층(163)은 게이트절연층으로 작용하며, 제3 도전층(173)은 선택트랜지스터의 게이트전극층으로 작용한다.

[0014] 선택영역(133)의 제1 절연층(143)은 제1 하부절연층(143a) 및 제1 상부절연층(143b)이 적층되는 구조로 이루어질 수 있다. 제1 터널링층(141), 제2 터널링층(142), 및 제1 상부절연층(143b)은 동일한 물질층으로 이루어질 수 있다. 일 예에서 제1 터널링층(141), 제2 터널링층(142), 및 제1 상부절연층(143b)은 옥사이드(oxide)층으로 이루어질 수 있다. 일 예에서 제1 하부절연층(143a)은 제1 상부절연층(143b)과 동일한 절연물질, 예컨대 옥사이드층으로 이루어질 수 있다. 다른 예에서 제1 하부절연층(143a)은 제1 상부절연층(143b)과 다른 절연물질로 이루어질 수도 있다. 어느 경우이던지 제1 하부절연층(143a)의 두께는 제1 터널링층(141) 및 제2 터널링층(142)의 두께와 실질적으로 동일하다. 이에 따라 제1 절연층(143)의 전체 두께는 제1 터널링층(141) 및 제2 터널링층(142)의 두께보다 제1 상부절연층(143b)의 두께만큼 더 두꺼울 수 있다. 따라서 제1 전하트랩영역(131) 및 선택영역(133)의 경계부분에서 제1 터널링층(141) 및 제1 절연층(143) 사이에 단차가 존재하며, 제2 전하트랩영역(132) 및 선택영역(133)의 경계부분에서도 제2 터널링층(142) 및 제1 절연층(143) 사이에 단차가 존재한다.

[0015] 제1 전하트랩층(151), 제2 전하트랩층(152) 및 제2 절연층(153)은 일체로 배치된다. 제1 전하트랩영역(131) 및 선택영역(133)의 경계부분에서 제1 전하트랩층(151)과 제2 절연층(153) 사이에 단차가 존재하며, 제2 전하트랩영역(132) 및 선택영역(133)의 경계부분에서도 제2 전하트랩층(152)과 제2 절연층(153) 사이에 단차가 존재한다. 단차의 높이는 제1 상부절연층(143b)의 두께와 실질적으로 일치할 수 있다. 일 예에서 제1 전하트랩층(151), 제2 전하트랩층(152) 및 제2 절연층(153)은 동일한 물질층, 예컨대 나이트라이드(nitride)층으로 이루어질 수 있다.

[0016] 제1 블록킹층(161), 제2 블록킹층(162) 및 제3 절연층(163)은 일체로 배치된다. 제1 전하트랩영역(131) 및 선택영역(133)의 경계부분에서 제1 블록킹층(161)과 제3 절연층(163) 사이에 단차가 존재하며, 제2 전하트랩영역(132) 및 선택영역(133)의 경계부분에서도 제2 블록킹층(162)과 제3 절연층(163) 사이에 단차가 존재한다. 단차의 높이는 제1 상부절연층(143b)의 두께와 실질적으로 일치할 수 있다. 일 예에서 제1 블록킹층(161), 제2 블록킹층(162) 및 제3 절연층(163)은 동일한 물질층, 예컨대 옥사이드층으로 이루어질 수 있다.

[0017] 제1 도전층(171), 제2 도전층(172) 및 제3 도전층(173)은 일체로 배치된다. 제1 전하트랩영역(131) 및 선택영역(133)의 경계부분에서 제1 도전층(171)과 제3 도전층(173) 사이에 단차가 존재하며, 제2 전하트랩영역(132) 및 선택영역(133)의 경계부분에서도 제2 도전층(172)과 제3 도전층(173) 사이에 단차가 존재한다. 단차의 높이는 제1 상부절연층(143b)의 두께와 실질적으로 일치할 수 있다. 일 예에서 제1 도전층(171), 제2 도전층(172) 및 제3 도전층(173)은 동일한 물질층, 예컨대 폴리실리콘(polysilicon)층으로 이루어질 수 있다.

- [0018] 도 3은 도 1에 보여진 단위 셀에 대응하는 등가회로도이다. 도 3을 도 1 및 도 2와 함께 참조하면, 본 예에 따른 전하 트랩층을 갖는 불휘발성 메모리소자의 단위셀(100)은, 제1 전하트랩 트랜지스터(310)와, 제2 전하트랩 트랜지스터(320)와, 그리고 선택트랜지스터(330)를 포함하여 구성된다. 제1 전하트랩 트랜지스터(310)은, 제1 단자(311), 제2 단자(312), 및 제1 게이트단자(313)를 갖는다. 제2 전하트랩 트랜지스터(320)는, 제1 단자(321), 제2 단자(322), 및 제2 게이트단자(323)를 갖는다. 선택트랜지스터(330)는, 제1 단자(331), 제2 단자(332), 및 제3 게이트단자(333)를 갖는다.
- [0019] 제1 전하트랩 트랜지스터(310)의 제1 단자(311)는, p+형 제1 접합영역(도 1 및 도 2의 114)에 대응될 수 있으며, 소스라인(SL)에 연결된다. 제1 전하트랩 트랜지스터(310)의 제2 단자(312)와 선택트랜지스터(330)의 제1 단자(331)는 어떤 접합영역도 개재하지 않고 직접 연결된다. 선택트랜지스터(330)의 제2 단자(332)와 제2 전하트랩 트랜지스터(320)의 제1 단자(321)도 어떤 접합영역도 개재하지 않고 직접 연결된다. 제2 전하트랩 트랜지스터(320)의 제2 단자(322)는, p+형 제2 접합영역(도 1 및 도 2의 116)에 대응될 수 있으며, 비트라인(BL)에 연결된다.
- [0020] 제1 전하트랩 트랜지스터(310)의 제1 게이트(313)는, 제1 전하트랩영역(131) 내의 제1 도전층(171)에 대응된다. 제2 전하트랩 트랜지스터(320)의 제2 게이트(323)는, 제2 전하트랩영역(132) 내의 제2 도전층(172)에 대응된다. 그리고 선택 트랜지스터(330)의 제3 게이트(333)는 선택영역(133)의 제3 도전층(173)에 대응된다. 도 1 및 도 2를 참조하여 설명한 바와 같이, 제1 도전층(171), 제2 도전층(172), 및 제3 도전층(173)이 일체로 이루어짐에 따라 제1 게이트단자(313), 제2 게이트단자(323), 및 제3 게이트단자(333)는 모두 하나의 워드라인(WL)에 연결된다.
- [0021] 도 4는 도 1 내지 도 3의 전하 트랩층을 갖는 불휘발성 메모리소자의 단위셀의 동작을 설명하기 위해 나타내 보인 도표이다. 도 4를 도 1 내지 도 3과 함께 참조하면, 단위 셀(100)의 제1 전하트랩 트랜지스터(330)를 선택적으로 프로그램시키기 위한 제1 프로그램 동작(프로그램1)을 수행하기 위해, 워드라인(WL)에 네가티브 프로그램 전압(-Vpp)을 인가하고, 접지된 비트라인(BL)과 함께 소스라인(SL)에 네가티브 소스라인전압(-Vps1)을 인가한다. 워드라인(WL)에 네가티브 프로그램전압(-Vpp)이 인가되는 동안, 선택영역(133) 내의 선택트랜지스터(330)는 턴온되고, 채널 핫 홀들(channel hot electrons)이 p+형 제1 접합영역(114) 근처의 n-형 웰영역(112) 내에서 생성된다. 이 채널 핫 홀들은, 워드라인(WL)에 인가되는 네가티브 프로그램전압(-Vpp)과 소스라인(SL)에 인가되는 네가티브 소스라인전압(-Vps1)에 의해 형성되는 전계에 기인하여 제1 전하트랩영역(131) 내의 제1 전하트랩층(151) 내로 주입 및 트랩된다. 그 결과 제1 전하트랩 트랜지스터(310)의 문턱전압은 높아져서 프로그램 상태가 된다.
- [0022] 단위 셀(100)의 제2 전하트랩 트랜지스터(332)를 선택적으로 프로그램시키기 위한 제2 프로그램 동작(프로그램2)을 수행하기 위해, 워드라인(WL)에 네가티브 프로그램전압(-Vpp)을 인가하고, 접지된 소스라인(SL)과 함께 비트라인(BL)에 네가티브 비트라인전압(-Vpb1)을 인가한다. 워드라인(WL)에 네가티브 프로그램전압(-Vpp)이 인가되는 동안, 선택영역(133) 내의 선택트랜지스터(330)는 턴온되고, 채널 핫 홀들(channel hot electrons)이 p+형 제2 접합영역(116) 근처의 n-형 웰영역(112) 내에서 생성된다. 이 채널 핫 홀들은, 워드라인(WL)에 인가되는 네가티브 프로그램전압(-Vpp)과 비트라인(BL)에 인가되는 네가티브 비트라인전압(-Vpb1)에 의해 형성되는 전계에 기인하여 제2 전하트랩영역(132) 내의 제2 전하트랩층(152) 내로 주입 및 트랩된다. 그 결과 제2 전하트랩 트랜지스터(320)의 문턱전압은 높아져서 프로그램 상태가 된다. 제1 프로그램 동작 및 제2 프로그램 동작을 수행하는 동안, n-형 웰영역(NW)은 접지될 수 있다.
- [0023] 소거(erase) 동작을 수행하기 위해서는, 워드라인(WL)에 포지티브 소거전압(+Vee)을 인가하고, 비트라인(BL) 및 소스라인(SL)에 각각 네가티브 비트라인전압(-Veb1) 및 네가티브 소스라인전압(-Ves1)을 인가한다. 또한 n-형 웰영역(NW)에 네가티브 웰전압(-Venw)을 인가한다. 일 예에서 네가티브 비트라인전압(-Veb1), 네가티브 소스라인전압(-Ves1), 및 네가티브 웰전압(-Venw)은 실질적으로 동일한 크기를 가질 수 있다. 이와 같은 바이어스 인가조건에 의해, 제1 전하트랩영역(131)의 제1 전하트랩층(151) 내에 트랩되어 있던 홀들과 제2 전하트랩영역(132)의 제2 전하트랩층(152) 내에 트랩되어 있던 홀들이 제거된다. 그 결과 제1 전하트랩 트랜지스터(310)의 문턱전압 및 제2 전하트랩 트랜지스터(320)의 문턱전압은 낮아져서 소거상태가 된다.
- [0024] 제1 전하트랩 트랜지스터(310)에 저장된 데이터를 선택적으로 읽어내기 위한 제1 읽기동작(읽기 1)을 수행하기 위해서는, 워드라인(WL)에 네가티브 읽기전압(-Vread)을 인가하고, 접지된 소스라인(SL)과 함께 비트라인(BL)에 네가티브 비트라인전압(-Vrb1)을 인가한다. 워드라인(WL)에 네가티브 읽기전압(-Vread)이 인가되는 동안, 선택영역(133) 내의 선택트랜지스터(330)는 턴온된다. 또한 비트라인(BL)에 인가되는 네가티브 비트라인전압(-

Vrb1)에 의해, n-형 웰영역(112)과 p+형 제2 접합영역(116) 사이에는 역 바이어스(reverse bias)가 인가된다. 따라서 제2 전하트랩영역(132) 내에서 디플리션영역(depletion region)이 n-형 웰영역(112)과 p+형 제2 접합영역(116)의 양 방향으로 확장된다. 제2 전하트랩영역(132)에 디플리션영역이 만들어지고, 선택트랜지스터(330)가 턴온 됨에 따라, 소스라인(SL)과 비트라인(BL) 사이의 전류 흐름 여부는 제1 전하트랩 트랜지스터(310)의 문턱전압 상태에 따라 결정된다. 즉 소스라인(SL)과 비트라인(BL) 사이에 전류가 흐르지 않는 경우는, 제1 전하트랩 트랜지스터(310)의 문턱전압이 인가되는 읽기전압(-Vread)보다 큰 경우이므로 제1 전하트랩 트랜지스터(310)의 상태는 프로그램 상태로 읽혀진다. 반면에 소스라인(SL)과 비트라인(BL) 사이에 전류가 흐르는 경우는, 제1 전하트랩 트랜지스터(310)의 문턱전압이 인가되는 읽기전압(-Vread)보다 작은 경우이므로 제1 전하트랩 트랜지스터(310)의 상태는 소거 상태로 읽혀진다.

[0025] 제2 전하트랩 트랜지스터(320)에 저장된 데이터를 선택적으로 읽어내기 위한 제2 읽기동작(읽기 2)을 수행하기 위해서는, 워드라인(WL)에 네가티브 읽기전압(-Vread)을 인가하고, 접지된 비트라인(BL)과 함께 소스라인(SL)에 네가티브 소스라인전압(-Vrs1)을 인가한다. 워드라인(WL)에 네가티브 읽기전압(-Vread)이 인가되는 동안, 선택영역(133) 내의 선택트랜지스터(330)는 턴온된다. 또한 소스라인(SL)에 인가되는 네가티브 소스라인전압(-Vrs1)에 의해, n-형 웰영역(112)과 p+형 제1 접합영역(114) 사이에는 역 바이어스(reverse bias)가 인가된다. 따라서 제1 전하트랩영역(131) 내에서 디플리션영역(depletion region)이 n-형 웰영역(112)과 p+형 제1 접합영역(114)의 양 방향으로 확장된다. 제1 전하트랩영역(131)에 디플리션영역이 만들어지고, 선택트랜지스터(330)가 턴온 됨에 따라, 소스라인(SL)과 비트라인(BL) 사이의 전류 흐름 여부는 제2 전하트랩 트랜지스터(320)의 문턱전압 상태에 따라 결정된다. 즉 소스라인(SL)과 비트라인(BL) 사이에 전류가 흐르지 않는 경우는, 제2 전하트랩 트랜지스터(320)의 문턱전압이 인가되는 읽기전압(-Vread)보다 큰 경우이므로 제2 전하트랩 트랜지스터(320)의 상태는 프로그램 상태로 읽혀진다. 반면에 소스라인(SL)과 비트라인(BL) 사이에 전류가 흐르는 경우는, 제2 전하트랩 트랜지스터(320)의 문턱전압이 인가되는 읽기전압(-Vread)보다 작은 경우이므로 제2 전하트랩 트랜지스터(320)의 상태는 소거 상태로 읽혀진다. 제1 읽기 동작 및 제2 읽기 동작을 수행하는 동안, n-형 웰영역(NW)은 접지될 수 있다.

[0026] 도 5는 도 1의 전하 트랩층을 갖는 불휘발성 메모리소자의 단위 셀을 이용한 셀 어레이의 레이아웃도이다. 도 5를 참조하면, 본 예에 따른 셀 어레이(500)는 선택트랜지스터가 배치되는 선택영역(510)들이 제1 방향을 따라 복수개 배치되며, 각각의 선택영역(510)의 양 측면에 제1 전하트랩 트랜지스터 및 제2 전하트랩 트랜지스터가 배치되는 전하트랩영역(520)들이 배치되는 구조를 갖는다. 본 예에 따른 셀 어레이(500)는 단위 셀(100)들이 실질적으로 교차하는 제1 방향 및 제2 방향을 매트릭스 형태로 배치되는 어레이 구조를 갖는다. 단위 셀(100)에 대해서는 도 1 내지 도 4를 참조하여 설명한 바와 동일하다.

[0027] 구체적으로 소자분리층(미도시)에 의해 한정되는 활성영역(580)들의 각각이 제1 방향을 따라서 길게 연장되는 스트라이프 형태로 배치된다. 활성영역(580)들은, 제2 방향을 따라서 상호 이격되도록 배치된다. 모든 활성영역(580)들은 n-형 웰영역(512)에 의해 둘러싸이도록 배치된다. 제1 도전층(571), 제2 도전층(572), 및 제3 도전층(573)이 일체로 이루어지는 도전층(570)들의 각각은 활성영역(580)과 교차되도록 제2 방향을 따라 연장되는 스트라이프 형태로 배치된다. 도전층(570)들은 제1 방향을 따라서는 상호 이격되도록 배치된다. 도전층(570)들의 각각의 단부에는 워드라인 콘택(591)이 배치되어, 도전층(570)들의 각각을 각각의 워드라인 전극(WL0, WL1, WL2, WL3)에 연결시킨다.

[0028] 도전층(570)들 사이의 활성영역(580)에는 p+형 제1 접합영역(514) 및 p+형 제2 접합영역(516)이 배치된다. p+형 제1 접합영역(514) 및 p+형 제2 접합영역(516)은 제1 방향을 따라 교대로 배치된다. p+형 제1 접합영역(514)들의 각각에는 제1 접합영역 콘택(592)이 배치된다. 하나의 활성영역(580) 내의 제1 접합영역 콘택(592)들은 공통 소스라인(SL0, SL1, SL2)으로 상호 연결된다. p+형 제2 접합영역(516)들의 각각에는 제2 접합영역 콘택(593)이 배치된다. 하나의 활성영역(580) 내의 제2 접합영역 콘택(593)들은 공통 비트라인(BL0, BL1, BL2)으로 상호 연결된다.

[0029] 도 6은 도 5에 보여진 셀 어레이 레이아웃도에 대응하는 등가회로도이다. 도 6을 참조하면, 복수개의 단위셀(100)들이 제1 방향 및 제2 방향을 따라 $m \times n$ 형태의 매트릭스 배열을 갖도록 배치된다. 단위셀(100)들의 각각은, 도 1 내지 도 4를 참조하여 설명한 바와 같이, 일단이 소스라인에 연결되는 제1 전하트랩 트랜지스터(611, 621, 631, 641)와, 선택 트랜지스터(613, 623, 633, 643)와, 그리고 일단이 비트라인에 연결되는 제2 전하트랩 트랜지스터(612, 622, 632, 642)가 연결되는 구조를 갖는다. 구체적으로 셀 어레이는 m개의 워드라인들(WL0, WL1, ..., WLm-1)과, n개의 소스라인들(SL0, SL1, ..., SLn-1) 및 비트라인들(BL0, BL1, ..., BLn-1)을 포함한다. 워드라인들(WL0, WL1, ..., WLm-1)의 각각에는, 제1 방향을 따라 n개의 단위셀(100)들이 연결된다. 소스라인들

(SL0, SL1, ..., SLn-1)의 각각에는 제2 방향을 따라 m개의 단위셀(100)들이 연결된다. 마찬가지로 비트라인들(BL0, BL1, ..., BLn-1)의 각각에는 제2 방향을 따라 m개의 단위셀(100)들이 연결된다. 도면에서 참조부호 "610"으로 나타낸 단위셀(100)은 선택된 단위셀을 나타내고, 참조부호 "620"으로 나타낸 단위셀(100)은 선택된 단위셀(610)과 워드라인을 공유하는 비선택 단위셀을 나타낸다. 참조부호 "630"으로 나타낸 단위셀(100)은 선택된 단위셀(610)과 소스라인 및 비트라인을 공유하는 비선택 단위셀을 나타내며, 참조부호 "640"으로 나타낸 단위셀(100)은 선택된 단위셀(610)과 워드라인 및 소스라인/비트라인을 공유하지 않는 비선택 단위셀을 나타낸다.

[0030] 도 7은 도 5의 셀 어레이의 동작을 설명하기 위해 나타내 보인 도표이다. 도 7을 도 6과 함께 참조하면, 선택된 단위셀(610) 내의 제2 전하트랩 트랜지스터(612)(비트라인(BL0)에 직접 연결된 전하트랩 트랜지스터)에 대한 프로그램 동작을 수행하기 위하여, 선택된 단위셀(610)에 연결되는 워드라인(WL0)에 네가티브 프로그램 전압(-Vpp)을 인가하고, 나머지 워드라인들(WL1, ..., WLm-1)에는 0V를 인가한다. 선택된 단위셀(610)에 연결된 소스라인(SL0) 및 비트라인(BL0)에는 각각 0V 및 네가티브 비트라인전압(-Vpb1)을 인가한다. 나머지 소스라인들(SL1, ..., SLn-1) 및 나머지 비트라인들(BL1, ..., BLn-1)은 플로팅시킨다. n-형 웰영역(NW)에는 0V를 인가한다. 이와 같은 바이어스 조건에 의해, 선택된 단위셀(610)의 제2 전하트랩 트랜지스터(612)가 선택적으로 밴드투밴드 핫 홀 주입 메커니즘에 의해 프로그램된다.

[0031] 워드라인에 0V가 인가되는 비선택된 단위셀들(630, 640)의 경우 비선택된 상태가 되어, 소스라인 및 비트라인에 인가되는 전압과 무관하게 프로그램 동작에 영향을 받지 않는다. 한편 선택된 단위셀(610)과 워드라인(WL0)을 공유하는 비선택된 단위셀(620)의 경우 동일하게 네가티브 프로그램전압(-Vpp)이 워드라인(WL0)에 인가된다. 그럼에도 불구하고, 비선택된 단위셀(620)에 연결된 소스라인(SL1) 및 비트라인(BL1)이 모두 플로팅되어 있으므로 어떠한 채널 핫 홀들이 생성되지 않으며, 그 결과 비선택된 단위셀(620)은 프로그램되지 않는다. 본 예의 경우, 제2 전하트랩 트랜지스터(612)를 프로그램시키는 경우를 예로 들었으며, 제1 전하트랩 트랜지스터(611)(소스라인(SL0)에 직접 연결된 전하트랩 트랜지스터)를 프로그램시키는 경우에는 소스라인(SL0) 및 비트라인(BL0)에 인가되는 전압이 바뀌는 것을 제외한 나머지는 동일하다.

[0032] 선택된 단위셀(610)에 대한 소거동작을 수행하기 위해서는, 선택된 단위셀(610)에 연결된 워드라인(WL0)에는 포지티브 소거전압(+Vee)을 인가하고, 나머지 워드라인들(WL1, ..., WLm-1)에는 0V를 인가한다. 그리고 모든 소스라인들(SL0, SL1, ..., SLn-1) 및 비트라인들(BL0, BL1, ..., BLn-1)에는 각각 네가티브 소스라인전압(-Ves1) 및 네가티브 비트라인전압(-Veb1)을 인가한다. 이와 같은 바이어스 조건에 의해, 선택된 단위셀(610)의 제1 및 제2 전하트랩 트랜지스터들(611, 612)이 모두 FN 터널링 메커니즘에 의해 소거된다. 또한 선택된 단위셀(610)과 워드라인(WL0)을 공유하는 비선택된 단위셀(620)의 제1 및 제2 전하트랩 트랜지스터들(621, 622)도 동일하게 FN 터널링 메커니즘에 의해 소거된다. 선택된 단위셀(610)과 워드라인(WL0)을 공유하는 나머지 단위셀들도 동일하게 소거된다. 즉 소거 동작은 워드라인을 공유하는 단위셀들에 대해 일괄적으로 수행될 수 있다. 워드라인(WL1)에 0V가 인가되는 비선택된 단위셀들(630, 640)의 경우 비선택된 상태가 되어, 소스라인들(SL0, SL1) 및 비트라인들(BL0, BL1)에 인가되는 전압과 무관하게 소거동작에 영향을 받지 않는다.

[0033] 선택된 단위셀(610)에 대한 읽기 동작을 수행하기 위해서는, 선택된 단위셀(610)에 연결된 워드라인(WL0)에는 네가티브 읽기전압(-Vread)을 인가하고, 나머지 워드라인들(WL1, ..., WLm-1)에는 0V를 인가한다. 그리고 선택된 단위셀(610)에 연결된 소스라인(SL0) 및 비트라인(BL0)에는 각각 네가티브 소스라인전압(-Vrs1) 및 0V를 인가한다. 나머지 소스라인들(SL1, ..., SLn-1) 및 비트라인들(BL1, ..., BLn-1)에는 모두 0V를 인가한다. 이와 같은 전압인가 조건에 따라, 워드라인에 0V가 인가되는 비선택된 단위셀들(630, 640)의 선택 트랜지스터들(633, 643)이 턴 오프되므로, 비선택된 단위셀들(630, 640)은 소스라인(SL0, SL1) 및 비트라인(BL0, BL1)에 인가되는 전압과 무관하게 선택되지 않는다. 한편 선택된 단위셀(610)과 워드라인(WL0)을 공유하는 비선택된 단위셀(620)의 경우, 워드라인(WL0)에 네가티브 읽기전압(-Vread)이 인가된다. 그럼에도 불구하고, 소스라인(SL1) 및 비트라인(BL1)에 모두 0V가 인가됨에 따라 선택된 단위셀(620)이 선택된 단위셀(610)에 대한 읽기 동작에 영향을 받지 않는다. 결과적으로 선택된 단위셀(610)의 제2 전하트랩 트랜지스터(612)(비트라인(BL0)에 직접 연결된 전하트랩 트랜지스터)에 저장된 데이터가 선택적으로 읽혀질 수 있다. 본 예의 경우, 제2 전하트랩 트랜지스터(612)의 상태를 읽는 경우를 예로 들었으나, 제1 전하트랩 트랜지스터(611)를 읽는 경우에는 소스라인(SL0)과 비트라인(BL0)에 인가되는 전압이 서로 반대가 된다는 점을 제외한 나머지는 동일하게 적용된다.

[0034] 도 8 내지 도 13은 일 예에 따른 전하 트랩층을 갖는 불휘발성 메모리소자의 제조방법을 설명하기 위해 나타내 보인 단면도들이다. 도 8 내지 도 13에서 왼쪽에 나타낸 단면도들은 도 2의 제1 방향으로의 단면 구조를 나타내고, 오른쪽에 나타낸 단면도들은 도 2의 제1 방향과 수직인 제2 방향으로의 단면 구조를 나타낸다. 먼저 도 8에 나타낸 바와 같이, 실리콘기판과 같은 반도체 재질의 기판(110)에 활성영역을 한정하는 소자분리층(120)을 형성

한다. 소자분리층(120)은 트렌치 구조로 형성한다. 일 예에서 소자분리층(120)을 형성하기 전에 웰 형성 이온주입 공정을 통해 기관(110)의 상부 일정 영역에 웰영역(112)이 형성될 수 있다. 웰영역(112)은 n-형 도전형으로 형성될 수 있다. 다른 예에서 웰영역(112)은 소자분리층(120)을 형성한 후에 웰 형성 이온주입 공정을 수행함으로써 형성될 수도 있다. 소자분리층(120)에 의해 노출되는 기관(110) 및 웰영역(112) 표면 위에 제1 터널링층(740)을 형성한다. 제1 터널링층(740)은 웰영역(112)의 일부 표면을 노출시키는 개구부(741)들을 갖는다. 일 예에서 제1 터널링층(740)은 옥사이드층으로 형성할 수 있다. 제1 터널링층(740)을 형성하기 위해, 먼저 전면에 제1 터널링 물질층을 형성한다. 다음에 제1 터널링 물질층 위에 제1 터널링 물질층의 일부 표면을 노출시키는 개구부를 갖는 마스크패턴, 예컨대 포토레지스트패턴을 형성한다. 다음에 포토레지스트패턴을 식각마스크로 한 식각으로 제1 터널링 물질층의 노출 부분을 제거한다. 다음에 포토레지스트패턴을 제거한다.

[0035] 다음에 도 9에 나타낸 바와 같이, 전면에 제2 터널링층(751), 전하트랩층(752), 및 절연층(753)을 형성한다. 제2 터널링층(751)은 옥사이드층으로 형성할 수 있다. 전하트랩층(752)은 나이트라이드층으로 형성할 수 있다. 절연층(753)은 옥사이드층으로 형성할 수 있다. 제1 방향으로의 단면 구조에서, 제1 터널링층(740)이 배치되는 영역에서는 웰영역(112) 위에 제1 터널링층(740), 제2 터널링층(751), 전하트랩층(752), 및 절연층(753)이 순차적으로 적층되는 구조가 형성된다. 개구부(741)가 배치되는 영역에서는 웰영역(112) 위에 제2 터널링층(751), 전하트랩층(752), 및 절연층(753)이 순차적으로 적층되는 구조가 형성된다.

[0036] 다음에 도 10에 나타낸 바와 같이, 전면에 도전층(772)을 형성한다. 도전층(772)은 불순물이온들이 도핑된 폴리실리콘층으로 형성할 수 있다. 다음에 도전층(772) 위에 도전층(772)의 일부 표면을 노출시키는 개구부(792)를 갖는 마스크패턴(790)을 형성한다. 마스크패턴(790)은 포토레지스트층으로 형성할 수 있다. 개구부(792)는, 제1 터널링층(740)이 배치되는 영역에 대응되는 도전층(772) 표면과, 제1 터널링층(740)이 배치되는 영역에 인접한 영역에서의 도전층(772) 표면을 덮는 반면, 나머지 영역에서의 도전층(772)은 노출시킨다.

[0037] 다음에 도 11에 나타낸 바와 같이, 마스크패턴(780)을 식각마스크로 한 식각 공정을 수행하여 도전층(772), 절연층(753), 전하트랩층(752), 및 제2 터널링층(751)의 노출부분을 순차적으로 제거한다. 이에 따라 기관(110)의 n-형 웰영역(112) 위에는 게이트 구조체(780)가 형성된다. 게이트 구조체(780)는 도 2를 참조하여 설명한 게이트 구조체(180)와 동일한 구조를 갖는다.

[0038] 다음에 도 12에서 화살표로 나타낸 바와 같이, 불순물 이온 주입 공정을 통해 소스/드레인 연장(extension) 영역(716)을 형성한다. 이 과정에서 게이트 구조체(780)는 이온주입 마스크로 작용할 수 있다. 일 예에서 불순물 이온은 p형의 도전형을 가질 수 있으며, 이에 따라 소스/드레인 연장 영역(716)은 p-형의 도전형을 가질 수 있다.

[0039] 다음에 도 13에 나타낸 바와 같이, 게이트 구조체(780)의 양 측면에 게이트스페이서층(795)을 형성한다. 다음에 도면에서 화살표로 나타낸 바와 같이, 불순물 이온 주입 공정을 통해 깊은(deep) 소스/드레인영역(714)을 형성한다. 일 예에서 불순물 이온은 p형의 도전형을 가질 수 있으며, 이에 따라 깊은 소스/드레인영역(714)은 p+형의 도전형을 가질 수 있다. 소스/드레인 연장 영역(716) 및 깊은 소스/드레인영역(714)은 LDD(Lightly Doped Drain) 구조를 형성한다. 비록 도면에 나타내지는 않았지만, 깊은 소스/드레인영역(714) 표면에 금속실리사이드층을 형성할 수 있다.

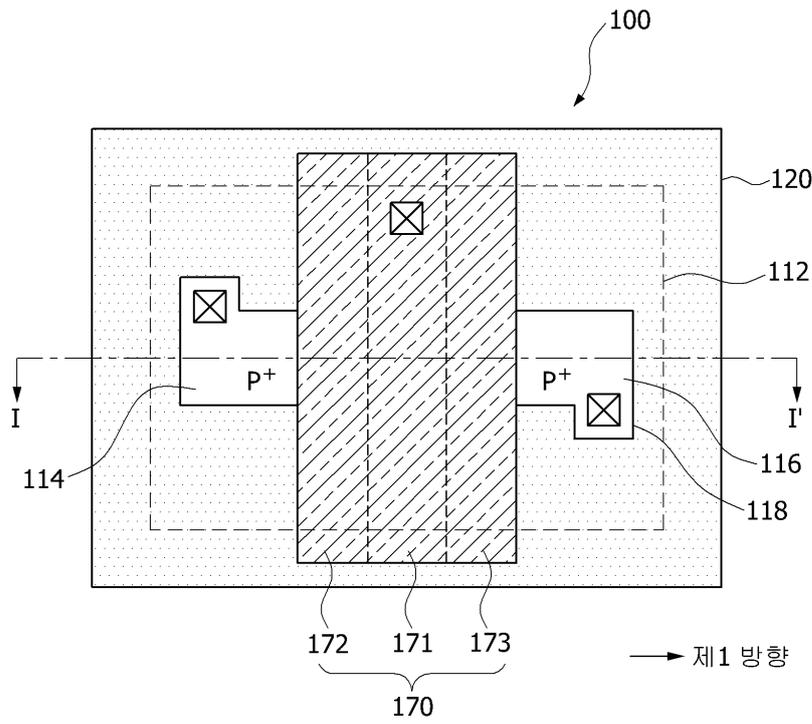
부호의 설명

- [0040] 100...단위셀 110...기관
 114...p+형 제1 접합영역 116...p+형 제2 접합영역
 118...액티브영역 119...채널영역
 120...트렌치 소자분리층 131...제1 전하트랩영역
 132...제2 전하트랩영역 133...선택영역
 141...제1 터널링층 142...제2 터널링층
 143a...제1 하부절연층 143b...제1 상부절연층
 151...제1 전하트랩층 152...제2 전하트랩층
 153...제2 절연층 161...제1 블록킹층

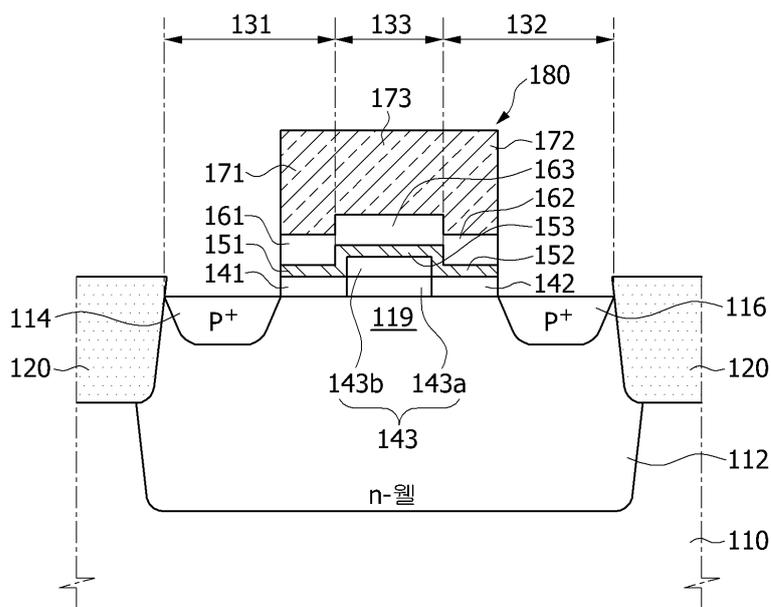
- 162...제2 블록킹층 163...제3 절연층
- 171...제1 도전층 172...제2 도전층
- 173...제3 도전층 180...게이트 구조체

도면

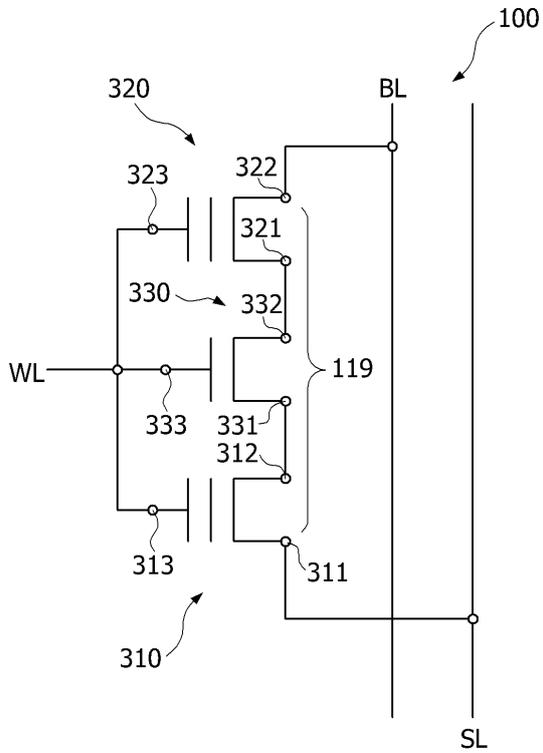
도면1



도면2



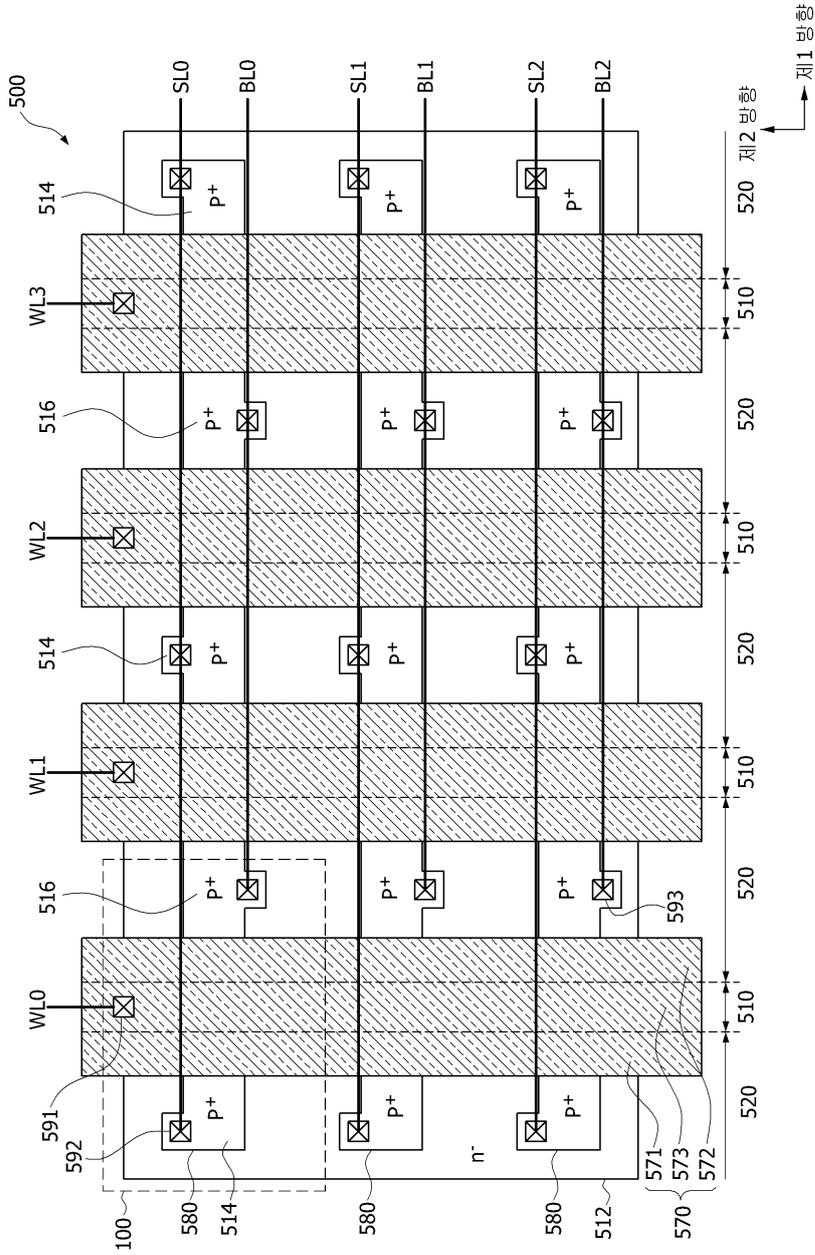
도면3



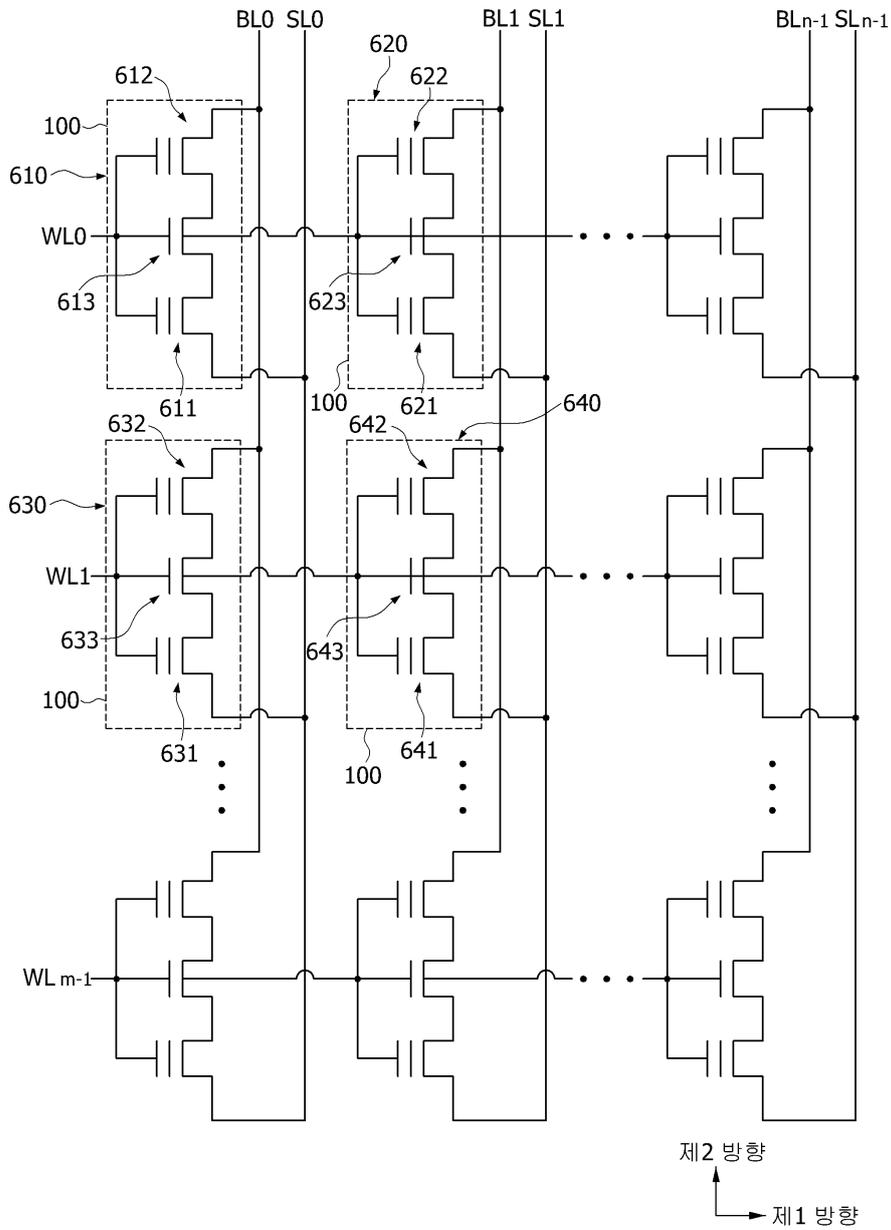
도면4

	BL	SL	WL	NW
프로그램1	0V	$-V_{psl}$	$-V_{pp}$	0V
프로그램2	$-V_{pbl}$	0V	$-V_{pp}$	0V
소거	$-V_{ebl}$	$-V_{esl}$	$+V_{ee}$	$-V_{enw}$
읽기1	$-V_{rbl}$	0V	$-V_{read}$	0V
읽기2	0V	$-V_{rsl}$	$-V_{read}$	0V

도면5



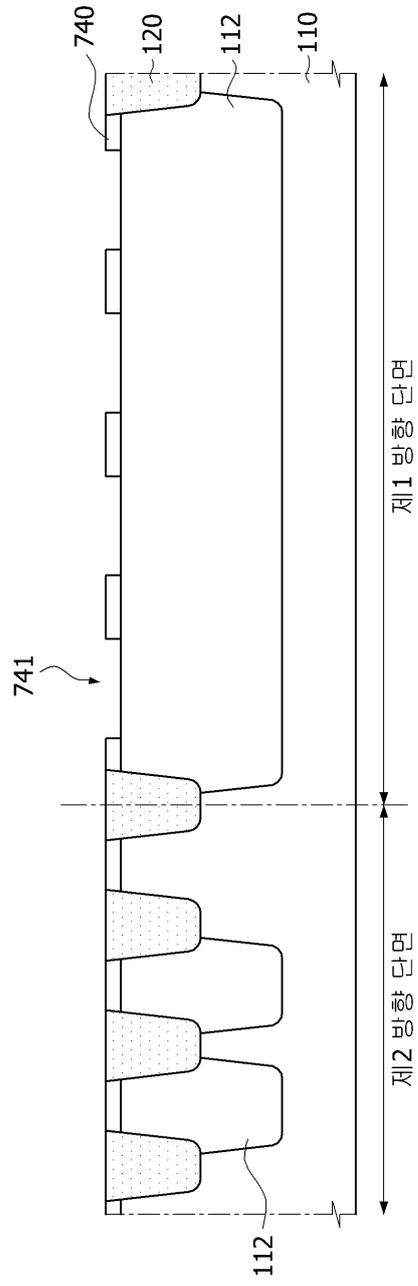
도면6



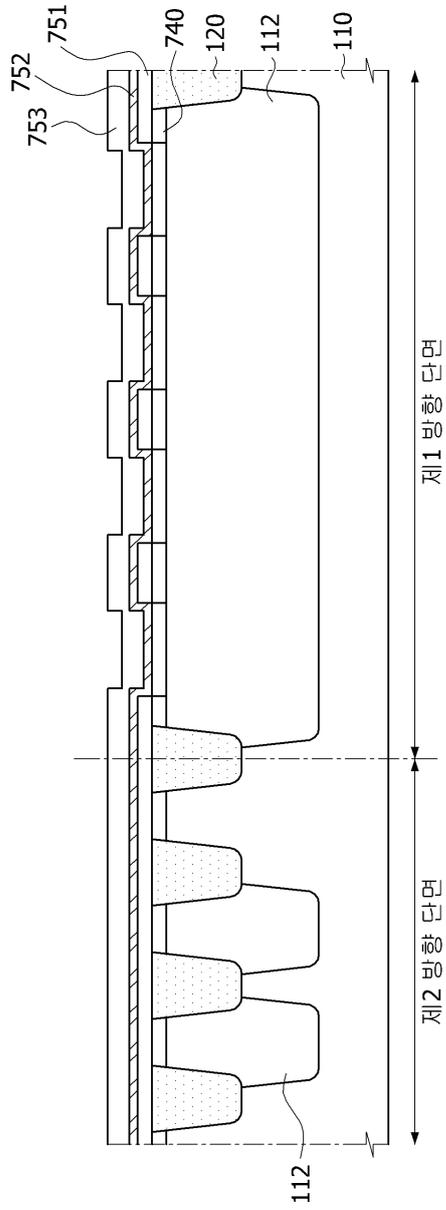
도면7

		프로그램	소거	읽기
선택된 단위셀 (610)	WL0	$-V_{pp}$	$+V_{ee}$	$-V_{read}$
	SL0	0V	$-V_{esl}$	$-V_{rsl}$
	BL0	$-V_{pbl}$	$-V_{ebl}$	0V
	NW	0V	$-V_{enw}$	0V
비선택 단위셀 (620)	WL0	$-V_{pp}$	$+V_{ee}$	$-V_{read}$
	SL1	플로팅	$-V_{esl}$	0V
	BL1	플로팅	$-V_{ebl}$	0V
	NW	0V	$-V_{enw}$	0V
비선택 단위셀 (630)	WL1	0V	0V	0V
	SL0	0V	$-V_{esl}$	$-V_{rsl}$
	BL0	$-V_{psl}$	$-V_{ebl}$	0V
	NW	0V	$-V_{enw}$	0V
비선택 단위셀 (640)	WL1	0V	0V	0V
	SL1	플로팅	$-V_{esl}$	0V
	BL1	플로팅	$-V_{ebl}$	0V
	NW	0V	$-V_{enw}$	0V

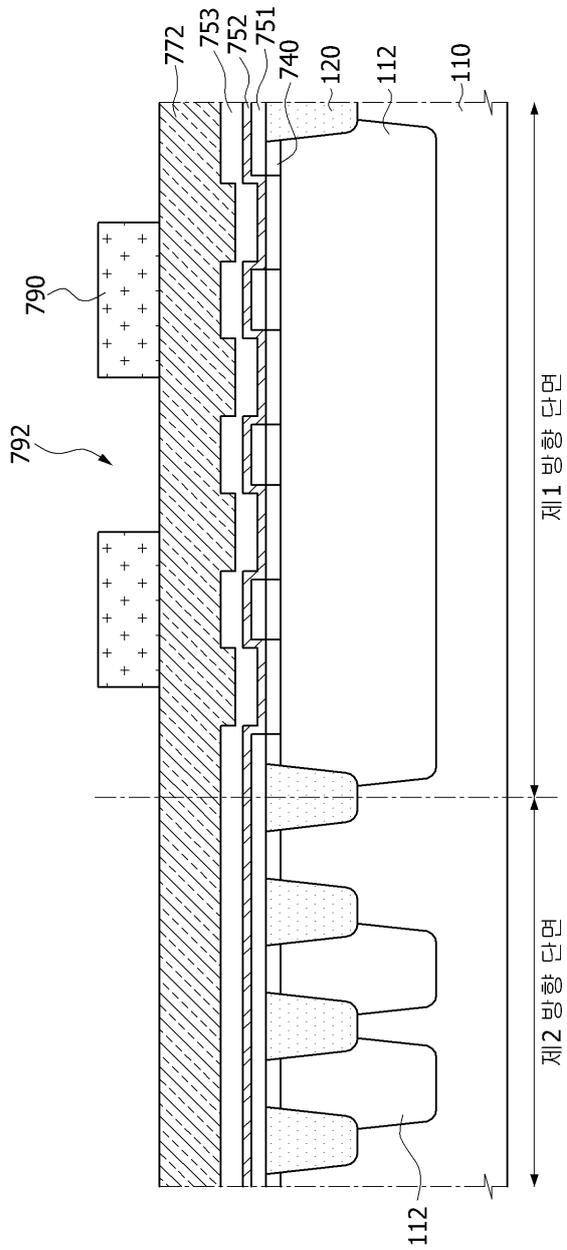
도면8



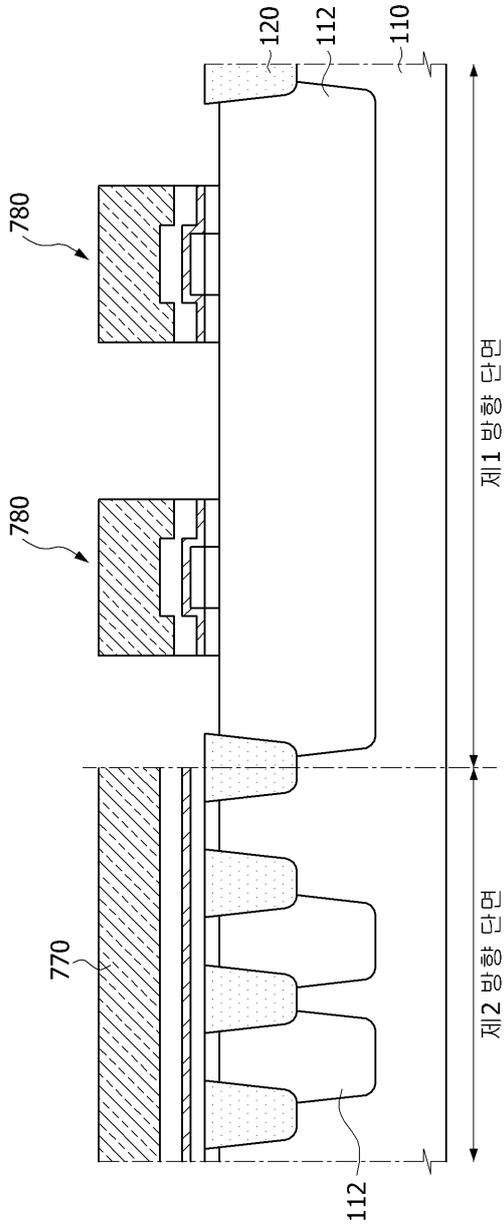
도면9



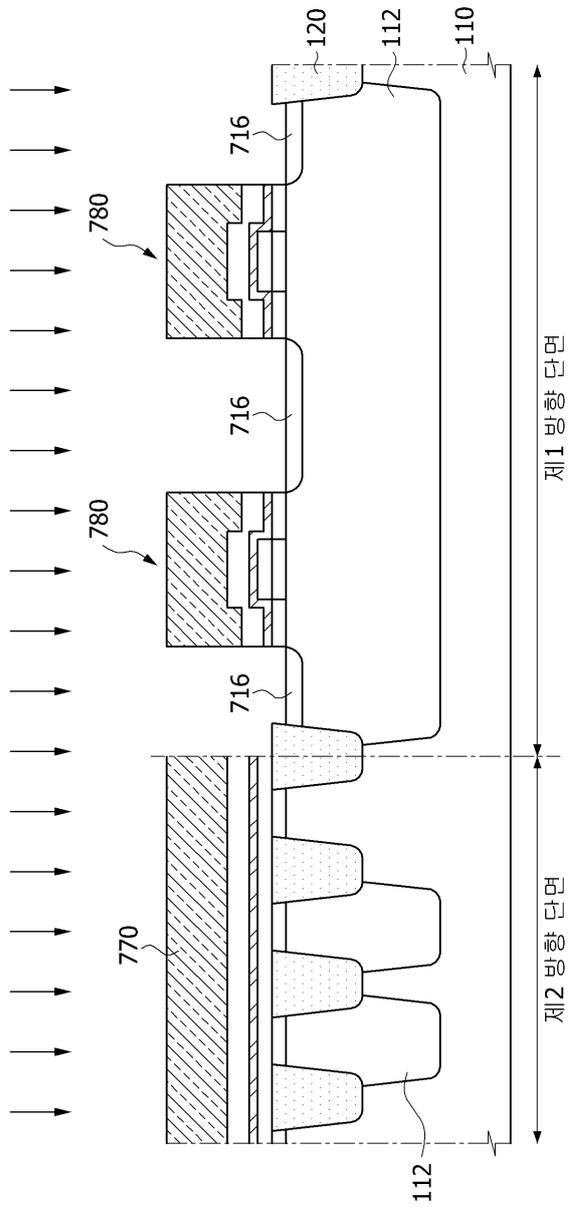
도면10



도면11



도면12



도면13

