

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁶ H01L 27/04	(11) 공개번호 (43) 공개일자	특 1997-0003926 1997년 01월 29일
(21) 출원번호	특 1996-0020702	
(22) 출원일자	1996년 06월 11일	
(30) 우선권주장	95-146263 1995년 06월 13일 일본(JP)	
(71) 출원인	마쓰시다 덴시 고교 가부시카가이사 스기야마 가즈히코 일본국 오사카후 다카쓰키시 사이와이초 1번 1고	
(72) 발명자	노마 아쓰시 일본국 오사카후 다카쓰키시 히무로초 2-2-15 우에다 다이스케 일본국 오사카후 이바라키시 미나미카스가오카 1-20-B-501	
(74) 대리인	김영철	

심사청구 : 없음

(54) 반도체 집적회로장치 및 그 제조방법

요약

반도체기판 위에 형성된 하지절연막 위에 하부전극, 강유전체로 구성되는 세라믹 용량막, 상부전극으로 구성되는 강유전체 커패시터가 형성되어 있다. 반도체기판 위에는 강유전체 커패시터를 덮도록 층간절연막이 형성되고, 층간절연막 위에는 전극 배선이 형성되어 있다. 상부전극 측면과 세라믹 용량막 상면과의 교점과 세라믹 용량막 측면과 하부전극 상면과의 교점 사이에 존재하는 세라믹 용량막의 표면길이(L)와 세라믹 용량막의 두께(D)와의 사이에 $L \geq 2D$ 의 관계가 성립하고 있다.

대표도

도 1

명세서

[발명의 명칭]

반도체 집적회로장치 및 그 제조방법

[도면의 간단한 설명]

제1도는 본 발명의 제1실시예에 관한 반도체 집적회로장치의 단면도, 제2도는 상기 제1실시예에 관한 반도체 집적회로장치의 제1제조방법의 각 공정을 나타내는 단면도.

본 내용은 요부공개 건이므로 전문내용을 수록하지 않았음

(57) 청구의 범위

청구항 1

반도체기판과, 상기 반도체기판의 일주면 상에 순차 형성된 하부전극, 페로브스카이트 구조를 가지는 세라믹 박막으로 구성되는 세라믹 용량막 및 상부전극으로 구성되는 적층 커패시터를 구비하고 있고, 상기 상부 전극의 측면은, 상기 세라믹 용량막의 측면보다도 내측에 위치하고 있음과 동시에, 상기 세라믹 용량막의 측면은 상기 하부전극의 측면보다도 내측에 위치하고 있으며, 상기 상부전극 측면과 상기 셀믹 용량막 상면과의 교점과 상기 세라믹 용량막 측면과 상기 하부전극 상면과의 교점 사이에 존재하는 상기 세라믹 용량막의 표면길이(L)와 상기 세라믹 용량막의 두께(D)와의 사이에 $L \geq 2D$ 의 관계가 성립하고 있는 것을 특징으로 하는 반도체 집적회로장치.

청구항 2

제1항에 있어서, 상기 상부전극 측면과 상기 세라믹 용량막 상면과의 교점과 상기 세라믹 용량막 측면과 상기 하부전극 상면과의 교점 사이에 존재하는 상기 세라믹 용량막의 표면은, 상기 세라믹 용량막 표면에서의 상기 상부전극의 측면과 상기 세라믹 용량막의 측면과의 사이의 제1영역과, 상기 세라믹 용량막의 측면으로 이루어지는 제2영역으로 구성되어 있는 것을 특징으로 하는 반도체 집적회로장치.

청구항 3

반도체기판과, 상기 반도체기판의 일주면 상에 순차 형성된 하부전극, 페로브스카이트 구조를 가지는 세라믹 박막으로 구성되는 세라믹 용량막 및 상부전극으로 구성되는 적층 커패시터를 구비하고 있고, 상기 적층 커패시터의 돌레부의 일부 영역에서는, 상기 상부전극 측면은 상기 세라믹 용량막의 측면보다도 내측에 위치하고 있음과 동시에, 상기 세라믹 용량막 측면은 상기 하부전극 측면보다도 내측에 위치하고 있으며, 상기 상부전극 측면과 상기 세라믹 용량막의 상면과의 교점과 상기 세라믹 용량막 측면과 상기 하부전극 상면과의 교점 사이에 존재하는 상기 세라믹 용량막의 표면 길이(L₁)와 상기 세라믹 용량막의 두께(D)와의 사이에 L₁ ≥ 2D의 관계가 성립하고 있고, 상기 적층 커패시터의 돌레부의 잔여부 영역에서는, 상기 상부전극 측면은 상기 세라믹 용량막 측면과 동일 또는 상기 세라믹 용량막 측면보다도 내측에 위치하고 있음과 동시에, 상기 세라믹 용량막의 돌레부는 상기 하부전극 측면보다도 외측에서 상기 반도체기판의 일주면 상에 설치되어 있고, 상기 세라믹 용량막 측면과 상기 반도체기판의 일주면과의 교점과 상기 하부전극 측면과 상기 반도체기판의 일주면과의 교점 사이에 존재하는 상기 세라믹 용량막의 표면 길이(L₂)와 상기 세라믹 용량막의 두께(D)와의 사이에 L₂ ≥ D의 관계가 성립하고 있는 것을 특징으로 하는 반도체 집적회로장치.

청구항 4

제3항에 있어서, 상기 상부전극 측면과 상기 세라믹 용량막 상면과의 교점과 상기 세라믹 용량막의 측면과 상기 하부전극 상면과의 교점 사이에 존재하는 상기 세라믹 용량막의 표면은, 상기 세라믹 용량막의 표면에서의 상기 상부전극 측면과 상기 세라믹 용량막 측면과의 사이의 제1영역과, 상기 세라믹 용량막 측면으로 이루어지는 제2영역으로 구성되어 있는 것을 특징으로 하는 반도체 집적회로장치.

청구항 5

반도체기판의 일주면 상에 제1금속막을 퇴적하는 공정과, 상기 제1금속막을 패터닝하여 하부전극을 형성하는 공정과, 상기 하부전극 위에 페로브스카이트 구조를 가지는 세라믹 박막을 퇴적하는 공정과, 상기 세라믹 박막을 이 세라믹 박막의 측면이 상기 하부전극 측면보다도 내측에 위치하도록 패터닝하여 세라믹 용량막을 형성하는 공정과, 상기 세라믹 용량막 위에 제2금속막을 퇴적하는 공정과, 상기 제2금속막을 이 제2금속막의 측면이 상기 세라믹 용량막 측면보다도 내측에 위치하고, 상기 제2금속막 측면과 상기 세라믹 용량막의 상면과의 교점과 상기 세라믹 용량막 측면과 상기 하부전극의 상면과의 교점 사이에 존재하는 상기 세라믹 용량막의 표면길이(L)와 상기 세라믹 용량막의 두께(D)와의 사이에 L ≥ 2D의 관계가 성립하도록 패터닝하여 상부전극을 형성하는 공정을 구비하고 있는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 6

반도체기판의 일주면 상에 제1금속막을 퇴적하는 공정과, 상기 제1금속막을 패터닝하여 하부전극을 형성하는 공정과, 상기 하부전극 위에 페로브스카이트 구조를 가지는 세라믹 박막을 퇴적하는 공정과, 상기 세라믹박막을 이 세라믹 박막의 돌레부의 일부영역에서는 이 세라믹 박막의 측면이 상기 하부전극의 측면보다도 내측에 위치함과 동시에, 상기 세라믹 박막의 돌레부의 잔여부 영역에서는, 이 세라믹 박막의 돌레부가 상기 반도체기판 위에 잔존하고, 상기 세라믹 박막의 측면과 상기 반도체기판의 일주면과의 교점과 상기 하부전극 측면과 상기 반도체기판의 일주면과의 교점 사이에 존재하는 상기 세라믹 박막의 표면길이(L₂)와 상기 세라믹 용량막의 두께(D)와의 사이에 L₂ ≥ D의 관계가 성립하도록 패터닝하여 세라믹 용량막을 형성하는 공정과, 상기 세라믹 용량막 위에 제2금속막을 퇴적하는 공정과, 상기 제2금속막을 이 제2금속막의 측면이 상기 세라믹 용량막의 측면보다도 내측에 위치하고 있음과 동시에, 상기 세라믹 박막의 돌레부의 일부영역에서는 상기 제2금속막 측면과 상기 세라믹 용량막 상면과 교점과 상기 세라믹 용량막 측면과 상기 하부전극 상면과의 교점 사이에 존재하는 상기 세라믹 용량막의 표면길이(L₁)와 상기 세라믹 용량막의 두께(D)와의 사이에 L₁ ≥ 2D의 관계가 성립하도록 패터닝하여 상부전극을 형성하는 공정을 구비하고 있는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

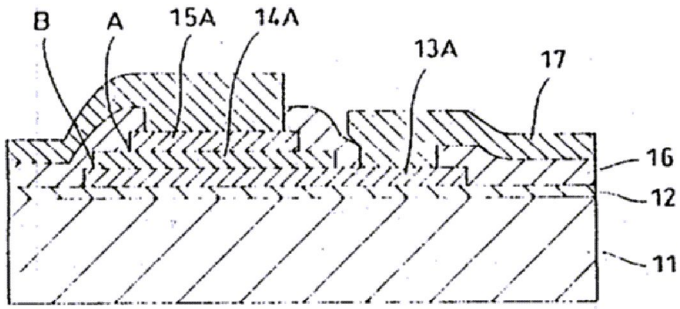
청구항 7

반도체기판 상에 제1금속막, 세라믹 박막 및 제2금속막을 순차 퇴적하는 공정과, 상기 제2금속막을 상기 세라믹 박막에서의 하부전극 인출영역이 노출하도록 패터닝하여 상부전극을 형성하는 공정과, 상기 세라믹 박막 및 제1금속막을 동시에 패터닝하여 세라믹 용량막 및 하부전극을 형성하는 공정과, 상기 반도체기판상에 절연적으로 절연막을 퇴적하는 공정과, 상기 절연막 및 세라믹 용량막에 대하여 에칭을 실행하여 상기 절연막에 상부전극 인출용 개구부를 형성함과 동시에, 상기 절연막 및 세라믹 용량막에 하부전극 인출용 개구부를 형성하는 공정을 구비하고 있는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면

도면1



도면2

