



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년03월26일
 (11) 등록번호 10-1842177
 (24) 등록일자 2018년03월20일

(51) 국제특허분류(Int. Cl.)
 H01L 33/36 (2010.01) H01L 33/14 (2010.01)
 H01L 33/38 (2010.01) H01L 33/40 (2010.01)
 (21) 출원번호 10-2010-0072831
 (22) 출원일자 2010년07월28일
 심사청구일자 2015년07월10일
 (65) 공개번호 10-2012-0011176
 (43) 공개일자 2012년02월07일
 (56) 선행기술조사문헌
 KR100818466 B1*
 KR1020100024855 A*
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
엘지이노텍 주식회사
 서울특별시 중구 후암로 98 (남대문로5가)
 (72) 발명자
박형조
 서울특별시 중구 한강대로 416 (남대문로5가, 서울스퀘어)
 (74) 대리인
허용록

전체 청구항 수 : 총 4 항

심사관 : 김호진

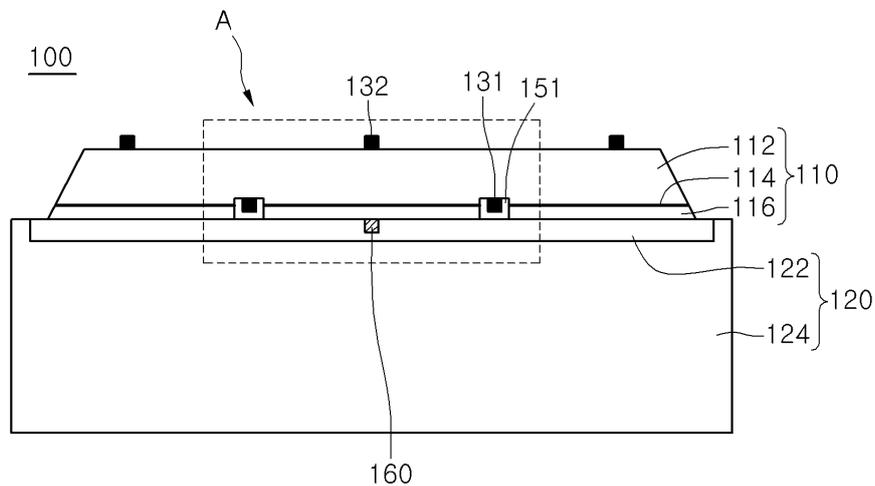
(54) 발명의 명칭 **발광소자**

(57) 요약

실시예는 발광소자, 발광소자 패키지 및 조명시스템에 관한 것이다.

실시예에 따른 발광소자는 제2 도전형 반도체층, 상기 제2 도전형 반도체층 상에 활성층 및 상기 활성층 상에 제1 도전형 반도체층을 포함하는 발광구조물; 상기 제1 도전형 반도체층 하부와 접하면서 상기 발광구조물 내에 형성된 하부 제1 전극; 상기 활성층 및 상기 제2 도전형 반도체층과 상기 하부 제1 전극 사이에 절연층; 및 상기 제1 도전형 반도체층 상부에 형성된 상부 제1 전극;을 포함한다.

대표도 - 도2



명세서

청구범위

청구항 1

제 1 도전형 반도체층, 제 2 도전형 반도체층, 상기 제 1 도전형 반도체층과 상기 제 2 도전형 반도체층 사이에 배치되는 활성층을 포함하고 상기 제 2 도전형 반도체층 및 상기 활성층을 관통하여 상기 제 1 도전형 반도체층의 일부 영역까지 배치되는 적어도 하나 이상의 트렌치를 포함하는 발광 구조물;

상기 제 1 도전형 반도체층의 상부에 배치되는 상부 제 1 전극;

상기 트렌치 내부에 배치되는 하부 제 1 전극;

상기 제 2 도전형 반도체층 하부에 배치되는 전류 차단층; 및

상기 제 2 도전형 반도체층 하부에 배치되며 상기 전류 차단층을 감싸며 배치되는 제2 전극층을 포함하고,

상기 전류 차단층은 상기 상부 제 1 전극과 수직으로 중첩되며 상기 하부 제1 전극과 상기 상부 제1 전극은 수직으로 중첩되지 않는 발광소자.

청구항 2

제1 항에 있어서,

상기 제 2 전극층은 확산방지층을 포함하며,

상기 하부 제 1 전극은 상기 제 1 도전형 반도체층과 맞닿고,

상기 하부 제 1 전극의 측면 및 하부에 배치되어 상기 제 2 도전형 반도체층과 상기 활성층 및 상기 제 2 전극층을 전기적으로 격리시키는 절연층을 더 포함하는 발광소자.

청구항 3

삭제

청구항 4

삭제

청구항 5

제1 항 또는 제2항에 있어서,

상기 하부 제1 전극은,

상기 제1 도전형 반도체층의 하부면에 위치하며 반사금속을 포함하고,

상기 제2전극층은 오믹층을 포함하는 발광소자.

청구항 6

삭제

청구항 7

삭제

청구항 8

제5 항에 있어서,

상기 상부 제 1 전극과 상기 하부 제 1 전극은 상하간에 서로 엇갈리게 배치되며,

상기 상부 제1 전극은 제1 패드에, 상기 하부 제1 전극은 제2 패드에 각각 연결된 발광소자.

청구항 9

삭제

청구항 10

삭제

발명의 설명

기술 분야

[0001] 실시예는 발광소자, 발광소자 패키지 및 조명시스템에 관한 것이다.

배경 기술

[0002] 발광소자(Light Emitting Device)는 전기에너지가 빛에너지로 변환되는 특성의 p-n 접합 다이오드를 주기율표상에서 III족과 V족의 원소가 화합하여 생성될 수 있다. LED는 화합물 반도체의 조성비를 조절함으로써 다양한 색상구현이 가능하다.

[0003] 발광소자는 순방향전압 인가 시 n층의 전자와 p층의 정공(hole)이 결합하여 전도대(Conduction band)와 가전대(Valance band)의 에너지 갭에 해당하는 만큼의 에너지를 발산하는데, 이 에너지는 주로 열이나 빛의 형태로 방출되며, 빛의 형태로 발산되면 발광소자가 되는 것이다.

[0004] 예를 들어, 질화물 반도체는 높은 열적 안정성과 폭넓은 밴드갭 에너지에 의해 광소자 및 고효율 전자소자 개발 분야에서 큰 관심을 받고 있다. 특히, 질화물 반도체를 이용한 청색(Blue) 발광소자, 녹색(Green) 발광소자, 자외선(UV) 발광소자 등은 상용화되어 널리 사용되고 있다.

[0005] 한편, 종래기술에 의하면 수직형 발광소자(LED)의 경우 n-GaN의 수직(vertical) 저항이 낮아 전류가 n-전극(n-electrode)의 주변으로 집중되는 현상(current crowding)이 발생되고, 이러한 전류밀집으로 인한 수명 및 신뢰성이 저하하는 문제가 있다.

[0006] 종래기술은 전류밀집 현상을 완화하기 위해 p-GaN 표면에 전류차단층(CBL)을 배치하고 있으나, 전류차단층은 전류의 흐름을 일부 분산시켜주는 기능을 하나 전류 공급원의 차원에서 전류의 흐름을 효과적으로 확산(spreading) 시켜주는데 한계가 있다.

발명의 내용

해결하려는 과제

[0007] 실시예는 효과적인 전류 확산(current spreading)을 할 수 있는 발광소자, 발광소자 패키지 및 조명시스템을 제공하고자 한다.

과제의 해결 수단

[0008] 실시예에 따른 발광소자는 제 1 도전형 반도체층, 제 2 도전형 반도체층, 상기 제 1 도전형 반도체층과 상기 제 2 도전형 반도체층 사이에 배치되는 활성층을 포함하고 상기 제 2 도전형 반도체층 및 상기 활성층을 관통하여 상기 제 1 도전형 반도체층의 일부 영역까지 배치되는 적어도 하나 이상의 트렌치를 포함하는 발광 구조물과 상기 제 1 도전형 반도체층의 상부에 배치되는 상부 제 1 전극과 상기 트렌치 내부에 배치되는 하부 제 1 전극과 상기 제 2 도전형 반도체층 하부에 배치되는 전류 차단층과 상기 제 2 도전형 반도체층 하부에 배치되며 상기 전류 차단층을 감싸며 배치되는 제2 전극층을 포함하고, 상기 전류 차단층은 상기 상부 제 1 전극과 수직으로 중첩되며 상기 하부 제1 전극과 상기 상부 제1 전극은 수직으로 중첩되지 않을 수 있다.

[0009] 삭제

[0010] 삭제

[0011] 또한, 실시예에 따른 조명시스템은 상기 발광소자 패키지를 구비하는 발광유닛을 포함한다.

발명의 효과

[0012] 실시예에 따른 발광소자, 발광소자 패키지 및 조명시스템에 의하면, 발광구조물(110)의 위에 상부 제1 전극(132)을 형성할 뿐만아니라, 발광구조물(110)의 아래에 하부 제1 전극(131)을 형성시켜, 수직방향(vertical) 뿐만 아니라 수평방향(lateral)으로도 전류가 원활히 흐르게 하여 발광소자 칩 전체의 전류 확산(spreading)을 개선할 수 있다.

도면의 간단한 설명

[0013] 도 1은 실시예에 따른 발광소자의 상면 예시도.

도 2는 실시예에 따른 발광소자의 제1 단면 예시도.

도 3a는 실시예에 따른 발광소자의 제2 단면 예시도이며, 도 3b는 실시예에 따른 발광소자의 제3 단면 예시도.

도 4는 실시예에 따른 발광소자의 효과 예시도.

도 5 내지 도 10은 실시예에 따른 발광소자 제조방법의 공정 단면 예시도.

도 11은 실시예에 따른 발광소자 패키지의 단면도.

도 12는 실시예에 따른 조명 유닛의 사시도.

도 13은 실시예에 따른 백라이트 유닛의 사시도.

발명을 실시하기 위한 구체적인 내용

[0014] 실시 예의 설명에 있어서, 각 층(막), 영역, 패턴 또는 구조물들이 기판, 각 층(막), 영역, 패드 또는 패턴들의 "상/위(on/over)"에 또는 "아래(under)"에 형성되는 것으로 기재되는 경우에 있어, "상/위(on/over)"와 "아래(under)"는 "직접(directly)" 또는 "다른 층을 개재하여 (indirectly)" 형성되는 것을 모두 포함한다. 또한 각 층의 상/위 또는 아래에 대한 기준은 도면을 기준으로 설명한다.

[0015] 도면에서 각층의 두께나 크기는 설명의 편의 및 명확성을 위하여 과장되거나 생략되거나 또는 개략적으로 도시되었다. 또한 각 구성요소의 크기는 실제크기를 전적으로 반영하는 것은 아니다.

[0016] (실시예)

[0017] 실시예는 효과적인 전류 확산(current spreading)을 할 수 있는 발광소자, 발광소자 패키지 및 조명시스템을 제공하고자 한다.

[0018] 도 1은 실시예에 따른 발광소자의 상면 예시도이며, 도 2는 실시예에 따른 발광소자의 제1 단면 예시도(도 1의 I-I'선을 따른 단면)이며, 도 3a는 실시예에 따른 발광소자의 제2 단면 예시도(도 1의 II-II'선을 따른 단면)이고, 도 3b는 실시예에 따른 발광소자의 제3 단면 예시도(도 1의 III-III'선을 따른 단면)이고, 도 4는 실시예에 따른 발광소자의 효과 예시도이다. 도 4는 도 2의 A 부분 확대 예시도이다.

[0019] 상기 과제를 해결하기 위해 실시예에 따른 발광소자(100)는 제2 도전형 반도체층(116), 상기 제2 도전형 반도체층(116) 상에 형성된 활성층(114) 및 상기 활성층(114) 상에 형성된 제1 도전형 반도체층(112)을 포함하는 발광구조물(110) 및 상기 제1 도전형 반도체층(112)과 접하면서 상기 발광구조물(110) 내에 하부 제1 전극(131)을 포함할 수 있다.

[0020] 이에 따라, 실시예에 따른 발광소자에 의하면, 도 4와 같이, 제1 도전형 반도체층의 상부 제1 전극(132) 뿐만아니라, 하부(bottom) 영역에 하부 제1 전극(131)을 배치함으로써 발광소자의 전류확산(current spreading)을 효과적으로 개선할 수 있다.

[0021] 예를 들어, 실시예는 발광구조물(110)의 위에 상부 제1 전극(132)을 형성할 뿐만아니라, 발광구조물(110)의 아래에 하부 제1 전극(131)을 형성시켜, 수직방향(vertical) 뿐만 아니라 수평방향(lateral)으로도 전류가 원활히

흐르게 하여 발광소자 칩 전체의 전류 확산(spreading)을 개선할 수 있다.

- [0022] 구체적으로, 실시예에서, 상기 하부 제1 전극(131)은 상기 제1 도전형 반도체층(112)과 전기적으로 연결되며, 상기 활성층(114), 상기 제2 도전형 반도체층(116)과는 전기적으로 격리될 수 있다.
- [0023] 이를 위해, 상기 하부 제1 전극(131)과 상기 활성층(114) 및 상기 제2 도전형 반도체층(116) 사이에 절연층(151)을 포함할 수 있다. 상기 절연층(151)은 산화막, 질화막 등의 유전체층으로 형성될 수 있으나 이에 한정되는 것은 아니다.
- [0024] 실시예는 상기 제2 도전형 반도체층(116) 하부에 상기 제2 도전형 반도체층(116)과 전기적으로 연결되는 제2 전극층(120)을 구비하며, 상기 하부 제1 전극(131)은 상기 제2 전극층(120)과 전기적으로 격리될 수 있다. 이를 위해, 상기 제2 전극층(120)과 상기 하부 제1 전극(131) 사이에 절연층(151)을 포함할 수 있고, 상기 절연층(151)은 산화막, 질화막 등의 유전체층으로 형성될 수 있으나 이에 한정되는 것은 아니다.
- [0025] 상기 하부 제1 전극(131)은 발광구조물의 내부, 예를 들어, 상기 제1 도전형 반도체층(112)의 하부면에 위치함으로써 전류가 수평(lateral) 방향으로 흐르도록 하여, 상기 제1 전극(132)과 더불어 발광소자 칩 전체의 전류 확산(spreading)을 개선할 수 있다.
- [0026] 상기 하부 제1 전극(131)은 반사 금속을 포함하여 발광된 빛의 외부 추출 효율을 증대시킬 수 있다. 예를 들어, 상기 하부 제1 전극(131)은 Al, Ag, 혹은 Al이나 Ag를 포함하는 합금을 포함하는 금속층을 포함할 수 있으나 이에 한정되는 것은 아니다.
- [0027] 실시예는 상기 제1 도전형 반도체층(112) 상부에 형성된 상부 제1 전극(132)을 포함할 수 있다. 이를 통해, 실시예는 발광구조물(110)의 위에 상부 제1 전극(132)을 형성할 뿐만아니라, 발광구조물(110)의 아래에 하부 제1 전극(131)을 형성시켜, 수직방향(vertical) 뿐만 아니라 수평방향(lateral)으로도 전류가 원활히 흐르게 하여 발광소자 칩 전체의 전류 확산(spreading)을 개선할 수 있다.
- [0028] 상기 상부 제1 전극(132)은 상기 하부 제1 전극(131)과 공간적으로 상하 간에 오버랩되지 않도록 형성될 수 있다. 예를 들어, 상부 제1 전극(132)은 상기 하부 제1 전극(131)과 교차할 수는 있으나, 상하간에 동일 선상에 위치하지 않을 수 있으나 이에 한정되는 것은 아니다.
- [0029] 실시예는, 상기 상부 제1 전극(132)과 공간적으로 상하 간에 오버랩되는 전류차단층(160)을 더 포함할 수 있고 이에 따라 수직 방향의 전류의 확산(spreading)에 기여할 수 있다. 예를 들어, 상기 전류차단층(160)은 상기 제2 도전형 반도체층(116)과 접하여 형성될 수 있으나 이에 한정되는 것은 아니다.
- [0030] 실시예에서, 상기 상부 제1 전극(132)과 상기 하부 제1 전극(131)은 같은 패드에 연결될 수 있다. 예를 들어, 도 1과 같이 상기 상부 제1 전극(132)과 상기 하부 제1 전극(131)은 모두 제1 패드(171), 제2 패드(172)에 전기적으로 연결될 수 있으나 이에 한정되는 것은 아니다. 예를 들어, 상기 상부 제1 전극(132)은 제1 패드(171)에, 상기 하부 제1 전극(131)은 제2 패드(172)에 각각 전기적으로 연결될 수도 있다.
- [0031] 실시예에 따른 발광소자, 발광소자 패키지 및 조명시스템에 의하면, 발광구조물(110)의 위에 상부 제1 전극(132)을 형성할 뿐만아니라, 발광구조물(110)의 아래에 하부 제1 전극(131)을 형성시켜, 수직방향(vertical) 뿐만 아니라 수평방향(lateral)으로도 전류가 원활히 흐르게 하여 발광소자 칩 전체의 전류 확산(spreading)을 개선할 수 있다.
- [0032] 이하, 도 5 내지 도 10을 참조하여, 실시예에 따른 발광소자 제조방법을 설명한다. 이하의 설명에서, 도 2의 A 부분 확대 예시도를 기준으로 제조방법을 설명하나 실시예가 이에 한정되는 것은 아니다.
- [0033] 우선, 도 5와 같이 제1 기판(105)을 준비한다.
- [0034] 상기 제1 기판(105)은 전도성 기판 또는 절연성 기판을 포함하며, 예컨대 상기 제1 기판(105)은 사파이어(Al_2O_3), SiC, Si, GaAs, GaN, ZnO, Si, GaP, InP, Ge, and Ga_2O_3 . 중 적어도 하나를 사용할 수 있다. 상기 제1 기판(105) 위에는 요철 구조가 형성될 수 있으며, 이에 대해 한정하지는 않는다. 상기 제1 기판(105)에 대해 습식세척을 하여 표면의 불순물을 제거할 수 있다.
- [0035] 이후, 상기 제1 기판(105) 상에 제1 도전형 반도체층(112), 활성층(114) 및 제2 도전형 반도체층(116)을 포함하는 발광구조물(110)을 형성할 수 있다.
- [0036] 이때, 실시예에서 상기 제1 기판(105) 위에는 버퍼층(미도시)이 형성될 수 있다. 상기 버퍼층(미도시)은 상기

발광구조물(110)의 재료와 제1 기판(105)의 격자 부정합을 완화시켜 줄 수 있으며, 버퍼층의 재료는 3족-5족 화합물 반도체 예컨대, GaN, InN, AlN, InGaN, AlGaIn, InAlGaIn, AlInN 중 적어도 하나로 형성될 수 있다. 상기 버퍼층 위에는 언도프드(undoped) 반도체층이 형성될 수 있으며, 이에 대해 한정하지는 않는다.

- [0037] 상기 제1 도전형 반도체층(112)은 제1 도전형 도펀트가 도핑된 3족-5족 화합물 반도체로 구현될 수 있으며, 상기 제1 도전형 반도체층(112)이 N형 반도체층인 경우, 상기 제1도전형 도펀트는 N형 도펀트로서, Si, Ge, Sn, Se, Te를 포함할 수 있으나 이에 한정되지 않는다.
- [0038] 상기 제1 도전형 반도체층(112)은 $In_xAl_yGa_{1-x-y}N$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq x+y \leq 1$)의 조성식을 갖는 반도체 물질을 포함할 수 있다.
- [0039] 상기 제1 도전형 반도체층(112)은 GaN, InN, AlN, InGaN, AlGaIn, InAlGaIn, AlInN, AlGaAs, InGaAs, AlInGaAs, GaP, AlGaP, InGaP, AlInGaP, InP 중 어느 하나 이상으로 형성될 수 있다.
- [0040] 상기 제1 도전형 반도체층(112)은 화학증착방법(CVD) 혹은 분자선 에피택시 (MBE) 혹은 스퍼터링 혹은 수산화물 증기상 에피택시(HVPE) 등의 방법을 사용하여 N형 GaN층을 형성할 수 있다. 또한, 상기 제1 도전형 반도체층 (112)은 챔버에 트리메틸 갈륨 가스(TMGa), 암모니아 가스(NH₃), 질소 가스(N₂), 및 실리콘(Si)와 같은 n 형 불순물을 포함하는 실란 가스(SiH₄)가 주입되어 형성될 수 있다.
- [0041] 상기 활성층(114)은 제1 도전형 반도체층(112)을 통해서 주입되는 전자와 이후 형성되는 제2 도전형 반도체층 (116)을 통해서 주입되는 정공이 서로 만나서 활성층(발광층) 물질 고유의 에너지 밴드에 의해서 결정되는 에너지를 갖는 빛을 방출하는 층이다.
- [0042] 상기 활성층(114)은 단일 양자 우물 구조, 다중 양자 우물 구조(MQW: Multi Quantum Well), 양자 선(Quantum-Wire) 구조, 또는 양자 점(Quantum Dot) 구조 중 적어도 어느 하나로 형성될 수 있다. 예를 들어, 상기 활성층 (114)은 트리메틸 갈륨 가스(TMGa), 암모니아 가스(NH₃), 질소 가스(N₂), 및 트리메틸 인듐 가스(TMIn)가 주입 되어 다중 양자우물구조가 형성될 수 있으나 이에 한정되는 것은 아니다.
- [0043] 상기 활성층(114)의 우물층/장벽층은 InGaIn/GaN, InGaIn/InGaIn, AlGaIn/GaN, InAlGaIn/GaN, GaAs./AlGaAs(InGaAs), GaP/AlGaP(InGaP) 중 어느 하나 이상의 페어 구조로 형성될 수 있으나 이에 한정되지 않는다. 상기 우물층은 상기 장벽층의 밴드 갭보다 낮은 밴드 갭을 갖는 물질로 형성될 수 있다.
- [0044] 상기 활성층(114)의 위 또는/및 아래에는 도전형 클래드층이 형성될 수 있다. 상기 도전형 클래드층은 AlGaIn계 반도체로 형성될 수 있으며, 상기 활성층(114)의 밴드 갭보다는 높은 밴드 갭을 갖을 수 있다.
- [0045] 상기 제2 도전형 반도체층(116)은 제2 도전형 도펀트가 도핑된 3-족-5족 화합물 반도체 예컨대, $In_xAl_yGa_{1-x-y}N$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq x+y \leq 1$)의 조성식을 갖는 반도체 물질을 포함할 수 있다. 상기 제2 도전형 반도체층 (116)이 P형 반도체층인 경우, 상기 제2도전형 도펀트는 P형 도펀트로서, Mg, Zn, Ca, Sr, Ba 등을 포함할 수 있다.
- [0046] 상기 제2 도전형 반도체층(116)은 챔버에 트리메틸 갈륨 가스(TMGa), 암모니아 가스(NH₃), 질소 가스(N₂), 및 마그네슘(Mg)과 같은 p 형 불순물을 포함하는 비세틸 사이클로 펜타디에닐 마그네슘(EtCp₂Mg){Mg(C₂H₅C₈H₄)₂}가 주입되어 p형 GaN층이 형성될 수 있으나 이에 한정되는 것은 아니다.
- [0047] 실시예에서 상기 제1 도전형 반도체층(112)은 N형 반도체층, 상기 제2 도전형 반도체층(116)은 P형 반도체층으로 구현할 수 있으나 이에 한정되지 않는다. 또한 상기 제2 도전형 반도체층(116) 위에는 상기 제2 도전형과 반대의 극성을 갖는 갖는 반도체 예컨대 N형 반도체층(미도시)을 형성할 수 있다. 이에 따라 발광구조물(110)은 N-P 접합 구조, P-N 접합 구조, N-P-N 접합 구조, P-N-P 접합 구조 중 어느 한 구조로 구현할 수 있다.
- [0048] 다음으로, 도 6과 같이 상기 발광구조물(110)을 일부를 제거하여 제1 도전형 반도체층(112)을 노출하는 트렌치 (T)를 형성할 수 있다.
- [0049] 예를 들어, 소정의 마스크 패턴(미도시)을 식각 마스크로 하여 제2 도전형 반도체층(116)과 활성층(114)을 관통하여 제1 도전형 반도체층(112)을 노출하도록 트렌치(T)를 형성할 수 있다. 상기 노출된 제1 도전형 반도체층 (112)도 일부 제거될 수 있으나 이에 한정되는 것은 아니다.
- [0050] 다음으로, 도 7과 같이 마스크 패턴을 제거하고, 상기 트렌치 내에 상기 노출된 제1 도전형 반도체층(112)과 접

하는 하부 제1 전극(131)을 형성할 수 있다.

- [0051] 이때, 상기 하부 제1 전극(131)은 상기 제1 도전형 반도체층(112)과 전기적으로 연결되며, 상기 활성층(114), 상기 제2 도전형 반도체층(116)과는 전기적으로 격리될 수 있다.
- [0052] 이를 위해, 상기 하부 제1 전극(131)과 상기 활성층(114) 및 상기 제2 도전형 반도체층(116) 사이에 절연층(151)을 포함할 수 있다. 상기 절연층(151)은 산화막, 질화막 등의 유전체층으로 형성될 수 있으나 이에 한정되는 것은 아니다.
- [0053] 상기 하부 제1 전극(131)은 발광구조물의 내부, 예를 들어, 상기 제1 도전형 반도체층(112)의 하부면에 위치함으로써 전류가 수평(lateral) 방향으로 흐르도록 하여, 상부 제1 전극(132)과 더불어 발광소자 칩 전체의 전류 확산(spreading)을 개선할 수 있다.
- [0054] 상기 하부 제1 전극(131)은 반사 금속을 포함하여 발광된 빛의 외부 추출 효율을 증대시킬 수 있다. 예를 들어, 상기 하부 제1 전극(131)은 Al, Ag, 혹은 Al이나 Ag를 포함하는 합금을 포함하는 금속층을 포함할 수 있으나 이에 한정되는 것은 아니다.
- [0055] 또한, 실시예는, 이후 형성된 상부 제1 전극(132)과 공간적으로 상하 간에 오버랩되는 전류차단층(160)을 더 포함할 수 있고 이에 따라 수직 방향의 전류의 확산(spreading)에 기여할 수 있다. 예를 들어, 상기 전류차단층(160)은 상기 제2 도전형 반도체층(116)과 접하여 형성될 수 있으나 이에 한정되는 것은 아니다.
- [0056] 상기 전류차단층(160)은 절연층, 비정질 영역, 비도전형 영역, 제1 도전형 이온주입층 등으로 형성할 수 있으나 이에 한정되는 것은 아니다.
- [0057] 다음으로, 도 8과 같이 상기 제2 도전형 반도체층(116) 상에 제2 전극층(120)을 형성할 수 있다.
- [0058] 한편, 실시예는 상기 하부 제1 전극(131)은 상기 제2 전극층(120)과 전기적으로 격리될 수 있다. 이를 위해, 상기 제2 전극층(120)과 상기 하부 제1 전극(131) 사이에 절연층(151)을 포함할 수 있고, 상기 절연층(151)은 산화막, 질화막 등의 유전체층으로 형성될 수 있으나 이에 한정되는 것은 아니다.
- [0059] 상기 제2 전극층(120)은 오믹층(122), 반사층(미도시), 결합층(미도시), 전도성 기관(124) 등을 포함할 수 있다. 상기 제2 전극층(120)은 티탄(Ti), 크롬(Cr), 니켈(Ni), 알루미늄(Al), 백금(Pt), 금(Au), 텅스텐(W), 몰리브덴(Mo) 또는 불순물이 주입된 반도체 기관 중 적어도 어느 하나로 형성될 수도 있다.
- [0060] 예를 들어, 상기 제2 전극층(120)은 오믹층(122)을 포함할 수 있으며, 정공주입을 효율적으로 할 수 있도록 단일 금속 혹은 금속합금, 금속산화물 등을 다중으로 적층하여 형성할 수 있다. 예를 들어, 상기 오믹층(122)은 ITO(indium tin oxide), IZO(indium zinc oxide), IZTO(indium zinc tin oxide), IAZO(indium aluminum zinc oxide), IGZO(indium gallium zinc oxide), IGTO(indium gallium tin oxide), AZO(aluminum zinc oxide), ATO(antimony tin oxide), GZO(gallium zinc oxide), IZON(IZO Nitride), AGZO(Al-Ga ZnO), IGZO(In-Ga ZnO), ZnO, IrOx, RuOx, NiO, RuOx/ITO, Ni/IrOx/Au, 및 Ni/IrOx/Au/ITO, Ag, Ni, Cr, Ti, Al, Rh, Pd, Ir, Ru, Mg, Zn, Pt, Au, Hf 중 적어도 하나를 포함하여 형성될 수 있으며, 이러한 재료에 한정되는 않는다.
- [0061] 또한, 상기 제2 전극층(120)이 반사층(미도시)을 포함하는 경우 Al, Ag, 혹은 Al이나 Ag를 포함하는 합금을 포함하는 금속층으로 이루어질 수 있다. 알루미늄이나 은 등은 활성층에서 발생된 빛을 효과적으로 반사하여 발광소자의 광추출 효율을 크게 개선할 수 있다.
- [0062] 또한, 상기 제2 전극층(120)은 층간 확산(Inter diffusion)을 방지하는 Ni, Ni-Alloy, Ti, Ti-Alloy, Cu, Cu-Alloy 등을 포함하는 확산방지층(Diffusion barrier layer)(미도시)를 더 포함할 수 있으나 이에 한정되는 것은 아니다.
- [0063] 또한, 상기 제2 전극층(120)이 결합층을 포함하는 경우 상기 반사층(미도시)이 결합층의 기능을 하거나, 니켈(Ni), 금(Au) 등을 이용하여 결합층을 형성할 수 있다.
- [0064] 또한, 제2 전극층(120)은 전도성 기관(124)을 포함할 수 있다. 상기 전도성 기관(124)은 효율적으로 정공을 주입할 수 있도록 전기 전도성이 우수한 금속, 금속합금, 혹은 전도성 반도체 물질로 이루어질 수 있다. 예를 들어, 상기 전도성 기관(124)은 구리(Cu), 금(Au), 구리합금(Cu Alloy), 니켈(Ni-nickel), 구리-텅스텐(Cu-W), 캐리어 웨이퍼(예: GaN, Si, Ge, GaAs, ZnO, SiGe, SiC, Ga₂O₃ 등) 등을 선택적으로 포함할 수 있다. 상기 전도성 기관(124)을 형성시키는 방법은 전기화학적 금속증착방법이나 유태틱 메탈을 이용한 본딩 방법 등을 사용

할 수 있다.

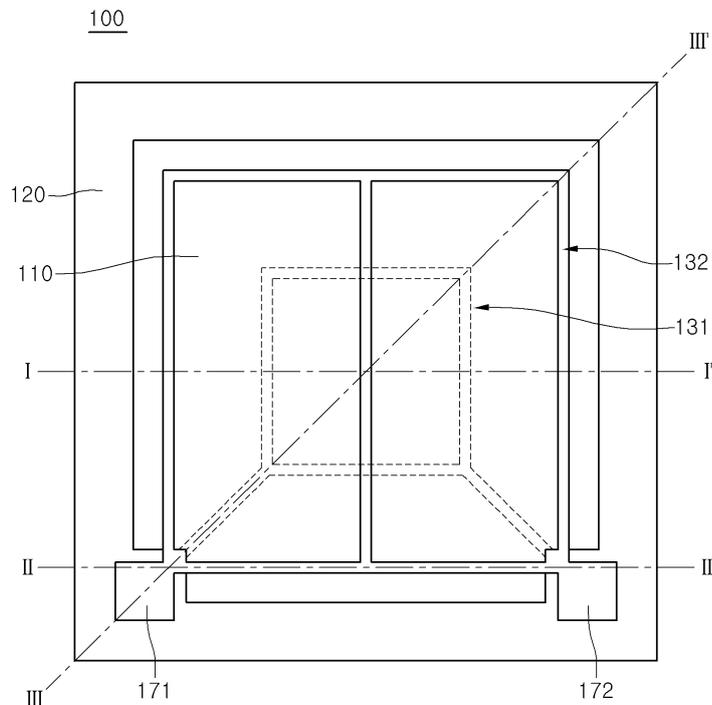
- [0065] 다음으로, 도 9와 같이, 상기 제1 도전형 반도체층(112)이 노출되도록 상기 제1 기판(105)을 제거한다. 상기 제1 기판(105)을 제거하는 방법은 고출력의 레이저를 이용하여 제1 기판을 분리하거나 화학적 식각 방법을 사용할 수 있다. 또한, 상기 제1 기판(105)은 물리적으로 갈아냄으로써 제거할 수도 있다.
- [0066] 예를 들어, 레이저 리프트 오프 방법은 상온에서 소정의 에너지를 가해주게 되면 상기 제1 기판(105)과 발광구조물(110)의 계면에서 에너지가 흡수되어 발광구조물의 접합표면이 열분해 되어 제1 기판(105)과 발광구조물을 분리할 수 있으나 이에 한정되는 것은 아니다.
- [0067] 이후, 실시예는 상기 제1 도전형 반도체층(112) 상부에 형성된 상부 제1 전극(132)을 형성할 수 있다. 이를 통해, 실시예는 발광구조물(110)의 위에 상부 제1 전극(132)을 형성할 뿐만아니라, 발광구조물(110)의 아래에 하부 제1 전극(131)을 형성시켜, 수직방향(vertical) 뿐만 아니라 수평방향(lateral)으로도 전류가 원활히 흐르게 하여 발광소자 칩 전체의 전류 확산(spreading)을 개선할 수 있다.
- [0068] 상기 상부 제1 전극(132)은 상기 하부 제1 전극(131)과 공간적으로 상하 간에 오버랩되지 않도록 형성될 수 있다. 예를 들어, 상부 제1 전극(132)은 상기 하부 제1 전극(131)과 교차할 수는 있으나, 상하간에 동일 선상에 위치하지 않을 수 있으나 이에 한정되는 것은 아니다.
- [0069] 이를 통해, 도 10과 같이 실시예에 따른 발광소자(100)의 제조공정이 완료될 수 있다. 이후, 상기 하부 제1 전극(131)과 상기 상부 제1 전극(132)과 패드와의 전기적인 연결공정이 진행될 수 있다. 이를 위해, 패드와 발광구조물(110) 사이에 패시베이션층(190)이 절연층 등으로 형성될 수 있다.
- [0070] 실시예에서, 상기 상부 제1 전극(132)과 상기 하부 제1 전극(131)은 같은 패드에 연결될 수 있다. 예를 들어, 도 1과 같이 상기 상부 제1 전극(132)과 상기 하부 제1 전극(131)은 모두 제1 패드(171), 제2 패드(172)에 전기적으로 연결될 수 있으나 이에 한정되는 것은 아니다. 예를 들어, 상기 상부 제1 전극(132)은 제1 패드(171)에, 상기 하부 제1 전극(131)은 제2 패드(172)에 각각 전기적으로 연결될 수도 있다.
- [0071] 실시예에 따른 발광소자, 발광소자 패키지 및 조명시스템에 의하면, n-GaN 표면의 n-전극(n-electrode) 뿐만 아니라, 하부(bottom) 영역에 매립된 n-전극(buried n-electrode)을 배치함으로써 수직형 LED 칩(chip)의 전류 확산(current spreading)을 효과적으로 개선할 수 있다.
- [0072] 도 11은 실시예에 따른 발광소자 패키지(200)의 단면도이다.
- [0073] 도 11을 참조하면, 실시예에 따른 발광 소자 패키지는 패키지 몸체부(205)와, 상기 패키지 몸체부(205)에 설치된 제3 전극층(213) 및 제4 전극층(214)과, 상기 패키지 몸체부(205)에 설치되어 상기 제3 전극층(213) 및 제4 전극층(214)과 전기적으로 연결되는 발광 소자(100)와, 상기 발광 소자(100)를 포위하는 몰딩부재(240)가 포함된다.
- [0074] 상기 패키지 몸체부(205)는 실리콘 재질, 합성수지 재질, 또는 금속 재질을 포함하여 형성될 수 있으며, 상기 발광 소자(100)의 주위에 경사면이 형성될 수 있다.
- [0075] 상기 제3 전극층(213) 및 제4 전극층(214)은 서로 전기적으로 분리되며, 상기 발광 소자(100)에 전원을 제공하는 역할을 한다. 또한, 상기 제3 전극층(213) 및 제4 전극층(214)은 상기 발광 소자(100)에서 발생된 빛을 반사시켜 광 효율을 증가시키는 역할을 할 수 있으며, 상기 발광 소자(100)에서 발생된 열을 외부로 배출시키는 역할을 할 수도 있다.
- [0076] 상기 발광 소자(100)는 도 1 에 예시된 수직형 타입의 발광 소자가 적용될 수 있으나 이에 한정되는 것은 아니며, 수평형 발광소자도 적용될 수 있다.
- [0077] 상기 발광 소자(100)는 상기 패키지 몸체부(205) 상에 설치되거나 상기 제3 전극층(213) 또는 제4 전극층(214) 상에 설치될 수 있다.
- [0078] 상기 발광 소자(100)는 와이어(230)를 통해 상기 제3 전극층(213) 및/또는 제4 전극층(214)과 전기적으로 연결될 수 있으며, 실시예에서는 수직형 타입의 발광 소자(100)가 예시되어 있으며, 한 개의 와이어(230)가 사용된 것이 예시되어 있으나 이에 한정되는 것은 아니다.
- [0079] 상기 몰딩부재(240)는 상기 발광 소자(100)를 포위하여 상기 발광 소자(100)를 보호할 수 있다. 또한, 상기 몰딩부재(240)에는 형광체가 포함되어 상기 발광 소자(100)에서 방출된 광의 파장을 변화시킬 수 있다.

- [0080] 실시예에 따른 발광소자 패키지는 조명시스템에 적용될 수 있다. 상기 조명시스템은 도 12에 도시된 조명유닛, 도 13에 도시된 백라이트 유닛을 포함하고, 신호등, 차량 전조등, 간판 등이 포함될 수 있다.
- [0081] 도 12는 실시예에 따른 조명 유닛의 사시도(1100)이다.
- [0082] 도 12를 참조하면, 상기 조명 유닛(1100)은 케이스몸체(1110)와, 상기 케이스몸체(1110)에 설치된 발광모듈부(1130)과, 상기 케이스몸체(1110)에 설치되며 외부 전원에서부터 전원을 제공받는 연결 단자(1120)를 포함할 수 있다.
- [0083] 상기 케이스몸체(1110)는 방열 특성이 양호한 재질로 형성되는 것이 바람직하며, 예를 들어 금속 재질 또는 수지 재질로 형성될 수 있다.
- [0084] 상기 발광모듈부(1130)은 기관(1132)과, 상기 기관(1132)에 탑재되는 적어도 하나의 발광소자 패키지(200)를 포함할 수 있다.
- [0085] 상기 기관(1132)은 절연체에 회로 패턴이 인쇄된 것일 수 있으며, 예를 들어, 일반 인쇄회로기판(PCB: Printed Circuit Board), 메탈 코어(Metal Core) PCB, 연성(Flexible) PCB, 세라믹 PCB 등을 포함할 수 있다.
- [0086] 또한, 상기 기관(1132)은 빛을 효율적으로 반사하는 재질로 형성되거나, 표면이 빛이 효율적으로 반사되는 컬러, 예를 들어 백색, 은색 등으로 형성될 수 있다.
- [0087] 상기 기관(1132) 상에는 상기 적어도 하나의 발광소자 패키지(200)가 탑재될 수 있다. 상기 발광소자 패키지(200) 각각은 적어도 하나의 발광 다이오드(LED: Light Emitting Diode)(100)를 포함할 수 있다. 상기 발광 다이오드(100)는 적색, 녹색, 청색 또는 백색의 유색 빛을 각각 발광하는 유색 발광 다이오드 및 자외선(UV, UltraViolet)을 발광하는 UV 발광 다이오드를 포함할 수 있다.
- [0088] 상기 발광모듈부(1130)는 색감 및 휘도를 얻기 위해 다양한 발광소자 패키지(200)의 조합을 가지도록 배치될 수 있다. 예를 들어, 고 연색성(CRI)을 확보하기 위해 백색 발광 다이오드, 적색 발광 다이오드 및 녹색 발광 다이오드를 조합하여 배치할 수 있다.
- [0089] 상기 연결 단자(1120)는 상기 발광모듈부(1130)와 전기적으로 연결되어 전원을 공급할 수 있다. 도 12에 도시된 것에 따르면, 상기 연결 단자(1120)는 소켓 방식으로 외부 전원에 돌려 끼워져 결합되지만, 이에 대해 한정하지는 않는다. 예를 들어, 상기 연결 단자(1120)는 핀(pin) 형태로 형성되어 외부 전원에 삽입되거나, 배선에 의해 외부 전원에 연결될 수도 있는 것이다.
- [0090] 도 13는 실시예에 따른 백라이트 유닛의 분해 사시도(1200)이다.
- [0091] 실시예에 따른 백라이트 유닛(1200)은 도광판(1210)과, 상기 도광판(1210)에 빛을 제공하는 발광모듈부(1240)와, 상기 도광판(1210) 아래에 반사 부재(1220)와, 상기 도광판(1210), 발광모듈부(1240) 및 반사 부재(1220)를 수납하는 바텀 커버(1230)를 포함할 수 있으나 이에 한정되지 않는다.
- [0092] 상기 도광판(1210)은 빛을 확산시켜 면광원화 시키는 역할을 한다. 상기 도광판(1210)은 투명한 재질로 이루어지며, 예를 들어, PMMA(polymethyl metaacrylate)와 같은 아크릴 수지 계열, PET(polyethylene terephthalate), PC(poly carbonate), COC(cycloolefin copolymer) 및 PEN(polyethylene naphthalate) 수지 중 하나를 포함할 수 있다.
- [0093] 상기 발광모듈부(1240)는 상기 도광판(1210)의 적어도 일 측면에 빛을 제공하며, 궁극적으로는 상기 백라이트 유닛이 설치되는 디스플레이 장치의 광원으로써 작용하게 된다.
- [0094] 상기 발광모듈부(1240)는 상기 도광판(1210)과 접할 수 있으나 이에 한정되지 않는다. 구체적으로는, 상기 발광모듈부(1240)는 기관(1242)과, 상기 기관(1242)에 탑재된 다수의 발광소자 패키지(200)를 포함하는데, 상기 기관(1242)이 상기 도광판(1210)과 접할 수 있으나 이에 한정되지 않는다.
- [0095] 상기 기관(1242)은 회로패턴(미도시)을 포함하는 인쇄회로기판(PCB, Printed Circuit Board)일 수 있다. 다만, 상기 기관(1242)은 일반 PCB 뿐 아니라, 메탈 코어 PCB(MCPCB, Metal Core PCB), 연성 PCB(FPCB, Flexible PCB) 등을 포함할 수도 있으며, 이에 대해 한정하지는 않는다.
- [0096] 그리고, 상기 다수의 발광소자 패키지(200)는 상기 기관(1242) 상에 빛이 방출되는 발광면이 상기 도광판(1210)과 소정 거리 이격되도록 탑재될 수 있다.

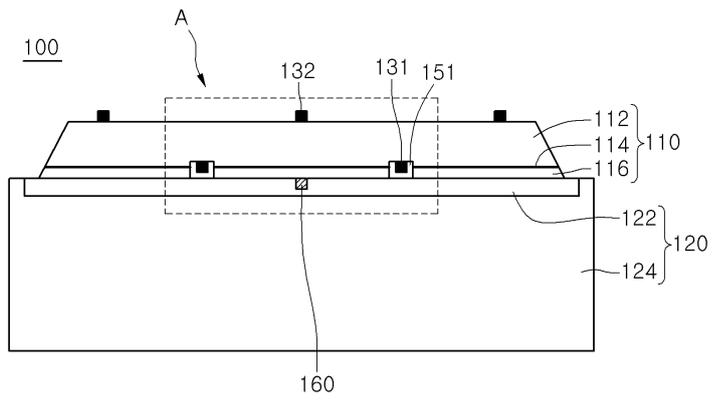
- [0097] 상기 도광판(1210) 아래에는 상기 반사 부재(1220)가 형성될 수 있다. 상기 반사 부재(1220)는 상기 도광판(1210)의 하면으로 입사된 빛을 반사시켜 위로 향하게 함으로써, 상기 백라이트 유닛의 휘도를 향상시킬 수 있다. 상기 반사 부재(1220)는 예를 들어, PET, PC, PVC 레진 등으로 형성될 수 있으나, 이에 대해 한정하지는 않는다.
- [0098] 상기 바텀 커버(1230)는 상기 도광판(1210), 발광모듈부(1240) 및 반사 부재(1220) 등을 수납할 수 있다. 이를 위해, 상기 바텀 커버(1230)는 상면이 개구된 박스(box) 형상으로 형성될 수 있으나, 이에 대해 한정하지는 않는다.
- [0099] 상기 바텀 커버(1230)는 금속 재질 또는 수지 재질로 형성될 수 있으며, 프레스 성형 또는 압출 성형 등의 공정을 이용하여 제조될 수 있다.
- [0100] 실시예에 따른 발광소자, 발광소자 패키지 및 조명시스템에 의하면, n-GaN 표면의 n-전극(n-electrode) 뿐만 아니라, 하부(bottom) 영역에 매립된 n-전극(buried n-electrode)을 배치함으로써 수직형 LED 칩(chip)의 전류확산(current spreading)을 효과적으로 개선할 수 있다.
- [0101] 이상에서 실시예들에 설명된 특징, 구조, 효과 등은 적어도 하나의 실시예에 포함되며, 반드시 하나의 실시예에만 한정되는 것은 아니다. 나아가, 각 실시예에서 예시된 특징, 구조, 효과 등은 실시예들이 속하는 분야의 통상의 지식을 가지는 자에 의해 다른 실시예들에 대해서도 조합 또는 변형되어 실시 가능하다. 따라서 이러한 조합과 변형에 관계된 내용들은 실시예의 범위에 포함되는 것으로 해석되어야 할 것이다.
- [0102] 이상에서 실시예를 중심으로 설명하였으나 이는 단지 예시일 뿐 실시예를 한정하는 것이 아니며, 실시예가 속하는 분야의 통상의 지식을 가진 자라면 본 실시예의 본질적인 특성을 벗어나지 않는 범위에서 이상에 예시되지 않은 여러 가지의 변형과 응용이 가능함을 알 수 있을 것이다. 예를 들어, 실시예에 구체적으로 나타난 각 구성 요소는 변형하여 실시할 수 있는 것이다. 그리고 이러한 변형과 응용에 관계된 차이점들은 첨부된 청구 범위에서 설정하는 실시예의 범위에 포함되는 것으로 해석되어야 할 것이다.

도면

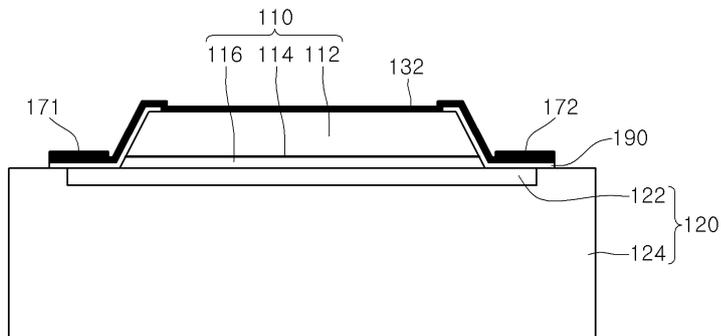
도면1



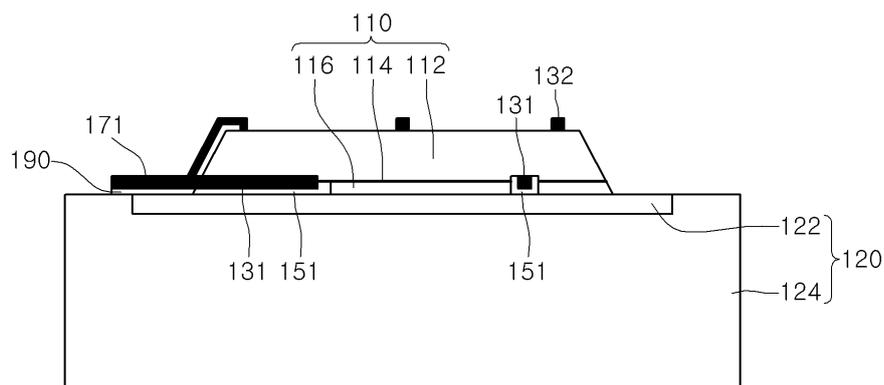
도면2



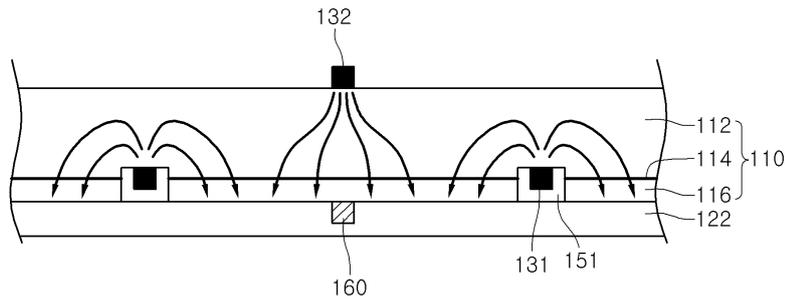
도면3a



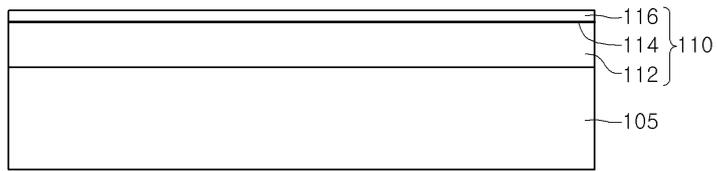
도면3b



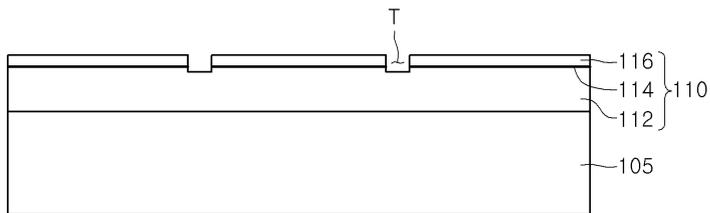
도면4



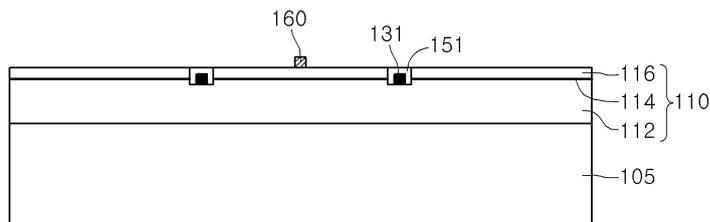
도면5



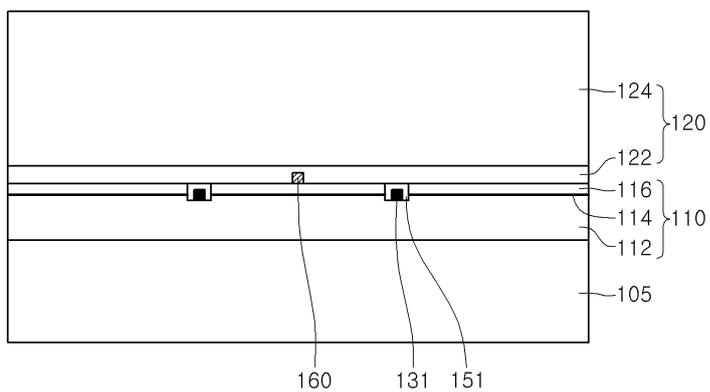
도면6



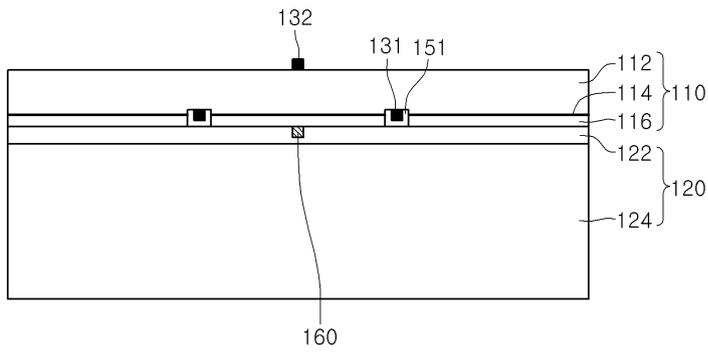
도면7



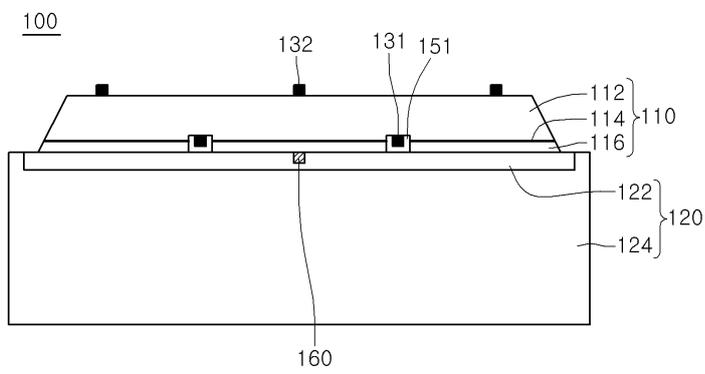
도면8



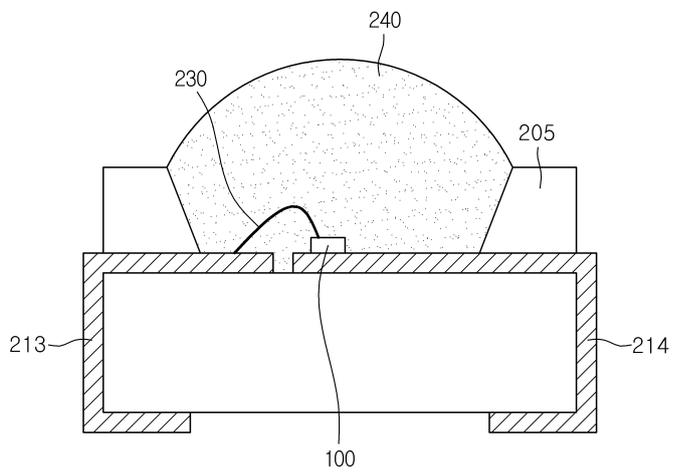
도면9



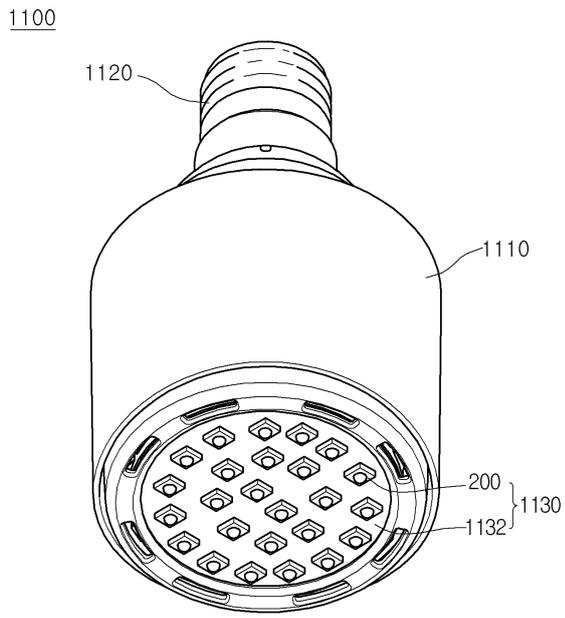
도면10



도면11



도면12



도면13

