



(12) 发明专利

(10) 授权公告号 CN 112765926 B

(45) 授权公告日 2024. 07. 09

(21) 申请号 202110095618.0

(22) 申请日 2021.01.25

(65) 同一申请的已公布的文献号

申请公布号 CN 112765926 A

(43) 申请公布日 2021.05.07

(73) 专利权人 中国科学院微电子研究所

地址 100029 北京市朝阳区北土城西路3号

(72) 发明人 郭燕萍 闫珍珍 许婷 卜建辉

刘海南 赵发展 罗家俊 韩郑生

(74) 专利代理机构 北京华沛德权律师事务所

11302

专利代理师 房德权

(51) Int. Cl.

G06F 30/392 (2020.01)

G06F 115/10 (2020.01)

(56) 对比文件

CN 104992723 A, 2015.10.21

CN 110729007 A, 2020.01.24

审查员 于景

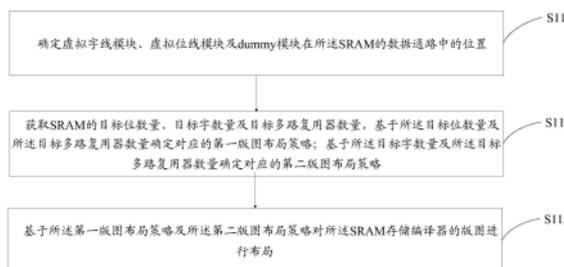
权利要求书3页 说明书12页 附图13页

(54) 发明名称

一种SRAM的版图布局方法及装置

(57) 摘要

本发明提供一种SRAM的版图布局方法及装置,方法包括:确定虚拟字线模块、虚拟位线模块、dummy模块在SRAM数据通路中的位置;基于SRAM的目标位数量及目标多路复用器数量确定对应的第一版图布局策略;基于目标字的数量及目标多路复用器数量确定对应的第二版图布局策略;基于第一版图布局策略及第二版图布局策略对SRAM的版图进行布局;如此,当SRAM的字、位以及mux的数目发生变化时,可以根据字的数量、位的数量及多路复用器的数量自动确定出对应的版图布局策略,无需利用人工对不同容量的SRAM存储器编译器进行单独定制,可高效率地实现存储编译器版图布局的自动化拼接和扩展,提高存储编译器的设计效率。



1. 一种SRAM的版图布局方法,其特征在于,所述方法包括:

确定虚拟字线模块、虚拟位线模块及dummy模块在静态随机存取存储器SRAM数据通路中的位置;

获取所述SRAM的目标位数量、目标字数量及目标多路复用器数量,基于所述目标位数量及所述目标多路复用器数量确定对应的第一版图布局策略;基于所述目标字数量及所述目标多路复用器数量确定对应的第二版图布局策略;

基于所述第一版图布局策略及所述第二版图布局策略对所述SRAM的版图进行布局。

2. 如权利要求1所述的方法,其特征在于,方法还包括:

当所述SRAM的端口为双端口时,确定所述虚拟字线模块包括:第一虚拟字线模块及第二虚拟字线模块;所述虚拟位线模块包括:第一虚拟位线模块及第二虚拟位线模块;所述dummy模块包括:第一dummy模块及第二dummy模块;其中,

所述第一虚拟字线模块及所述第二虚拟字线模块均包括:第一字线模块、第二字线模块及第三字线模块;所述第一字线模块、所述第二字线模块及所述第三字线模块包括三行四列的存储单元;所述第一字线模块中的字线处于连接状态,所述第二字线模块及所述第三字线模块的字线处于断开状态,所述第二字线模块及所述第三字线模块的字线断开位置不同。

3. 如权利要求1所述的方法,其特征在于,所述基于所述目标位数量及所述目标多路复用器数量确定对应的第一版图布局策略,包括:

当目标位数量 M 为偶数, $M/2$ 为偶数,且所述目标多路复用器数量 $\text{mux} = 4$ 时,第一虚拟字线模块对应的版图布局策略包括:基于第一虚拟字线模块在所述数据通路中的位置,依次布局 $M/4$ 个第一字线模块、1个第二字线模块及 $(M/4) - 1$ 个所述第一字线模块;

当所述目标位数量 M 为偶数, $M/2$ 为奇数,且所述 $\text{mux} = 4$ 时,所述第一虚拟字线模块对应的第一版图布局策略包括:基于第一虚拟字线模块在所述数据通路中的位置,依次布局 $[(M/2) - 1]/2$ 个所述第一字线模块、1个第三字线模块及 $[(M/2) - 1]/2$ 个所述第一字线模块;

当所述目标位数量 M 为奇数, $(M-1)/2$ 为偶数,且所述 $\text{mux} = 4$ 时,所述第一虚拟字线模块对应的第一版图布局策略包括:基于所述第一虚拟字线模块在所述数据通路中的位置,依次布局 $(M-1)/4$ 个所述第一字线模块、1个所述第三字线模块及 $(M-1)/4$ 个所述第一字线模块;

当所述目标位数量 M 为偶数, $(M-1)/2$ 为奇数,且所述 $\text{mux} = 4$ 时,所述第一虚拟字线模块对应的第一版图布局策略包括:基于所述第一虚拟字线模块在所述数据通路中的位置,依次布局 $(M+1)/4$ 个所述第一字线模块、1个所述第二字线模块及 $[(M+1)/4] - 1$ 个所述第一字线模块。

4. 如权利要求1所述的方法,其特征在于,基于所述目标位数量及所述目标多路复用器数量确定对应的第一版图布局策略,包括:

当目标位数量 M 为偶数,且所述目标多路复用器数量 $\text{mux} = 8$ 或 16 时,第一虚拟字线模块对应的第一版图布局策略包括:基于第一虚拟字线模块在所述数据通路中的位置,依次布局 $(\text{mux} * M)/16$ 个第一字线模块、1个第二字线模块及 $[(\text{mux} * M)/16] - 1$ 个所述第一字线模块;

当所述目标位数量 M 为奇数,且所述 $\text{mux} = 8$ 或 16 时,所述第一虚拟字线模块对应的第一版图布局策略包括:基于所述第一虚拟字线模块在所述数据通路中的位置,依次布局 $[\text{mux} *$

(M+1)]/16个所述第一字线模块、1个所述第二字线模块及 $[\text{mux}*(M+1)/16]-1$ 个所述第一字线模块。

5. 如权利要求1所述的方法,其特征在于,基于所述目标位数量及所述目标多路复用器数量确定对应的第一版图布局策略,包括:

当目标位数量M为偶数, $M/2$ 为偶数,且所述目标多路复用器数量 $\text{mux}=4$ 时,第二虚拟字线模块对应的第一版图布局策略包括:基于第二虚拟字线模块在所述数据通路中的位置,依次布局 $M/4$ 个第一字线模块、1个第二字线模块及 $(M/4)-1$ 个所述第一字线模块;

当所述目标位数量M为偶数, $M/2$ 为奇数,且所述 $\text{mux}=4$ 时,所述第二虚拟字线模块对应的第一版图布局策略包括:基于所述第二虚拟字线模块在所述数据通路中的位置,依次布局 $[(M/2)-1]/2$ 个所述第一字线模块、1个第三字线模块及 $[(M/2)-1]/2$ 个所述第一字线模块;

当所述目标位数量M为奇数, $(M-1)/2$ 为偶数,且所述 $\text{mux}=4$ 时,所述第二虚拟字线模块对应的第一版图布局策略包括:基于所述第二虚拟字线模块在所述数据通路中的位置,依次布局 $(M-1)/4$ 个所述第一字线模块、1个所述第三字线模块及 $[(M-1)/4]-1$ 个所述第一字线模块;

当所述目标位数量M为除3之外的奇数, $(M-1)/2$ 为奇数,且所述 $\text{mux}=4$ 时,所述第二虚拟字线模块对应的第一版图布局策略包括:基于所述第二虚拟字线模块在所述数据通路中的位置,依次布局 $[(M-1)/2+1]/2$ 个所述第一字线模块、1个所述第二字线模块及 $[(M-1)/2]-[(M-1)/2+1]/2-1$ 个所述第一字线模块;

当所述目标位数量M为3,且所述 $\text{mux}=4$ 时,所述第二虚拟字线模块对应的第一版图布局策略包括:基于所述第二虚拟字线模块在所述数据通路中的位置,布局1个所述第一字线模块。

6. 如权利要求1所述的方法,其特征在于,基于所述目标位数量及所述目标多路复用器数量确定对应的第一版图布局策略,包括:

当目标位数量M为偶数,且所述目标多路复用器数量 $\text{mux}=8$ 或 16 时,第二虚拟字线模块对应的第一版图布局策略包括:基于第二虚拟字线模块在所述数据通路中的位置,依次布局 $(\text{mux}*M)/16$ 个第一字线模块、1个第二字线模块及 $[(\text{mux}*M)/16]-1$ 个所述第一字线模块;

当所述目标位数量M为除3之外的奇数,且所述 $\text{mux}=8$ 或 16 时,所述第二虚拟字线模块对应的第一版图布局策略包括:基于所述第二虚拟字线模块在所述数据通路中的位置,依次布局 $[\text{mux}*(M+1)]/16$ 个所述第一字线模块、1个所述第二字线模块及 $\text{mux}*(M-1)/8-\text{mux}*(M+1)/16-1$ 个所述第一字线模块;

当所述目标位数量M为3,且所述 $\text{mux}=8$ 或 16 时,所述第二虚拟字线模块对应的第一版图布局策略包括:基于所述第二虚拟字线模块在所述数据通路中的位置,依次布局 $[\text{mux}*(M+1)]/16$ 个所述第一字线模块。

7. 如权利要求1所述的方法,其特征在于,基于所述目标字数量及所述目标多路复用器数量确定对应的第二版图布局策略,包括:

针对第一虚拟位线模块及第二虚拟位线模块,根据 $N/(2*\text{mux})$ 确定所述第一虚拟位线模块及所述第二虚拟位线模块包含的存储单元结构的数量,所述存储单元结构包括:两行一列的存储单元;

基于所述第一虚拟位线模块及所述第二虚拟位线模块在所述数据通路中的位置,按照预设的布局方向依次布局所述存储单元结构;其中,

所述N为所述目标字数量,所述mux为所述目标多路复用器数量,所述第一虚拟位线模块及所述第二虚拟位线模块的字线与公共接地端VSS相连;所述第一虚拟位线模块中每个存储单元的第一位线与第一虚拟位线相连,所述第一虚拟位线模块中每个存储单元的第二位线与电源VDD相连;所述第二虚拟位线模块中每个存储单元的第一位线与所述VDD相连,所述第二虚拟位线模块中每个存储单元的第二位线与第二虚拟位线相连。

8. 如权利要求1所述的方法,其特征在于,基于所述目标字数量及所述目标多路复用器数量确定对应的第二版图布局策略,包括:

针对第二dummy模块,根据 $N/(2 * mux)$ 确定所述第二dummy模块的数量;第一dummy模块的数量包括1个;所述第一dummy模块包括三行一列的存储单元;其中,

所述N为所述目标字数量,所述mux为目标多路复用器数量,所述第一dummy模块与第一虚拟字线模块拼接,所述第二dummy模块的位线连接电源VDD。

9. 一种SRAM的版图布局装置,其特征在于,所述装置包括:

第一确定单元,用于确定虚拟字线模块、虚拟位线模块及dummy模块在静态随机存取存储器SRAM的数据通路中的位置;

第二确定单元,用于获取SRAM的目标位数量、目标字数量及目标多路复用器数量,基于所述目标位数量及所述目标多路复用器数量确定对应的第一版图布局策略;基于所述目标字数量及所述目标多路复用器数量确定对应的第二版图布局策略;

布局单元,用于基于所述第一版图布局策略及所述第二版图布局策略对所述SRAM的版图进行布局。

10. 如权利要求9所述的装置,其特征在于,所述第一确定单元还用于:

当所述SRAM的端口为双端口时,确定所述虚拟字线模块包括:第一虚拟字线模块及第二虚拟字线模块;所述虚拟位线模块包括:第一虚拟位线模块及第二虚拟位线模块;所述dummy模块包括:第一dummy模块及第二dummy模块;其中,

所述第一虚拟字线模块及所述第二虚拟字线模块均包括:第一字线模块、第二字线模块及第三字线模块;所述第一字线模块、所述第二字线模块及所述第三字线模块为三行四列的存储单元;所述第一字线模块中的字线处于连接状态,所述第二字线模块及所述第三字线模块的字线处于断开状态,所述第二字线模块及所述第三字线模块的字线断开位置不同。

一种SRAM的版图布局方法及装置

技术领域

[0001] 本发明涉及半导体技术领域,尤其涉及一种SRAM的版图布局方法及装置。

背景技术

[0002] 随着集成电路行业技术提高,产品的智能化越来越高,其内部的核心处理频率越来越高,功能也越来越强大。在微处理器以及片上处理系统(SOC, System On Chip)中,静态随机存取存储器(SRAM, Static Random-Access Memory)占据的芯片面积在持续增加,这使得存储器延时和功耗也在相应的增加,高速低功耗已经成为未来集成电路的发展趋势。因此,研究高速低功耗SRAM技术对集成电路的发展具有重要意义。

[0003] 对于SRAM存储器编译器(Memory Compiler)来说,用户一般根据存储编译器的产生器来产生所需要的存储器。所产生的存储器的面积、功耗、以及速度对用户来说都是非常重要的。要实现生成面积小、功耗低、速度快的SRAM,需要对SRAM数据通路进行优化,那么SRAM数据通路的版图布局方法就至关重要。

[0004] 现有技术中采取的方法一般是针对单一容量的SRAM进行版图定制设计,但是当字、位以及多路复用mux(multiplexer)的数目发生变化时,每次均需要对不同容量的SRAM版图布局进行重新设计,导致版图布局流程较为繁琐,版图布局效率得不到确保。

发明内容

[0005] 针对现有技术存在的问题,本发明实施例提供了一种SRAM的版图布局方法及装置,用于解决现有技术中对不同容量的SRAM需要进行版图布局时,均需要单独为对应容量的SRAM进行单独定制,导致SRAM版图布局流程繁琐,版图布局效率得不到确保的技术问题。

[0006] 本发明提供一种SRAM的版图布局方法,所述方法包括:

[0007] 确定虚拟字线模块、虚拟位线模块及dummy模块在静态随机存取存储器SRAM的数据通路中的位置;

[0008] 获取所述SRAM的目标位数量、目标字数量及目标多路复用器数量,基于所述目标位数量及所述目标多路复用器数量确定对应的第一版图布局策略;基于所述目标字数量及所述目标多路复用器数量确定对应的第二版图布局策略;

[0009] 基于所述第一版图布局策略及所述第二版图布局策略对所述SRAM的版图进行布局。

[0010] 上述方案中,方法还包括:

[0011] 当所述SRAM的端口为双端口时,确定所述虚拟字线模块包括:第一虚拟字线模块及第二虚拟字线模块;所述虚拟位线模块包括:第一虚拟位线模块及第二虚拟位线模块;所述dummy模块包括:第一dummy模块及第二dummy模块;其中,

[0012] 所述第一虚拟字线模块及所述第二虚拟字线模块均包括:第一字线模块、第二字线模块及第三字线模块;所述第一字线模块、所述第二字线模块及所述第三字线模块包括三行四列的存储单元;所述第一字线模块中的字线处于连接状态,所述第二字线模块及所

述第三字线模块的字线处于断开状态,所述第二字线模块及所述第三字线模块的字线断开位置不同。

[0013] 上述方案中,所述基于所述目标位数量及所述目标多路复用器数量确定对应的第一版图布局策略,包括:

[0014] 当目标位数量 M 为偶数, $M/2$ 为偶数,且所述目标多路复用器数量 $\text{mux}=4$ 时,第一虚拟字线模块对应的版图布局策略包括:基于第一虚拟字线模块在所述数据通路中的位置,依次布局 $M/4$ 个第一字线模块、1个第二字线模块及 $(M/4)-1$ 个所述第一字线模块;

[0015] 当所述目标位数量 M 为偶数, $M/2$ 为奇数,且所述 $\text{mux}=4$ 时,所述第一虚拟字线模块对应的第一版图布局策略包括:基于第一虚拟字线模块在所述数据通路中的位置,依次布局 $[(M/2)-1]/2$ 个所述第一字线模块、1个第三字线模块及 $[(M/2)-1]/2$ 个所述第一字线模块;

[0016] 当所述目标位数量 M 为奇数, $(M-1)/2$ 为偶数,且所述 $\text{mux}=4$ 时,所述第一虚拟字线模块对应的第一版图布局策略包括:基于所述第一虚拟字线模块在所述数据通路中的位置,依次布局 $(M-1)/4$ 个所述第一字线模块、1个所述第三字线模块及 $(M-1)/4$ 个所述第一字线模块;

[0017] 当所述目标位数量 M 为偶数, $(M-1)/2$ 为奇数,且所述 $\text{mux}=4$ 时,所述第一虚拟字线模块对应的第一版图布局策略包括:基于所述第一虚拟字线模块在所述数据通路中的位置,依次布局 $(M+1)/4$ 个所述第一字线模块、1个所述第二字线模块及 $[(M+1)/4]-1$ 个所述第一字线模块。

[0018] 上述方案中,基于所述目标位数量及所述目标多路复用器数量确定对应的第一版图布局策略,包括:

[0019] 当所述目标位数量为偶数,且所述目标多路复用器数量 $\text{mux}=8$ 或 16 时,所述第一虚拟字线模块对应的第一版图布局策略包括:基于第一虚拟字线模块在所述数据通路中的位置,依次布局 $(\text{mux}*M)/16$ 个第一字线模块、1个第二字线模块及 $[(\text{mux}*M)/16]-1$ 个所述第一字线模块;

[0020] 当所述目标位数量 M 为奇数,且所述 $\text{mux}=8$ 或 16 时,所述第一虚拟字线模块对应的第一版图布局策略包括:基于所述第一虚拟字线模块在所述数据通路中的位置,依次布局 $[\text{mux}*(M+1)]/16$ 个所述第一字线模块、1个所述第二字线模块及 $[\text{mux}*(M+1)/16]-1$ 个所述第一字线模块。

[0021] 上述方案中,基于所述目标位数量及所述目标多路复用器数量确定对应的第一版图布局策略,包括:

[0022] 当所述目标位数量 M 为偶数, $M/2$ 为偶数,且所述目标多路复用器数量 $\text{mux}=4$ 时,第二虚拟字线模块对应的第一版图布局策略包括:基于第二虚拟字线模块在所述数据通路中的位置,依次布局 $M/4$ 个第一字线模块、1个第二字线模块及 $(M/4)-1$ 个所述第一字线模块;

[0023] 当所述目标位数量 M 为偶数, $M/2$ 为奇数,且所述 $\text{mux}=4$ 时,所述第二虚拟字线模块对应的第一版图布局策略包括:基于所述第二虚拟字线模块在所述数据通路中的位置,依次布局 $[(M/2)-1]/2$ 个所述第一字线模块、1个第三字线模块及 $[(M/2)-1]/2$ 个所述第一字线模块;

[0024] 当所述目标位数量 M 为奇数, $(M-1)/2$ 为偶数,且所述 $\text{mux}=4$ 时,所述第二虚拟字线

模块对应的第一版图布局策略包括:基于所述第二虚拟字线模块在所述数据通路中的位置,依次布局 $(M-1)/4$ 个所述第一字线模块、1个所述第三字线模块及 $[(M-1)/4]-1$ 个所述第一字线模块;

[0025] 当所述目标位数量 M 为除3之外的奇数, $(M-1)/2$ 为奇数,且所述 $\text{mux}=4$ 时,所述第二虚拟字线模块对应的第一版图布局策略包括:基于所述第二虚拟字线模块在所述数据通路中的位置,依次布局 $[(M-1)/2+1]/2$ 个所述第一字线模块、1个所述第二字线模块及 $[(M-1)/2]-[(M-1)/2+1]/2-1$ 个所述第一字线模块;

[0026] 当所述目标位数量 M 为3,且所述 $\text{mux}=4$ 时,所述第二虚拟字线模块对应的第一版图布局策略包括:基于所述第二虚拟字线模块在所述数据通路中的位置,布局1个所述第一字线模块。

[0027] 上述方案中,基于所述目标位数量及所述目标多路复用器数量确定对应的第一版图布局策略,包括:

[0028] 当所述目标位数量 M 为偶数,且所述目标多路复用器数量 $\text{mux}=8$ 或 16 时,所述第二虚拟字线模块对应的第一版图布局策略包括:基于第二虚拟字线模块在所述数据通路中的位置,依次布局 $(\text{mux}*M)/16$ 个第一字线模块、1个第二字线模块及 $[(\text{mux}*M)/16]-1$ 个所述第一字线模块;

[0029] 当所述目标位数量 M 为除3之外的奇数,且所述 $\text{mux}=8$ 或 16 时,所述第二虚拟字线模块对应的第一版图布局策略包括:基于所述第二虚拟字线模块在所述数据通路中的位置,依次布局 $[\text{mux}*(M+1)]/16$ 个所述第一字线模块、1个所述第二字线模块及 $\text{mux}*(M-1)/8-\text{mux}*(M+1)/16-1$ 个所述第一字线模块;

[0030] 当所述目标位数量 M 为3,且所述 $\text{mux}=8$ 或 16 时,所述第二虚拟字线模块对应的第一版图布局策略包括:基于所述第二虚拟字线模块在所述数据通路中的位置,依次布局 $[\text{mux}*(M+1)]/16$ 个所述第一字线模块。

[0031] 上述方案中,基于所述目标字数量及所述目标多路复用器数量确定对应的第二版图布局策略,包括:

[0032] 针对第一虚拟位线模块及第二虚拟位线模块,根据 $N/(2*\text{mux})$ 确定所述第一虚拟位线模块及所述第二虚拟位线模块包含的存储单元结构的数量,所述存储单元结构包括:两行一列的存储单元;

[0033] 基于所述第一虚拟位线模块及所述第二虚拟位线模块在所述数据通路中的位置,按照预设的布局方向依次布局所述存储单元结构;其中,

[0034] 所述 N 为所述目标字数量,所述 mux 为目标多路复用器数量,所述第一虚拟位线模块及所述第二虚拟位线模块的字线与公共接地端 VSS 相连;所述第一虚拟位线模块中每个存储单元的第一位线与第一虚拟位线相连,所述第一虚拟位线模块中每个存储单元的第二位线与电源 VDD 相连;所述第二虚拟位线模块中每个存储单元的第一位线与所述 VDD 相连,所述第二虚拟位线模块中每个存储单元的第二位线与第二虚拟位线相连。

[0035] 上述方案中,基于所述目标字数量及所述目标多路复用器数量确定对应的第二版图布局策略,包括:

[0036] 针对第二dummy模块,根据 $N/(2*\text{mux})$ 确定所述第二dummy模块的数量;所述第一dummy模块的数量包括1个;所述第一dummy模块包括三行一列的存储单元;其中,

[0037] 所述N为所述目标字数量,所述mux为目标多路复用器数量,所述第一dummy模块与所述第一虚拟字线模块拼接,所述第二dummy模块的位线连接电源VDD。

[0038] 本发明还提供一种SRAM的版图布局装置,所述装置包括:

[0039] 第一确定单元,用于确定虚拟字线模块、虚拟位线模块及dummy模块在静态随机存储器SRAM的数据通路中的位置;

[0040] 第二确定单元,用于获取SRAM的目标位数量、目标字数量及目标多路复用器数量,基于所述目标位数量及所述目标多路复用器数量确定对应的第一版图布局策略;基于所述目标字数量及所述目标多路复用器数量确定对应的第二版图布局策略;

[0041] 布局单元,用于基于所述第一版图布局策略及所述第二版图布局策略对所述SRAM的版图进行布局。

[0042] 上述方案中,所述第一确定单元具体还用于:

[0043] 当所述SRAM的端口为双端口时,确定所述虚拟字线模块包括:第一虚拟字线模块及第二虚拟字线模块;所述虚拟位线模块包括:第一虚拟位线模块及第二虚拟位线模块;所述dummy模块包括:第一dummy模块及第二dummy模块;其中,

[0044] 所述第一虚拟字线模块及所述第二虚拟字线模块均包括:第一字线模块、第二字线模块及第三字线模块;所述第一字线模块、所述第二字线模块及所述第三字线模块为三行四列的存储单元;所述第一字线模块中的字线处于连接状态,所述第二字线模块及所述第三字线模块的字线处于断开状态,所述第二字线模块及所述第三字线模块的字线断开位置不同。

[0045] 本发明提供了一种SRAM的版图布局方法及装置,方法包括:确定虚拟字线模块、虚拟位线模块及dummy模块在SRAM数据通路中的位置;获取SRAM的目标位数量、目标字数量及目标多路复用器数量,基于所目标位数量及所述目标多路复用器数量确定对应的第一版图布局策略;基于所述目标字数量及所述目标多路复用器数量确定对应的第二版图布局策略;基于所述第一版图布局策略及所述第二版图布局策略对所述SRAM的版图进行设计;如此,当SRAM的字、位以及目标多路复用器数量mux的数目发生变化时,可以根据字、位及mux数量自动确定出对应的版图布局策略,无需利用人工再对不同容量的SRAM进行单独定制,可以高效率地实现SRAM版图布局的自动化设计和扩展,进而可以提高存SRAM版图的设计效率。

附图说明

[0046] 通过阅读下文优选实施方式的详细描述,各种其他的优点和益处对于本领域普通技术人员将变得清楚明了。附图仅用于示出优选实施方式的目的,而并不认为是对本发明的限制。而且在整个附图中,用相同的参考符号表示相同的部件。在附图中:

[0047] 图1为本发明实施例提供的SRAM的版图布局方法流程示意图;

[0048] 图2为本发明实施例提供的第一字线模块的结构示意图;

[0049] 图3为本发明实施例提供的第二字线模块的结构示意图;

[0050] 图4为本发明实施例提供的第三字线模块的结构示意图;

[0051] 图5为本发明实施例提供的双端口SRAM的版图结构示意图;

[0052] 图6为本发明实施例提供的第一虚拟位线模块、第一虚拟字线模块及第一dummy模

块的位置示意图；

[0053] 图7为本发明实施例提供的第二虚拟位线模块、第二虚拟字线模块及第二dummy模块的位置示意图；

[0054] 图8为本发明实施例提供的目标位数量M为偶数， $M/2$ 为偶数，且 $\text{mux}=4$ 时第一虚拟字线模块对应的版图布局示意图；

[0055] 图9为本发明实施例提供的目标位数量M为偶数， $M/2$ 为奇数，且 $\text{mux}=4$ 时第一虚拟字线模块对应的版图布局示意图；

[0056] 图10为本发明实施例提供的目标位数量M为奇数， $(M-1)/2$ 为偶数，且 $\text{mux}=4$ 时，第一虚拟字线模块对应的版图布局示意图；

[0057] 图11为本发明实施例提供的目标位数量M为奇数， $(M-1)/2$ 为奇数，且 $\text{mux}=4$ 时，第一虚拟字线模块对应的版图布局示意图；

[0058] 图12为本发明实施例提供的目标位数量M为偶数，且 $\text{mux}=8$ 或 16 时，第一虚拟字线模块对应的版图布局示意图；

[0059] 图13为本发明实施例提供的目标位数量M为奇数，且 $\text{mux}=8$ 或 16 时，第一虚拟字线模块对应的版图布局示意图；

[0060] 图14为本发明实施例提供的目标位数量M为奇数， $(M-1)/2$ 为偶数，且 $\text{mux}=4$ 时，第二虚拟字线模块对应的版图布局示意图；

[0061] 图15为本发明实施例提供的目标位数量M为除3之外的奇数， $(M-1)/2$ 为奇数，且 $\text{mux}=4$ 时，第二虚拟字线模块对应的版图布局示意图；

[0062] 图16为本发明实施例提供的目标位数量M为3，且 $\text{mux}=4$ 时，第二虚拟字线模块对应的版图布局示意图；

[0063] 图17为本发明实施例提供的目标位数量M为偶数，且 $\text{mux}=8$ 或 16 时，第二虚拟字线模块对应的版图布局示意图；

[0064] 图18为本发明实施例提供的目标位数量M为除3之外的奇数，且 $\text{mux}=8$ 或 16 时，第二虚拟字线模块对应的版图布局示意图；

[0065] 图19为本发明实施例提供的目标位数量M为3，且 $\text{mux}=8$ 或 16 时，第二虚拟字线模块对应的版图布局示意图；

[0066] 图20为本发明实施例提供的第一虚拟位线模块对应的版图布局示意图；

[0067] 图21为本发明实施例提供的第二虚拟位线模块对应的版图布局示意图；

[0068] 图22为本发明实施例提供的第一dummy模块及第二dummy模块对应的版图布局示意图；

[0069] 图23为本发明实施例提供的SRAM的版图布局装置结构示意图。

具体实施方式

[0070] 为了解决现有技术中对不同容量的SRAM进行版图布局时，均需要单独为对应容量的SRAM进行单独定制，导致SRAM版图布局流程繁琐，版图布局效率得不到确保的技术问题。本发明提供了一种SRAM的版图布局方法及装置。

[0071] 为了更好的理解上述技术方案，下面通过附图以及具体实施例对本说明书实施例的技术方案做详细的说明，应当理解本说明书实施例以及实施例中的具体特征是对本说明

书实施例技术方案的详细的说明,而不是对本说明书技术方案的限定,在不冲突的情况下,本说明书实施例以及实施例中的技术特征可以相互组合。

[0072] 本实施例提供一种SRAM的版图布局方法,应用在存储编译器中,如图1所示,方法包括:

[0073] S110,确定虚拟字线模块、虚拟位线模块及dummy模块在SRAM数据通路中的位置;

[0074] 这里,存储编译器可理解为用于生成不同容量SRAM的应用工具。本发明实施例提供的方法既可以对已有容量的SRAM进行版图扩展,也可以单独为一个新的SRAM的版图进行布局。

[0075] 因本实施例中SRAM为双端口,也即端口分为两个通路,在确定虚拟字线模块、虚拟位线模块及dummy模块在SRAM数据通路中的位置之前,方法还包括:

[0076] 当SRAM为双端口(也即每个存储单元为双端口存储单元)时,确定虚拟字线模块包括:第一虚拟字线模块及第二虚拟字线模块;虚拟位线模块包括:第一虚拟位线模块及第二虚拟位线模块;dummy模块包括:第一dummy模块及第二dummy模块;其中,第一虚拟字线模块及第二虚拟字线模块均包括:第一字线模块、第二字线模块及第三字线模块;第一字线模块、第二字线模块及第三字线模块包括三行四列的存储单元;第一字线模块中的字线处于连接状态,第二字线模块及第三字线模块的字线处于断开状态,且第二字线模块及第三字线模块的字线断开位置不同。

[0077] 应说明的是,在每个SRAM中均包含虚拟字线模块、虚拟位线模块及dummy模块。举例来说,假设端口包括端口A和端口B,那么每个SRAM包括:端口A的字线WLA,端口A的位线BLA;端口B的字线WLB,端口B的位线BLB。因位线一般是成对出现,因此端口A还包括有与位线BLA对应的位线BLA_,端口B还包括有与位线BLB对应的位线BLB_。

[0078] 具体的,第一字线模块的结构图可参考图2,第二字线模块的结构图可参考图3,第三字线模块的结构图可参考图4。从图2可以看出第一字线模块包含的第一行存储单元(Memory cell)的WLA与公共接地端VSS连接,WLB也与VSS连接;第二行和第三行存储单元的WLA和WLB根据位置不同,连接VSS或者连接虚拟位线。

[0079] 从图3可以看出,第二字线模块的断开位置是在第2行第1列以及第3行列第1列的位置;第2行第1列的存储单元与第3行第1列的存储单元的WLA与虚拟字线MWLA相连,第2行第1列的存储单元与第3行第1列的存储单元的WLB与虚拟字线MWLB相连;其他各存储单元的WLA与VSS连接,WLB也与VSS连接。也即在图3中,第二字线模块的断开位置的左侧部分存储单元的字线与相应的虚拟字线相连,右侧部分作为负载。

[0080] 从图4可以看出,第三字线模块的断开位置是在第2行第2列以及第3行第3列的位置;第2行第1列、第2行第2列、第2行第3列、第3行第1列、第3行第2列、第3行第3列的存储单元的WLA与虚拟字线MWLA相连,第3行第3列的存储单元的WLB和MWLB相连;其他各存储单元的WLA与VSS连接,WLB也与VSS连接。也即在图4中,第三字线模块的断开位置的左侧部分存储单元的字线与相应的虚拟字线相连,右侧部分作为负载。

[0081] 这里,对已具有一定容量的SRAM来说,对SRAM的版图进行扩展时,本实施例为了模拟外部时钟产生片内时钟信号GTP,在SRAM原有的存储阵列中扩展了虚拟字线和虚拟位线,那么虚拟字线包括:端口A的第一虚拟字线MWLA及端口B的第二虚拟字线MWLB;该虚拟位线包括:端口A的第一虚拟位线MBLA及端口B的第二虚拟位线MBLB。

[0082] 然后需要确定出虚拟字线模块、虚拟位线模块及dummy模块在SRAM数据通路中的位置。

[0083] 参考图5,双端口SRAM的版图包括数据通路版图、时钟控制版图及译码版图。本实施例中虚拟字线模块、虚拟位线模块及dummy模块都位于数据通路版图中;其中,数据通路包括:第一数据通路DP_XR_RIGHT及第二数据通路DP_XL_LEFT。第一数据通路位于时钟控制及译码版图的右侧,第二数据通路位于时钟控制及译码版图的左侧。

[0084] 参考图6,对SRAM版图进行扩展后,在第一数据通路中,第一虚拟位线模块位于右侧存储阵列的左侧,第一虚拟字线模块位于右侧存储阵列的上方,第一dummy模块位于右侧存储阵列的右侧,右侧存储阵列的下方还连接有列选通、灵敏放大器及IO电路。从图6可以看出,第一虚拟位线模块、第一虚拟字线模块、第一dummy模块具有标识R0,说明在版图布局中第一虚拟位线模块、第一虚拟字线模块、第一dummy模块无需翻转。

[0085] 参考图7,对SRAM版图进行扩展后,在第二数据通路中,第二虚拟位线模块位于左侧存储阵列的右侧,第二虚拟字线模块位于左侧存储阵列的上方,第二dummy模块位于左侧存储阵列的左侧,左侧存储阵列的下方还连接有列选通、灵敏放大器及IO电路。其中,考虑到整体的对称布局,第二虚拟字线模块、第二虚拟位线模块及第二dummy模块会沿Y轴翻转后再布设在版图中。从图7可以看出,第二虚拟位线模块、第二虚拟字线模块、第二dummy模块具有标识MY,说明在版图布局中第二虚拟位线模块、第二虚拟字线模块、第二dummy模块需沿Y轴翻转,以能在版图中可对称布局,减少走线距离。

[0086] 应说明的是,虚拟字线模块位于版图中离字线驱动电路最远的地方,那么反馈电路中将自动包含金属连线对位线延时的影响,以能实现自定时。自定时策略可更准确地截止字线选通,停止位线放电,减少位线摆幅,因此更有利于降低SRAM的功耗。

[0087] S111,获取SRAM的目标位数量、目标字数量及目标多路复用器数量,基于所述目标位数量及所述目标多路复用器数量确定对应的第一版图布局策略;基于所述目标字数量及所述目标多路复用器数量确定对应的第二版图布局策略;

[0088] 应说明的是,目标位数量M是数据通路的数量;目标位数量M和目标位线BL之间的关系为: $BL = M * \text{mux}$,目标位线BL为总的存储单元的列数。

[0089] 目标字线WL和目标字N之间的关系为: $WL = N / \text{mux}$,目标字线WL是存储单元的行数。

[0090] 因此当目标字线WL、目标位线BL及目标多路复用器的数量确定之后,可以确定出目标位数量M及目标字数量N。

[0091] 第一虚拟字线模块和第二虚拟字线模块的版图扩展都受到M和mux的影响,M为偶数时,第一虚拟字线模块和第二虚拟字线模块对称,版图布局方式相同;M为奇数时,第一虚拟字线模块和第二虚拟字线模块不对称,版图布局方式不同。

[0092] 因此当虚拟字线模块、虚拟位线模块及dummy模块在SRAM的数据通路中的位置确定好之后,获取SRAM的目标位数量M、目标字数量N及目标多路复用器数量mux,基于目标位数量M及目标多路复用器数量mux确定对应的第一版图布局策目标字数量N及目标多路复用器数量确定对应的第二版图布局策略。应说明的是,本发明实施例中的目标位数量M数量至少为2,目标字数量N至少为128。

[0093] 作为一种可选的实施例,基于目标位数量及目标多路复用器数量确定对应的第一版图布局策略,包括:

[0094] 当目标位数量 M 为偶数, $M/2$ 为偶数,且 $\text{mux}=4$ 时,第一虚拟字线模块对应的版图布局策略包括:在版图的正视图中,基于第一虚拟字线模块在第一数据通路中的位置,从左至右依次布局 $M/4$ 个第一字线模块、1个第二字线模块及 $(M/4)-1$ 个第一字线模块。此种情况的版图布局可参考图8。

[0095] 举例来说,当 $M=4$ 时,对应的版图布局策略包括:从左至右依次布局1个第一字线模块和1个第二字线模块。

[0096] 当目标位数量 M 为偶数, $M/2$ 为奇数,且 $\text{mux}=4$ 时,第一虚拟字线模块对应的第一版图布局策略包括:在版图的正视图中,基于第一虚拟字线模块在第一数据通路中的位置,从左至右依次布局 $[(M/2)-1]/2$ 个第一字线模块、1个第三字线模块及 $[(M/2)-1]/2$ 个第一字线模块。此种情况的版图布局可参考图9。

[0097] 举例来说,当 M 为6时,从左至右依次布局1个第一字线模块、1个第三字线模块和1个第一字线模块。

[0098] 当目标位数量 M 为奇数, $(M-1)/2$ 为偶数,且 $\text{mux}=4$ 时,第一虚拟字线模块对应的第一版图布局策略包括:基于第一虚拟字线模块在第一数据通路中的位置,依次布局 $(M-1)/4$ 个第一字线模块、1个第三字线模块及 $(M-1)/4$ 个第一字线模块;此种情况的版图布局可参考图10。

[0099] 举例来说,当 M 为5时,从左至右依次布局1个第一字线模块、1个第三字线模块和1个第一字线模块。

[0100] 当目标位数量 M 为偶数, $(M-1)/2$ 为奇数,且 $\text{mux}=4$ 时,第一虚拟字线模块对应的第一版图布局策略包括:基于第一虚拟字线模块在第一数据通路中的位置,依次布局 $(M+1)/4$ 个第一字线模块、1个第二字线模块及 $[(M+1)/4]-1$ 个第一字线模块;此种情况的版图布局可参考图11。

[0101] 举例来说,当 M 为7时,从左至右依次布局2个第一字线模块、1个第三字线模块和1个第一字线模块。

[0102] 作为一种可选的实施例,当目标位数量 M 为偶数,且 $\text{mux}=8$ 或 16 时,第一虚拟字线模块对应的第一版图布局策略包括:基于第一虚拟字线模块在第一数据通路中的位置,依次布局 $(\text{mux}*M)/16$ 个第一字线模块、1个第二字线模块及 $[(\text{mux}*M)/16]-1$ 个第一字线模块;此种情况的版图布局可参考图12。

[0103] 举例来说,当 M 为2, mux 为8时,从左至右依次布局1个第一字线模块和1个第二字线模块。

[0104] 当目标位数量 M 为奇数,且 $\text{mux}=8$ 或 16 时,第一虚拟字线模块对应的第一版图布局策略包括:基于第一虚拟字线模块在第一数据通路中的位置,从左至右依次布局 $[\text{mux}*(M+1)]/16$ 个第一字线模块、1个第二字线模块及 $[\text{mux}*(M+1)/16]-1$ 个第一字线模块;此种情况的版图布局可参考图13。

[0105] 举例来说,当 M 为3, mux 为8时,从左至右依次布局2个第一字线模块、1个第二字线模块和1个第一字线模块。

[0106] 同样的,针对第二虚拟字线模块来说,基于目标位数量及目标多路复用器数量确定对应的第一版图布局策略,包括:

[0107] 当目标位数量 M 为偶数, $M/2$ 为偶数,且 $\text{mux}=4$ 时,第二虚拟字线模块对应的第一版

图布局策略包括:基于第二虚拟字线模块在第二数据通路中的位置,从左至右依次布局 $M/4$ 个第一字线模块、1个第二字线模块及 $(M/4) - 1$ 个第一字线模块;此种情况和第一虚拟字线模块的版图布局方式相同,版图布局可参考图8,在此不再赘述。

[0108] 当目标位数量 M 为偶数, $M/2$ 为奇数,且 $\text{mux} = 4$ 时,第二虚拟字线模块对应的第一版图布局策略包括:基于第二虚拟字线模块在第二数据通路中的位置,从左至右依次布局 $[(M/2) - 1]/2$ 个第一字线模块、1个第三字线模块及 $[(M/2) - 1]/2$ 个第一字线模块;此种情况和第一虚拟字线模块的版图布局方式相同,版图布局可参考图9,在此不再赘述。

[0109] 当目标位数量 M 为奇数, $(M-1)/2$ 为偶数,且 $\text{mux} = 4$ 时,第二虚拟字线模块对应的第一版图布局策略包括:基于第二虚拟字线模块在第二数据通路中的位置,从左至右依次布局 $(M-1)/4$ 个第一字线模块、1个第三字线模块及 $[(M-1)/4] - 1$ 个第一字线模块;此种情况的版图布局可参考图14。

[0110] 举例来说,当 M 为5时,从左至右依次布局1个第一字线模块及1个第三字线模块。

[0111] 当目标位数量 M 为除3之外的奇数, $(M-1)/2$ 为奇数,且 $\text{mux} = 4$ 时,第二虚拟字线模块对应的第一版图布局策略包括:基于第二虚拟字线模块在第二数据通路中的位置,依次布局 $[(M-1)/2+1]/2$ 个第一字线模块、1个第二字线模块及 $[(M-1)/2] - [(M-1)/2+1]/2 - 1$ 个第一字线模块;此种情况的版图布局可参考图15。

[0112] 举例来说,当 M 为7时,从左至右依次布局2个第一字线模块及1个第二字线模块。

[0113] 当目标位数量 M 为3,且 $\text{mux} = 4$ 时,第二虚拟字线模块对应的第一版图布局策略包括:基于第二虚拟字线模块在第二数据通路中的位置,布局1个第一字线模块;此种情况的版图布局可参考图16。

[0114] 当 $\text{mux} = 8$ 或 16 时,作为一种可选的实施例,基于目标位数量及目标多路复用器数量确定对应的第一版图布局策略,包括:

[0115] 当目标位数量 M 为偶数,且 $\text{mux} = 8$ 或 16 时,第二虚拟字线模块对应的第一版图布局策略包括:基于第二虚拟字线模块在第二数据通路中的位置,从左至右依次布局 $(\text{mux} * M) / 16$ 个第一字线模块、1个第二字线模块及 $[(\text{mux} * M) / 16] - 1$ 个所述第一字线模块;此种情况的版图布局可参考图17。

[0116] 举例来说,当 M 为2, mux 为8时,从左至右依次布局1个第一字线模块及1个第二字线模块。

[0117] 当目标位数量 M 为除3之外的奇数,且 $\text{mux} = 8$ 或 16 时,第二虚拟字线模块对应的第一版图布局策略包括:基于第二虚拟字线模块在第二数据通路中的位置,依次布局 $[\text{mux} * (M+1)] / 16$ 个第一字线模块、1个第二字线模块及 $[\text{mux} * (M-1) / 8 - \text{mux} * (M+1) / 16 - 1]$ 个第一字线模块;此种情况的版图布局可参考图18。

[0118] 举例来说,当 M 为5, mux 为8时,从左至右依次布局3个第一字线模块及1个第二字线模块。

[0119] 当目标位数量 M 为3,且 $\text{mux} = 8$ 或 16 时,第二虚拟字线模块对应的第一版图布局策略包括:基于第二虚拟字线模块在第二数据通路中的位置,依次布局 $[\text{mux} * (M+1)] / 16$ 个第一字线模块;此种情况的版图布局可参考图19。

[0120] 第一虚拟字线模块及第二虚拟字线模块对应的第一版图布局策略确定好之后,还需确定出第一虚拟位线模块、第二虚拟位线模块、第一dummy模块及第二dummy模块对应的

第二版图布局策略。

[0121] 作为一种可选的实施例,基于目标字数量及目标多路复用器数量确定对应的第二版图布局策略,包括:

[0122] 针对第一虚拟位线模块及第二虚拟位线模块,根据 $N/(2*\text{mux})$ 确定第一虚拟位线模块及第二虚拟位线模块包含的存储单元结构的数量,存储单元结构包括:两行一列的存储单元;

[0123] 基于第一虚拟位线模块及第二虚拟位线模块在相应数据通路中的位置,按照预设的布局方向依次布局所述存储单元结构;其中,

[0124] 第一虚拟位线模块及第二虚拟位线模块的字线与公共接地端VSS相连;第一虚拟位线模块中每个存储单元的第一位线与第一虚拟位线相连,第一虚拟位线模块中每个存储单元的第二位线与电源VDD相连;第二虚拟位线模块中每个存储单元的第一位线与VDD相连,第二虚拟位线模块中每个存储单元的第二位线与第二虚拟位线相连。第一虚拟模块及第二虚拟模块中每个存储单元的字线均与VSS相连接。其中,第一位线可以为端口A的位线BLA,第二位线可以为端口B的位线BLB;第一虚拟位线为MBLA,第二虚拟位线为MBLB。其中,第一虚拟位线模块对应的版图布局可参考图20,第二虚拟位线模块对应的版图布局可参考图21。

[0125] 作为一种可选的实施例,基于目标字数量及目标多路复用器数量确定对应的第二版图布局策略,包括:

[0126] 针对第二dummy模块,根据 $N/(2*\text{mux})$ 确定第二dummy模块的数量;第一dummy模块的数量包括1个;第一dummy模块包括三行一列的存储单元;其中,

[0127] 第一dummy模块与第一虚拟字线模块拼接,第二dummy模块的位线连接电源VDD,第二dummy模块主要是用于提供负载。其中,第一dummy模块与第二dummy模块的版图布局可参考图22。

[0128] 这样,虚拟字线模块、虚拟位线模块及dummy模块对应的版图布局策略可确定出。

[0129] 在本实施例中的所有附图中,存储单元memory cell均是相同的。对于任一存储单元来说,若存在标记R0,则说明该存储单元无需翻转;若存在标记R180若存在标记MX,说明该存储单元需要沿X轴翻转;若存在标记MY,说明该存储单元需要沿Y轴翻转。

[0130] S112,基于所述第一版图布局策略及所述第二版图布局策略对所述SRAM的版图进行设计。

[0131] 虚拟字线模块、虚拟位线模块及dummy模块的版图布局策略确定出之后,基于第一版图布局策略及第二版图布局策略对SRAM的版图进行设计。这样可以根据字线数量、位线数量及mux数量自动确定出对应的版图布局策略,无需利用人工再对不同容量的SRAM进行单独定制,可以高效率地实现存储编译器版图布局的自动化拼接和扩展,进而可以提高存储编译器的设计效率。

[0132] 并且,本实施例中可以模拟外部时钟CLK产生片内时钟信号GTP,GTP产生虚拟字线信号MWL,由虚拟字线信号对虚拟位线信号放电,放电完成后触发复位信号RST,将GTP信号复位至0。在整个反馈环路中,可以加快虚拟字线对虚拟位线的放电过程,使得RST信号提前,促使字线提前关断,将位线上的放电时间和摆幅控制在需要的范围内,降低功耗。

[0133] 应说明的是,外部时钟包括CLKA和CLKB,本实施例中可以模拟外部时钟CLKA产生

片内时钟信号GTPA,GTPA产生虚拟字线信号MWLA;模拟外部时钟CLKB产生片内时钟信号GTPB,GTP B产生虚拟字线信号MWLB。

[0134] 基于与前述实施例同样的发明构思,本发明实施例还提供一种SRAM的版图布局装置,如图23所示,装置包括:

[0135] 第一确定单元21,用于确定虚拟字线模块、虚拟位线模块及dummy模块在静态随机存取存储器SRAM的数据通路中的位置;

[0136] 第二确定单元22,用于获取SRAM的目标位数量、目标字数量及目标多路复用器数量,基于所述目标位数量及所述目标多路复用器数量确定对应的第一版图布局策略;基于所述目标字数量及所述目标多路复用器数量确定对应的第二版图布局策略;

[0137] 布局单元23,用于基于所述第一版图布局策略及所述第二版图布局策略对所述SRAM的版图进行布局。

[0138] 第一确定单元21具体用于:

[0139] 当SRAM的端口为双端口时,确定虚拟字线模块包括:第一虚拟字线模块及第二虚拟字线模块;虚拟位线模块包括:第一虚拟位线模块及第二虚拟位线模块;dummy模块包括:第一dummy模块及第二dummy模块;其中,第一虚拟字线模块及所述第二虚拟字线模块均包括:第一字线模块、第二字线模块及第三字线模块;第一字线模块、第二字线模块及所述第三字线模块为三行四列的存储单元;第一字线模块中的字线处于连接状态,第二字线模块及第三字线模块的字线处于断开状态,第二字线模块及所述第三字线模块的字线断开位置不同。

[0140] 这里,第二确定单元22确定虚拟字线模块、虚拟位线模块及dummy模块在所述SRAM的数据通路中的位置已在上文中详细记载,在此不再赘述。第三确定单元23用于获取SRAM目标位数量、目标字数量及目标多路复用器数量mux,基于目标位数量及目标多路复用器数量确定对应的第一版图布局策略;基于目标字数量及目标多路复用器数量确定对应的第二版图布局策略的实施方式在上文中也有详细记载,在此不再赘述。布局单元24基于第一版图布局策略及第二版图布局策略对SRAM的版图进行设计的实施方式在上文中已有详细记载,故在此不再赘述。

[0141] 本发明实施例提供的一种SRAM的版图布局方法及装置能带来的有益效果至少是:

[0142] 本发明提供了一种SRAM的版图布局方法及装置,方法包括:确定虚拟字线模块、虚拟位线模块及dummy模块在SRAM的数据通路中的位置;获取SRAM的目标位数量、目标字数量及目标多路复用器数量,基于所述目标位数量及所述目标多路复用器数量确定对应的第一版图布局策略;基于所述目标字数量及所述目标多路复用器数量确定对应的第二版图布局策略;基于所述第一版图布局策略及所述第二版图布局策略对所述SRAM的版图进行布局;如此,当SRAM的字、位以及目标多路复用器数量mux的数目发生变化时,可以根据字、位及mux数量自动确定出对应的版图布局策略,无需利用人工再对不同容量的SRAM进行单独定制,可以高效率地实现SRAM版图布局的自动化设计和扩展,进而可以提高存SRAM版图的设计效率;进而可以提高存储编译器的设计效率,也提高了SRAM的生成效率;并且,本发明实施例通过复制字线技术在存储阵列旁边增加虚拟字线,匹配字线负载,并结合复制位线技术,对实际信号通路的延迟进行模仿,确保检测使能在位线摆幅达到期望值时到达,进而加速存取过程,降低位线的摆幅,达到降低功耗的效果。

[0143] 以上所述,仅为本发明的较佳实施例而已,并非用于限定本发明的保护范围,凡在本发明的精神和原则之内所作的任何修改、等同替换和改进等,均应包含在本发明的保护范围之内。

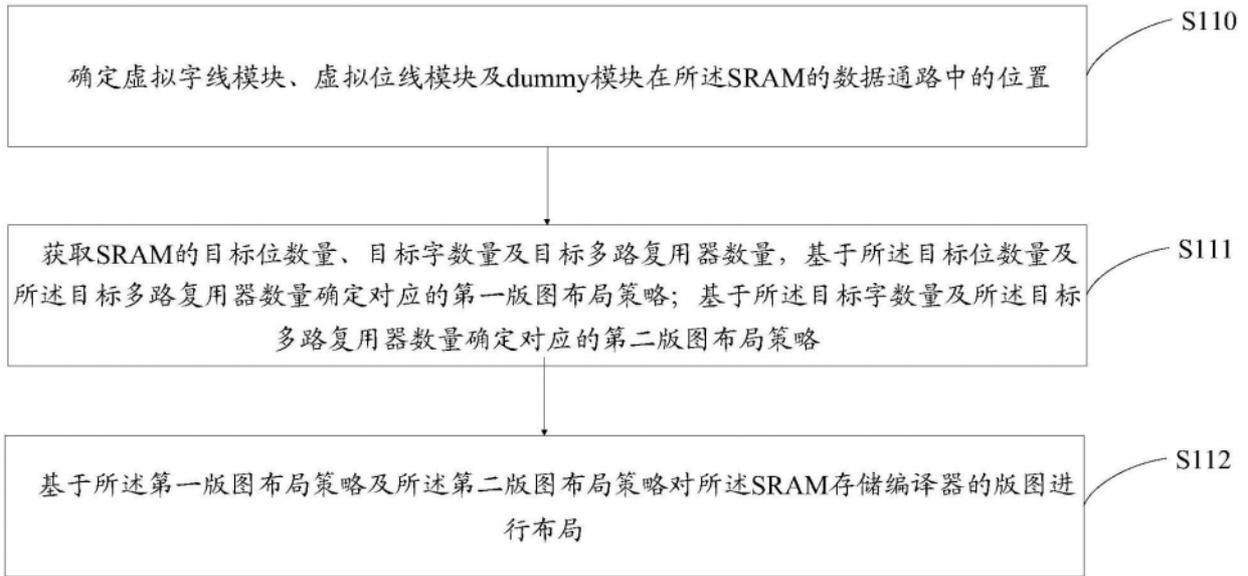


图1

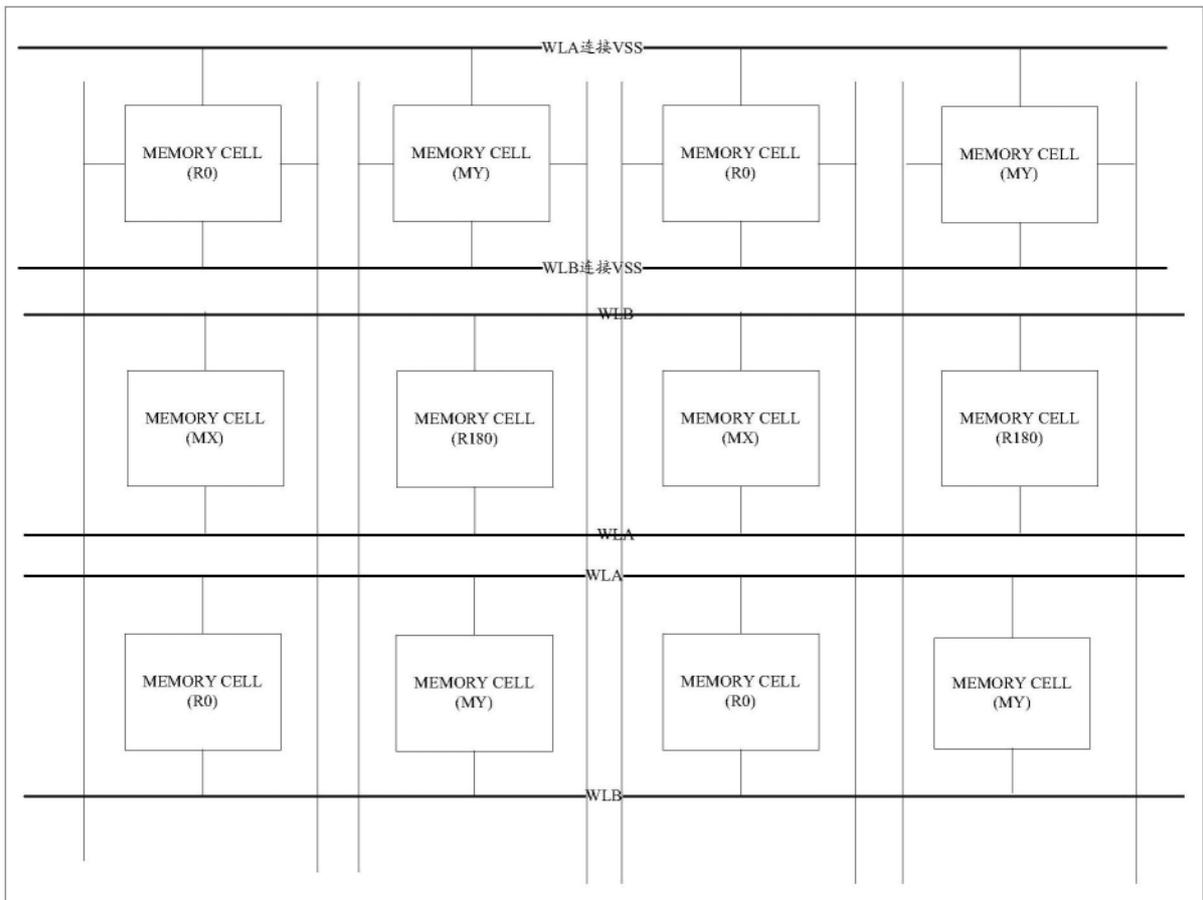


图2

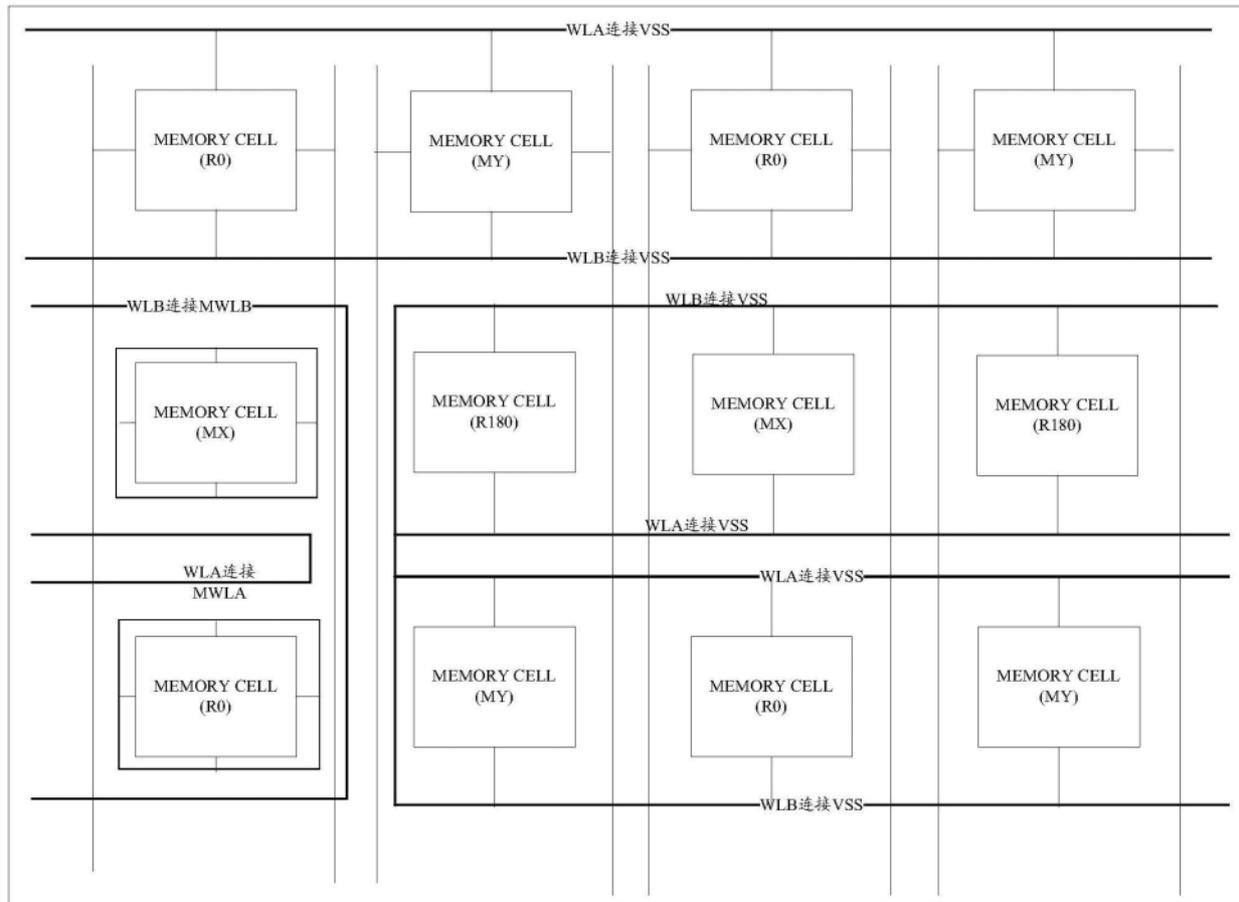


图3

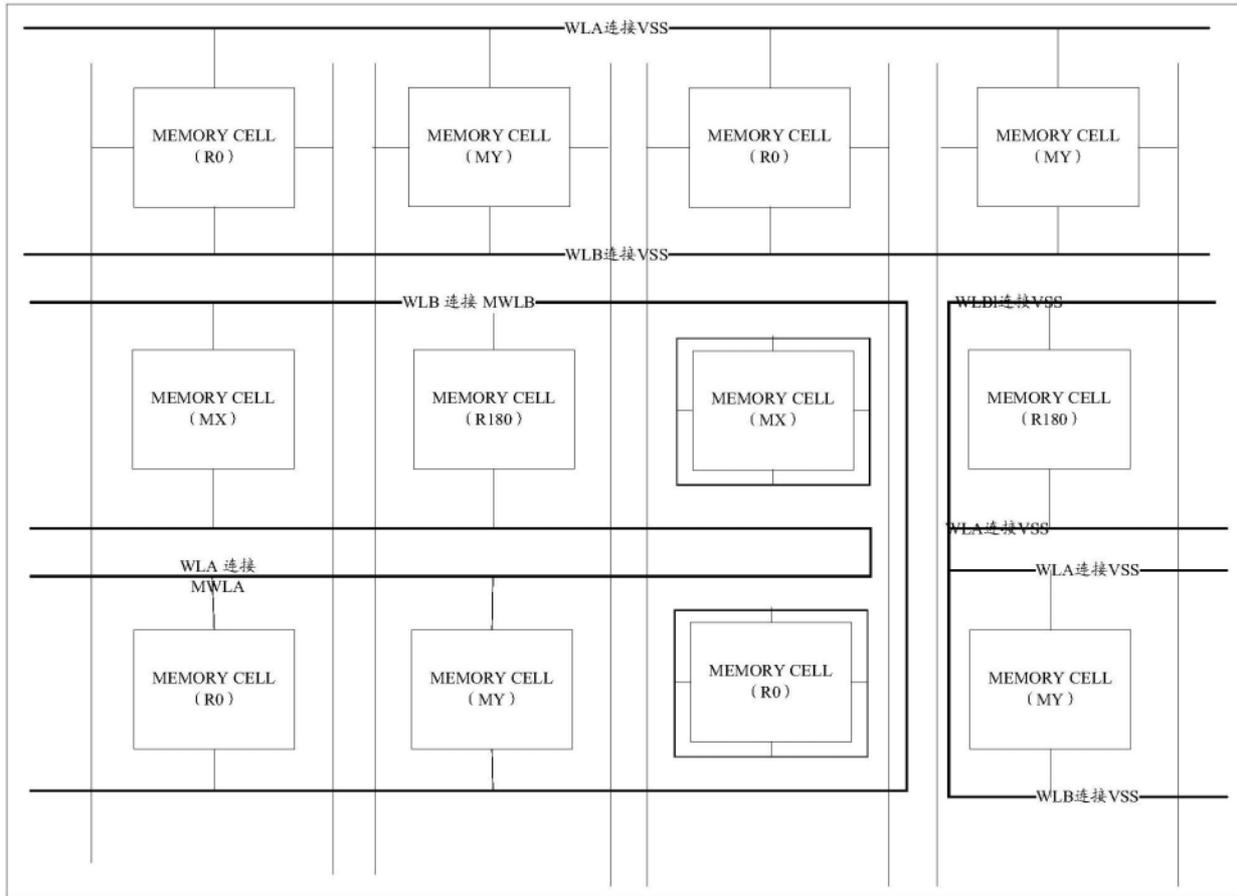


图4



图5

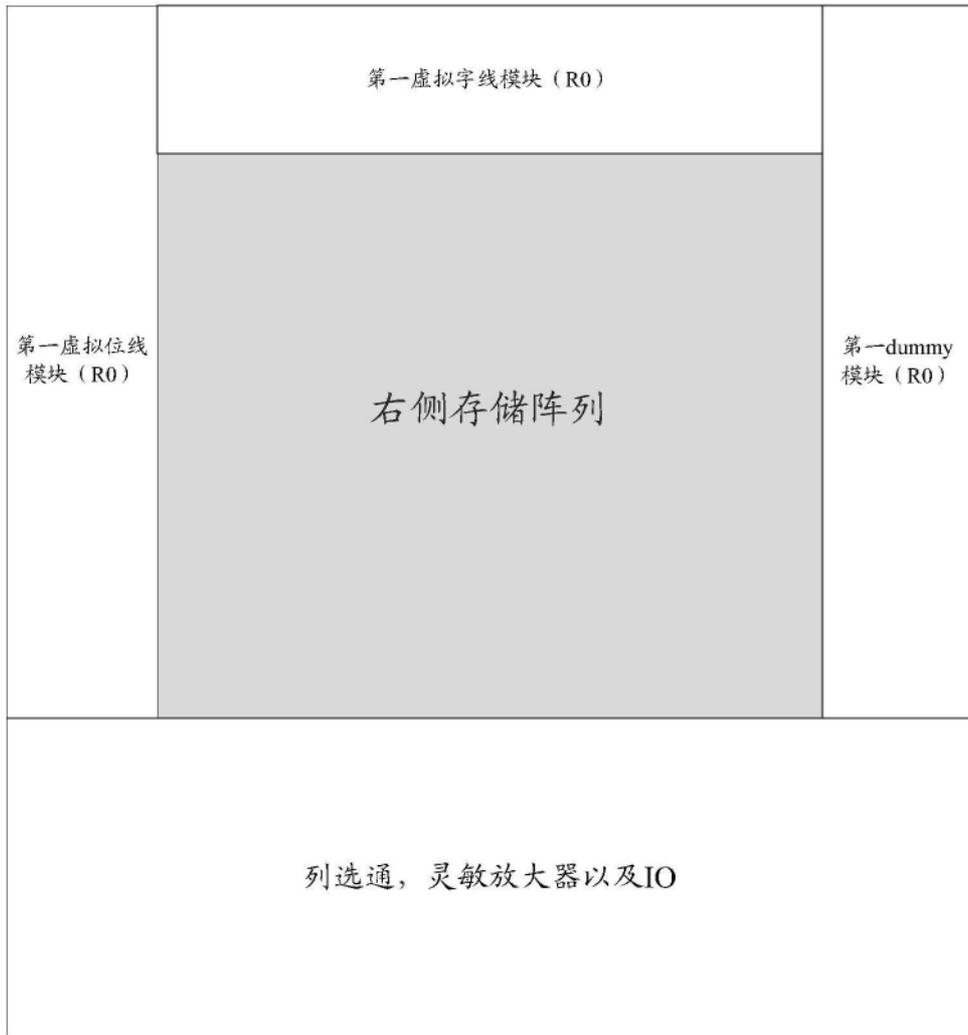


图6

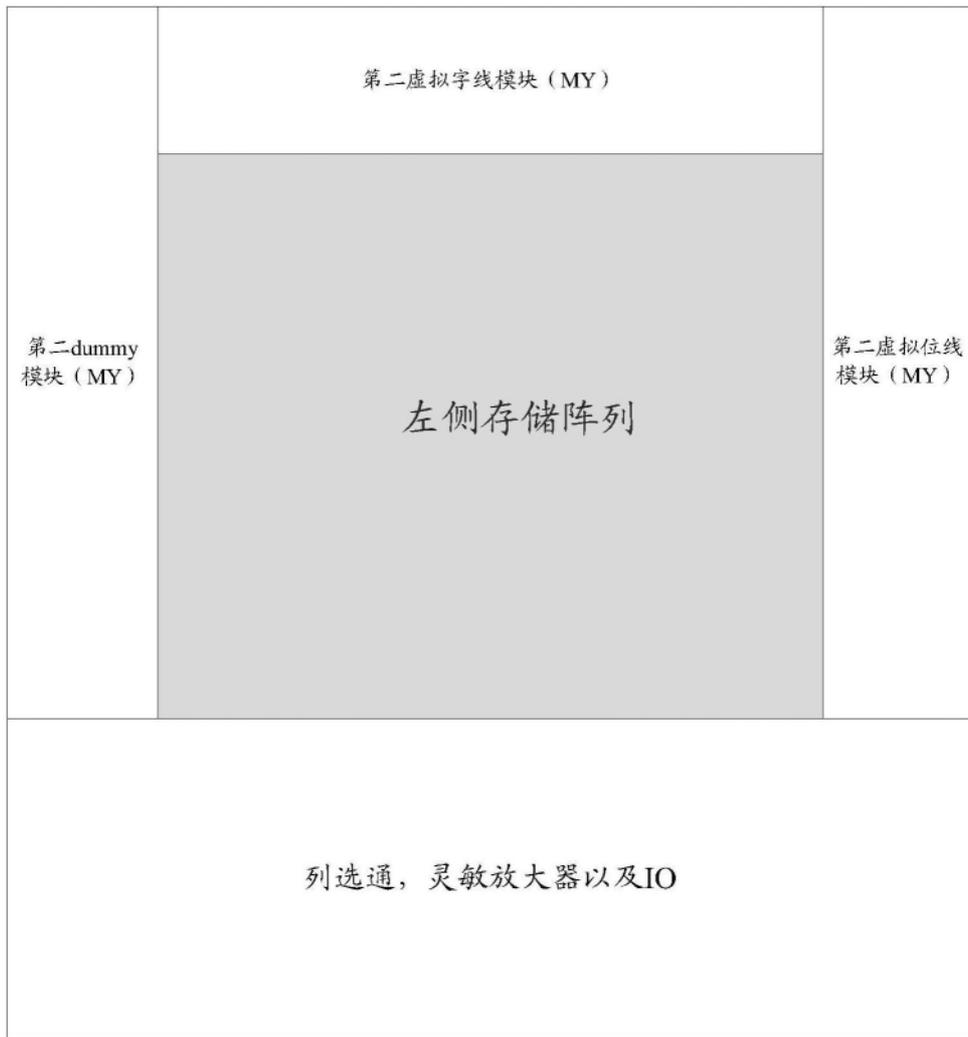


图7

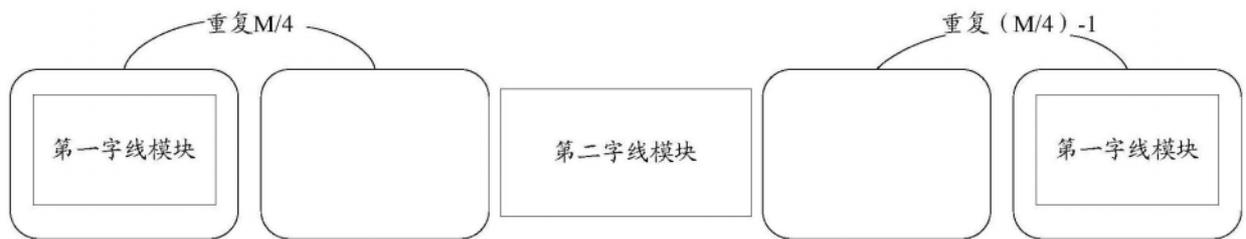


图8

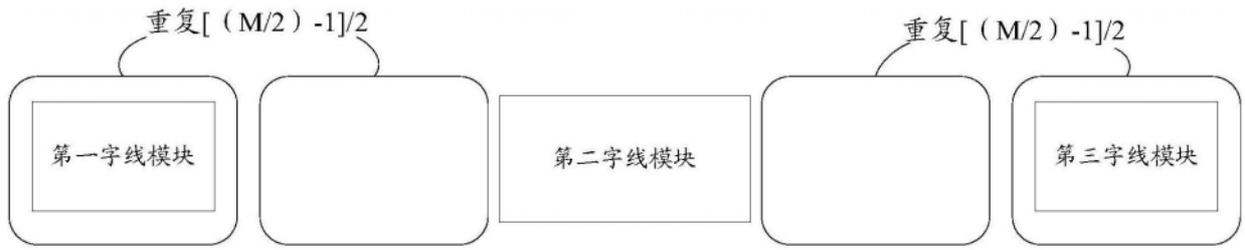


图9

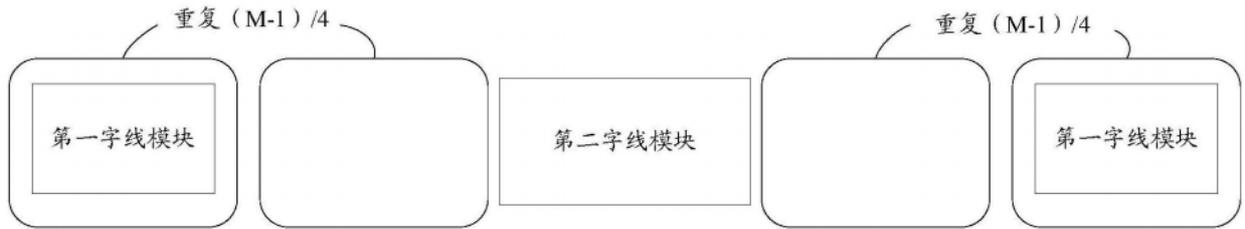


图10

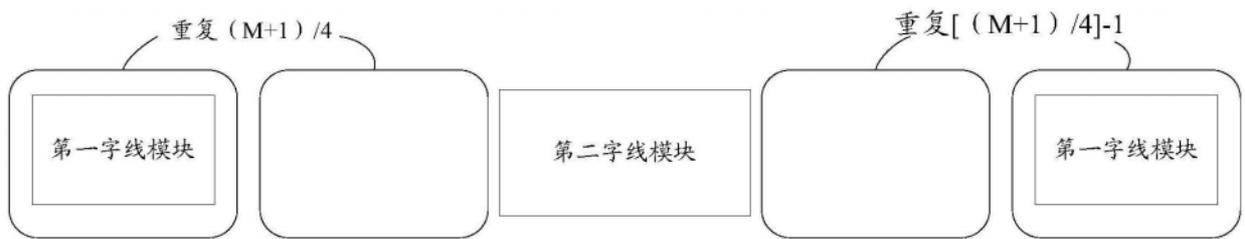


图11



图12

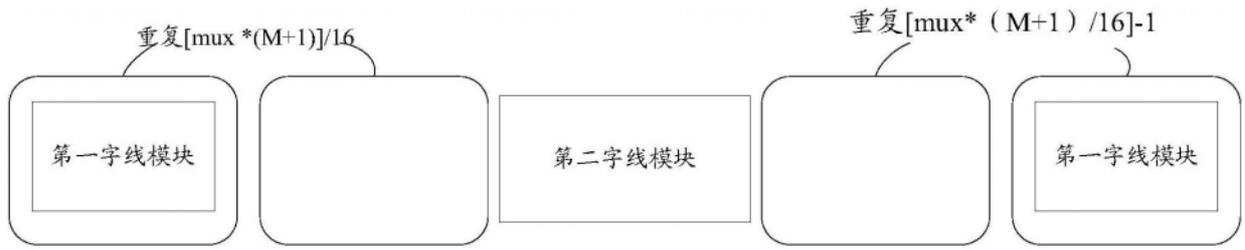


图13



图14



图15

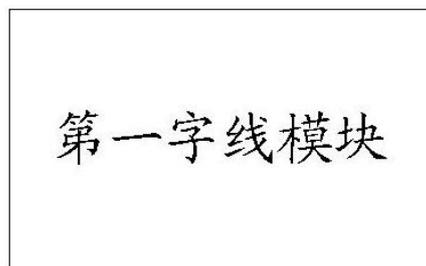


图16



图17

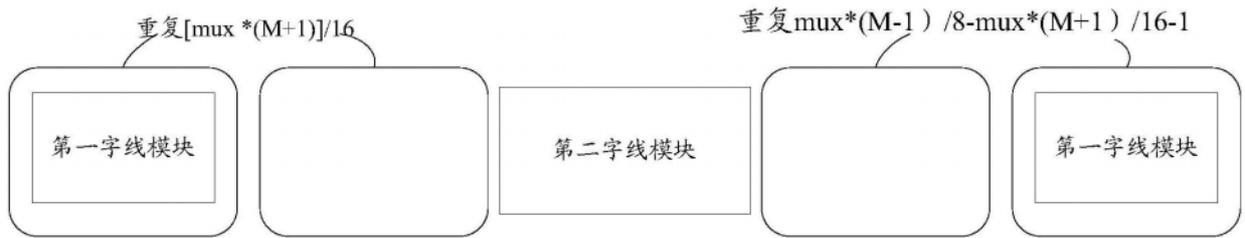


图18

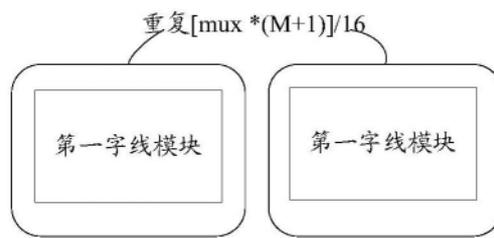


图19

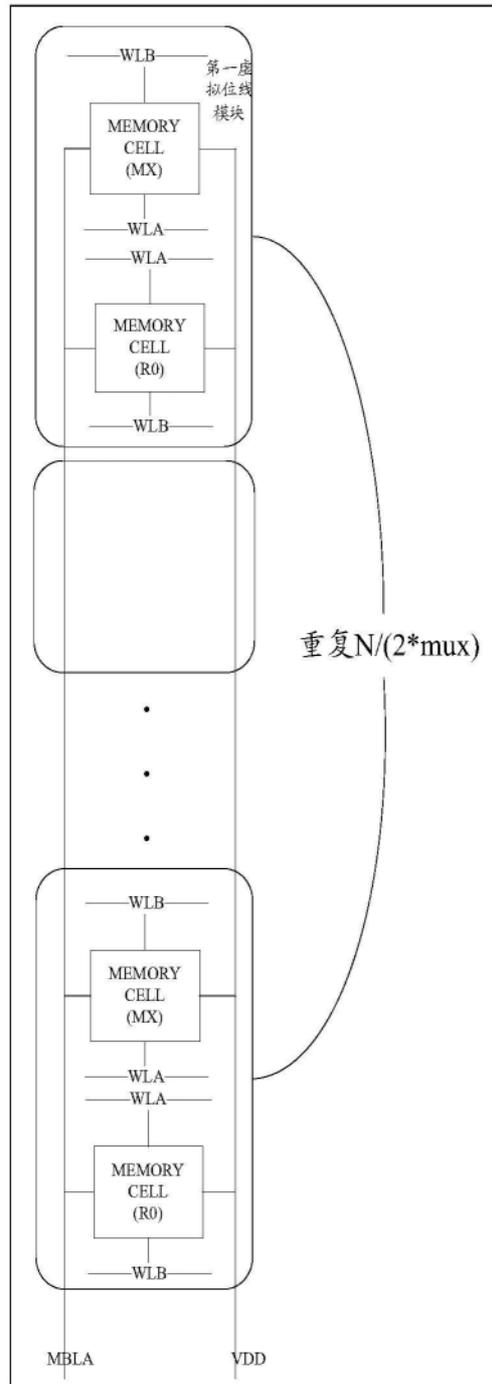


图20

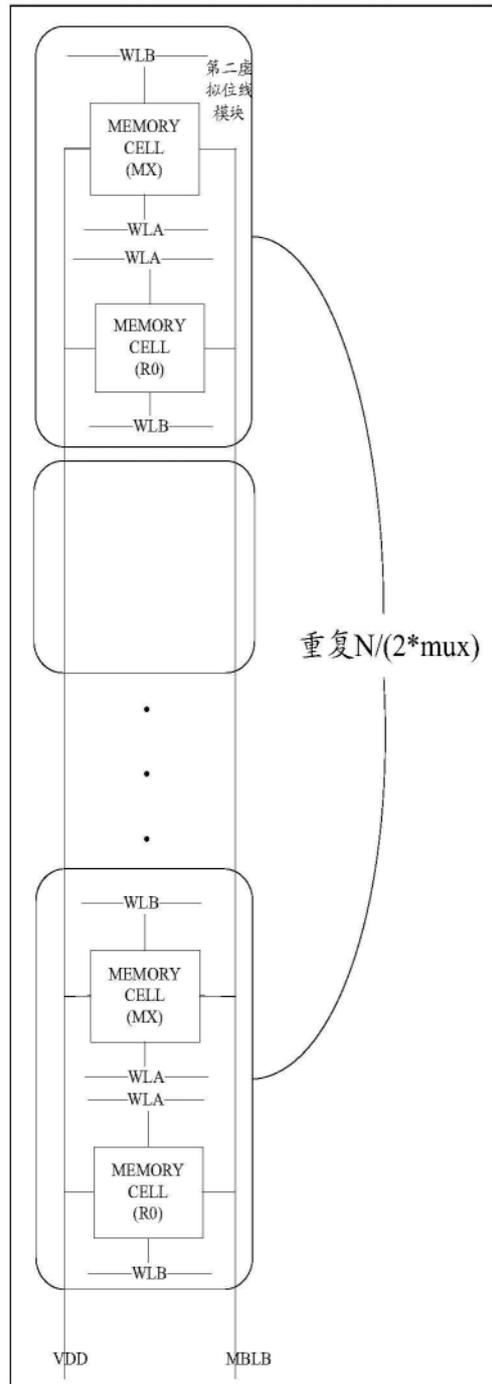


图21

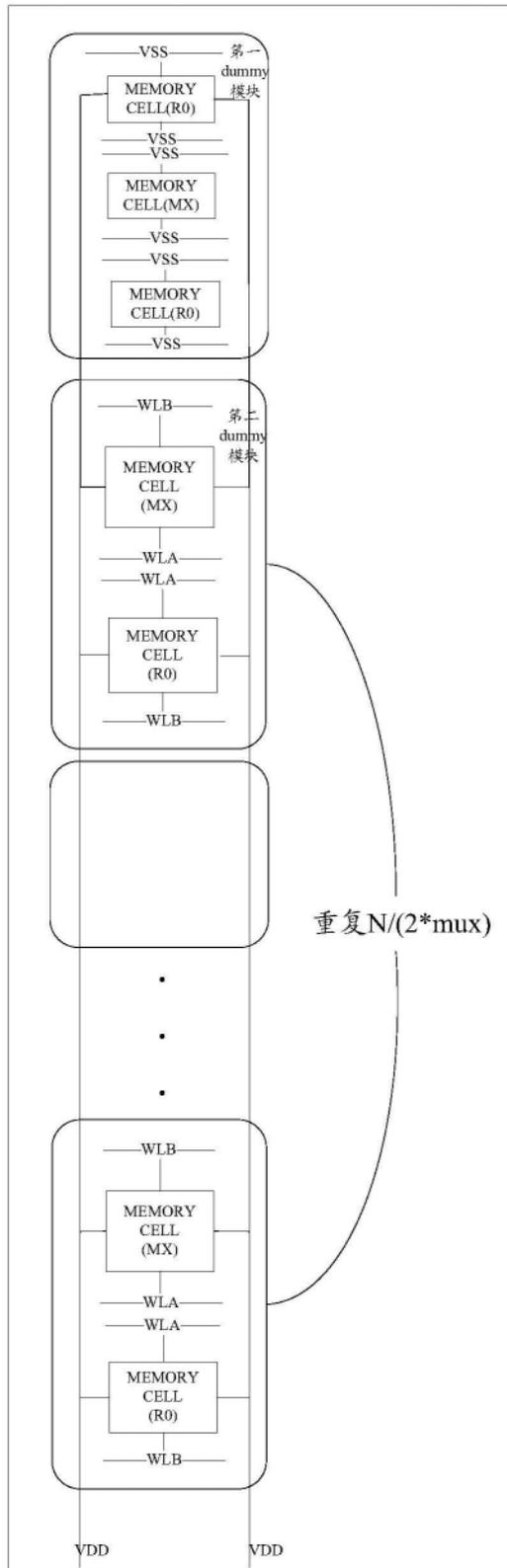


图22

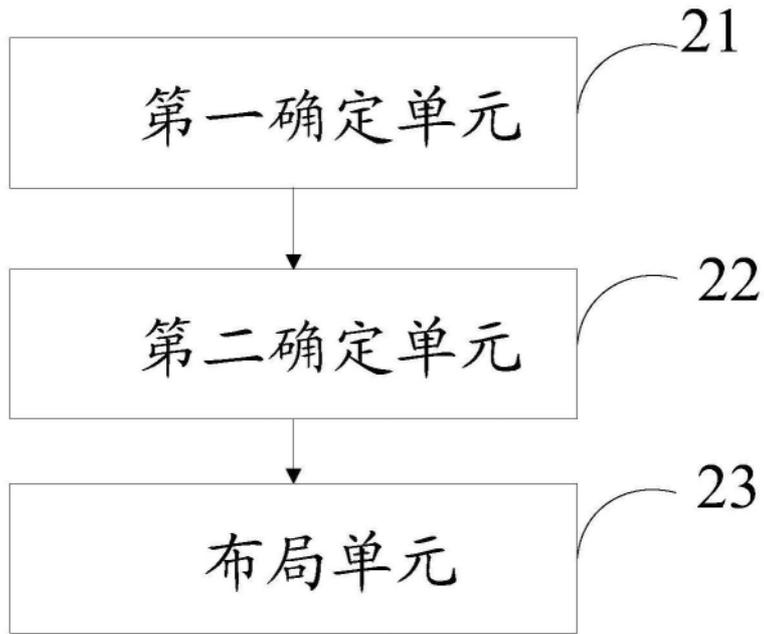


图23