



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0040783
(43) 공개일자 2016년04월15일

(51) 국제특허분류(Int. Cl.)
H01L 29/872 (2006.01)

(21) 출원번호 10-2014-0134102

(22) 출원일자 2014년10월06일

심사청구일자 없음

(71) 출원인

서울반도체 주식회사

경기도 안산시 단원구 산단로163번길 97-11 (원시동)

(72) 발명자

타케야 모토노부

경기도 안산시 단원구 산단로163번길 65-16, 1블럭 36호 (원시동)

(74) 대리인

특허법인에이아이피

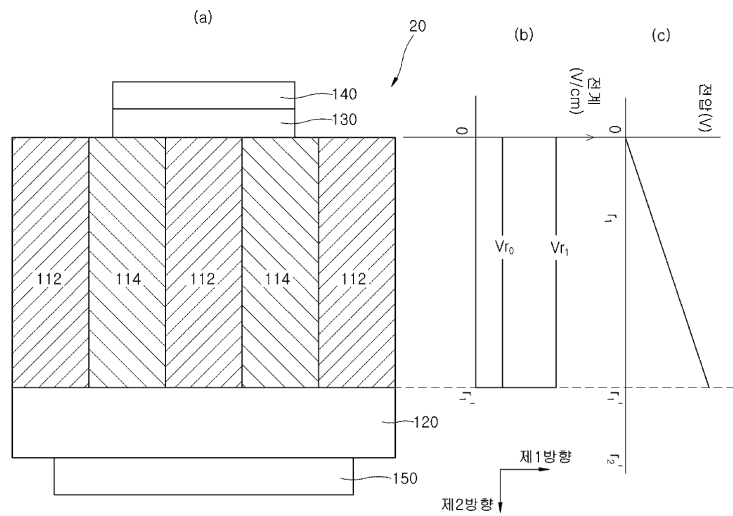
전체 청구항 수 : 총 18 항

(54) 발명의 명칭 질화물계 반도체 다이오드

(57) 요약

일 실시 예에 따르는 질화물계 반도체 다이오드는 서로 엇갈려 적층되는 제1형으로 도핑된 질화물계 제1 반도체 층 및 제2형으로 도핑된 질화물계 제2 반도체층을 포함하는 반도체 구조물, 상기 반도체 구조물의 일 측면부와 접하고, 상기 제1 반도체층과 쇼트키 접합을 이루는 제1 전극층, 및 상기 일 측면부의 반대쪽에 위치하는 상기 반도체 구조물의 다른 측면부와 전기적으로 연결되는 제2 전극층을 포함한다.

대표도



명세서

청구범위

청구항 1

서로 엇갈려 적층되는 제1형으로 도핑된 질화물계 제1 반도체층 및 제2형으로 도핑된 질화물계 제2 반도체층을 포함하는 반도체 구조물;

상기 반도체 구조물의 일 측면부와 접하고, 상기 제1 반도체층과 쇼트키 접합을 이루는 제1 전극층; 및

상기 일 측면부의 반대쪽에 위치하는 상기 반도체 구조물의 다른 측면부와 전기적으로 연결되는 제2 전극층을 포함하는

질화물계 반도체 다이오드.

청구항 2

제1 항에 있어서,

상기 제1 반도체층 및 상기 제2 반도체층은 p-n 접합에 의해 공핍층을 형성하는

질화물계 반도체 다이오드.

청구항 3

제2 항에 있어서,

상기 제1 전극층과 상기 제2 전극층 사이에 바이어스가 인가되지 않거나 또는 역방향 바이어스가 인가되는 경우,

상기 제1 반도체층 및 상기 제2 반도체층의 전부는 공핍된(depleted) 상태를 유지하는

질화물계 반도체 다이오드.

청구항 4

제2 항에 있어서,

상기 제1 전극층과 상기 제2 전극층 사이에, 순방향 바이어스가 인가되는 경우, 상기 제1 반도체층 및 상기 제2 반도체층의 적어도 일부가 상기 공핍된 상태로부터 회복되는

질화물계 반도체 다이오드.

청구항 5

제4 항에 있어서,

상기 공핍된 상태로부터 회복된 상기 제1 반도체층의 일부분을 따라 전하가 전도하는

질화물계 반도체 다이오드.

청구항 6

제1 항에 있어서,

상기 제1 반도체층 내부에 개재되고, 상기 제1 반도체층과 서로 다른 일함수를 가지는 질화물계 제3 반도체층을 더 포함하는

질화물계 반도체 다이오드.

청구항 7

제6 항에 있어서,

상기 제1 반도체층이 GaN층이고,

상기 제3 반도체층은 InN층, AlGaIn층, InGaIn층, 및 AlInGaIn층 중 선택되는 어느 하나인

질화물계 반도체 다이오드.

청구항 8

제6 항에 있어서,

상기 제1 반도체층과 상기 제3 반도체층의 계면 영역에 형성되는 2DEG층을 더 포함하는

질화물계 반도체 다이오드.

청구항 9

제8 항에 있어서,

상기 제1 전극층과 상기 제2 전극층 사이에 전압이 인가되지 않거나, 역방향 바이어스가 인가될 때, 상기 2DEG층은 상기 제1 전극층과 상기 반도체 구조물의 계면 영역에서 단절되는

질화물계 반도체 다이오드.

청구항 10

제9 항에 있어서,

상기 제1 전극층과 상기 제2 전극층 사이에 순방향 바이어스가 인가될 때,

상기 제1 전극층과 상기 반도체 구조물의 계면 영역에서 단절된 상기 2DEG층이 회복되고, 전하가 상기 제1 전극층과 상기 제2 전극층 사이를 전도하는

질화물계 반도체 다이오드.

청구항 11

기관;

상기 기관 상에 형성되는 절연성 버퍼층;

상기 버퍼층 상에서 서로 엇갈려 적층되는 제1형으로 도핑된 질화물계 제1 반도체층 및 제2형으로 도핑된 질화물계 제2 반도체층을 포함하는 반도체 구조물;

상기 반도체 구조물의 적어도 일부분을 기관 방향으로 관통하는 제1 트렌치 내부에 형성되는 제1 전극층; 및

상기 제1 전극층과 측면 방향으로 이격하여 배치되고, 상기 반도체 구조물의 적어도 일부분을 기관 방향으로 관

통하는 제2 트렌치 내부에 형성되는 제2 전극층을 포함하고,
 상기 제1 전극층은 상기 제1 반도체층과 쇼트키 접합하고, 상기 제2 전극층은 상기 제1 반도체층과 오믹 접합하
 는
 질화물계 반도체 다이오드.

청구항 12

제11 항에 있어서,
 상기 반도체 구조물은
 서로 엇갈려 적층되는 상기 제1 반도체층과 상기 제2 반도체층의 쌍을 복수개 구비하는
 질화물계 반도체 다이오드.

청구항 13

제11 항에 있어서,
 상기 제1 전극층과 상기 제2 전극층 사이에 전압이 인가되지 않거나 또는 역방향 바이어스가 인가될 때,
 상기 제1 반도체층 및 상기 제2 반도체층의 전부는 p-n 접합에 의해 공핍된(depleted) 상태를 유지하는
 질화물계 반도체 다이오드.

청구항 14

제13 항에 있어서,
 상기 제1 전극층과 상기 제2 전극층 사이에, 순방향 바이어스가 인가될 때, 상기 제1 반도체층 및 상기 제2 반
 도체층의 적어도 일부분이 상기 공핍된 상태로부터 회복되고, 전하를 띤 캐리어가 상기 회복된 제1 반도체층의
 일부분을 따라 상기 제1 전극층과 상기 제2 전극층 사이를 전도하는
 질화물계 반도체 다이오드.

청구항 15

제11 항에 있어서,
 상기 제1 반도체층 내부에 삽입되고, 상기 제1 반도체층과 서로 다른 일함수를 가지는 질화물계 제3 반도체층을
 더 포함하는
 질화물계 반도체 다이오드.

청구항 16

제15 항에 있어서,
 상기 제1 반도체층과 상기 제3 반도체층의 계면 영역에 형성되는 2DEG층을 더 포함하는
 질화물계 반도체 다이오드.

청구항 17

제16 항에 있어서,

상기 제1 전극층과 상기 제2 전극층 사이에 전압이 인가되지 않거나, 역방향 바이어스가 인가될 때, 상기 2DEG 층은 상기 제1 전극층과 상기 반도체 구조물의 계면 영역에서 단절되는

질화물계 반도체 다이오드.

청구항 18

제17 항에 있어서,

상기 제1 전극층과 상기 제2 전극층 사이에 순방향 바이어스가 인가될 때,

상기 제1 전극층과의 계면 영역에서 단절된 상기 2DEG층이 회복되고, 전하가 상기 제1 전극층과 상기 제2 전극층 사이를 전도하는

질화물계 반도체 다이오드.

발명의 설명

기술 분야

[0001] 본 개시(disclosure)는 대체로(generally) 질화물계 반도체 다이오드에 관한 것이다.

배경 기술

[0002] 정보통신기술의 발달로 인해, 고속 스위칭 환경이나 고전압 환경에서 동작하는 소자의 요청이 증가하고 있다. 특히, 전력용 반도체 소자는 스위칭 소자로서 역방향 고전압을 견뎌야 하며, 순방향 동작시 고전류를 흐르게 해야 한다. 종래에는, 이러한 전력용 반도체 소자로서, 실리콘 반도체 소자가 시장에서 널리 이용되었으나, 2000년대 이후 실리콘의 재료적 한계에 부딪혀, 전력 손실 감소를 달성하거나 셀 밀도를 증가시키는 기술의 향상이 뚜렷하게 일어나지 않고 있다.

[0003] 한편, 재료적 한계를 극복하기 위해, 실리콘을 대신하여 질화갈륨(GaN)을 전력용 반도체 소자에 도입하려는 시도가 있어 왔다. 구체적으로, III-V족 반도체 물질을 적용하는 질화갈륨계 소자는 종래의 실리콘 반도체 소자에 비해 고속 스위칭 동작이 가능하여 초고속 신호 처리에 적합할 뿐만 아니라 소재 자체의 고내압 특성을 통해 고전압 환경에 적용할 수 있는 장점이 있어 업계의 주목을 받고 있다.

[0004] 이러한, 질화갈륨계 소자의 일 예로서, GaN 기판을 이용한 쇼트키 배리어 다이오드, pn 접합 다이오드, MIS(Metal-Insulator-Semiconductor) 트랜지스터 등의 반도체 소자가 제안되고 있으며, 한국 공개특허 2010-007822에서는 역방향 내전압이 향상된 쇼트키 배리어 다이오드가 개시되고 있다.

발명의 내용

해결하려는 과제

[0005] 본 개시의 실시 예는 제1 전극층과 제2 전극층 사이의 역방향 바이어스가 인가될 때의 고내압 특성이 향상된 질화물계 반도체 다이오드를 제공한다.

[0006] 본 개시의 실시 예는 순방향 바이어스 인가시, 전하 이동도가 향상된 질화물계 반도체 다이오드를 제공한다.

과제의 해결 수단

[0007] 일 측면에 따르는 질화물계 반도체 다이오드가 개시된다. 상기 질화물계 반도체 다이오드는 서로 엇갈려 적층되는 제1형으로 도핑된 질화물계 제1 반도체층 및 제2형으로 도핑된 질화물계 제2 반도체층을 포함하는 반도체 구조물,

[0008] 상기 반도체 구조물의 일 측면부와 접하고, 상기 제1 반도체층과 쇼트키 접합을 이루는 제1 전극층, 및 상기 일

측면부의 반대쪽에 위치하는 상기 반도체 구조물의 다른 측면부와 전기적으로 연결되는 제2 전극층을 포함한다.

[0009] 다른 측면에 따르는 질화물계 반도체 다이오드가 개시된다. 상기 질화물계 반도체 다이오드는 기판, 상기 기판 상에 형성되는 절연성 버퍼층, 상기 버퍼층 상에서 서로 엇갈려 적층되는 제1형으로 도핑된 질화물계 제1 반도체층 및 제2형으로 도핑된 질화물계 제2 반도체층을 포함하는 반도체 구조물, 상기 반도체 구조물의 적어도 일부분을 기판 방향으로 관통하는 제1 트렌치 내부에 형성되는 제1 전극층, 및 상기 제1 전극층과 측면 방향으로 이격하여 배치되고, 상기 반도체 구조물의 적어도 일부분을 기판 방향으로 관통하는 제2 트렌치 내부에 형성되는 제2 전극층을 포함한다. 상기 제1 전극층은 상기 제1 반도체층과 쇼트키 접합하고, 상기 제2 전극층은 상기 제1 반도체층과 오믹 접합한다.

발명의 효과

[0010] 본 개시의 일 실시 예에 따르면, 서로 엇갈려 적층되는 제1형으로 도핑된 질화물계 제1 반도체층 및 제2형으로 도핑된 질화물계 제2 반도체층을 제1 전극층과 제2 전극층 사이에 적용할 수 있다. 상기 제1 반도체층과 상기 제2 반도체층은 p-n 접합을 함으로써, 상기 제1 반도체층과 상기 제2 반도체층의 경계 영역에 공핍층을 형성할 수 있다.

[0011] 상기 제1 전극층으로부터 상기 반도체 구조물을 거쳐 상기 제2 전극층에 이르기까지 역방향 바이어스에 의한 전계가 형성될 때, 상기 공핍층은 질화물계 반도체 다이오드 내부에서 전계가 집중되는 것을 완화시킬 수 있다. 이로써, 보다 고내압 특성을 가지는 질화물 반도체 다이오드를 제공할 수 있다.

[0012] 본 개시의 일 실시 예에 따르면, 상기 제1 반도체층 내부에 상기 제1 반도체층과 서로 다른 일함수를 가지는 질화물계 제3 반도체층을 개재함으로써, 상기 제1 전극층과 상기 제2 전극층 사이의 질화물계 반도체층 내에 2DEG 층을 형성할 수 있다. 순방향 바이어스 인가시에, 상기 2DEG 층을 통해 전하가 전도하도록 함으로써, 전하 이동도가 향상된 질화물 반도체 다이오드를 제공할 수 있다.

[0013] 상술한 본 개시된 기술의 효과는 본 개시의 일 실시 예의 구성으로부터 도출되는 다양한 효과 중 어느 하나를 예시하는 것이며, 제시하는 실시예의 구성으로부터 자명하게 도출될 수 있는 다른 다양한 효과를 배제하는 것은 아니다.

도면의 간단한 설명

- [0014] 도 1은 본 개시의 일 비교예에 따르는 질화물계 반도체 다이오드를 개략적으로 나타내는 모식도이다.
- 도 2는 본 개시의 제1 실시 예에 따르는 질화물계 반도체 다이오드를 개략적으로 나타내는 모식도이다.
- 도 3은 본 개시의 제1 실시 예에 따르는 질화물계 반도체 다이오드 내부의 공핍층을 개략적으로 나타내는 모식도이다.
- 도 4는 본 개시의 제2 실시 예에 따르는 질화물계 반도체 다이오드를 개략적으로 나타내는 모식도이다.
- 도 5는 본 개시의 제3 실시 예에 따르는 질화물계 반도체 다이오드를 개략적으로 나타내는 모식도이다.
- 도 6은 본 개시의 제4 실시 예에 따르는 질화물계 반도체 다이오드를 개략적으로 나타내는 모식도이다.
- 도 7은 도 6의 질화물계 반도체 다이오드의 부분 확대도이다.
- 도 8은 본 개시의 제5 실시 예에 따르는 질화물계 반도체 다이오드를 개략적으로 나타내는 모식도이다.

발명을 실시하기 위한 구체적인 내용

[0015] 이하, 첨부한 도면들을 참조하여, 본 개시의 실시 예들을 보다 상세하게 설명하고자 한다. 그러나 본 개시에 개시된 기술은 여기서 설명되는 실시 예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 도면에서 각 장치의 구성요소를 명확하게 표현하기 위하여 상기 구성요소의 폭이나 두께 등의 크기를 다소 확대하여 나타내었다.

[0016] 본 명세서에서 일 요소가 다른 요소 '위' 또는 '아래'에 위치하는 것으로 언급되는 경우, 이는 상기 일 요소가 다른 요소 '위' 또는 '아래'에 바로 위치하거나 또는 그들 요소들 사이에 추가적인 요소가 개재될 수 있다는 의미를 모두 포함한다. 본 명세서에서, '상부' 또는 '하부' 라는 용어는 관찰자의 시점에서 설정된 상대적인 개념으로, 관찰자의 시점이 달라지면, '상부' 가 '하부'를 의미할 수도 있고, '하부'가 '상부'를 의미할 수도 있다.

[0017] 복수의 도면들 상에서 동일 부호는 실질적으로 서로 동일한 요소를 지칭한다. 또, 단수의 표현은 문맥상 명백하

게 다르게 뜻하지 않는 한 복수의 표현을 포함하는 것으로 이해되어야 하고, '포함하다' 또는 '가지다' 등의 용어는 기술되는 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

- [0018] 본 명세서에서, 제1 층과 제2 층 사이의 계면 영역이라 함은, 제1 층과 제2 층의 경계면 뿐만 아니라, 상기 경계면과 인접하는 제1 층 또는 제2 층의 소정 깊이로의 내부 영역을 포괄하는 것으로 해석될 수 있다.
- [0019] 본 명세서에서, 제1 형과 제2 형의 도핑 타입은, 각각 서로 다른 도핑 타입을 의미한다. 즉, 반도체 물질층 내부에 유입되는 도펀트의 종류에 따라, 제1 형 또는 제2 형으로 구분될 수 있다. 구체적으로, 제1 형 또는 제2 형은 n형 및 p형 중 어느 하나일 수 있다. 제1 형이 n형일 때, 제2 형은 p형일 수 있으며, 제1 형이 p형일 때, 제2 형은 n형일 수 있다. 일 예로서, n형으로 도핑되는 경우, 도펀트는 실리콘(Si)이 적용될 수 있으며, p형으로 도핑되는 경우, 도펀트는 베릴륨(Be), 마그네슘(Mg), 칼슘(Ca), 탄소(C), 철(Fe), 망간(Mn) 등이 적용될 수 있다.
- [0020] 본 명세서에서, n형 또는 p형으로 도핑된다는 의미는 질화물계 반도체 내에 p형은 도펀트가 $1E17/cm^3$ 이상, n형은 도펀트가 약 $1E16/cm^3$ 이상 주입되는 것을 의미할 수 있다. 또한, '고농도의 n형 또는 p형으로 도핑된다'는 의미는 질화물계 반도체 내에, p형의 경우 약 $1E20 /cm^3$ 이상, n형의 경우 도펀트가 약 $1E19 /cm^3$ 이상이 주입됨으로써, 고농도로 도핑되는 것을 의미할 수 있다.
- [0021] 본 명세서에서, 질화물계 반도체층은 일 예로서, $Al_xIn_yGa_{1-x-y}N$ ($0 \leq x \leq 1, 0 \leq y \leq 1$) 과 같은 질화물을 포함할 수 있다. 상기 질화물계 반도체층은 일 예로서, 금속유기화학기상증착법(Metal Organic Chemical Vapor Deposition), 분자빔에피택시(Molecular Beam Epitaxy), 수소화기상증착에피택시(Hydride Vapor Phase Epitaxy) 등과 같은 방법을 이용하여 형성할 수 있다.
- [0022] 본 명세서에서, 질화물계 반도체 다이오드는 일 예로서, 쇼트키 장벽 다이오드일 수 있다.
- [0023] 도 1은 본 개시의 일 비교예에 따르는 질화물계 반도체 다이오드를 개략적으로 나타내는 모식도이다. 구체적으로, 도 1의 (a)는 제1 반도체 층(110)과 제1 전극층(130)이 금속-반도체간 쇼트키 접합할 때 발생하는 공핍층(110')을 개략적으로 나타내고 있다. 도 1의 (b)는 제1 반도체층(110)과 제1 전극층(130)의 계면 영역에서의 전계 분포를 개략적으로 도시하고 있다. 도 1의 (c)는 제1 반도체층(110) 내부의 전압 분포를 개략적으로 나타내고 있다.
- [0024] 도 1과 관련되는 일 비교예는 본 개시의 발명자에 의해 발명되었으나, 후술하는 본 개시의 실시 예와 대비하여 상대적인 단점을 가지고 있다. 본 개시의 발명자는 본 비교예의 단점을 보완하여, 본 개시의 실시 예의 기술을 완성하였다. 이하에서는, 먼저, 본 비교예의 구성을 상술하도록 한다.
- [0025] 도 1을 참조하면, 질화물계 반도체 다이오드(10)는 제1형으로 도핑된 질화물계 제1 반도체층(110), 제1 반도체층(110)과 쇼트키 접합을 이루는 제1 전극층(130), 및 제1 전극층(130) 상의 상부 전극층(140)을 포함한다. 일 실시 예에 있어서, 제1 반도체층(110)은 n형으로 도핑된 GaN층이고, 제1 전극층(130)은 니켈(Ni)층, 상부 전극층(140)은 금(Au)층일 수 있다.
- [0026] 또한, 질화물계 반도체 다이오드(10)는 제1 전극층(130)의 반대쪽에서 제1 반도체층(110)과 접하고 고농도의 제1형으로 도핑된 하부 질화물계 반도체층(120)을 포함한다. 하부 질화물계 반도체층(120)의 하면에는, 하부 질화물계 반도체층(120)과 오믹 접합을 이루는 제2 전극층(130)이 배치될 수 있다. 일 실시 예에 있어서, 하부 질화물계 반도체층(120)은 고농도의 n형으로 도핑된 GaN층이고, 제2 전극층(130)은 크롬(Cr)층, 타이타늄층(Ti), 알루미늄층(Al)층, 또는 이들의 둘 이상의 적층 구조일 수 있다. 도시되지는 않았지만, 제2 전극층(130)의 하면에는 금(Au)층이 추가로 적층될 수 있다.
- [0027] 도 1의 (a)를 참조하면, 제1 전극층(130)과 제1 반도체층(110)의 계면 영역에는 금속-반도체간 쇼트키 접합에 의해 제1 반도체층(110)의 내부로 공핍층이 형성될 수 있다. 상기 공핍층은, 도 1의 (b)에 도시되는 바와 같이, 제1 전극층(130)과 제2 전극층(150) 사이에 바이어스가 인가되지 않는 경우(V_{r0}), 제1 전극층(130)과 제1 반도체층(110)의 경계면으로부터 제1 반도체층(110)의 내부 방향으로 제1 거리(r_0)까지 형성될 수 있다. 또한, 제1

전극층(130)과 제2 전극층(150) 사이에 역방향 바이어스(V_{r1})가 인가되는 경우, 공핍층은 제1 반도체층(110)의 내부 방향으로 제1 거리(r_0)보다 큰 제2 거리(r_1)까지 형성될 수 있다. 도 1의 (a)에서는 역방향 바이어스(V_{r1})가 인가되는 경우에, 제1 반도체층(110)에 형성되는 공핍층(110')를 도시하고 있다.

[0028] 한편, 금속-반도체간 쇼트키 접합에 의해 생성되는 전계는, 제1 반도체층(110)과 제1 전극층(130) 간의 경계면에서 피크 값을 가질 수 있다. 이때, 바이어스가 걸리지 않는 경우(V_{r0})보다는 역방향 바이어스가 걸리는 경우(V_{r1}) 피크 값이 상대적으로 높다.

[0029] 도 1의 (c)를 참조하면, 제1 반도체층(110)과 제3 전극층(130) 간의 경계면으로부터 거리에 따른 제1 반도체층(110) 내부의 전압 분포를 확인할 수 있다. 전압은 도 1의 (b)의 전계를 제1 반도체층(110)과 제3 전극층(130) 간의 경계면으로부터 거리에 따라 적분한 값에 해당될 수 있다. 구체적으로, 역방향 바이어스가 걸리는 경우(V_{r1}), 상기 경계면으로부터 내부 전계가 사라지는 r_1 의 거리에 이르기까지 전압이 증가하는 양상을 보인다.

[0030] 도 1에 도시된 바와 같은 질화물계 반도체 다이오드의 내부 전계 분포에서는 역방향 바이어스 값이 증가할수록, 제1 반도체 영역(110)과 제1 전극층(130) 간 쇼트키 장벽의 경계면에서 피크 전계값이 증가할 수 있다. 상기 피크 전계값이 소정 값 이상의 임계 전계값에 도달하게 되면, 질화물계 반도체 다이오드의 전기적 파괴 현상이 상기 경계면으로부터 일어날 수 있다.

[0031] 도 2는 본 개시의 제1 실시 예에 따르는 질화물계 반도체 다이오드를 개략적으로 나타내는 모식도이다. 구체적으로, 도 2의 (a)는 제1 및 제2 반도체 층(112, 114)과 제1 전극층(130)이 금속-반도체간 쇼트키 접합하는 구조를 개략적으로 나타내고 있다. 도 2의 (b)는 제1 반도체층(112)과 제1 전극층(130)의 계면 영역에서의 전계 분포를 개략적으로 도시하고 있다. 도 2의 (c)는 제1 반도체층(112) 내부의 전압 분포를 개략적으로 나타내고 있다. 도 3은 본 개시의 제1 실시 예에 따르는 질화물계 반도체 다이오드 내부의 공핍층을 개략적으로 나타내는 모식도이다. 도 2 및 도 3에 도시되는 질화물계 반도체 다이오드는, 제1 반도체층(112)과 제1 전극층(130) 사이에 쇼트키 접합을 이루는 쇼트키 장벽 다이오드일 수 있다.

[0032] 도 2 및 도 3을 참조하면, 질화물계 반도체 다이오드(20)는 서로 엇갈려 적층되는 제1형으로 도핑된 질화물계 제1 반도체층(112) 및 제2형으로 도핑된 질화물계 제2 반도체층(114)을 포함하는 반도체 구조물을 구비할 수 있다. 일 실시 예에 있어서, 제1 반도체층(112)은 n형으로 도핑될 수 있으며, 제2 반도체층(114)은 p형으로 도핑될 수 있다. 질화물계 반도체 다이오드(20)는 반도체 구조물의 양 측면부에 각각 제1 전극층(130) 및 하부 질화물계 반도체층(120)을 구비한다.

[0033] 질화물계 반도체 다이오드(20)는 제1 반도체층(112)과 쇼트키 접합을 이루는 제1 전극층(130), 및 제1 전극층(130) 상의 상부 전극층(140)을 포함할 수 있다. 일 실시 예에 있어서, 제1 반도체층(110)은 n형으로 도핑된 GaN층이고, 제1 전극층(130)은 니켈(Ni)층, 상부 전극층(140)은 금(Au)층일 수 있다. 또한, 질화물계 반도체 다이오드(20)는 제1 전극층(130)의 반대쪽에서 제1 반도체층(112)과 접하고 고농도의 제1형으로 도핑된 하부 질화물계 반도체층(120)을 포함한다. 하부 질화물계 반도체층(120)의 하면에는, 하부 질화물계 반도체층(120)과 오픈 접합을 이루는 제2 전극층(130)이 배치될 수 있다. 일 실시 예에 있어서, 하부 질화물계 반도체층(120)은 고농도의 n형으로 도핑된 GaN층이고, 제2 전극층(130)은 크롬(Cr)층, 타이타늄층(Ti), 알루미늄층(Al)층, 또는 이들의 둘 이상의 적층 구조일 수 있다. 도시되지는 않았지만, 제2 전극층(130)의 하면에는 금(Au)층이 추가로 적층될 수 있다.

[0034] 도 2의 (a)를 참조하면, 제1 반도체층(112)과 제2 반도체층(114)은 p-n접합에 의해 공핍층을 생성할 수 있다. 도 3에 도시되는 바와 같이, 제1 반도체층(112) 및 제2 반도체층(114) 내부로 각각 공핍층(112', 114')이 형성될 수 있다. 일 실시 예에 있어서, 공핍층(112', 114')은 제1 반도체층(112)과 제2 반도체층(114) 전체 영역에 형성될 수 있다. 이와 같이, 제1 반도체층(112)과 제2 반도체층(114)의 전체 영역에 걸쳐 공핍층(112', 114')이 형성되는 경우, 전계 분포는 도 2의 (b)에 도시되는 그래프와 같이 나타날 수 있다.

[0035] 도 2의 (b)에 도시되는 바와 같이, 제1 반도체층(112)과 제1 전극층(130) 간의 쇼트키 접합에 의해 생성되는 전계는 제1 반도체층(112)과 제1 전극층(130)의 경계면으로부터, 제1 반도체층(112)과 하부 질화물계 반도체층(120)의 경계면에 이르기까지 균일하게 유지될 수 있다. 제1 전극층(130)과 제2 전극층(150) 사이에, 바이어스가 걸리지 않는 경우(V_{r0}) 및 역방향 바이어스가 걸리는 경우(V_{r1})에 무관하게, 제1 전극층(130)과 하부 질화물

계 반도체층(120) 사이에서 균일한 값의 전계가 각각 유지될 수 있다. 도 2의 (c)를 참조하면, 바이어스가 걸리지 않는 경우(V_{r0}) 및 역방향 바이어스가 걸리는 경우(V_{r1}), 상기 제1 전극층(130) 및 제1 반도체층(112)의 경계면으로부터 하부 질화물계 반도체층(120) 및 제1 반도체층(112)의 경계면인 r_1' 의 거리에 이르기까지 전압이 선형적으로 증가하는 양상을 보인다.

- [0036] 도 2에 도시된 바와 같은 질화물계 반도체 다이오드의 내부 전계 분포에서는 역방향 바이어스 값이 증가할수록, 전계값이 증가하는 양상을 보인다. 하지만, 상기 전계값이 질화물계 반도체 영역 내에서 극부적으로 피크값을 가지지는 않는다. 이로써, 역방향 바이어스 값이 증가하더라도, 도 1에 도시된 비교예의 질화물계 반도체 다이오드(10)에 비해, 전기적 파괴 현상에 대한 저항력이 클 수 있다. 따라서, 상대적으로 내압 특성이 향상된 질화물계 반도체 다이오드를 제공할 수 있다.
- [0037] 도 2 및 도 3을 참조하여, 본 실시 예의 질화물계 반도체 다이오드(20)의 동작 방법을 살펴본다. 상술한 바와 같이, 제1 반도체층(112)은 n형으로 도핑된 질화물계 반도체층일 수 있으며, 제1 전극층(130)은 제1 반도체층(112)과 쇼트키 접합을 이루는 금속층일 수 있다. 하부 질화물계 반도체층(120)은 제1 반도체층(112)과 오믹 접합을 이룰 수 있으며, 제2 반도체층(114)과는 p-n 접합을 이룰 수 있다.
- [0038] 제1 전극층(130)과 제2 전극층(150) 사이에 바이어스가 인가되지 않거나 또는 역방향 바이어스가 인가되는 경우, 제1 반도체층(112) 및 제2 반도체층(114)의 전부는 공핍된(depleted) 상태를 유지하지 할 수 있다. 도 3에서, 공핍층(112', 114')가 도시되고 있다.
- [0039] 제1 전극층(130)과 제2 전극층(150) 사이에, 순방향 바이어스가 인가되는 경우, 제1 반도체층(112) 및 제2 반도체층(114)의 적어도 일부분이 상기 공핍된 상태로부터 회복될 수 있다. 이때, 상기 공핍된 상태로부터 회복된 상기 제1 반도체층(112)의 일부분을 따라 전하를 띤 캐리어가 전도할 수 있다. 이어서, 제1 반도체층(112)과 제1 전극층(130)의 계면에서 상기 순방향 바이어스에 의해 낮아진 쇼트키 장벽을 넘어, 상기 캐리어가 전도함으로써, 질화물계 반도체 다이오드가 순방향 전류를 발생시킬 수 있다.
- [0040] 도 4는 본 개시의 제2 실시 예에 따르는 질화물계 반도체 다이오드를 개략적으로 나타내는 모식도이다. 도 4를 참조하면, 질화물계 반도체 다이오드(30)는 기판(410), 절연성 버퍼층(420), 반도체 구조물(430), 제1 전극층(460) 및 제2 전극층(470)을 포함한다.
- [0041] 기판(410)은 일 예로서, 사파이어 기판, GaN 기판, 실리콘 기판, SiC 기판 등 공지의 다양한 기판이 적용될 수 있다. 절연성 버퍼층(420)은 기판(410)과 상부에 위치하는 질화물계 반도체층과의 격자 상수 차이를 완화시키는 역할을 하는 질화물계 반도체층일 수 있다.
- [0042] 반도체 구조물(430)은 절연성 버퍼층(420) 상에 배치될 수 있다. 반도체 구조물(430)은 서로 엇갈려 적층되는 제1형으로 도핑된 질화물계 제1 반도체층(431) 및 제2형으로 도핑된 질화물계 제2 반도체층(432)을 포함할 수 있다. 반도체 구조물(430)은 서로 엇갈려 적층되는 상기 제1 반도체층과 상기 제2 반도체층의 쌍을 복수개 구비할 수 있다. 제1 반도체층(431)과 제2 반도체층(432)은 일 예로서, 약 10 nm 내지 200 nm의 두께를 가질 수 있다.
- [0043] 일 실시 예에 있어서, 제1 반도체층(431)은 n형으로 도핑될 수 있으며, 제2 반도체층(432)은 p형으로 도핑될 수 있다. 제1 반도체층(431)과 제2 반도체층(432)은 p-n 접합을 이루므로써, 제1 반도체층(431)과 제2 반도체층(432)의 전체에 공핍층이 형성될 수 있다.
- [0044] 반도체 구조물(430) 상에는 절연성 버퍼층(440) 및 상부 절연층(450)이 배치될 수 있다. 절연성 버퍼층(440)은 질화물계 반도체층일 수 있으며, 상부 절연층(450)은 산화물, 질화물 또는 산질화물을 포함할 수 있다.
- [0045] 제1 전극층(460)은 반도체 구조물(430)의 적어도 일부분을 기판(410) 방향으로 관통하는 트렌치 내부에 형성될 수 있다. 제1 전극층(460)은 제1 반도체층(431)과 쇼트키 접합을 할 수 있다. 일 예로서, 제1 전극층(460)은 니켈(Ni)층 또는 니켈(Ni)층과 금(Au)층의 적층 구조일 수 있다. 도시된 바와 같이, 제1 전극층(460)은 상기 트렌치를 채우도록 형성될 수 있으나, 반드시 이에 한정되는 것은 아니고, 상기 트렌치의 내벽을 따라 박막의 형태로 형성될 수 있다.
- [0046] 제2 전극층(470)은 제1 전극층(460)과 측면 방향으로 이격하여 배치되고, 반도체 구조물(430)의 적어도 일부분을 기판 방향으로 관통하는 트렌치 내부에 형성될 수 있다. 제2 전극층(470)은 제1 반도체층(431)과 오믹 접합

을 할 수 있다. 제2 전극층(470)은 일 예로서, 크롬(Cr)층, 타이타늄층(Ti), 알루미늄(Al)층, 또는 이들의 둘 이상의 적층 구조일 수 있다. 제2 전극층(470)은 상술한 금속의 박막층 상에 금(Au)층이 추가적으로 적층될 수도 있다. 도식된 바와 같이, 제2 전극층(470)은 상기 트렌치를 채우도록 형성될 수 있으나, 반드시 이에 한정되는 것은 아니고, 상기 트렌치의 내벽을 따라 박막의 형태로 형성될 수 있다.

[0047] 질화물계 반도체 다이오드(30)에 있어서, 제1 전극층(460)과 제2 전극층(470) 사이에 전압이 인가되지 않거나 또는 역방향 바이어스가 인가될 때, 제1 반도체층(431) 및 제2 반도체층(432)의 전부는 p-n 접합에 의해 공핍된(depleted) 상태를 유지할 수 있다. 제1 전극층(460)과 제2 전극층(470) 사이에, 순방향 바이어스가 인가될 때, 제1 반도체층(460) 및 제2 반도체층(470)의 적어도 일부분이 상기 공핍된 상태로부터 회복되고, 전하를 띤 캐리어가 상기 회복된 제1 반도체층(431)의 일부분을 따라 제1 전극층(460)과 제2 전극층(470) 사이를 전도할 수 있다. 이어서, 제1 반도체층(460)과 제1 전극층(130)의 계면에서 상기 순방향 바이어스에 의해 낮아진 쇼트키 장벽을 넘어, 상기 캐리어가 전도함으로써, 질화물계 반도체 다이오드(30)가 순방향 전류를 발생시킬 수 있다.

[0048] 도 5는 본 개시의 제3 실시 예에 따르는 질화물계 반도체 다이오드를 개략적으로 나타내는 모식도이다. 도 5를 참조하면, 질화물계 반도체 다이오드(40)는, 도 4의 제2 실시 예에 따르는 질화물계 반도체 다이오드(30)와 비교할 때, 절연성 버퍼층(420)이 ELO(epitaxial lateral overgrowth) 공정을 위한 질화물계 시드층(421)을 구비하는 점에서 구성상 차별성을 가질 수 있다. 즉, 절연성 버퍼층(420)은 질화물계 시드층(421)을 이용하는 공정의 ELO 공정에 의해 제조될 수 있다.

[0049] 일 실시 예에 있어서, 기판(410)이 사파이어 기판이며, 반도체 구조물(430)이 도핑된 GaN층을 포함할 경우, 질화물계 시드층(421)으로서 GaN 패턴층이 적용될 수 있다. 질화물계 시드층(421)으로부터 제1 질화물층(422)이 성장할 수 있으며, 제1 질화물층(422)으로부터 제2 질화물층(423)이 성장할 수 있다. 공정의 ELO 공정을 적용함으로써, 기판(410)과 절연성 버퍼층(420) 사이의 격자 상수 차이에 의해 발생하는 실전위(TD)의 밀도를 감소시킬 수 있다. 이로써, 실전위(TD)에 근거하여 발생하는 누설 전류 발생 또는 고온에서 발생할 수 있는 전기 저항 열화를 억제할 수 있다.

[0050] 도 6은 본 개시의 제4 실시 예에 따르는 질화물계 반도체 다이오드를 개략적으로 나타내는 모식도이다. 도 7은 도 6의 질화물계 반도체 다이오드의 부분 확대도이다. 도 6 및 도 7을 참조하면, 질화물계 반도체 다이오드(50)는, 도 4의 제2 실시 예에 따르는 질화물계 반도체 다이오드(30)와 비교할 때, 제1 반도체층(431) 내부에 추가로 삽입되는 질화물계 제3 반도체층(610)을 구비하는 구성상 차별성을 가진다.

[0051] 질화물계 제3 반도체층(610)은 제1 반도체층(431)의 질화물과 서로 다른 일함수를 가지는 질화물을 포함할 수 있다. 일 실시 예로서, 제1 반도체층(431)이 GaN층으로 이루어질 때, 질화물계 제3 반도체층(610)은 InN, AlGaN, InGaN 또는 AlGaInN을 포함할 수 있다. 질화물계 제3 반도체층(610)은 일 예로서, 약 10 내지 50 nm의 두께를 가질 수 있다.

[0052] 제1 반도체층(431)과 제3 반도체층(610)의 계면 영역에는 제1 반도체층(431) 및 제3 반도체층(610)을 구성하는 질화물 간의 일함수 차이에 기인하는 에너지 밴드 휘어짐 현상 또는 질화물 간의 격자 상수 차이에서 발생하는 압전 효과에 의해 2DEG층(710)이 형성될 수 있다. 도 7에 도시된 바와 같이, 2DEG층(710)은 제1 전극층(460) 및 제2 전극층(470) 사이에서 측면으로 연장될 수 있으며, 제1 반도체층(431)보다 상대적으로 높은 전자 밀도를 가질 수 있다. 따라서, 전자를 캐리어로 적용하는 질화물계 반도체 다이오드(50)에서, 전자는 2DEG층(710)을 통해 보다 높은 이동도로 전도할 수 있다.

[0053] 한편, 2DEG층(710)은 제1 전극층(460)과 반도체 구조물(630) 사이의 계면 영역에서 단절되도록 제어될 수 있다. 제1 전극층(460)과 제1 반도체층(431) 사이의 일함수 차이에 의해 쇼트키 장벽을 형성하는 힘이 2DEG층(710)의 에너지 밴드 구조에 영향을 미치도록 제어함으로써, 제1 전극층(460)과 반도체 구조물(630) 사이의 경계 영역에서 2DEG층(710)을 부분적으로 제거할 수 있다.

[0054] 제1 전극층(460)과 제2 전극층(470) 사이에 바이어스가 인가되지 않거나, 역방향 바이어스가 인가되는 경우, 2DEG층(710)의 단절될 수 있으며 단절되는 2DEG층(710)의 길이는 인가되는 바이어스의 크기와 관련될 수 있다. 제1 전극층(460)과 제2 전극층(470) 사이에 순방향 바이어스가 인가되는 경우에, 단절된 2DEG층(710)이 회복될 수 있으며, 전자는 2DEG층(710)을 통해 보다 높은 이동도로 전도할 수 있다.

[0055] 도 8은 본 개시의 제5 실시 예에 따르는 질화물계 반도체 다이오드를 개략적으로 나타내는 모식도이다. 도 8을 참조하면, 질화물계 반도체 다이오드(60)는, 도 7의 제4 실시 예의 질화물계 반도체 다이오드(50)와 비교할 때, 절연성 버퍼층(420)이 ELO(epitaxial lateral overgrowth) 공정을 위한 질화물계 시드층(421)을 구비하는 점에서 구성상 차별성을 가질 수 있다. 즉, 절연성 버퍼층(420)은 질화물계 시드층(421)을 이용하는 공지의 ELO 공정에 의해 제조될 수 있다.

[0056] 일 실시 예에 있어서, 기판(410)이 사파이어 기판이며, 반도체 구조물(630)이 도핑된 GaN층을 포함할 경우, 질화물계 시드층(421)으로서 GaN 패터층이 적용될 수 있다. 질화물계 시드층(421)으로부터 제1 질화물층(422)이 성장할 수 있으며, 제1 질화물층(422)으로부터 제2 질화물층(423)이 성장할 수 있다. 공지의 ELO 공정을 적용함으로써, 기판(410)과 절연성 버퍼층(420) 사이의 격자 상수 차이에 의해 발생하는 실전위(TD)의 밀도를 감소시킬 수 있다. 이로써, 실전위(TD)에 근거하여 발생하는 누설 전류 발생 또는 고온에서 발생할 수 있는 전기 저항 열화를 억제할 수 있다.

[0057] 한편, 본 개시의 제3 및 제4 실시 예의 구성 상 요지는 도 2와 관련하여 상술한 제2 실시 예에 적용될 수 있다. 즉, 제3 실시 예에서의 질화물계 시드층을 이용하는 ELO 공정 구성 또는 제4 실시 예에서의 2DEG층을 형성시키는 또다른 질화물계 반도체층의 삽입 구성은 제2 실시 예에 실질적으로 동일하게 적용될 수 있다.

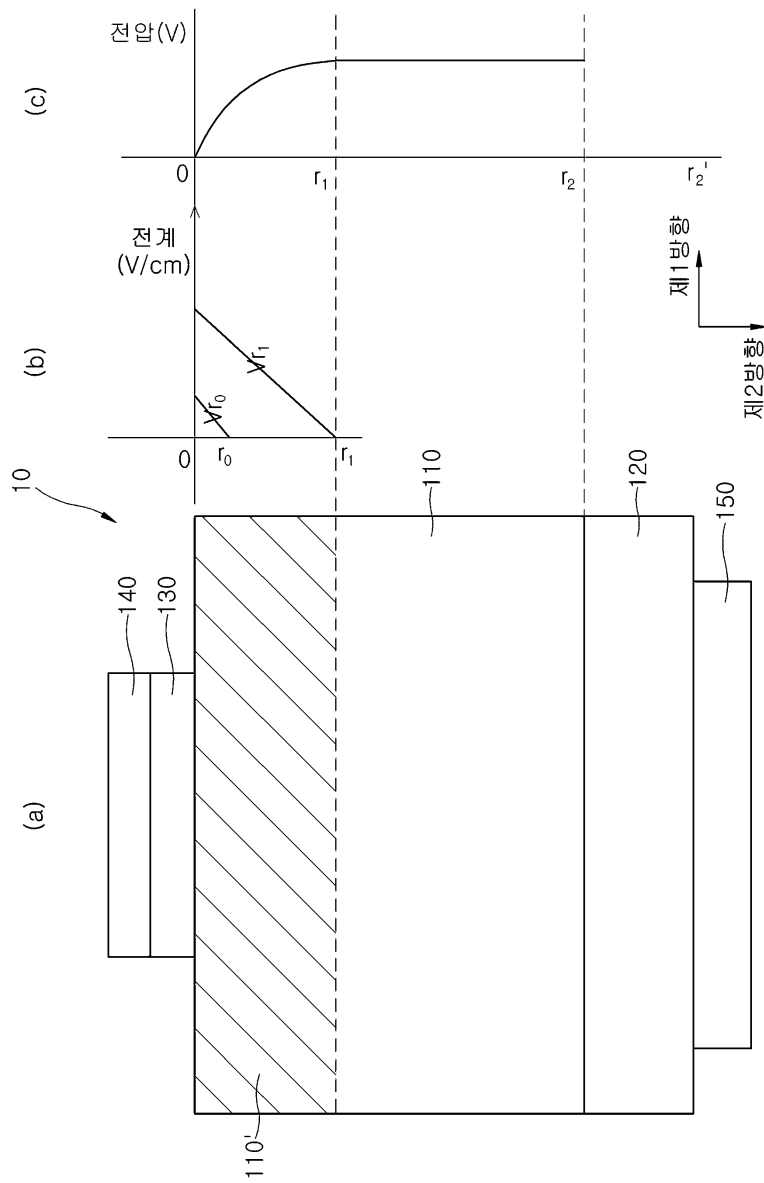
[0058] 이상에서는 도면 및 실시 예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허청구범위에 기재된 본 출원의 기술적 사상으로부터 벗어나지 않는 범위 내에서 본 출원에 개시된 실시예들을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

부호의 설명

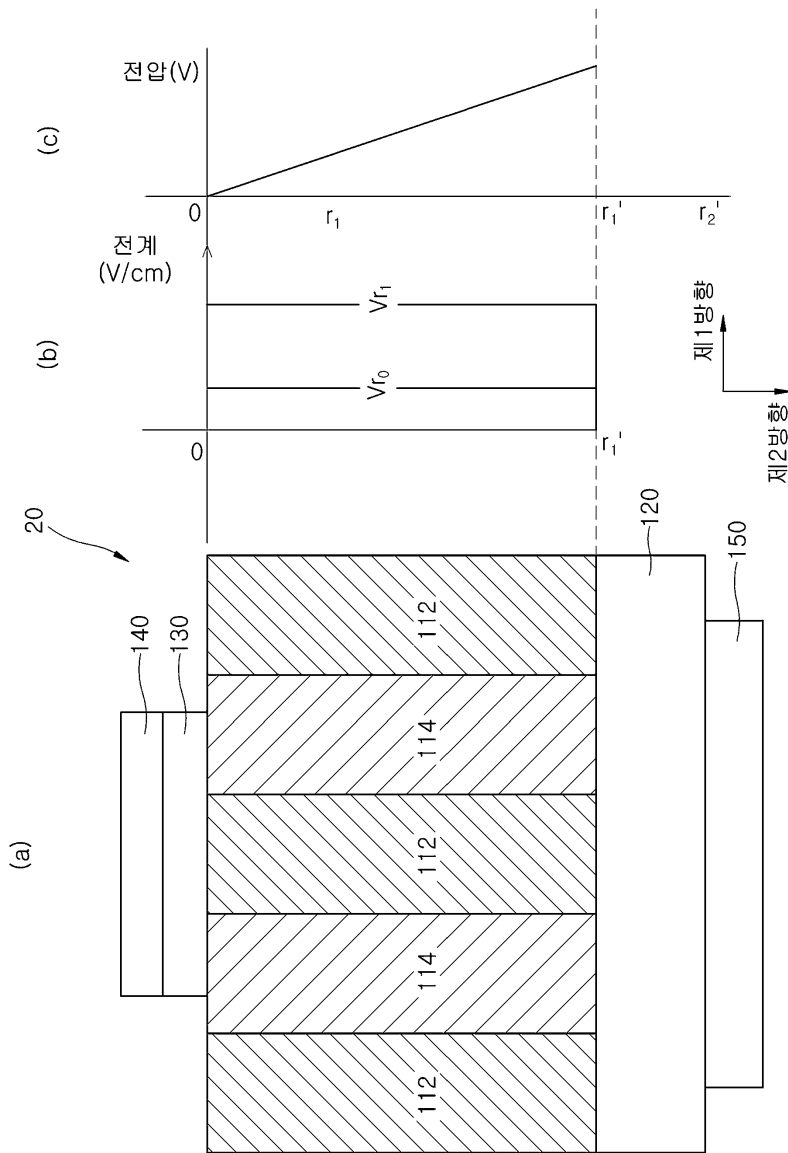
[0059] 10 20 30 40 50 60: 질화물계 반도체 다이오드,
 110 112: 제1 반도체층, 110' 112' : 제1 반도체층의 공핍층,
 114: 제2 반도체층, 114' : 제2 반도체층의 공핍층
 120: 하부 질화물계 반도체층, 130: 제1 전극층,
 140: 상부 전극층, 150: 제2 전극층,
 410: 기판, 420: 절연성 버퍼층,
 421: 질화물계 시드층
 430: 반도체 구조물, 431: 제1 반도체층, 432: 제2 반도체층,
 440: 절연성 버퍼층, 450: 절연층,
 460: 제1 전극층, 470: 제2 전극층,
 610: 질화물계 제3 반도체층, 630: 반도체 구조물,
 710: 2DEG층.

도면

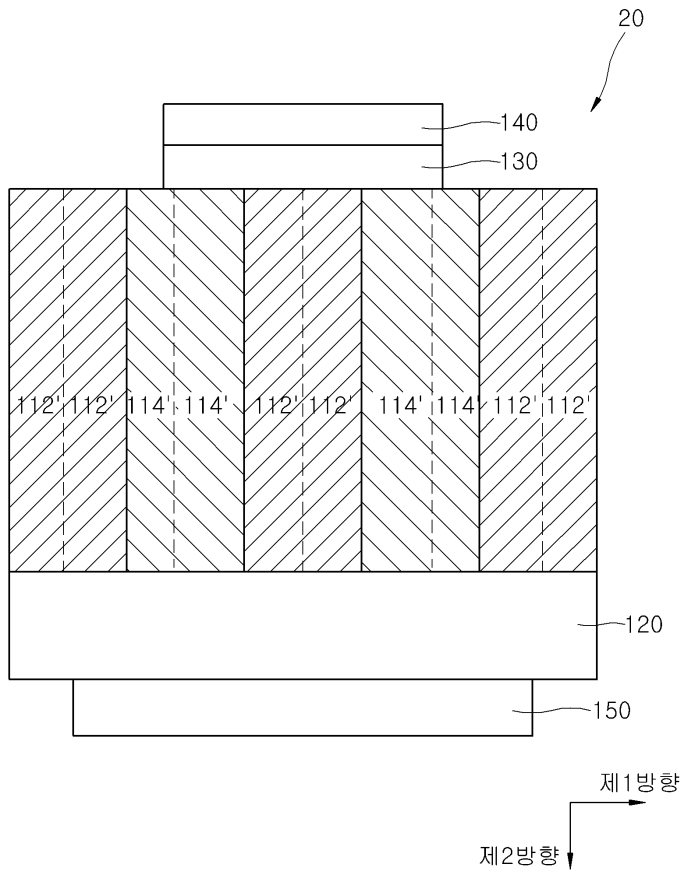
도면1



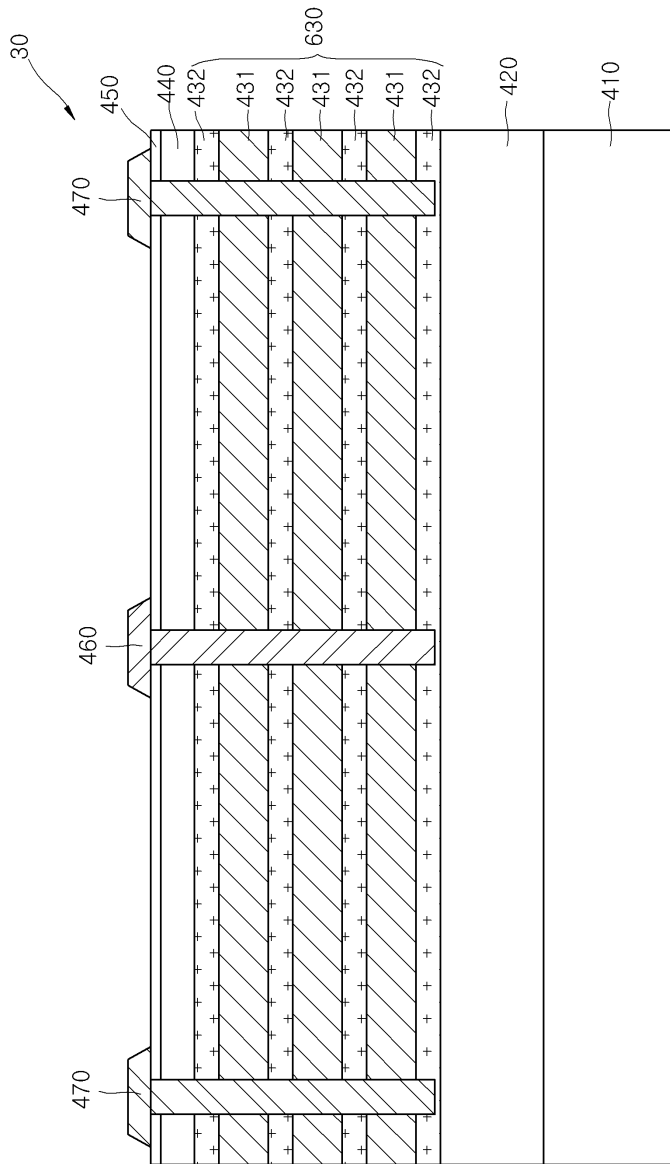
도면2



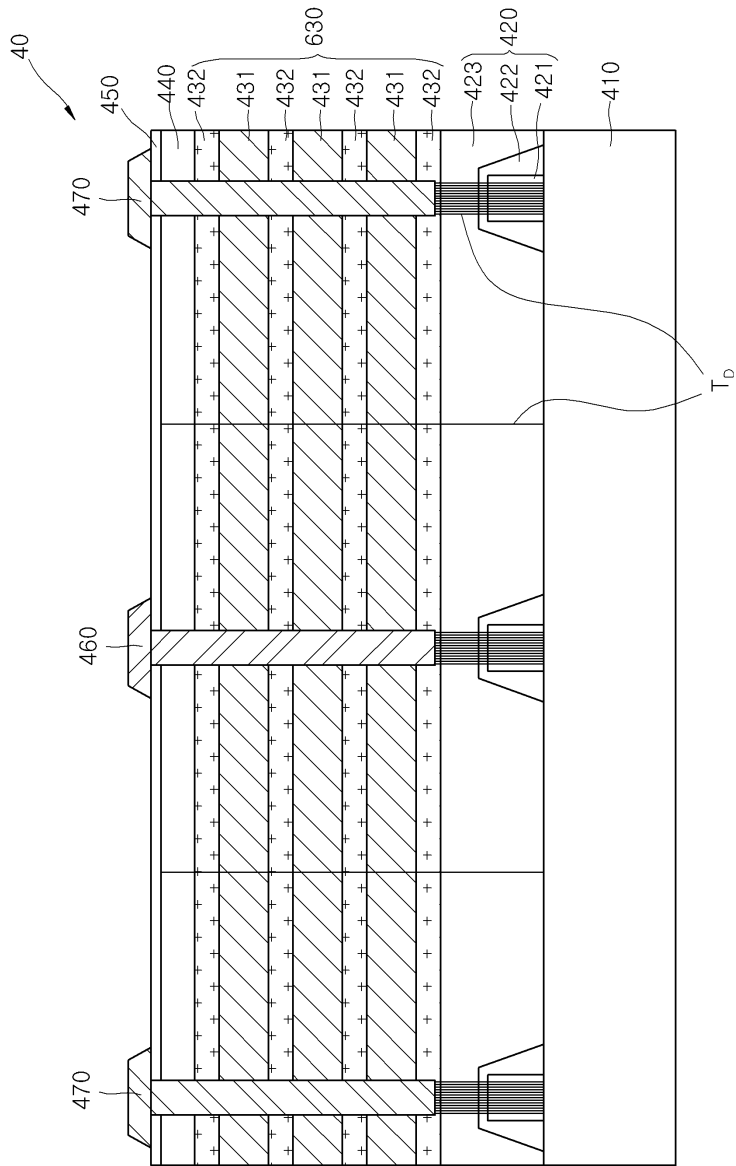
도면3



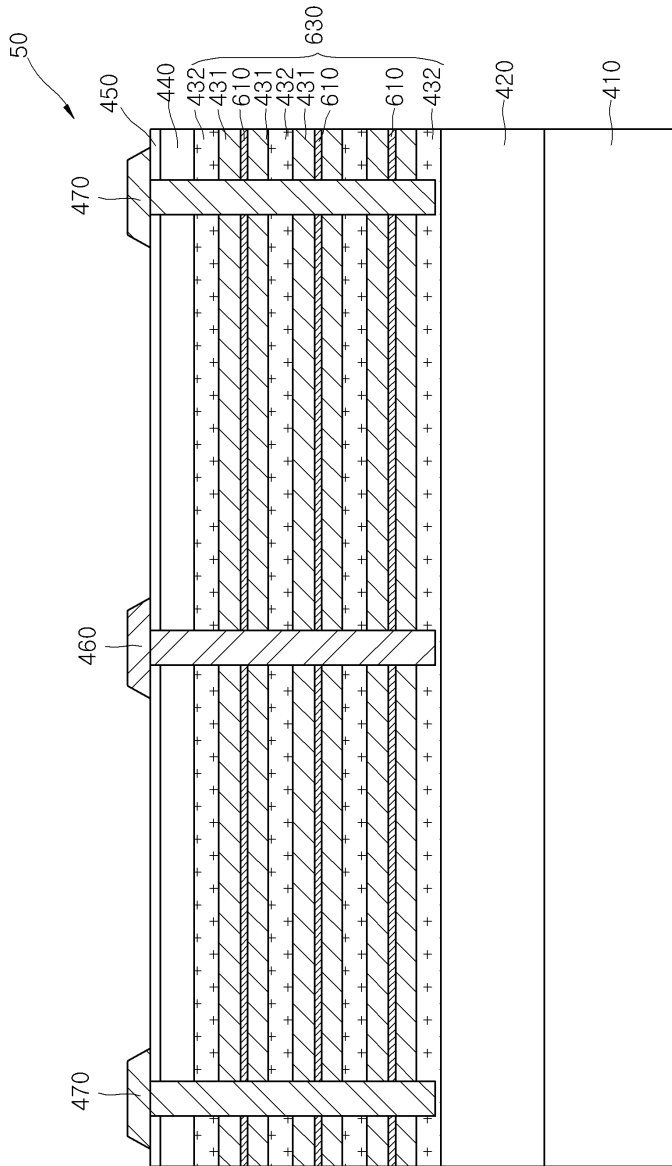
도면4



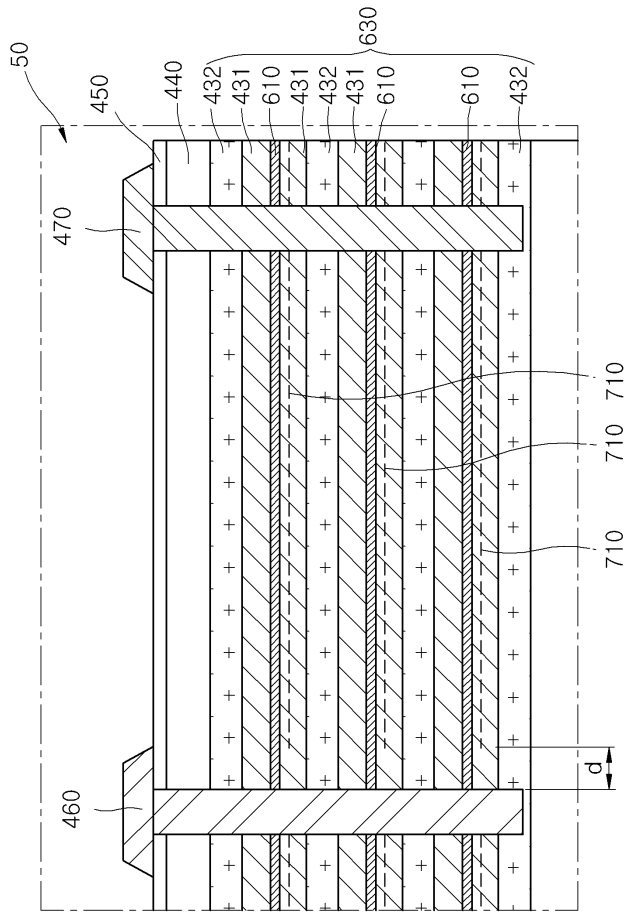
도면5



도면6



도면7



도면8

