

청구항 1.

빛과 바이어스 전압 중 적어도 하나를 코드화하는 영상 감지부; 그리고

상기 코드화 결과를 영상 신호로 변환하는 영상 처리부를 포함하며,

상기 영상 감지부는,

상기 빛에 응답해서 제1화소 전압을 발생하는 복수 개의 제1화소들; 그리고

각각이 상기 제1화소와 동일한 회로 구성을 가지며, 제1모드시 상기 제1화소 전압의 오프셋을 보상하고, 제2모드시 테스트로부터 다양한 레벨로 조절되는 상기 바이어스 전압에 응답하여 제2화소 전압을 발생하는 복수 개의 제2화소들을 포함하는 것을 특징으로 하는 이미지 센서.

청구항 2.

제 1 항에 있어서,

상기 제2화소는 상기 빛의 유입을 차단하는 금속 층을 포함하는 것을 특징으로 하는 이미지 센서.

청구항 3.

제 1 항에 있어서,

상기 복수 개의 제2화소들에 공통으로 연결되어, 상기 제2화소들에게 상기 바이어스 전압을 제공하는 패드를 더 포함하는 것을 특징으로 하는 이미지 센서.

청구항 4.

제 3 항에 있어서,

상기 복수 개의 제2화소들과 상기 패드 사이에는 상기 바이어스 전압을 스위칭하는 적어도 하나 이상의 스위치가 더 포함되는 것을 특징으로 하는 이미지 센서.

청구항 5.

제 4 항에 있어서,

상기 스위치는 상기 바이어스 전압이 상기 복수 개의 제2화소들로 동시에 인가되도록 제어하는 것을 특징으로 하는 이미지 센서.

청구항 6.

제 4 항에 있어서,

상기 스위치는 상기 바이어스 전압이 상기 복수 개의 제2화소들로 행 단위로 인가되도록 제어하는 것을 특징으로 하는 이미지 센서.

청구항 7.

제 1 항에 있어서,

상기 바이어스 전압은 상기 제2모드시 외부로부터 인가되는 것을 특징으로 하는 이미지 센서.

청구항 8.

삭제

청구항 9.

제 3 항에 있어서,

상기 각각의 제 2 화소는,

출력단이 상기 패드와 연결된 포토 다이오드;

플로팅 노드의 전위를 소정의 값으로 리셋하는 제1 트랜지스터;

상기 포토 다이오드의 출력을 상기 플로팅 노드로 전달하는 제2 트랜지스터;

상기 플로팅 노드의 전압을 증폭하는 제3 트랜지스터; 그리고

상기 증폭 결과를 출력하는 제4 트랜지스터를 포함하는 것을 특징으로 하는 이미지 센서.

청구항 10.

복수 개의 화소들을 통해 바이어스 전압에 대응되는 전압을 코드화하는 영상 감지부와, 상기 코드화 결과를 영상 신호로 변환하는 영상 처리부를 포함하는 이미지 센서; 그리고

다양한 레벨로 조절되는 상기 바이어스 전압을 발생하고, 상기 코드화 결과와 상기 영상 신호를 분석하여 상기 이미지 센서의 동작 특성을 검증하는 테스터를 포함하는 것을 특징으로 하는 테스트 시스템.

청구항 11.

제 10 항에 있어서,

상기 영상 감지부는,

빛과 상기 바이어스 전압 중 적어도 하나에 대응되는 화소 전압을 발생하는 센서 어레이;

상기 화소 전압을 디지털화하는데 기준이 되는 기준전압을 발생하는 램프신호 발생기;

상기 기준전압과 상기 화소 전압에 응답해서 디지털 타입의 전압을 발생하는 아날로그-디지털 변환부; 그리고

상기 아날로그-디지털 변환부로부터 발생된 상기 디지털 타입의 전압을 저장하는 버퍼를 포함하는 것을 특징으로 하는 테스트 시스템.

청구항 12.

제 11 항에 있어서,

상기 센서 어레이는,

노말 동작시 빛에 응답해서 제1화소 전압을 발생하는 복수 개의 제1화소들; 그리고

각각이 상기 제1화소와 동일한 구성을 가지며, 상기 노말 동작시 상기 제1화소 전압의 오프셋을 보상하고, 테스트시 상기 바이어스 전압에 응답하여 제2화소 전압을 발생하는 복수 개의 제2화소들을 포함하는 것을 특징으로 하는 테스트 시스템.

청구항 13.

제 12 항에 있어서,

상기 제2화소는 상기 빛의 유입을 차단하는 금속 층을 포함하는 것을 특징으로 하는 테스트 시스템.

청구항 14.

제 12 항에 있어서,

상기 복수 개의 제2화소들에 공통으로 연결되어, 상기 제2화소들에게 상기 바이어스 전압을 제공하는 패드를 더 포함하는 것을 특징으로 하는 테스트 시스템.

청구항 15.

제 14 항에 있어서,

상기 복수 개의 제2화소들과 상기 패드 사이에는 상기 바이어스 전압을 스위칭하는 적어도 하나 이상의 스위치가 더 포함되는 것을 특징으로 하는 테스트 시스템.

청구항 16.

제 15 항에 있어서,

상기 스위치는 상기 바이어스 전압이 상기 복수 개의 제2화소들로 동시에 인가되도록 제어하는 것을 특징으로 하는 테스트 시스템.

청구항 17.

제 15 항에 있어서,

상기 스위치는 상기 바이어스 전압이 상기 복수 개의 제2화소들로 행 단위로 인가되도록 제어하는 것을 특징으로 하는 테스트 시스템.

청구항 18.

제 12 항에 있어서,

상기 바이어스 전압은 테스트시 상기 테스터로부터 인가되는 것을 특징으로 하는 테스트 시스템.

청구항 19.

삭제

청구항 20.

제 14 항에 있어서,

상기 각각의 제 2 화소는,

출력단이 상기 패드와 연결된 포토 다이오드;

플로팅 노드의 전위를 소정의 값으로 리셋하는 제1 트랜지스터;

상기 포토 다이오드의 출력을 상기 플로팅 노드로 전달하는 제2 트랜지스터;

상기 플로팅 노드의 전압을 증폭하는 제3 트랜지스터; 그리고

상기 증폭 결과를 출력하는 제4 트랜지스터를 포함하는 것을 특징으로 하는 테스트 시스템.

청구항 21.

제 10 항에 있어서,

상기 영상 신호는 상기 이미지 센서의 전체 데이터 경로를 통해 발생된 것을 특징으로 하는 테스트 시스템.

청구항 22.

이미지 센서의 테스트 방법에 있어서:

외부로부터 바이어스 전압을 받아들이는 단계;

복수 개의 화소들을 통해 다양한 레벨로 조절되는 상기 바이어스 전압에 대응되는 전압을 코드화하는 단계;

상기 코드화 결과를 영상 신호로 변환하는 단계; 그리고

상기 코드화 결과와 상기 영상 신호를 분석하는 단계를 포함하는 것을 특징으로 하는 테스트 방법.

청구항 23.

제 22 항에 있어서,

상기 화소들은 빛의 유입이 차단된 화소들인 것을 특징으로 하는 테스트 방법.

청구항 24.

삭제

청구항 25.

제 22 항에 있어서,

상기 영상 신호는 상기 이미지 센서의 전체 데이터 경로를 통해 발생된 것을 특징으로 하는 테스트 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 영상 감지(sensing), 캡처(capturing) 및 신호 처리(signal processing)를 위한 전자 소자들에 관한 것으로, 좀 더 구체적으로는 표준 CMOS(Complementary Metal Oxide Semiconductor) 공정을 이용하여 생산될 수 있는 이미지 센서 및 그것을 테스트하는 장치에 관한 것이다.

일반적으로, 이미지 센서는 광학적 이미지(optical image)를 전기 신호로 변환하는 반도체 소자이다. 그 중에서 CCD (Charge Coupled Device) 이미지 센서는 MOS 커패시터에 축적된 전하를 연속적으로 전송시켜 출력을 얻는 방식을 사용하며, 거의 완전하게 가까운 전하 전송 특성을 필요로 한다. 또한, CCD 이미지 센서는 셀 크기와 소비 전력을 줄이는 것이 어렵고, 주변회로를 포함하는 온-칩화(On-Chip)가 용이하지 않아, 비용을 절감하는데 많은 제약이 따른다. 이와 달리 CMOS 이미지 센서(CMOS Image Sensor ; CIS)는 단위 화소(pixel) 내에 포토 다이오드와 MOS 트랜지스터가 형성된 소자로서, 스위칭 방식을 이용하여 화소 내부에서 신호 전하를 검출 및 증폭한다. 특히, CMOS 이미지 센서는 CCD 공정에 비해 공정이 매우 단순한 CMOS 공정을 사용하기 때문에 제조 단가를 줄일 수 있고, 신호 처리 회로와 같은 주변 회로를 단일 칩 내에 형성할 수 있는 장점이 있다. 이와 같은 특성으로 인해 CMOS 이미지 센서는 차세대 이미지 센서로서 각광을 받고 있다.

CMOS 이미지 센서의 구성은 크게 영상 감지부(CIS Unit)와, 영상 처리부(ISP(Image Signal Processing) Unit)로 구분된다. 영상 감지부는 입력된 빛의 양을 코드화하는 기능을 수행한다. 영상 처리부는 영상 감지부에서 코드화된 신호를 보간(interpolation)하여 영상 신호로 재구성하는 영상 처리 기능을 수행한다. 영상 감지부와 영상 처리부는 각각 별도의 칩으로 구성될 수도 있고, SOC(System On Chip) 기술을 이용하여 단일 칩 형태로 구성될 수도 있다.

영상 감지부에는 복수 개의 행(row)들과 복수 개의 열(column)들이 교차하는 영역에 매트릭스 형태로 배열된 복수의 화소들이 포함된다. 각각의 화소는 입력된 빛에 의해 유도된 전하를 전압 값으로 변환한다. 각각의 화소로부터 발생된 아날로그 형태의 전압은 이중 상관 샘플링(Correlated Double Sampling ; CDS)을 통해 디지털 형태로 변환된다. 변환된 디지털 데이터는 영상 처리부로 입력되어, 영상 신호로 재구성된다.

CMOS 이미지 센서의 최종 출력 신호는 영상 처리부로부터 발생된다. 그러므로, CMOS 이미지 센서의 동작 특성을 테스트하기 위해서는 최종 출력 신호를 발생하는 영상 처리부의 출력력을 이용하여야 한다. 그러나, CMOS 이미지 센서 내에는 수십 내지 수백 만개의 단위 화소들이 구비되어 있기 때문에, 화소들로부터 검출된 데이터를 모두 테스트할 경우 많은 테스트 시간이 소요된다. 그리고, 영상 처리부는 매우 다양한 종류의 영상 처리 알고리즘들을 수행하기 때문에, 테스트가 복잡해지는 문제점이 있다.

이와 같은 문제점으로 인해, 대부분의 테스트 장비에서는 영상 감지부에 대한 특성 테스트와 영상 처리부에 대한 특성 테스트를 각각 분리하여 수행한다. 예를 들면, 영상 감지부의 경우에는 EDS(Electrical Die Sorting)시 영상 감지부에서 검출된 데이터를 검증하는 테스트를 독립적으로 수행하고, 영상 처리부의 경우에는 벡터(vector)를 통한 간단한 평선(function) 테스트를 각각 독립적으로 수행한다. 하지만, 이와 같은 테스트 방식은 CMOS 이미지 센서의 전체 동작 특성을

반영한 것이 아니라, 영상 감지부와 영상 처리부 각각에 대한 개별적인 특성만을 반영한 것에 불과하다. 그러므로, 영상 감지부와 영상 처리부의 전체 데이터 경로(full data path)를 테스트하되, 테스트 시간과 테스트의 복잡성을 줄일 수 있는 방안이 요구된다.

또한, CMOS 이미지 센서는 외부로부터 빛을 수광하여 영상 신호를 생성해 내기 때문에, CMOS 이미지 센서에 포함된 각 구성 요소의 성능을 직접 테스트하기가 어려운 문제점이 있다. 예를 들면, 화소들로부터 발생된 전압을 디지털 형태로 변환하는데 사용되는 구성 요소들(예컨대, 램프 신호 발생기, 아날로그-디지털 변환기 등)의 성능을 측정하기 위해서는 빛을 직접 조사하여야만 한다. 또한, 상기 구성 요소들의 출력범위 전체에 대한 성능을 검증하기 위해서는 화소에 인가되는 빛의 양을 단계적으로 조절하여야만 한다. 그러나, 빛의 양을 정량적으로 조절하는 것은 매우 어렵고, 그 비용 또한 매우 높은 문제점이 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 상술한 제반 문제점을 해결하기 위해 제안된 것으로, 테스트 시간과 테스트의 복잡성을 줄일 수 있는 CMOS 이미지 센서, 그리고 그것을 위한 테스트 시스템 및 테스트 방법을 제공하는 데 있다.

본 발명의 다른 목적은 테스트에 사용될 입력 데이터의 값을 자유롭게 조절할 수 있는 CMOS 이미지 센서 및 그것을 위한 테스트 시스템을 제공하는 데 있다.

본 발명의 다른 목적은 CMOS 이미지 센서의 각 부분에 대한 테스트와, 전체 데이터 경로에 대한 테스트를 모두 수행할 수 있는 CMOS 이미지 센서, 그리고 그것을 위한 테스트 시스템 및 테스트 방법을 제공하는 데 있다.

발명의 구성

(구성)

상기의 과제를 이루기 위하여 본 발명에 의한 테스트 시스템은, 복수 개의 화소들을 통해 바이어스 전압에 대응되는 전압을 코드화하는 영상 감지부와, 상기 코드화 결과를 영상 신호로 변환하는 영상 처리부를 포함하는 이미지 센서; 그리고 상기 바이어스 전압을 발생하고, 상기 코드화 결과와 상기 영상 신호를 분석하여 상기 이미지 센서의 동작 특성을 검증하는 테스터를 포함하는 것을 특징으로 한다.

이 실시예에 있어서, 상기 영상 감지부는 빛과 상기 바이어스 전압 중 적어도 하나에 대응되는 화소 전압을 발생하는 센서 어레이; 상기 화소 전압을 디지털화하는데 기준이 되는 기준전압을 발생하는 램프신호 발생기; 상기 기준전압과 상기 화소 전압에 응답해서 디지털 타입의 전압을 발생하는 아날로그-디지털 변환부; 그리고 상기 아날로그-디지털 변환부로부터 발생된 상기 디지털 타입의 전압을 저장하는 버퍼를 포함하는 것을 특징으로 한다.

이 실시예에 있어서, 상기 센서 어레이는 노말 동작시 빛에 응답해서 제1화소 전압을 발생하는 복수 개의 제1화소들; 그리고 각각이 상기 제1화소와 동일한 구성을 가지며, 상기 노말 동작시 상기 제1화소 전압의 오프셋을 보상하고, 테스트시 상기 바이어스 전압에 응답하여 제2화소 전압을 발생하는 복수 개의 제2화소들을 포함하는 것을 특징으로 한다.

상기의 과제를 이루기 위하여 본 발명에 의한 이미지 센서의 테스트 방법은, 외부로부터 바이어스 전압을 받아들이는 단계; 복수 개의 화소들을 통해 상기 바이어스 전압에 대응되는 전압을 코드화하는 단계; 상기 코드화 결과를 영상 신호로 변환하는 단계; 그리고 상기 코드화 결과와 상기 영상 신호를 분석하는 단계를 포함하는 것을 특징으로 한다.

상기의 과제를 이루기 위하여 본 발명에 의한 이미지 센서는, 빛과 바이어스 전압 중 적어도 하나를 코드화하는 영상 감지부; 그리고 상기 코드화 결과를 영상 신호로 변환하는 영상 처리부를 포함한다. 그리고 상기 영상 감지부는 상기 빛에 응답해서 제1화소 전압을 발생하는 복수 개의 제1화소들; 그리고 각각이 상기 제1화소와 동일한 회로 구성을 가지며, 제1모드시 상기 제1화소 전압의 오프셋을 보상하고, 제2모드시 상기 바이어스 전압에 응답하여 제2화소 전압을 발생하는 복수 개의 제2화소들을 포함하는 것을 특징으로 한다.

이 실시예에 있어서, 상기 제2화소는 상기 빛의 유입을 차단하는 금속 층을 포함하는 것을 특징으로 한다.

이 실시예에 있어서, 상기 복수 개의 제2화소들에 공통으로 연결되어, 상기 제2화소들에게 상기 바이어스 전압을 제공하는 패드를 더 포함하는 것을 특징으로 한다.

이 실시예에 있어서, 상기 복수 개의 제2화소들과 상기 패드 사이에는 상기 바이어스 전압을 스위칭하는 적어도 하나 이상의 스위치가 더 포함되는 것을 특징으로 한다.

이 실시예에 있어서, 상기 스위치는 상기 바이어스 전압이 상기 복수 개의 제2화소들로 동시에 인가되도록 제어하는 것을 특징으로 한다.

이 실시예에 있어서, 상기 스위치는 상기 바이어스 전압이 상기 복수 개의 제2화소들로 행 단위로 인가되도록 제어하는 것을 특징으로 한다.

이 실시예에 있어서, 상기 바이어스 전압은 상기 제2모드시 외부로부터 인가되는 것을 특징으로 한다.

이 실시예에 있어서, 상기 바이어스 전압은 다양한 레벨로 조절되는 것을 특징으로 한다.

이 실시예에 있어서, 상기 각각의 제 2 화소는 출력단이 상기 패드와 연결된 포토 다이오드; 플로팅 노드의 전위를 소정의 값으로 리셋하는 제1 트랜지스터; 상기 포토 다이오드의 출력을 상기 플로팅 노드로 전달하는 제2 트랜지스터; 상기 플로팅 노드의 전압을 증폭하는 제3 트랜지스터; 그리고 상기 증폭 결과를 출력하는 제4 트랜지스터를 포함하는 것을 특징으로 한다.

(실시예)

이하 본 발명의 바람직한 실시예를 첨부된 도면들을 참조하여 상세히 설명한다.

본 발명의 신규한 이미지 센서는, 빛과 바이어스 전압 중 적어도 하나를 코드화하는 영상 감지부와, 상기 코드화 결과를 영상 신호로 변환하는 영상 처리부를 포함한다. 그리고, 상기 영상 감지부는 상기 빛에 응답해서 제1화소 전압을 발생하는 복수 개의 제1화소들과, 각각이 상기 제1화소와 동일한 회로 구성을 가지며, 제1모드시 상기 제1화소 전압의 오프셋을 보상하고, 제2모드시 상기 바이어스 전압에 응답하여 제2화소 전압을 발생하는 복수 개의 제2화소들을 포함한다. 이와 같은 구성을 갖는 이미지 센서는 고가의 장비나 별도의 회로를 구비하지 않고도 테스트에 사용될 입력 데이터의 값(즉, 빛에 해당되는 바이어스 전압)을 자유롭게 조절할 수 있다. 따라서, CMOS 이미지 센서의 각 부분에 대한 테스트와, 전체 데이터 경로에 대한 테스트를 효과적으로 수행할 수 있고, CMOS 이미지 센서의 고유의 동작 특성을 정확하게 분석할 수 있게 된다. 그리고, CMOS 이미지 센서의 테스트 시간과 테스트의 복잡성 또한 현저히 줄일 수 있다. 이에 대한 구체적인 구성은 다음과 같다.

도 1은 본 발명의 실시예에 따른 테스트 시스템의 전체 구성을 개략적으로 보여주는 블록도이다.

도 1을 참조하면, 본 발명에 따른 테스트 시스템은 테스트의 대상이 되는 CMOS 이미지 센서(1000)와, CMOS 이미지 센서(1000)를 테스트하는 테스터(5000)를 포함한다. 이미지 센서(1000)는 영상 감지부(CIS; 1100)와 영상 처리부(ISP; 1500)로 구성된다. 테스터(5000)는 CMOS 이미지 센서(1000)에 구비된 패드(90)를 통해 바이어스 전압(BIAS)을 제공한다. 아래에서 상세히 설명되겠지만, 바이어스 전압(BIAS)은 센서 어레이의 OB(Optical Black) 화소 영역에 구비된 화소(이하, OB 화소라 칭함)로 제공된다. 이때, 바이어스 전압(BIAS)은 빛 대신에 OB 화소의 입력 신호로 사용되며, 바이어스 전압(BIAS)의 레벨은 다양하게 조절된다.

바이어스 전압(BIAS)에 응답하여 영상 감지부(1100)와 영상 처리부(1500)로부터 발생된 출력 신호(CIS_OUT, ISP_OUT)는 테스터(5000)로 입력된다. 테스터(5000)는 상기 신호들(CIS_OUT, ISP_OUT)을 분석하여 영상 감지부(1100) 및/또는 영상 처리부(1500)의 동작 특성을 분석한다. 여기서, 출력 신호(CIS_OUT)는 바이어스 전압(BIAS)에 의해 영상 감지부(1100)에서 캡처된 결과를 의미한다. 그리고, 출력 신호(ISP_OUT)는 영상 감지부(1100)에서 캡처된 결과(CIS_OUT)를 영상 처리부(1500)가 영상으로 재구성한 결과, 즉 CMOS 이미지 센서(1000)의 전체 데이터 경로(full data path)를 통해 발생된 최종 출력 신호를 의미한다.

도 2는 도 1에 도시된 CMOS 이미지 센서(1000)의 상세 구성을 보여주는 도면이다. 그리고, 도 3a 및 도 3b는 도 2에 도시된 센서 어레이(100)의 구성을 보여주는 도면이다.

도 2를 참조하면, 센서 어레이(100)는 행들(R_1-R_M)과 열들(C_1-C_N)의 어레이로 배열된 복수의 화소들(11, 12)을 포함한다. 센서 어레이(100)는 도 3a 및 도 3b에 도시된 바와 같이 크게 두 개의 영역으로 구분된다. 첫 번째 영역은 액티브 화소 영역(Active Pixel Area)(110, 110')이고, 두 번째 영역은 OB 화소 영역(Optical Black Pixel Area)(120, 120')이다. 액티브 화소 영역(110, 110')은 화면상에 디스플레이될 영상이 취득되는 영역이다. 액티브 화소 영역(110, 110')에는 빛에 반응하여 광-전 변환을 수행하는 복수 개의 화소들(이하, 액티브 화소(11)라 칭함)이 구비된다. OB 화소 영역(120, 120')은 인위적으로 빛을 차단한 영역으로, 빛이 차단된 환경에서 광-전 변환을 수행하는 복수 개의 화소들(즉, OB 화소(12))이 구비된다. OB 화소 영역(120, 120')은 도 3a에 도시된 바와 같이 센서 어레이(100)의 상부 및/또는 하부에 배치될 수도 있고, 도 3b에 도시된 바와 같이 센서 어레이(100)의 테두리 부분에 배치될 수도 있다. 또한, OB 화소(12)들과 연결된 행(row) 및 열(column)의 개수는 다양한 형태로 변형 가능하며, OB 화소 영역(120, 120')이 다양한 형태 및 크기로 변형될 수 있음은 이 분야의 통상의 지식을 가진 이들에게는 자명하다.

앞에서 설명한 바와 같이 OB 화소 영역(120, 120')은 빛이 차단된 영역이다. 그러므로, OB 화소(12)에서 취득된 데이터 값은 이상적으로는 제로(즉, "0")의 값을 가져야 한다. 그러나, CMOS 이미지 센서에 존재하는 다크 커런트(dark current)의 영향으로, OB 화소(12)에서 취득된 데이터 값은 제로의 값을 가지지는 않는다. 다크 커런트는 OB 화소(12) 뿐만 아니라 액티브 화소(11)에도 영향을 끼친다. 따라서, OB 화소(12)에서 추출된 데이터 값은 실제로는 액티브 화소(11)에 미치는 다크 커런트의 영향을 제거하는데 사용된다. 여기서, 다크 커런트 등에 의해 발생하는 데이터의 왜곡을 오프셋이라 부르기로 한다. OB 화소들(12)은 디스플레이될 데이터를 캡처하는 화소로서의 역할 보다는 액티브 화소(11)의 오프셋을 보상하는 일종의 더미 화소로서의 역할을 수행한다.

본 발명에서는 바로 이와 같은 OB 화소들(12)의 구성을 이용하여 테스트를 수행한다. OB 화소(12)는 기본적으로 액티브 화소(11)와 동일한 환경에서 동일한 공정을 통해 제조되며, 셀 구조 또한 실질적으로 동일하다. 따라서, OB 화소(12)는 사실상 액티브 화소(11)와 동일한 특성을 가지는 것으로 볼 수 있다. 그러므로, 본 발명에서는 수십 내지 수백 만개의 액티브 화소들(11)을 이용하여 테스트를 수행하는 대신, 액티브 화소(11)와 동일한 특성을 가지는 OB 화소(12)를 이용하여 테스트를 수행한다.

본 발명에서 수행되는 테스트는 센서 어레이(100)에 포함되어 있는 화소들(11, 12)에 대한 양(pass)/부(fail) 판정 테스트라기보다는, CMOS 이미지 센서(1000)의 동작 특성을 검증하는 테스트이다. 예를 들면, 본 발명에서는 화소 전압($VPXL_1, VOB_1$)을 발생하는 화소 자체의 동작 특성은 물론, CMOS 이미지 센서(1000)의 전체 데이터 경로와, CMOS 이미지 센서(1000)에 포함된 각 기능블록들의 동작 특성을 테스트한다. CMOS 이미지 센서(1000)에 포함된 기능블록들로는 아날로그-디지털 변환기 블록(20), 버퍼(30), 램프신호 발생기(40), 및 제어 로직 블록(50) 등이 있다.

한편, 도 2에는 하나의 행에 대응되는 OB 화소(12)들이 테스트에 사용되는 예가 도시되어 있다. 그러나, 이는 본 발명이 적용되는 일 예에 불과하며, 경우에 따라서는 복수 개의 행에 대응되는 OB 화소(12)들이 테스트에 사용될 수 있다. 통상적으로, 센서 어레이(100)에 구비된 OB 화소(12)의 개수는 액티브 화소(11)의 개수 보다 매우 적은 특징을 가진다.

하나의 행에 속한 화소들(11, 12)은 해당 행이 선택될 때 동시에 활성화된다. 제어 로직 블록(50)은 행 선택 신호(RSEL)와, 화소들(12)을 구동하는데 필요한 전압들(VDD, VTG)과, 리셋 신호(RESET)를 발생한다. 상기 전압들(VDD, VTG)은 전원 공급 라인(16)을 통해 각각의 화소로 제공된다. 제어 로직 블록(50)으로부터 발생된 상기 신호들 및 전압들(RSEL, RESET, VDD, VTG)은 화소들(11)과 OB 화소들(12)로 제공된다. OB 화소들(12)은, 상기 신호들 및 전압들(RSEL, RESET, VDD, VTG) 외에 외부(즉, 테스트(5000))로부터 바이어스 전압(BIAS)을 더 받아들인다. 상기 바이어스 전압(BIAS)은 테스트시 인가되며, 노말 동작시에는 인가되지 않는다.

바이어스 전압(BIAS)을 받아들이기 위해 OB 화소들(12)은 외부 패드(90)와 공통으로 연결된 신호 라인(19)을 갖는다. OB 화소(12)의 상부에는 입사되는 빛을 차단하는 금속층(Metal Layer)이 형성된다. 외부 패드(90)와 연결되는 신호 라인(19)은 상기 금속 계층의 하부 계층, 예를 들면, 행 및/또는 열 선택 라인이 형성되는 계층 내에 형성된다. 따라서, 별도의 추가 공정은 필요치 않게 된다.

각각의 액티브 화소(11)와 각각의 OB 화소(12)로부터 유도된 전압($VPXL_1-VPXL_N, VOB_1-VOB_N$)은, 각각의 열(C_1-C_N)과 연결된 각각의 열 데이터 라인(14_1-14_N)을 통해 아날로그-디지털 변환기 블록(20)으로 제공된다. 각 열 데이터 라인(14_i)의 전압은 활성화된 행에 속한 화소의 영상 전하에 각각 대응한다. 노말 동작시 OB 화소(12)로부터 유도된 전압(VOB_1-VOB_N)은 액티브 화소(11)의 오프셋 보상에 사용된다. 테스트 동작시 OB 화소(12)로부터 유도된 전압(VOB_1-

VOB_N)은 CMOS 이미지 센서의 동작 특성을 검증하는데 사용된다. 테스트 동작시 발생된 상기 전압(VOB₁-VOB_N)은 외부에서 인위적으로 인가된 바이어스 전압(BIAS)에 응답해서 발생된 것으로, 바이어스 전압(BIAS)의 레벨에 따른 CMOS 이미지 센서(1000)의 동작 특성 분석에 사용된다.

램프 신호 발생기(30)는 제어 로직 블록(50)으로부터 발생된 램프 인에이블 신호(LAMP_EN)에 응답해서 램프 신호(VRAMP)를 발생한다. 발생된 램프 신호(VRAMP)는 아날로그-디지털 변환기 블록(20)으로 제공된다.

아날로그-디지털 변환기 블록(20)은 선택된 행에 포함된 화소들(11, 12)로부터 발생된 전압(VPXL₁-VPXL_N, VOB₁-VOB_N)과 램프 신호(VRAMP)에 응답해서, 각각의 화소(11, 12)로부터 유도된 아날로그 신호를 디지털 값으로 변환한다. 아날로그-디지털 변환기 블록(20)에는 각각의 열(column)에 대응되는 복수 개의 아날로그-디지털 변환기(21)들이 포함되며, 각각의 아날로그-디지털 변환기(21) 내부에는 CDS(Correlated Double Sampling) 회로가 구비된다. CDS 회로는 대응되는 열과, 램프 신호 발생기(40)로부터 수신된 두 개의 신호들(VPXL, VRAMP)에 대해 이중 상관 샘플링(Correlated Double Sampling; CDS)을 수행한다. 이중 상관 샘플링을 통해 아날로그 형태의 데이터는 디지털 형태로 변환된다. 디지털 형태로 변환된 출력 신호(CIS_OUT)는 버퍼(30)를 통해 영상 처리부(1500)로 제공된다. 영상 처리부(1500)는 버퍼(30)로부터 입력된 데이터를 영상신호(ISP_OUT)로 재구성한다. 노말 동작시, 영상 처리부(1500)에 의해 재구성된 영상 신호(ISP_OUT)는 CMOS 이미지 센서(1000)의 최종 출력 신호로서 출력된다. 그리고, 테스트 동작시 상기 출력 신호들(CIS_OUT, ISP_OUT)은 도 1에 도시된 테스터(5000)로 제공된다.

도 4는 도 2에 도시된 액티브 화소(11)의 구성과, 상기 액티브 화소(11)의 출력을 디지털 형태로 변환하는 구성을 보여주는 도면이다.

도 4를 참조하면, 액티브 화소(11)는 4개의 NMOS 트랜지스터들(111-114)과 1개의 포토 다이오드(PD)를 포함한다. NMOS 트랜지스터(111)는 전원 전압과 연결된 드레인, 플로팅 노드(115)와 연결된 소스, 및 리셋 신호(RESET)를 받아들이는 게이트를 갖는다. NMOS 트랜지스터(111)는 원하는 값으로 플로팅 노드(115)의 전위를 셋/리셋하는 리셋 트랜지스터(reset transistor)로 사용된다. NMOS 트랜지스터(112)는 포토 다이오드(PD)의 캐소드(cathod)와 플로팅 노드(115) 사이에 형성된 전류 통로와, 제어 전압(VTG)을 받아들이는 게이트를 갖는다. NMOS 트랜지스터(112)는 포토 다이오드(PD)에 유기된 광전하를 플로팅 노드(115)로 전송하는 전송 트랜지스터(transfer transistor)로 사용된다. 포토 다이오드(PD)의 애노드(anode)는 접지 전압과 연결된다. NMOS 트랜지스터(113)는 전원 전압과 연결된 드레인, 소스, 및 플로팅 노드(115)와 연결된 게이트를 갖는다. NMOS 트랜지스터(113)는 플로팅 노드(115)의 전압을 증폭하는 소오스 팔로어 증폭기(source-follower amplifier)로 사용된다. NMOS 트랜지스터(114)는 NMOS 트랜지스터(113)의 소스와 연결된 드레인, 출력 노드(116)와 연결된 소스, 그리고 행 선택 신호(RSEL)와 연결된 게이트를 갖는다. NMOS 트랜지스터(114)는 행 선택 신호(RSEL)에 응답해서 NMOS 트랜지스터(113)의 출력을 스위칭하는 선택 트랜지스터로 사용된다.

상술한 바와 같은 구성을 갖는 액티브 화소(11)의 경우, 포토 다이오드(PD)가 빛에 노출될 때 빛의 세기(intensity of light)에 따라서 출력 노드(116)의 전압(VPXL)이 결정된다. 예컨대, 빛이 밝아질수록 출력 노드(116)의 전압(VPXL)은 낮아지게 된다. 출력 노드(116)의 전압(VPXL)은 램프 신호(VRAMP)와 함께 대응되는 아날로그-디지털 변환기(21)를 통해 디지털 데이터로 변환된다. 그리고, 변환된 디지털 데이터는 래치회로(31)를 통해 저장된다. 래치회로(31)에 저장된 데이터(DATA)는 제어 로직 블록(50)으로부터 제공된 어드레스(ADDRESS)에 응답해서 영상 처리부(1500)로 제공된다. 도 4에서 액티브 화소(11)의 출력은 OB 화소(12)의 출력과 구분하기 위해 DATA로 표시되었다. 그러나, 이는 노말 동작과 테스트 동작시의 출력을 구분하기 위한 것에 불과하다.

도 5는 도 2에 도시된 OB 화소(12)의 구성과, 상기 OB 화소(12)의 출력을 디지털 형태로 변환하는 구성을 보여주는 도면이다.

도 4 및 도 5를 참조하면, 본 발명에 따른 OB 화소(12)는 포토 다이오드(PD)의 출력단(즉, 캐소드(cathod))에 외부 패드(90)가 연결되는 점을 제외하면, 도 4에 도시된 액티브 화소(11)와 실질적으로 동일하다. 그러므로, OB 화소(12)의 구성 중 액티브 화소(11)와 동일한 구성에 대해서는 동일한 참조 부호를 추가하였다. 그리고, 중복되는 설명은 이하 생략하기로 한다.

도 2에서 알 수 있는 바와 같이, 외부 패드(90)는 CMOS 이미지 센서(1000)에 단 1개만이 구비된다. 그리고, 테스트에 사용될 OB 화소(12)들은 신호 라인(19)을 통해 외부 패드(90)와 공통으로 연결된다. 외부 패드(90)로는 바이어스 전압

(BIAS)이 입력된다. 바이어스 전압(BIAS)은 노말 동작시에는 인가되지 않고, 테스트 동작시에만 인가된다. 테스트 동작시 OB 화소(12)로 인가되는 바이어스 전압(BIAS)은, 빛에 의해 포토 다이오드(PD)에 유기된 전압과 동일한 역할을 수행한다.

잘 알려져 있는 바와 같이, 빛은 연속적으로 변화하는 아날로그 데이터이기 때문에, 테스트에 사용될 빛(또는, 빛에 의해 발생된 포토 다이오드(PD)출력)을 정량적으로 발생하는 것은 매우 어렵다. 그러나, 본 발명과 같이 외부 패드(90)를 통해 바이어스 전압(BIAS)을 직접 인가하게 되면, 마치 테스트에 사용될 빛(또는, 빛에 의해 발생된 포토 다이오드(PD)출력)을 정량적으로 제어하는 것과 동일한 효과를 가져오게 된다. 따라서, CMOS 이미지 센서(1000)의 동작 특성을 보다 정확하게 분석할 수 있게 된다.

도 5를 참조하면, CDS 회로(22)는 커패시터들(C1, C2)과 스위치들(S1, S2)을 포함한다. 커패시터(C1)의 일단은 커패시터(C2)를 통해 출력 회로(23)와 연결된다. 스위치(S1)는 램프 신호 발생기(40)로부터 발생된 램프 신호(VRAMP)와 커패시터(C1)의 타단을 선택적으로 연결한다. 커패시터(C2)의 일단은 출력 회로(23)와 연결된다. 스위치(S2)는 OB 화소(12)의 출력 노드(116)와 커패시터(C2)의 타단 사이를 선택적으로 연결한다. 상기 스위치들(S1, S2)의 스위칭 동작은 제어 로직 블록(50)에 의해 제어된다.

출력 회로(23)는 인버터(231), 커패시터(C3), 인버터(232), 및 스위치들(S3, S4)을 포함한다. 인버터(231)는, CDS 회로(22)로부터 출력되는 아날로그 신호(VOB_1)를 받아들이기 위한 입력단과, 출력 신호를 출력하는 출력단을 포함한다. 스위치(S3)는 제어 로직 블록(50)의 제어에 응답해서 인버터(231)의 입력단과 출력단을 선택적으로 연결한다. 커패시터(C3)는 인버터(231)와 인버터(232) 사이에 연결된다. 인버터(232)는 인버터(231)의 출력을 받아들이기 위한 입력단과, 출력 신호를 출력하는 출력단을 갖는다. 스위치(S4)는 제어 로직 블록(50)의 제어에 응답해서 인버터(232)의 입력단과 출력단을 선택적으로 연결한다. 인버터(232)의 출력 신호(VOUT)는, 결과적으로 기준 신호인 램프 신호(VRAMP)와 OB 화소(12)의 출력 전압(VOB_1)의 차이를 샘플링한 디지털 신호에 해당된다. 이 중 상관 샘플링 방식에 따른 디지털화에 따르면, OB 화소(12)의 출력 전압(VOB_1)에 존재하는 노이즈 성분(예를 들면, 리셋 노이즈, DC 오프셋)이 제거된다. 이상에서 설명된 아날로그-디지털 변환기(21)의 구성은 본 발명에 따른 CMOS 이미지 센서의 동작을 설명하기 위한 일 예에 불과하다. 상기 회로의 구성은 다양한 형태로 변경 가능하다.

도 6은 테스트시 본 발명에 따른 CMOS 이미지 센서(1000)의 동작을 설명하기 위한 타이밍도이다. 도 5 및 도 6을 참조하여 본 발명의 실시예에 따른 CMOS 이미지 센서(1000)의 동작이 설명된다.

리셋 샘플링 구간에서, 논리 로우 상태의 전압(VTG)에 응답해서 전송 트랜지스터(112)는 턴 오프 된 상태를 유지한다. 이때, 제어 로직 블록(50)으로부터 하이 레벨로 활성화된 리셋 신호(RESET)가 발생되면, 플로팅 노드(115)의 전위는 리셋 트랜지스터(111)에 의해 $VDD - V_{th}$ 의 레벨로 세팅된다. 여기서, VDD는 전원 전압이고, V_{th} 는 리셋 트랜지스터(111)의 드레슬드 전압이다. 이 경우, 출력 노드(116)의 전압(VOB_1)은 플로팅 노드(115)의 전압에 대응하게 상승한다. 플로팅 노드(115)의 전압은 소스 팔로어(source follower) 트랜지스터(113)의 게이트 전위를 설정한다. 트랜지스터(113)는 자신의 게이트 단자에 인가된 전압을 증폭한다. 활성화된 행 선택 신호(RSEL)에 의해서 행 선택 트랜지스터(114)가 턴 온 되면, 플로팅 노드(115)의 전압(VOB_1)은 스위치(S2)로 제공된다.

리셋 샘플링 구간 동안, 스위치들(S1, S2, S3)은 스위칭 온 되고, 인버터(232)가 활성화 된다. 인버터(231)의 출력은 스위치(S3)를 통해 입력단으로 피드백된다. 그러므로, 이 때 인버터(231)의 입력단으로 입력되는 아날로그 신호는 $VDD/2$ 가 된다. 스위칭 신호들(S1, S2, S3)이 논리 로우가 되더라도 커패시터(C2)에 차지된 전하에 의해서 인버터(231)의 입력단으로 입력되는 아날로그 신호는 $VDD/2$ 레벨을 유지한다.

이어서, 신호 샘플링 구간이 시작되면, 전압(VTG)이 논리 하이로 천이되고 전송 트랜지스터(112)는 턴 온 된다. 전송 트랜지스터(112)가 턴 온 됨에 따라, 포토 다이오드(PD)의 출력은 플로팅 노드(115)로 전달된다. 이 경우, OB 화소(12)의 상부에는 빛을 차단하는 금속 층이 존재하고 있으므로, 플로팅 노드(115)로 제공되는 포토 다이오드(PD)의 출력은 외부 패드(90)로부터 제공되는 바이어스 전압(BIAS)에 해당된다. 즉, 외부로부터 제공되는 바이어스 전압(BIAS)은 액티브 화소(11)에서 빛에 의해 발생된 포토 다이오드(PD)의 출력과 같은 역할을 수행한다. 플로팅 노드(115)의 전압은 소스 팔로어 트랜지스터(113)의 게이트 전위를 설정한다. 그러므로, 출력 노드(116)의 전압(VOB_1)은 플로팅 노드(115)의 전압에 대응하는 전압으로 설정된다. 한편, 스위치들(S1, S2)은 제어 로직 블록(50)의 제어에 응답해서 스위칭 온 된다. 인버터(231)로 입력되는 아날로그 신호는 출력 노드(116)의 전압(VOB_1)의 변화폭과 동일하게 낮아진다(도 6의 Signal 표시 부분 참조).

이어서, 활성화되어 있던 행 선택 신호(RSEL)가 로우 레벨로 비활성화되고, 코드화 구간이 시작된다. 코드화 구간이 시작되면 제어 로직 블록(50)으로부터 활성화된 램프 인에이블 신호(LAMP_EN)가 발생된다. 램프 신호 발생기(40)는 활성화된 램프 인에이블 신호(LAMP_EN)에 응답해서 일정한 기울기를 갖고 상승하는 램프 신호(VRAMP)를 발생한다. 이때 인버터(231)로 입력되는 아날로그 신호는 램프 신호(VRAMP)와 동일한 비율로 상승하게 된다. 스위치들(S3, S4)은 제어 로직 블록(50)의 제어에 응답해서 온/오프 되어, 인버터(231, 232)로 입력되는 신호를 스위칭한다.

도 7 및 도 8은 본 발명에 따른 테스트 동작시 OB 화소(12)의 동작을 제어하는 구성을 보여주는 도면이다. 도 7 및 도 8에는 서로 다른 행, 즉 2개의 행(ODD_ROW, EVEN_ROW)에 대응되는 OB 화소(12)들로 인가되는 바이어스 전압(BIAS)을 스위칭하는 구성이 도시되어 있다.

먼저 도 7을 참조하면, 서로 다른 행에 대응되는 OB 화소(12)들은 스위치(95)를 통해 외부 패드(90)와 공통으로 연결된다. 스위치(95)는 스위칭 제어 신호(SC1)에 응답해서 OB 화소(12)들로 바이어스 전압(BIAS)을 선택적으로 인가한다. 상기 OB 화소(12)들은 비록 서로 다른 행(ODD_ROW, EVEN_ROW)에 대응되는 구성을 가지지만, 스위치(95)의 스위칭 동작에 의해서 바이어스 전압(BIAS)이 인가되는 시점은 서로 동일하다. 여기서, 스위칭 제어 신호(SC1)는 제어 로직 블록(50)으로부터 발생될 수도 있고, 테스트(5000)로부터 발생될 수도 있다.

도 8을 참조하면, 서로 다른 행에 대응되는 OB 화소(12)들은 각 행마다 별도로 구성된 스위치(96, 97)를 통해 외부 패드(90)와 공통으로 연결된다. 각각의 스위치(96, 97)는 스위칭 제어 신호(SC2, SC3)에 응답해서 OB 화소(12)들로 바이어스 전압(BIAS)을 선택적으로 인가한다. 스위칭 제어 신호(SC2, SC3)는 제어 로직 블록(50)으로부터 발생될 수도 있고, 테스트(5000)로부터 발생될 수도 있다. 그리고, 스위칭 제어 신호(SC2, SC3)의 활성화 시점은 서로 일치할 수도 있고, 서로 일치하지 않을 수도 있다. 예를 들면, 스위칭 제어 신호(SC2)가 먼저 활성화된 후 스위칭 제어 신호(SC3)가 활성화될 수 있다. 즉, 스위칭 제어 신호(SC2, SC3)에 응답해서 홀수 번째 행(ODD_ROW)에 속한 OB 화소(12)로 바이어스 전압(BIAS)이 먼저 인가되고, 짝수 번째 행(EVEN_ROW)에 속한 OB 화소(12)로 바이어스 전압(BIAS)이 나중에 인가될 수 있다. 이와 같이 바이어스 전압(BIAS)이 인가되는 시점을 달리하는 것은, 홀수 번째 행과 짝수 번째 행의 동작 타이밍이 다른 CMOS 이미지 센서의 고유 특성을 반영하기 위함이다. 이와 같은 구성에 따르면, CMOS 이미지 센서의 동작 특성을 보다 정확히 분석할 수 있게 된다.

앞에서 설명한 바와 같이, 본 발명에서는 테스트 동작시, 빛에 해당되는 데이터 입력을 바이어스 전압(BIAS)으로 대체한다. 바이어스 전압(BIAS)은 포토 다이오드(PD)의 출력 데이터 값으로 이용되며, 그 값은 다양하게 변형 가능하다. 그러므로, 램프신호 발생기(40)로부터 발생되는 램프신호(VRAMP)의 기울기뿐만 아니라, CMOS 이미지 센서(1000)가 실시간으로 동작하는 상태에서 램프신호(VRAMP)의 발생 결과를 직접 확인할 수 있게 된다. 이 경우, 전체 화소 대신에 일부의 화소들(즉, OB 화소(12))을 이용하여 테스트를 수행하기 때문에, 테스트 시간과 테스트의 복잡성이 줄어들 수 있게 된다. 또한, 테스트에 사용되는 입력 신호를 정량적으로 발생할 수 있으므로, 센서 어레이(100)에 포함된 모든 화소들의 오차를 배제한 상태에서 오로지 바이어스 전압(BIAS)을 조절함에 의해 테스트가 수행될 수 있다. 따라서, 화소들간의 오차를 배제한 상태에서 각 기능 블록, 예를 들면 램프신호 발생기(40)의 동작 특성을 검증할 수 있게 된다. 이와 같은 테스트의 특성은 영상 처리부(1500)와 같이 복잡한 영상 처리 기능을 수행하는 기능 블록의 테스트에 더욱 적합하다. 그 결과, CMOS 이미지 센서(1000)의 동작 특성을 정확하게 분석할 수 있게 된다.

이상에서와 같이 도면과 명세서에서 최적 실시예가 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미 한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

발명의 효과

이상과 같은 본 발명에 의하면, 고가의 장비나 별도의 회로를 구비하지 않고도 테스트에 사용될 입력 데이터의 값을 자유롭게 조절할 수 있게 된다. 따라서, CMOS 이미지 센서의 각 부분에 대한 테스트와, 전체 데이터 경로에 대한 테스트를 효과적으로 수행할 수 있고, CMOS 이미지 센서의 고유의 동작 특성을 정확하게 분석할 수 있게 된다. 그리고, CMOS 이미지 센서의 테스트 시간과 테스트의 복잡성 또한 현저히 줄일 수 있다.

도면의 간단한 설명

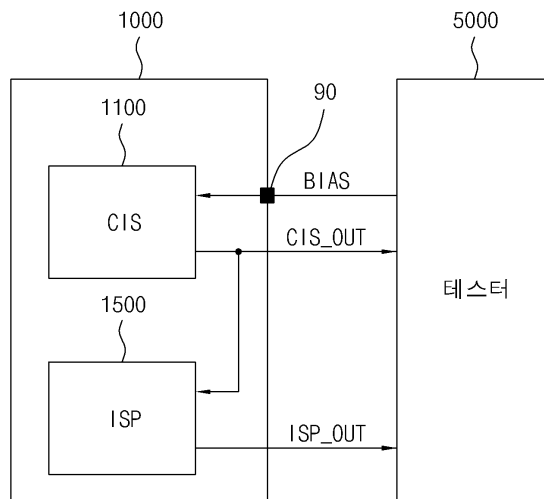
도 1은 본 발명의 실시예에 따른 테스트 시스템의 전체 구성을 개략적으로 보여주는 블록도;
 도 2는 도 1에 도시된 CMOS 이미지 센서의 상세 구성을 보여주는 도면;
 도 3a 및 도 3b는 도 2에 도시된 센서 어레이의 구성을 보여주는 도면;
 도 4는 도 2에 도시된 액티브 화소의 구성과, 상기 액티브 화소의 출력을 디지털 형태로 변환하는 구성을 보여주는 도면;
 도 5는 도 2에 도시된 OB 화소의 구성과, 상기 OB 화소의 출력을 디지털 형태로 변환하는 구성을 보여주는 도면;
 도 6은 테스트시 본 발명에 따른 CMOS 이미지 센서의 동작을 설명하기 위한 타이밍도; 그리고
 도 7 및 도 8은 본 발명에 따른 테스트 동작시 OB 화소의 동작을 제어하는 구성을 보여주는 도면이다.

도면의 주요 부분에 대한 부호의 설명

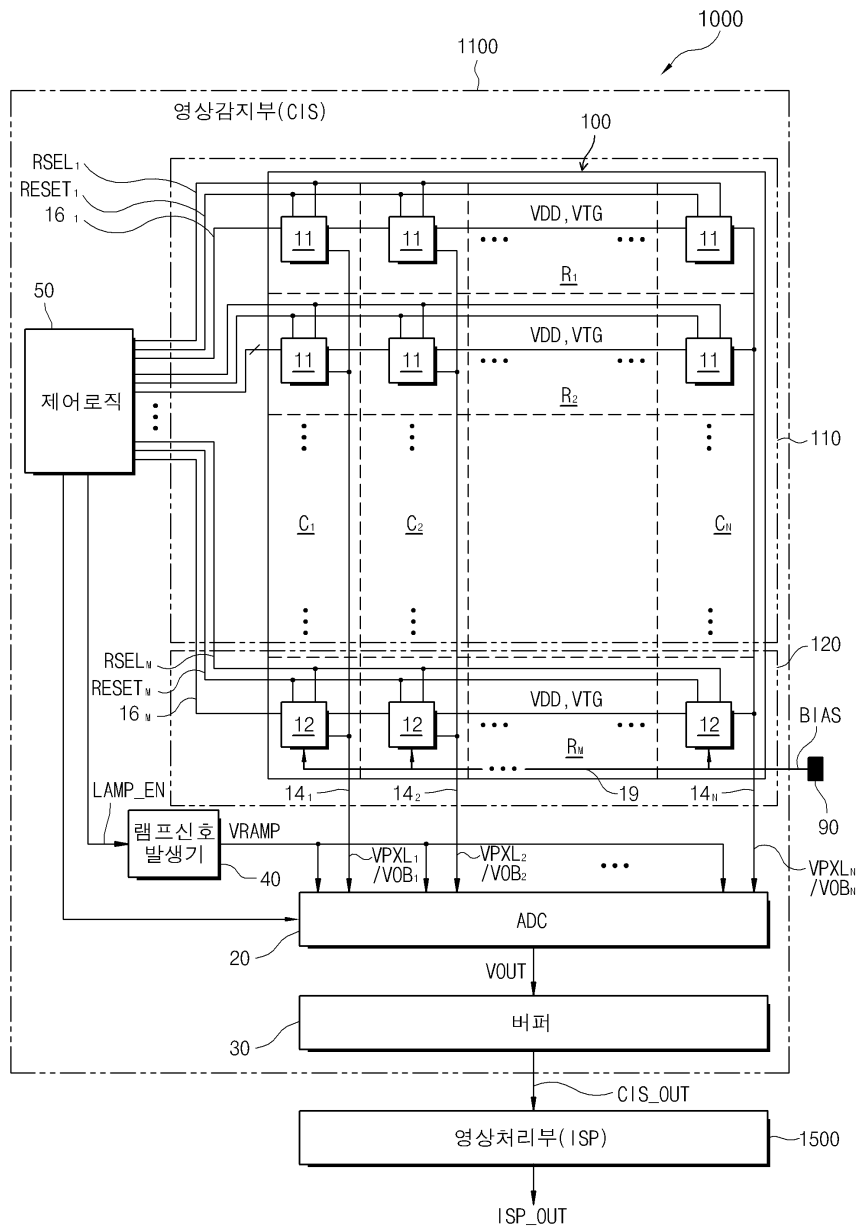
- 11 : 액티브 화소 12 : OB 화소
- 20 : 아날로그-디지털 변환기 블록 40 : 램프 신호 발생기
- 50 : 제어 로직 블록 100 : 센서 어레이
- 110 : 액티브 화소 영역 120 : OB 화소 영역
- 1000 : CMOS 이미지 센서 5000 : 테스터

도면

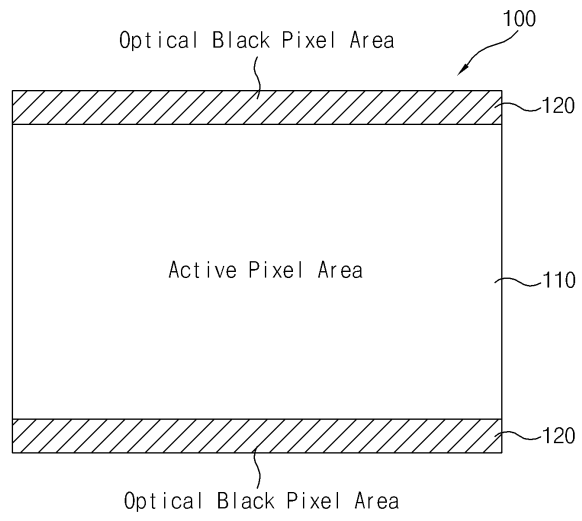
도면1



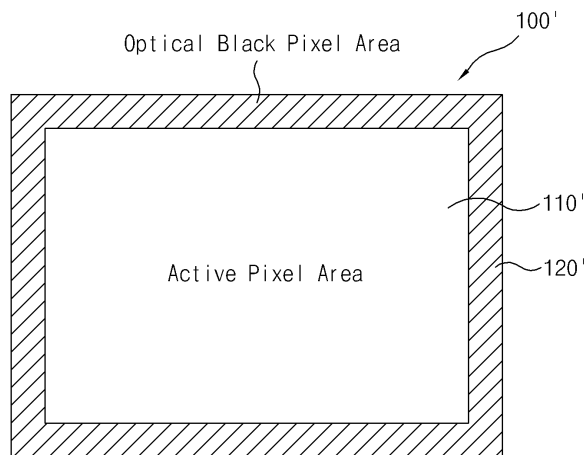
도면2



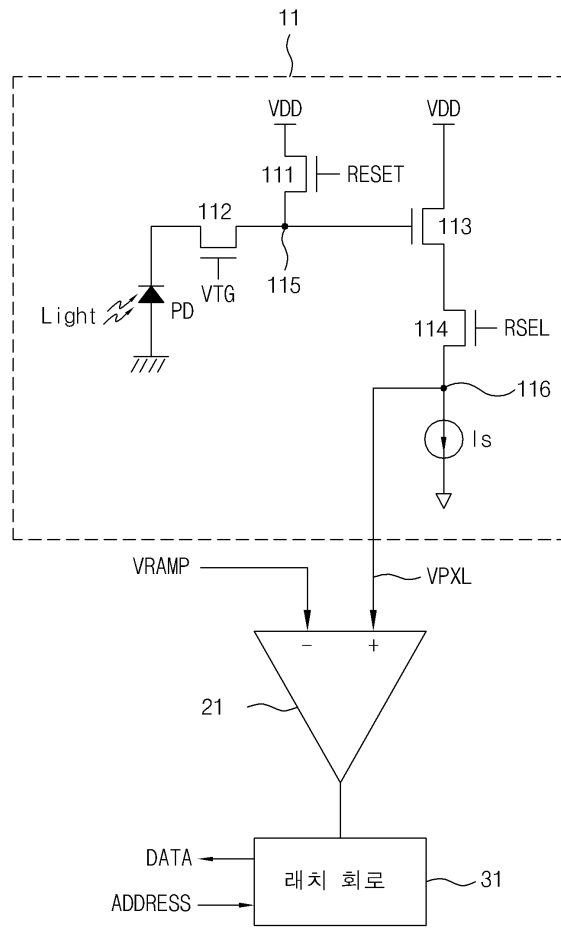
도면3a



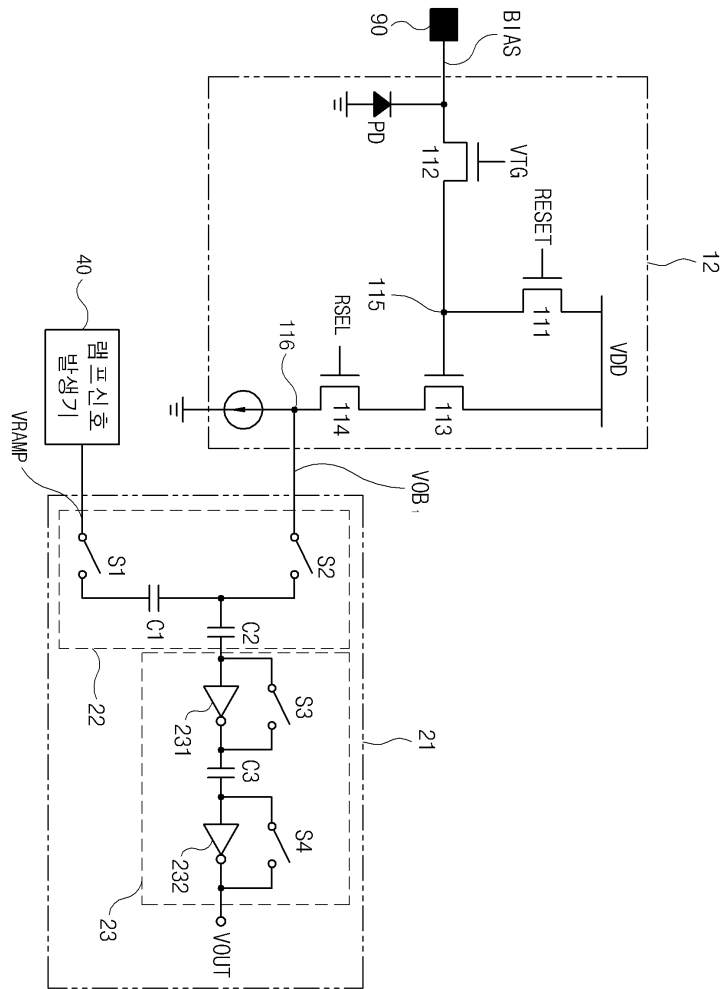
도면3b



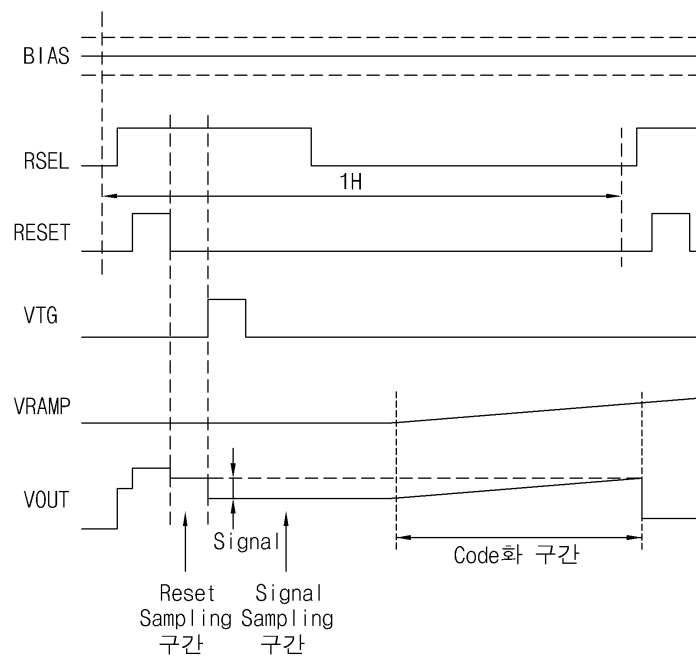
도면4



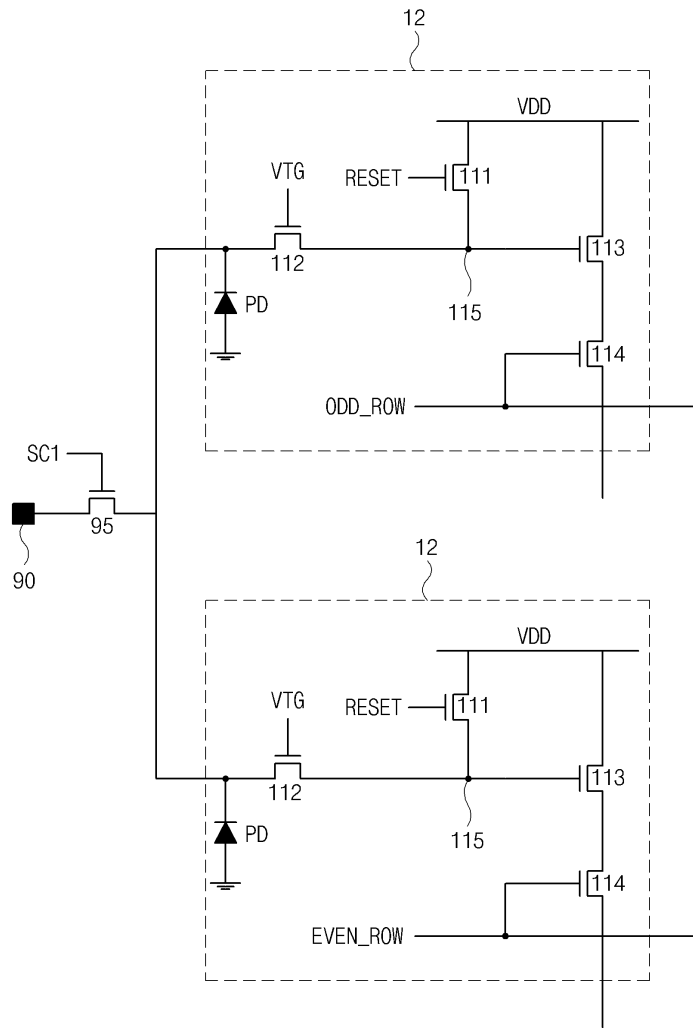
도면5



도면6



도면7



도면8

