

(72) 발명자

도재천

경기 수원시 권선구 권선동 1011-14 올림픽공원 대
우미래사랑101동706호

권영도

서울 송파구 잠실5동 27번지아파트 527-1001

박진선

서울 강남구 수서동 삼성아파트 112-1504

강준석

경기 수원시 영통구 원천동 주공아파트 209동 150
1호

황순욱

서울 강동구 둔촌2동 현대1차아파트 14동 809호

김선경

서울 구로구 개봉동 476 한마을 아파트 122동 210
5호

특허청구의 범위

청구항 1

일면에 접속단자가 형성된 반도체 칩의 일면을 상기 접속단자와 상응하는 관통홀이 형성된 방열판의 일면과 접합하는 단계;

상기 방열판의 일면에 절연재를 코팅하여 상기 반도체 칩을 인캡슐레이팅(encapsulating)하는 단계;

상기 방열판의 타면에 절연층을 적층하는 단계; 및

상기 절연층을 천공하여 상기 접속단자와 전기적으로 연결되는 제1 비아를 형성하는 단계를 포함하는 반도체 패키지 제조방법.

청구항 2

제1항에 있어서,

상기 절연층에 빌드업 층을 적층하고, 상기 빌드업 층을 천공하여 상기 제1 비아와 전기적으로 연결되는 제2 비아를 형성하는 빌드업 단계를 더 포함하는 반도체 패키지 제조방법.

청구항 3

제2항에 있어서,

상기 빌드업 층은 복수로 적층되며, 상기 제2 비아는 복수의 상기 빌드업 층에 각각 형성되는 것을 특징으로 하는 반도체 패키지 제조방법.

청구항 4

제2항에 있어서,

상기 빌드업 단계 이후에,

상기 빌드업 층의 표면에 상기 제2 비아와 전기적으로 연결되는 도전성 범프(bump)를 형성하는 단계를 더 포함하는 반도체 패키지 제조방법.

청구항 5

제1항에 있어서,

상기 접합하는 단계 이후에,

상기 관통홀에 절연재를 충전하는 단계를 더 포함하는 반도체 패키지 제조방법.

청구항 6

제1항에 있어서,

상기 접합하는 단계는,

상기 반도체 칩과 상기 방열판 사이에 접착제를 개재하여, 상기 반도체 칩을 상기 방열판에 접착시키는 단계를 포함하는 것을 특징으로 하는 반도체 패키지 제조방법.

청구항 7

제1항에 있어서,

상기 인캡슐레이팅하는 단계는,

상기 반도체 칩을 커버하도록 상기 방열판에 액상의 수지를 도포하고 소성시키는 단계를 포함하는 것을 특징으로 하는 반도체 패키지 제조방법.

청구항 8

제1항에 있어서,

상기 제1 비아를 형성하는 단계는,

상기 관통홀을 관통하여 상기 접속단자가 노출되도록 상기 절연층을 드릴링하여 비아홀을 천공하는 단계; 및

상기 비아홀의 내면을 도금하는 단계를 포함하는 것을 특징으로 하는 반도체 패키지 제조방법.

청구항 9

제1항에 있어서,

상기 방열판의 일면에 오목하게 함입된 실장공간이 형성되며,

상기 접합하는 단계는,

상기 반도체 칩의 일면을 상기 실장공간의 바닥면에 접합하는 단계를 포함하며,

상기 인캡슐레이팅하는 단계는,

상기 실장공간이 매립되도록 상기 절연재를 도포하는 단계를 포함하는 것을 특징으로 하는 반도체 패키지 제조 방법.

청구항 10

제9항에 있어서,

상기 반도체 칩은 복수 개이고,

상기 실장공간의 측벽은 상기 실장공간의 바닥면으로부터 상기 실장공간의 입구쪽으로 갈수록 상기 실장공간의 폭이 넓어지도록 복수의 단턱을 가지고 형성되며,

복수의 상기 반도체 칩은 상기 실장공간의 바닥면 및 상기 복수의 단턱에 각각 접합되는 것을 특징으로 하는 반도체 패키지 제조방법.

청구항 11

제10항에 있어서,

복수의 상기 단턱에는 상기 단턱에 접합되는 상기 반도체 칩의 접속단자와 상응하는 관통홀이 형성되는 것을 특징으로 하는 반도체 패키지 제조방법.

청구항 12

일면에 접속단자가 형성되는 반도체 칩과;

상기 접속단자에 상응하는 관통홀이 형성되고, 일면이 상기 반도체 칩의 일면과 접합되는 방열판(Heat spreader)과;

상기 방열판의 일면에 적층되며, 상기 반도체 칩을 인캡슐레이팅(encapsulation)하는 절연재와;

상기 방열판의 타면에 적층되는 절연층; 및

상기 접속단자와 전기적으로 연결하는 제1 비아를 포함하는 반도체 패키지.

청구항 13

제12항에 있어서,

상기 절연층에 적층되는 빌드업(build-up)층과;

상기 빌드업 층을 관통하여 상기 제1 비아와 전기적으로 연결되는 제2 비아를 더 포함하는 반도체 패키지.

청구항 14

제13항에 있어서,

상기 빌드업 층은 복수로 적층되고, 상기 제2 비아는 상기 복수의 빌드업 층에 각각 가공되어 서로 전기적으로 연결되도록 복수로 형성되는 것을 특징으로 하는 반도체 패키지.

청구항 15

제13항에 있어서,

상기 빌드업 층의 표면에 형성되어 상기 제2 비아와 전기적으로 연결되는 도전성 범프(bump)를 더 포함하는 반도체 패키지.

청구항 16

제12항에 있어서,

상기 방열판의 일면에 오목하게 함입된 실장공간이 형성되고,

상기 반도체 칩의 일면이 상기 실장공간의 바닥면에 접합되는 것을 특징으로 하는 반도체 패키지.

청구항 17

제16항에 있어서,

상기 절연재는 상기 실장공간을 매립하여 상기 반도체 칩을 인캡슐레이팅하는 것을 특징으로 하는 반도체 패키지.

청구항 18

제16항에 있어서,

상기 반도체 칩은 복수 개이고,

상기 실장공간의 측벽은 상기 실장공간의 바닥면으로부터 상기 실장공간의 입구쪽으로 갈수록 상기 실장공간의 폭이 넓어지도록 복수의 단턱을 가지고 형성되며,

복수의 상기 반도체 칩은 상기 실장공간의 바닥면 및 상기 복수의 단턱에 각각 접합되는 것을 특징으로 하는 반도체 패키지.

청구항 19

제18항에 있어서,

복수의 상기 단턱에는 상기 단턱에 접합되는 상기 반도체 칩의 접속단자와 상응하는 관통홀이 형성되는 것을 특징으로 하는 반도체 패키지.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <17> 본 발명은 반도체 패키지 및 그 제조방법에 관한 것이다.
- <18> 반도체 패키지는 전자제품에서 사용되는 디바이스를 효율적으로 포장하는 기술로서, 날개로 잘려진 반도체 칩을 기판(substrate)에 접착하고 전기적으로 연결하여 모듈화하는 칩 패키징(chip packaging) 기술을 포함하며, 초기의 삽입형 패키지 기술에서, 크기가 작고 전기적 성능이 우수한 표면실장용 패키지 기술을 거쳐, 최근에는 고 밀도 실장기술, 주변 실장기술을 적용하여 BGA(Ball Grid Array), CSP(Chip Scale Package)와 같은 면실장 형태의 미소, 경량화 추세로 급속하게 발전하고 있다.
- <19> 현재의 CSP(Chip Scale Package)에는 플립 칩(Flip chip) 공법이 적용되어, 칩 간 또는 칩과 기판 간의 전기적 연결을 위해 범프 볼(Bump Ball) 기술이 필수적으로 사용되고 있다. 이러한 범프 볼(Bump ball) 기술은 칩 패드

(chip pad)와의 연결부에서 열응력 등으로 인한 피로 균열(solder fatigue failure)이 발생하여 신뢰도에 문제가 있으며, 범프 볼의 미세화의 한계로 인하여 패키지의 I/O 수가 제한된다는 문제가 야기되는 실정이다.

- <20> 이러한 범프 볼 기술이 적용되는 플립 칩 공법은 전술한 신뢰도 문제를 보완하기 위해 언더 필(under fill) 공정이 추가되어야 하므로 전체적으로 공정이 복잡하고 비용(cost)이 상승한다는 추가적인 문제를 발생시키게 된다.
- <21> 이러한 문제를 보완하기 위해 도 1 및 도 2에 도시된 것과 같이 반도체 칩(102)(chip) 상부의 전기접점 패턴(104)(pattern)으로부터 빌드업 층(110)을 빌드업(build-up)해 나가는 이른바 '빌드업 기술'이 개발되었다. 그러나, 빌드업 기술의 경우에도 SIP(System In Package) 등의 패키지 구조를 형성하는 과정에서 패키지의 전체 사이즈가 커지게 된다는 문제를 안고 있다. 즉, 도 2에 도시된 바와 같이, 복수의 반도체 칩(102)(multi Chip)을 사용하는 패키지의 경우에는 각각의 반도체 칩(102)을 수평 정렬(horizontal array) 방식으로 실장해야 하므로 전체 세트(set)상의 패턴 사이즈를 최소화하기가 곤란하게 된다.
- <22> 또한, 디바이스의 구동에 의해 발생하는 열이 반도체 칩(102)의 표면에서 반도체 칩(102)의 외곽을 감싸고 있는 봉지재(106)를 거쳐 봉지재(106)의 외곽을 덮고 있는 방열판(108)을 통해 방출되어 열의 경로가 길어 효과적으로 열을 방출할 수 없다는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

- <23> 본 발명은 빌드업 기술을 적용하여 접속의 신뢰도를 향상시키고, 복수의 반도체 칩을 수직으로 배치하여 패키지 사이즈를 축소할 수 있는 반도체 패키지 및 그 제조방법을 제공하는 것이다.
- <24> 또한, 본 발명은 반도체 칩을 직접 방열판에 접합시켜 열 경로를 짧게 하여 반도체 패키지의 열 방출 효율을 향상시킬 수 있는 반도체 패키지 및 그 제조방법을 제공하는 것이다.

발명의 구성 및 작용

- <25> 본 발명의 일 측면에 따르면, 일면에 접속단자가 형성된 반도체 칩의 일면을 접속단자와 상응하는 관통홀이 형성된 방열판의 일면과 접합하는 단계, 방열판의 일면에 절연재를 코팅하여 반도체 칩을 인캡슐레이팅(encapsulating)하는 단계, 방열판의 타면에 절연층을 적층하는 단계 및 절연층을 천공하여 접속단자와 전기적으로 연결되는 제1 비아를 형성하는 단계를 포함하는 반도체 패키지 제조방법이 제공된다.
- <26> 한편, 절연층에 빌드업 층을 적층하고, 빌드업 층을 천공하여 제1 비아와 전기적으로 연결되는 제2 비아를 형성하는 빌드업 단계를 더 포함할 수 있다.
- <27> 빌드업 층은 복수로 적층될 수 있으며, 제2 비아는 복수의 빌드업 층에 각각 형성될 수 있다.
- <28> 빌드업 단계 이후에, 빌드업 층의 표면에 제2 비아와 전기적으로 연결되는 도전성 범프(bump)를 형성하는 단계를 더 포함할 수 있다.
- <29> 접합하는 단계 이후에, 관통홀에 절연재를 충전하는 단계를 더 포함할 수 있다.
- <30> 접합하는 단계는, 반도체 칩과 방열판 사이에 접착제를 개재하여, 반도체 칩을 방열판에 접착시키는 단계를 포함할 수 있다.
- <31> 인캡슐레이팅하는 단계는, 반도체 칩을 커버하도록 방열판에 액상의 수지를 도포하고 소성시키는 단계를 포함할 수 있다.
- <32> 제1 비아를 형성하는 단계는, 관통홀을 관통하여 접속단자가 노출되도록 절연층을 드릴링하여 비아홀을 천공하는 단계 및 비아홀의 내면을 도금하는 단계를 포함할 수 있다.
- <33> 방열판의 일면에 오목하게 함입된 실장공간이 형성될 수 있으며, 이 경우 접합하는 단계는 반도체 칩의 일면을 실장공간의 바닥면에 접합하는 단계를 포함할 수 있으며, 인캡슐레이팅하는 단계는 실장공간이 매립되도록 절연재를 도포하는 단계를 포함할 수 있다.
- <34> 반도체 칩은 복수 개일 수 있으며, 실장공간의 측면은 실장공간의 바닥면으로부터 실장공간의 입구쪽으로 갈수록 실장공간의 폭이 넓어지도록 복수의 단턱을 가지고 형성될 수 있으며, 복수의 반도체 칩은 실장공간의 바닥면 및 복수의 단턱에 각각 접합될 수 있다.

- <35> 복수의 단턱에는 단턱에 접합되는 반도체 칩의 접속단자와 상응하는 관통홀이 형성될 수 있다.
- <36> 또한, 본 발명의 다른 측면에 따르면, 일면에 접속단자가 형성되는 반도체 칩과, 접속단자에 상응하는 관통홀이 형성되고, 일면이 반도체 칩의 일면과 접합되는 방열판과, 방열판의 일면에 적층되며, 반도체 칩을 인캡슐레이팅(encapsulation)하는 절연재와, 방열판의 타면에 적층되는 절연층 및 접속단자와 전기적으로 연결하는 제1 비아를 포함하는 반도체 패키지가 제공된다.
- <37> 한편, 절연층에 적층되는 빌드업(build-up)층과, 빌드업 층을 관통하여 제1 비아와 전기적으로 연결되는 제2 비아를 더 포함할 수 있다.
- <38> 빌드업 층은 복수로 적층될 수 있으며, 제2 비아는 복수의 빌드업 층에 각각 가공되어 서로 전기적으로 연결되도록 복수로 형성될 수 있다.
- <39> 빌드업 층의 표면에 형성되어 제2 비아와 전기적으로 연결되는 도전성 범프(bump)를 더 포함할 수 있다.
- <40> 방열판의 일면에 오목하게 함입된 실장공간이 형성될 수 있으며, 반도체 칩의 일면이 실장공간의 바닥면에 접합될 수 있다.
- <41> 절연재는 실장공간을 매립하여 반도체 칩을 인캡슐레이팅할 수 있다.
- <42> 반도체 칩은 복수 개일 수 있으며, 실장공간의 측벽은 실장공간의 바닥면으로부터 실장공간의 입구쪽으로 갈수록 실장공간의 폭이 넓어지도록 복수의 단턱을 가지고 형성될 수 있으며, 복수의 반도체 칩은 실장공간의 바닥면 및 복수의 단턱에 각각 접합될 수 있다.
- <43> 복수의 단턱에는 단턱에 접합되는 반도체 칩의 접속단자와 상응하는 관통홀이 형성될 수 있다.
- <44> 전술한 것 외의 다른 측면, 특징, 잇점이 이하의 도면, 특허청구범위 및 발명의 상세한 설명으로부터 명확해질 것이다.
- <45> 이하, 본 발명에 따른 반도체 패키지 및 그 제조방법의 실시예를 첨부도면을 참조하여 상세히 설명하기로 하며, 첨부 도면을 참조하여 설명함에 있어, 동일하거나 대응하는 구성 요소는 동일한 도면번호를 부여하고 이에 대한 중복되는 설명은 생략하기로 한다.
- <46> 도 3은 본 발명의 제1 실시예에 따른 반도체 패키지 제조방법의 순서도이고, 도 4는 본 발명의 제1 실시예에 따른 반도체 패키지 제조방법의 흐름도이다. 도 4를 참조하면, 방열판(20), 바닥면(21), 관통홀(22), 실장공간(23), 접착제(24), 반도체 칩(26), 접속단자(28), 절연재(30), 절연층(32), 비아홀(34), 제1 비아(36), 빌드업층(38), 솔더 레지스트(39), 제2 비아(40), 범프 패드(41), 범프(42)가 도시되어 있다.
- <47> 본 실시예는 일면에 접속단자(28)가 형성된 반도체 칩(26)의 일면을 접속단자(28)와 상응하는 관통홀(22)이 형성된 방열판(20)의 일면과 접합하는 단계, 방열판(20)의 일면에 절연재(30)를 코팅하여 반도체 칩(26)을 인캡슐레이팅(encapsulating)하는 단계, 방열판(20)의 타면에 절연층(32)을 적층하는 단계 및 절연층(32)을 천공하여 접속단자(28)와 전기적으로 연결되는 제1 비아(36)를 형성하는 단계를 포함하여, 반도체 칩(26)을 직접 방열판(20)에 접합시켜 열 경로를 짧게 하여 반도체 패키지의 열 방출 효율을 강화시킬 수 있고, 빌드업 기술을 적용하여 접속의 신뢰도를 향상시키고, 복수의 반도체 칩(26)을 수직으로 배치하여 패키지 사이즈를 축소할 수 있다.
- <48> 본 실시예를 따라 반도체 패키지를 제조하는 방법을 살펴보면, 먼저, 도 4의(a) 및 도 4의 (b)에 도시된 바와 같이, 일면에 접속단자(28)가 형성된 반도체 칩(26)의 일면을 접속단자(28)와 상응하는 관통홀(22)이 형성된 방열판(20)의 일면과 접합한다(S100).
- <49> 방열판(20)은 디바이스의 작동과정에서 발생하는 열을 외부로 방출하기 위한 것으로 구리판재, 금속판재, 실리콘 판재, 금속포일(foil), 구리포일, 금속층의 표면에 증착된 실리콘 판재 등으로 이루어 질 수 있다.
- <50> 방열판(20)은 반도체 칩(26)의 접속단자(28)와 상응하는 위치에 관통홀(22)이 형성되어 있으면 어떤 형태도 가능하다. 반도체 칩(26)의 접속단자(28)와 상응하는 위치에 관통홀(22)이 형성되어 있다는 의미는 일면에 접속단자(28)가 형성된 반도체 칩(26)의 일면이 방열판(20)의 일면과 접합되는 경우 반도체 칩(26)의 외부와의 전기적 연결을 위한 접속단자(28)가 관통홀(22)을 통하여 연통되도록 관통홀(22)이 형성되어 있음을 의미한다. 이와 같이 반도체 칩(26)의 접속단자(28)가 관통홀(22)을 통하여 비아를 형성하여 전기적 연결을 구현할 수 있게 된다. 방열판(20)은 통상 구리 등과 같은 금속성의 재질로 이루어지는 경우가 많으므로 접속단자(28)와 방열판(20)의

단락을 방지하기 위해 관통홀(22)은 접속단자(28)의 크기보다 크게 형성한다.

- <51> 본 실시예에서는 반도체 패키지의 두께가 감소될 수 있도록 방열판(20)의 일면에 오목하게 함입된 실장공간(23)을 마련하여 실장공간(23)의 바닥면(21)에 반도체 칩(26)을 접합시킨다(S101).
- <52> 한편, 복수의 반도체 칩을 방열판의 일면에 수직으로 적층하여 반도체 패키지의 사이즈를 축소할 수 있다(도 6 참조). 이를 위해 방열판의 일면에 오목하게 함입된 실장공간이 형성될 수 있으며, 이러한 실장공간의 측벽은 실장공간의 바닥면으로부터 실장공간의 입구쪽으로 갈수록 실장공간의 폭이 넓어지도록 복수의 단턱을 가지도록 할 수 있다. 따라서, 복수의 반도체 칩을 실장공간의 바닥면 및 복수의 단턱에 각각 접합하여 복수의 반도체 칩을 수직으로 적층되며, 이에 따라 반도체 패키지의 사이즈를 축소할 수 있다.
- <53> 복수의 반도체 칩은 방열판에 직접 접합되어 있어 디바이스의 작동으로 인한 각 반도체 칩에서 발생하는 열을 효율적으로 외부로 방출할 수 있다. 이 경우 각 단턱에 접합되는 반도체 칩의 전기적 연결을 위해 복수의 단턱에는 각 단턱에 접합되는 반도체 칩의 접속단자와 상응하는 위치에 관통홀이 형성되어 이러한 관통홀을 관통하는 비아를 형성하여 반도체 칩이 전기적으로 연결될 수 있다.
- <54> 반도체 칩(26)과 방열판(20) 간의 접합을 위해 반도체 칩(26)과 방열판(20) 사이에 접착제(24)를 개재하여 반도체 칩(26)을 방열판(20)에 접촉시킬 수 있다. 이로써, 저렴하고 신속하게 반도체 칩(26)을 방열판(20)에 접합할 수 있게 된다.
- <55> 다음으로, 도 4의 (c)에 도시된 바와 같이, 방열판(20)의 일면에 절연재(30)를 코팅하여 반도체 칩(26)을 인캡슐레이팅한다(S200). 인캡슐레이팅 공정은 방열판(20)의 일면에 접합된 반도체 칩(26)을 커버하도록 방열판(20) 상에 액상의 PI(polyimide) 레진(resin)을 도포하여 이를 소성시킨다. 본 실시예에서는 방열판(20)의 일면에 형성된 실장공간(23)이 매립되도록 절연재(30)를 도포하여 실장공간(23)의 바닥면(21)에 접합된 반도체 칩(26)을 인캡슐레이팅한다(S201).
- <56> 다음으로, 도 4의 (d)에 도시된 바와 같이, 방열판(20)의 타면에 절연층(32)을 적층한다(S400). 절연층(32)은 액상의 절연성 물질을 도포하거나, 필름 형태의 절연성 물질을 접합하여 형성될 수 있다. 예를 들면, 인캡슐레이팅 공정의 절연재(30)와 동일한 재료인 액상 PI를 도포하여 경화시키거나, PI 필름을 적층하여 구현할 수 있다.
- <57> 이 과정에서 방열판(20)에 형성된 관통홀(22)이 절연성 물질로 메워질 수 있다. 물론, 방열판(20)의 타면에 절연층(32)을 적층하기 전에 먼저 관통홀(22)을 절연성 물질로 충전하는 것도 가능하다(S300).
- <58> 다음으로, 도 4의 (e) 및 도 4의 (f)에 도시된 바와 같이, 절연층(32)을 천공하여 반도체 칩(26)의 접속단자(28)와 전기적으로 연결되는 제1 비아(36)를 형성한다(S500). 제1 비아(36)를 형성함에 있어 먼저 비아홀(34)의 형성과정이 필요한데, 도 4의 (e)에 도시된 바와 같이, 관통홀(22)을 관통하여 반도체 칩(26)의 접속단자(28)가 노출되도록 절연층(32)을 드릴링하여 비아홀(34)을 천공한다(S501). 비아홀(34)이 천공되면 비아홀(34)의 내면에 도금을 수행한다(S502). 도금은 Cu 스퍼터링(sputtering), 도전성 페이스트 충전 등의 공정을 적용하여 도금층이 형성되도록 할 수 있다. 이러한 제1 비아(36)는 관통홀(22)을 관통하여 반도체 칩(26)의 접속단자(28)가 외부와 전기적으로 연결될 수 있도록 한다. 비아홀(34)의 천공에 사용되는 드릴링 공정 및 비아홀(34)을 전기적으로 도통시키기 위한 도금 공정이 전술한 실시예에 한정되지 않음은 물론이다.
- <59> 다음으로, 도 4의 (g) 및 도 4의 (h)에 도시된 바와 같이, 절연층(32)에 빌드업 층(38)을 적층하고, 빌드업 층(38)을 천공하여 제1 비아(36)와 전기적으로 연결되는 제2 비아(40)를 형성한다(S600). 빌드업 층(38)의 적층 횟수 및 비아홀(34)의 가공은 반도체 패키지의 설계에 따라 달라질 수 있다. 도 4에서는 1개의 절연층(32)과, 2개의 빌드업 층(38)을 적층하고 도전성 범프(42)를 결합한 사례를 도시한 것이다.
- <60> 빌드업 층(38)은 절연성 재질로 이루어지며, 절연재(30)와 동일한 재료인 액상의 PI를 도포하여 경화시키거나, PI 필름을 적층하여 구현할 수 있다.
- <61> 절연층(32) 및 빌드업 층(38)을 절연재(30)와 동일한 재료로 할 경우에는 반도체 칩(26)의 인캡슐레이팅 공정, 절연층(32) 및 빌드업 층(38)의 적층 공정을 동일한 프로세스로 할 수 있어 가공성이 우수하고 비용이 저렴하며, 반도체 칩(26)에서 발생하는 열로 인한 반도체 패키지의 수축, 팽창이 절연재(30), 절연층(32) 및 빌드업 층(38)에서 다르지 않기 때문에 열응력에 의한 에러를 방지할 수 있다.
- <62> 빌드업 층(38)이 적층되면, 비아홀을 가공하여 제1 비아(36)와 전기적으로 연결되는 제2 비아(40)를 형성한다. 제2 비아(40)를 형성하는 공정은 상술한 제1 비아(36)를 형성하는 공정과 동일하다. 즉, 제1 비아(36)의 랜드부

가 노출되도록 빌드업 층(38)을 천공하여 비아홀을 형성하고 비아홀의 내면을 도금하여 제1 비아(36)와 제2 비아(40)를 전기적으로 연결하게 된다.

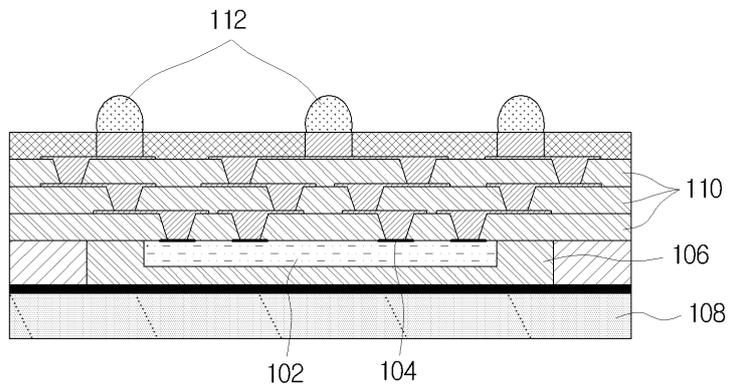
- <63> 도 4는 1개의 절연층(32)과, 2개의 빌드업 층(38)을 적층하는 빌드업 공정의 예로서 복수의 빌드업 층(38)을 적층하는 경우 상술한 빌드업 공정을 반복한다. 전술한 바와 같이 빌드업 공정은 반도체 패키지의 설계에 따라 필요한 횟수만큼 복수로 진행되며, 이에 따라 빌드업 층(38)이 복수로 적층되고, 각 빌드업 층(38)에 제2 비아(40)가 가공되어 전기적 연결 통로를 구현한다. 한편, 최외층의 빌드업 층(38)에 솔더 레지스트(39)를 도포하고, 솔더 볼 (solder ball) 등의 도전성 범프(42)(bump)를 결합하기 위한 범프패드(41)를 형성하고 반도체 패키지와 외부 장치와의 전기적 연결을 위한 접점을 형성할 수 있다.
- <64> 다음으로, 도 4의 (i)에 도시된 바와 같이, 빌드업 층(38)의 표면에 제2 비아(40)와 전기적으로 연결되는 도전성 범프(bump)(42)를 형성한다(S700). 도전성 범프(42)는 반도체 패키지와 외부장치와의 전기적 접속을 위한 것으로서, 이전 공정에서 형성된 범프패드(41)에 솔더 볼 등의 도전성 범프(42)를 접촉시킴으로써 형성될 수 있다.
- <65> 도 5는 본 발명의 제2 실시예에 따른 반도체 패키지의 단면도이다. 도 5를 참조하면, 방열판(20), 바닥면(21), 관통홀(22), 접착제(24), 반도체 칩(26), 접속단자(28), 절연재(30), 절연층(32), 빌드업 층(38), 제1 비아(36), 솔더 레지스트(39), 제2 비아(40), 범프패드(41), 범프(42)가 도시되어 있다.
- <66> 본 실시예에 따른 반도체 패키지는, 일면에 접속단자(28)가 형성되는 반도체 칩(26)과, 접속단자(28)에 상응하는 관통홀(22)이 형성되고, 일면이 반도체 칩(26)의 일면과 접합되는 방열판(20)과, 방열판(20)의 일면에 적층되며, 반도체 칩(26)을 인캡슐레이팅(encapsulation)하는 절연재(30)와, 방열판(20)의 타면에 적층되는 절연층(32) 및 접속단자(28)와 전기적으로 연결하는 제1 비아(36)를 구성요소로 하여 반도체 칩(26)을 직접 방열판(20)에 접합시켜 열 경로를 짧게 하여 반도체 패키지의 열 방출 효율을 강화시킬 수 있고, 빌드업 기술을 적용하여 접속의 신뢰도를 향상시키고, 복수의 반도체 칩(26)을 수직으로 배치하여 패키지 사이즈를 축소할 수 있다.
- <67> 반도체 칩(26)으로부터의 전기적 연결통로(electrical path)는 반도체 칩(26)의 접속단자(28)로부터 빌드업 공정을 진행하여 구현되므로 보다 미세한 피치의 구현이 가능하다. 예를 들어, 종래의 범프 볼 기술을 적용하여 100마이크로미터 정도의 피치를 구현한다고 할 때, 본 실시예에 따른 빌드업 기술을 적용하여 30마이크로미터 정도의 피치를 구현할 수 있어 미세 피치 구현 및 그로 인한 패키지의 소형화에 기여할 수 있다.
- <68> 방열판(20)은 디바이스의 작동과정에서 발생하는 열을 외부로 방출하기 위한 것으로 구리판재, 금속판재, 실리콘 판재, 금속포일(foil), 구리포일, 금속층의 표면에 증착된 실리콘 판재 등으로 이루어 질 수 있다.
- <69> 방열판(20)은 반도체 칩(26)의 접속단자(28)와 상응하는 위치에 관통홀(22)이 형성되어 있으면 어떤 형태도 가능하다. 반도체 칩(26)의 접속단자(28)와 상응하는 위치에 관통홀(22)이 형성되어 있다는 의미는 일면에 접속단자(28)가 형성된 반도체 칩(26)의 일면이 방열판(20)의 일면과 접합되는 경우 반도체 칩(26)의 외부와의 전기적 도통을 위한 접속단자(28)가 관통홀(22)을 통하여 연통되도록 관통홀(22)이 형성되어 있음을 의미한다. 이와 같이 반도체 칩(26)의 접속단자(28)가 관통홀(22)을 통하여 비아를 형성하여 전기적 연결을 구현할 수 있게 된다. 방열판(20)은 통상 구리 등과 같은 금속성의 재질로 이루어지는 경우가 많으므로 접속단자(28)와 방열판(20)의 단락을 방지하기 위해 관통홀(22)은 접속단자(28)의 크기보다 크게 형성한다. 본 실시예에서는 반도체 패키지의 두께가 감소될 수 있도록 방열판(20)의 일면에 오목하게 함입된 실장공간(23)을 마련하여 실장공간(23)의 바닥면(21)에 반도체 칩(26)을 접합시킨다.
- <70> 반도체 칩(26)과 방열판(20) 간의 접합을 위해 반도체 칩(26)과 방열판(20) 사이에 접착제(24)를 개재하여 반도체 칩(26)을 방열판(20)에 접착시킬 수 있다. 이로써, 저렴하고 신속하게 반도체 칩(26)을 방열판(20)에 접합할 수 있게 된다.
- <71> 절연재(30)는 반도체 칩(26)을 커버하여 외부로부터의 충격으로부터 반도체 칩(26)을 보호하고, 반도체 칩(26)과 방열판(20)의 접합 신뢰성을 향상시킨다. 이러한 절연재(30)는 액상의 PI(polyimide) 레진(resin)을 도포하여 이를 소성시켜 형성된다. 본 실시예에서는 방열판(20)의 일면에 형성된 실장공간(23)이 매립되도록 절연재(30)를 도포하여 실장공간(23)의 바닥면(21)에 접합된 반도체 칩(26)을 인캡슐레이팅한다.
- <72> 절연층(32)은 방열판(20)의 타면에 적층되어 기관의 일부를 구성한다. 절연층(32)은 액상의 절연성 물질을 도포하거나, 필름 형태의 절연성 물질을 접합하여 형성될 수 있다. 예를 들면, 인캡슐레이팅 공정의 절연재(30)와

동일한 재료인 액상 PI를 도포하여 경화시키거나, PI 필름을 적층하여 구현할 수 있다.

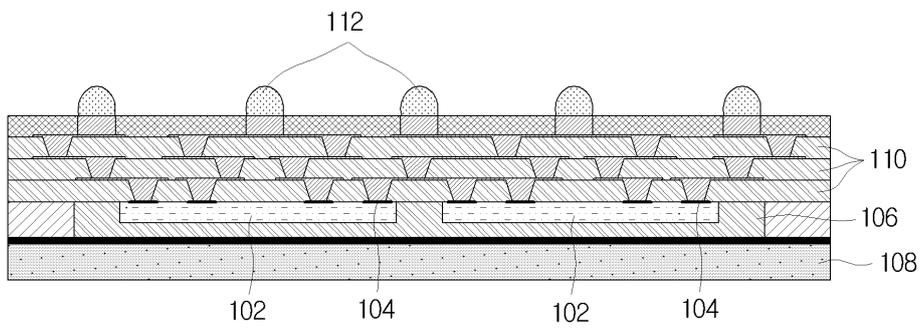
- <73> 제1 비아(36)는 반도체 칩(26)의 접속단자(28)와 전기적으로 연결되는 것으로 반도체 칩(26)의 전기적 연결통로를 구성하게 된다. 이러한 제1 비아(36)를 형성함에 있어 먼저 비아홀(34)의 형성과정이 필요한데, 방열판(20)의 관통홀(22)을 관통하여 반도체 칩(26)의 접속단자(28)가 노출되도록 절연층(32)을 드릴링하여 비아홀(34)을 천공한 후, 비아홀(34)의 내면에 도금을 수행하여 제1 비아(36)를 형성하게 된다. 이러한 제1 비아(36)는 관통홀(22)을 관통하여 반도체 칩(26)의 접속단자(28)가 외부와 전기적으로 연결될 수 있도록 한다.
- <74> 빌드업 층(38)은 절연층(32)에 적층되어 다층의 기판을 구성하게 되고, 제1 비아(36) 및 빌드업 층(38) 간의 전기적 연결을 위해 제2 비아(40)가 형성된다. 빌드업 층(38)의 적층 횟수 및 비아홀(34)의 가공은 반도체 패키지의 설계에 따라 달라질 수 있다. 도 5에서는 1개의 절연층(32)과, 2개의 빌드업 층(38)을 적층하고 도전성 범프(42)를 결합한 사례를 도시한 것이다.
- <75> 빌드업 층(38)은 절연성 재료로 이루어지며, 절연재(30)와 동일한 재료인 액상의 PI를 도포하여 경화시키거나, PI 필름을 적층하여 구현할 수 있다.
- <76> 절연층(32) 및 빌드업 층(38)을 절연재(30)와 동일한 재료로 할 경우에는 반도체 칩(26)의 인캡슐레이팅 공정, 절연층(32) 및 빌드업 층(38)의 적층 공정을 동일한 프로세스로 할 수 있어 가공성이 우수하고 비용이 저렴하며, 반도체 칩(26)에서 발생하는 열로 인한 반도체 패키지의 수축, 팽창이 절연재(30), 절연층(32) 및 빌드업 층(38)에서 다르지 않기 때문에 열응력에 의한 에러를 방지할 수 있다. 빌드업 층(38)이 적층되면, 비아홀을 가공하여 제1 비아(36)와 전기적으로 연결되는 제2 비아(40)를 형성한다. 제2 비아(40)를 형성하는 공정은 상술한 제1 비아(36)를 형성하는 공정과 동일하다. 즉, 제1 비아(36)의 랜드부가 노출되도록 빌드업 층(38)을 천공하여 비아홀을 형성하고 비아홀의 내면을 도금하여 제1 비아(36)와 제2 비아(40)를 전기적으로 연결하게 된다.
- <77> 도 5는 1개의 절연층(32)과, 2개의 빌드업 층(38)을 적층하는 빌드업 공정의 예로서 복수의 빌드업 층(38)을 적층하는 경우 상술한 빌드업 공정을 반복한다. 전술한 바와 같이 빌드업 공정은 반도체 패키지의 설계에 따라 필요한 횟수만큼 복수로 진행되며, 이에 따라 빌드업 층(38)이 복수로 적층되고, 각 빌드업 층(38)에 제2 비아(40)가 가공되어 전기적 연결통로를 구현한다. 한편, 최외측의 빌드업 층(38)에 솔더 레지스트(39)를 도포하고, 솔더 볼 (solder ball) 등의 도전성 범프(42)(bump)를 결합하기 위한 범프패드(41)를 형성하고 반도체 패키지와 외부 장치와의 전기적 연결을 위한 접점을 형성할 수 있다.
- <78> 도전성 범프(42)는 반도체 패키지와 외부 장치와의 전기적 접속을 위한 것으로 빌드업 층(38)의 표면에 제2 비아(40)와 전기적으로 연결된다. 도전성 범프(42)는 범프패드(41)에 솔더 볼 등의 도전성 범프(42)를 접촉시킴으로써 형성될 수 있다.
- <79> 도 6은 본 발명의 제3 실시예에 따른 반도체 패키지의 단면도이고, 도 7은 본 발명의 제3 실시예에 따른 방열판의 사시도이다. 도 6 및 도 7을 참조하면, 방열판(20), 바닥면(21), 관통홀(22), 접착재(24), 반도체 칩(26), 접속단자(28), 절연재(30), 절연층(32), 빌드업 층(38), 제1 비아(36), 제2 비아(40), 범프(42), 단턱(46)이 도시되어 있다.
- <80> 본 실시예는 복수의 반도체 칩(26)을 방열판(20)의 일면에 수직으로 적층하여 반도체 패키지의 사이즈를 축소한 것으로서, 도 6에 도시된 바와 같이, 방열판(20)의 일면에 오목하게 함입된 실장공간(23)의 측벽을 실장공간(23)의 바닥면(21)으로부터 실장공간(23)의 입구쪽으로 갈수록 실장공간(23)의 폭이 넓어지도록 복수의 단턱(46)을 가지도록 형성하여, 복수의 반도체 칩(26)을 실장공간(23)의 바닥면(21) 및 복수의 단턱(46)에 각각 접합한 것이다. 이에 따라 복수의 반도체 칩(26)이 수직으로 적층되어 반도체 패키지의 사이즈를 축소할 수 있다. 또한, 복수의 반도체 칩(26)이 방열판(20)에 직접 접합되어 있어 디바이스의 작동으로 인한 각 반도체 칩(26)에서 발생하는 열을 효율적으로 외부로 방출할 수 있다. 이 경우 각 단턱(46)에 접합되는 반도체 칩(26)의 전기적 연결을 위해, 각 단턱(46)에 접합되는 반도체 칩(26)의 접속단자(28)와 상응하는 위치에 관통홀(22)이 형성하여 이러한 관통홀(22)을 관통하는 비아를 형성함으로써 반도체 칩(26)과 기판 간을 전기적으로 연결할 수 있다.
- <81> 반도체 칩(26)을 인캡슐레이팅하기 위해 절연재(30)를 실장공간(23)에 도포한다. 복수의 반도체 칩(26)을 방열판(20)에 적층하는 경우, 먼저, 실장공간(23)의 바닥면(21)에 반도체 칩(26)을 접합하고 첫 번째 단턱(46)까지 절연재(30)를 도포하여 반도체 칩(26)을 인캡슐레이팅한다. 그리고 또 다른 반도체 칩(26)을 첫 번째 단턱(46)에 접합한 후 두 번째 단턱(46)까지 절연재(30)를 도포하여 반도체 칩(26)을 인캡슐레이팅한다. 이러한 공정을 반복하여 방열판(20)에 오목하게 함입된 실장공간(23)에 복수의 반도체 칩(26)을 적층하고 인캡슐레이팅할 수

도면

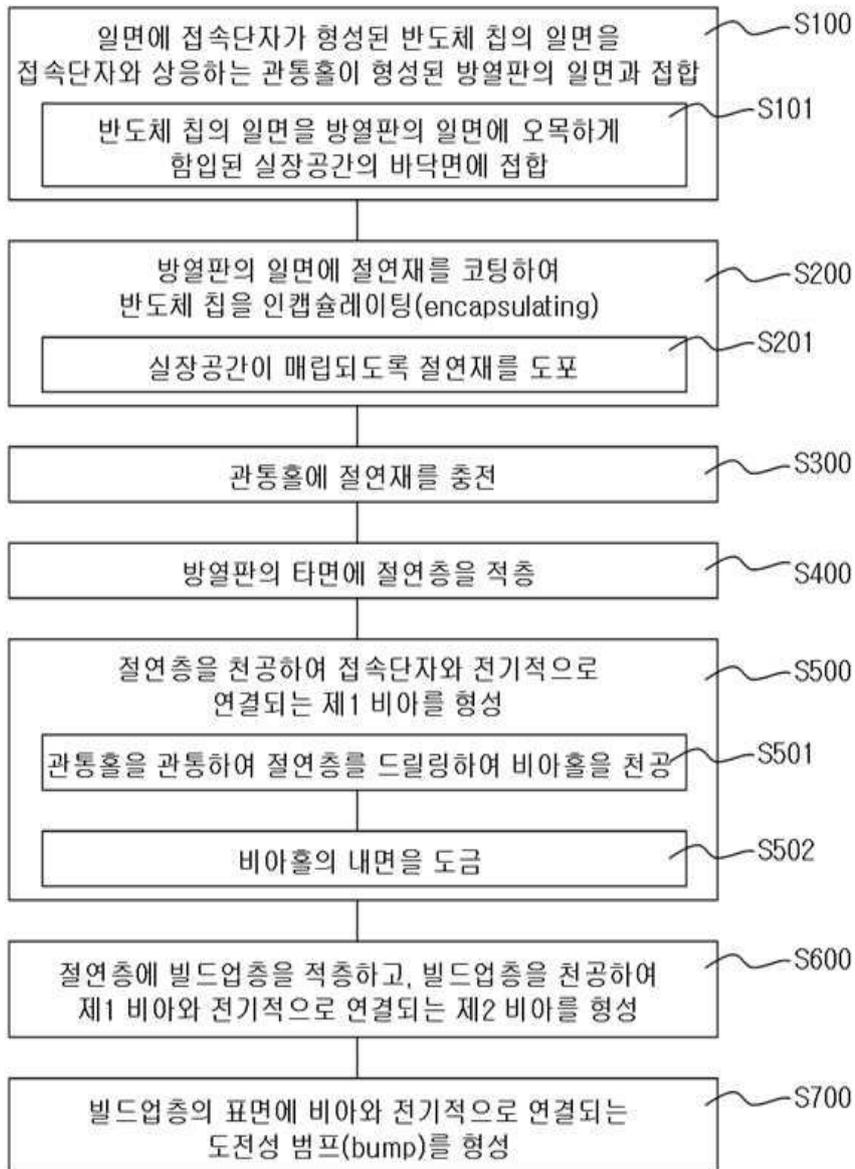
도면1



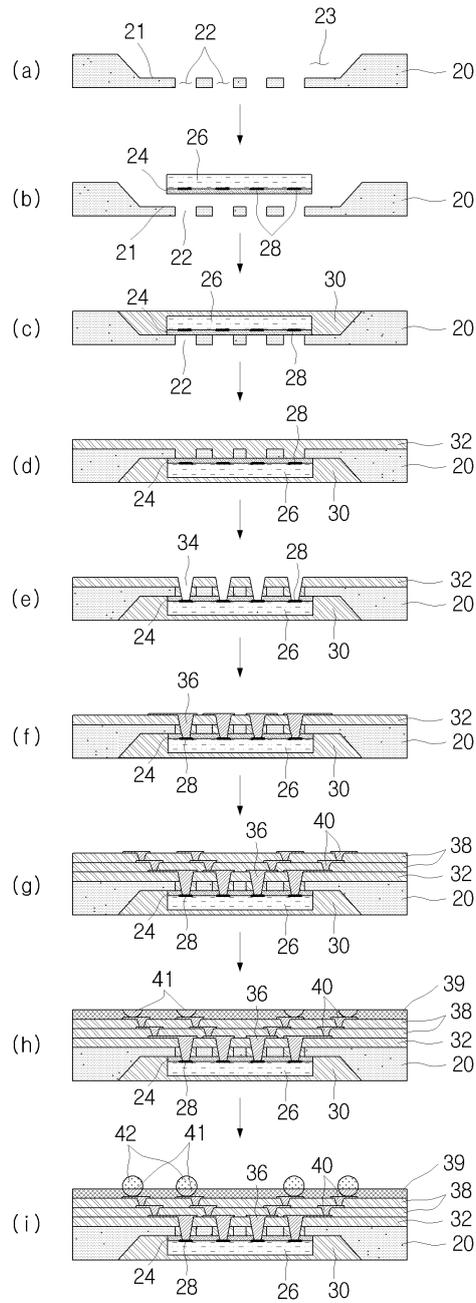
도면2



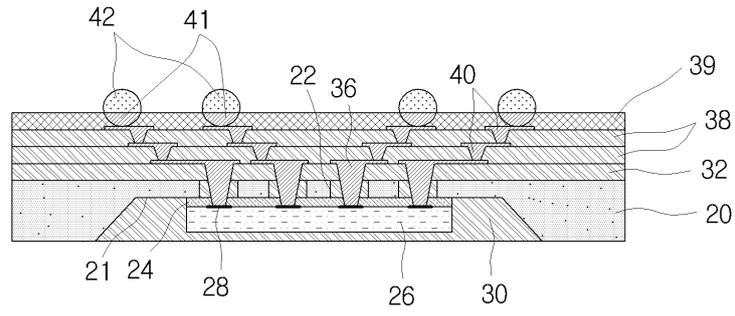
도면3



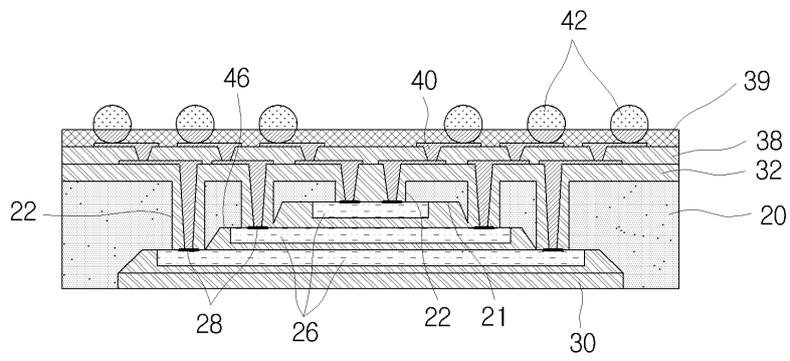
도면4



도면5



도면6



도면7

