

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-130799
(P2009-130799A)

(43) 公開日 平成21年6月11日(2009.6.11)

(51) Int.Cl. F I テーマコード(参考)
HO4N 5/335 (2006.01) HO4N 5/335 E 5C024
 HO4N 5/335 U

審査請求 未請求 請求項の数 8 O L (全 14 頁)

(21) 出願番号 特願2007-305748 (P2007-305748)
 (22) 出願日 平成19年11月27日(2007.11.27)

(71) 出願人 00005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町2番2号
 (74) 代理人 100064746
 弁理士 深見 久郎
 (74) 代理人 100085132
 弁理士 森田 俊雄
 (74) 代理人 100083703
 弁理士 仲村 義平
 (74) 代理人 100096781
 弁理士 堀井 豊
 (74) 代理人 100098316
 弁理士 野田 久登
 (74) 代理人 100109162
 弁理士 酒井 将行

最終頁に続く

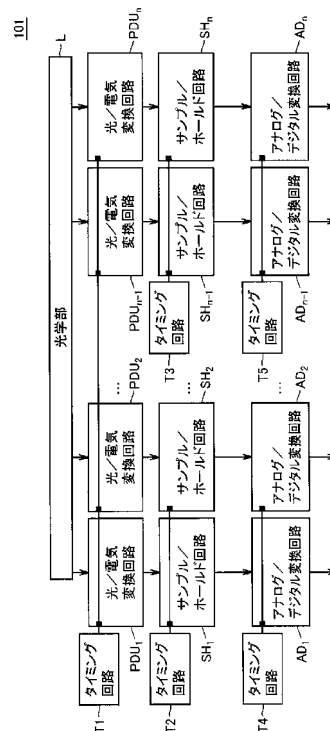
(54) 【発明の名称】 信号処理回路およびそれを備えた撮像装置

(57) 【要約】

【課題】 ノイズを低減し、かつ画質の劣化を防ぐことが可能な信号処理回路およびそれを備えた撮像装置を提供する。

【解決手段】 信号処理回路101は、受けた光をアナログ電気信号に変換する光/電気変換回路PDUと、変換されたアナログ電気信号をサンプリングして保持するサンプル/ホールド回路SHと、保持されたアナログ電気信号をデジタル信号に変換するアナログ/デジタル変換回路ADとを複数組備え、複数組のうちの少なくとも1組に属するサンプル/ホールド回路SHおよびアナログ/デジタル変換回路ADのうちの少なくともいずれか一方は、他の組に属するサンプル/ホールド回路SHおよびアナログ/デジタル変換回路ADとは異なるタイミング信号に基づいて動作し、複数組に属する各光/電気変換回路PDUは共通のタイミング信号に基づいて動作する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

受けた光をアナログ電気信号に変換して出力する光／電気変換回路と、
前記光／電気変換回路から受けた前記アナログ電気信号をサンプリングし、前記サンプリングした前記アナログ電気信号を保持するとともに出力するサンプル／ホールド回路と

、
前記サンプル／ホールド回路から受けた前記アナログ電気信号をデジタル信号に変換するアナログ／デジタル変換回路とを複数組備え、

前記複数組のうちの少なくとも 1 組に属する前記サンプル／ホールド回路および前記アナログ／デジタル変換回路のうちの少なくともいずれか一方は、他の組に属する前記サンプル／ホールド回路および前記アナログ／デジタル変換回路とは異なるタイミング信号に基づいて動作し、

前記複数組に属する各前記光／電気変換回路は共通のタイミング信号に基づいて動作する信号処理回路。

【請求項 2】

前記複数組のうちの少なくとも 1 組に属する前記サンプル／ホールド回路および前記アナログ／デジタル変換回路は、それぞれ他の組に属する前記サンプル／ホールド回路および前記アナログ／デジタル変換回路とは異なるタイミング信号に基づいて動作する請求項 1 記載の信号処理回路。

【請求項 3】

前記信号処理回路は、

前記光／電気変換回路、前記サンプル／ホールド回路および前記アナログ／デジタル変換回路を n 組 (n は 2 以上の自然数) と、

時間差をもって順番にアサートされる k 個 (k は $k < n$ を満たす自然数) のタイミング信号を対応の前記組へそれぞれ出力する k 個のタイミング回路とを備え、

n 個の前記サンプル／ホールド回路および n 個の前記アナログ／デジタル変換回路は、対応の前記タイミング信号がアサートされると動作を開始する請求項 1 記載の信号処理回路。

【請求項 4】

前記 k 個のタイミング回路は、以下の式を用いて時間差をもって順番にアサートされる前記タイミング信号をそれぞれ出力する請求項 3 記載の信号処理回路。

$$T < 1 / BW$$

ただし、 T は前記時間差、 BW は前記信号処理回路がノイズを低減する周波数帯域における最大周波数である。

【請求項 5】

前記複数個のサンプル／ホールド回路の各々は、

前記光／電気変換回路から受けた前記アナログ電気信号のレベルに対応する電荷が蓄えられるキャパシタを含み、

前記信号処理回路は、さらに、

前記キャパシタへランプ信号を出力するランプ信号生成回路と、

前記ランプ信号の出力開始に同期してカウントを開始し、前記カウント値を出力するカウンタとを備え、

前記複数個のアナログ／デジタル変換回路の各々は、

前記キャパシタの充電電圧が閾値より大きくなるとラッチ信号を出力するラッチ信号生成回路と、

前記ラッチ信号を受けて、前記カウンタから受けた前記カウント値をラッチするラッチ回路とを含み、

前記ランプ信号生成回路は、前記複数個のサンプル／ホールド回路のうちの少なくともいずれか 1 個と他の前記サンプル／ホールド回路とへ異なるタイミングで前記ランプ信号を出力する請求項 1 記載の信号処理回路。

【請求項 6】

前記複数個のサンプル/ホールド回路の各々は、
 前記光/電気変換回路から受けた前記アナログ電気信号のレベルに対応する電荷が蓄えられるキャパシタと、
 前記キャパシタに電荷を蓄え、かつ保持するためのスイッチを含み、
 前記信号処理回路は、さらに、
 前記キャパシタへランプ信号を出力するランプ信号生成回路と、
 前記ランプ信号の出力開始に同期してカウントを開始し、前記カウント値を出力するカウンタとを備え、
 前記複数個のアナログ/デジタル変換回路の各々は、
 前記キャパシタの充電電圧が閾値より大きくなるとラッチ信号を出力するラッチ信号生成回路と、
 前記ラッチ信号を受けて、前記カウンタから受けた前記カウント値をラッチするラッチ回路とを含み、
 前記複数個のアナログ/デジタル変換回路のうちの少なくともいずれか 1 個に含まれる前記スイッチと他の前記アナログ/デジタル変換回路に含まれる前記スイッチとは、異なるタイミングでオン・オフされる請求項 1 記載の信号処理回路。

10

【請求項 7】

前記複数個のサンプル/ホールド回路の各々は、
 前記光/電気変換回路から受けた前記アナログ電気信号のレベルに対応する電荷が蓄えられるキャパシタを含み、
 前記信号処理回路は、さらに、
 前記キャパシタへランプ信号を出力するランプ信号生成回路と、
 前記ランプ信号の出力開始に同期してカウントを開始し、前記カウント値を出力するカウンタとを備え、
 前記複数個のアナログ/デジタル変換回路の各々は、
 前記キャパシタの充電電圧を受けるノードを初期化するためのスイッチを有し、前記ノードのレベルが閾値より大きくなるとラッチ信号を出力するラッチ信号生成回路と、
 前記ラッチ信号を受けて、前記カウンタから受けた前記カウント値をラッチするラッチ回路とを含み、
 前記複数個のラッチ信号生成回路のうちの少なくともいずれか 1 個に含まれる前記スイッチと他の前記ラッチ信号生成回路に含まれる前記スイッチとは、異なるタイミングでオン・オフされる請求項 1 記載の信号処理回路。

20

30

【請求項 8】

光を照射する光学部と、
 信号処理回路とを備え、
 前記信号処理回路は、
 前記光学部から照射された光による像をアナログ電気信号に変換して出力する光/電気変換回路と、
 前記光/電気変換回路から受けた前記アナログ電気信号をサンプリングし、前記サンプリングした前記アナログ電気信号を保持するとともに出力するサンプル/ホールド回路と、
 前記サンプル/ホールド回路から受けた前記アナログ電気信号をデジタル信号に変換するアナログ/デジタル変換回路とを複数組み、
 前記複数組のうちの少なくとも 1 組に属する前記サンプル/ホールド回路および前記アナログ/デジタル変換回路のうちの少なくともいずれか一方は、他の組に属する前記サンプル/ホールド回路および前記アナログ/デジタル変換回路とは異なるタイミング信号に基づいて動作し、
 前記複数組に属する各前記光/電気変換回路は共通のタイミング信号に基づいて動作する撮像装置。

40

50

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、信号処理回路およびそれを備えた撮像装置に関し、特に、複数の回路の動作タイミングをずらす信号処理回路およびそれを備えた撮像装置に関する。

【背景技術】

【0002】

従来、CMOSイメージセンサの設計方法として、多くの提案がなされており、非特許文献1においても6種類の方法が開示されている。これらの提案では、主にどのようにして画質を改善するかということを目的としており、結果として今日非常に高いレベルまで画質が向上している。しかしながら、EMI (Electro Magnetic Interference) 等、機器が外部へ及ぼす電氣的影響についてはほとんど考慮されていないのが現状である。

10

【0003】

一方、一般的な電子回路のEMI低減方法として、並列に動作する複数の回路の動作タイミングをずらすことによって半導体装置のノイズピークを低減する方法については、多くの提案がなされている。たとえば、特許文献1記載の方法では、半導体集積回路を複数のエリアに分け、それぞれに位相の異なるクロックを与えて動作させることにより、ノイズを低減している。

【特許文献1】特許第3620440号公報

【非特許文献1】米本和也著, “CCD/CMOSイメージセンサの基礎と応用”, pp.192-203

20

【発明の開示】

【発明が解決しようとする課題】

【0004】

しかしながら、特許文献1記載の方法をCMOSイメージセンサ等の撮像装置に適用すると、複数画素の各々に対応する各回路の動作タイミングがずれることから、画質が劣化してしまうという問題点があった。

【0005】

それゆえに、本発明の目的は、ノイズを低減し、かつ画質の劣化を防ぐことが可能な信号処理回路およびそれを備えた撮像装置を提供することである。

【課題を解決するための手段】

30

【0006】

上記課題を解決するために、本発明のある局面に係わる信号処理回路は、受けた光をアナログ電気信号に変換して出力する光/電気変換回路と、光/電気変換回路から受けたアナログ電気信号をサンプリングし、サンプリングしたアナログ電気信号を保持するとともに出力するサンプル/ホールド回路と、サンプル/ホールド回路から受けたアナログ電気信号をデジタル信号に変換するアナログ/デジタル変換回路とを複数組備え、複数組のうちの少なくとも1組に属するサンプル/ホールド回路およびアナログ/デジタル変換回路のうちの少なくともいずれか一方は、他の組に属するサンプル/ホールド回路およびアナログ/デジタル変換回路とは異なるタイミング信号に基づいて動作し、複数組に属する各光/電気変換回路は共通のタイミング信号に基づいて動作する。

40

【0007】

好ましくは、複数組のうちの少なくとも1組に属するサンプル/ホールド回路およびアナログ/デジタル変換回路は、それぞれ他の組に属するサンプル/ホールド回路およびアナログ/デジタル変換回路とは異なるタイミング信号に基づいて動作する。

【0008】

好ましくは、信号処理回路は、光/電気変換回路、サンプル/ホールド回路およびアナログ/デジタル変換回路をn組(nは2以上の自然数)と、時間差をもって順番にアサートされるk個(kはk < nを満たす自然数)のタイミング信号を対応の組へそれぞれ出力するk個のタイミング回路とを備え、n個のサンプル/ホールド回路およびn個のアナログ/デジタル変換回路は、対応のタイミング信号がアサートされると動作を開始する。

50

【0009】

より好ましくは、 k 個のタイミング回路は、以下の式を用いて時間差をもって順番にアサートされるタイミング信号をそれぞれ出力する。

【0010】

$$T < 1 / BW$$

ただし、 T は時間差、 BW は信号処理回路がノイズを低減する周波数帯域における最大周波数である。

【0011】

好ましくは、複数個のサンプル/ホールド回路の各々は、光/電気変換回路から受けたアナログ電気信号のレベルに対応する電荷が蓄えられるキャパシタを含み、信号処理回路は、さらに、キャパシタへランプ信号を出力するランプ信号生成回路と、ランプ信号の出力開始に同期してカウントを開始し、カウント値を出力するカウンタとを備え、複数個のアナログ/デジタル変換回路の各々は、キャパシタの充電電圧が閾値より大きくなるとラッチ信号を出力するラッチ信号生成回路と、ラッチ信号を受けて、カウンタから受けたカウント値をラッチするラッチ回路とを含み、ランプ信号生成回路は、複数個のサンプル/ホールド回路のうちの少なくともいずれか1個と他のサンプル/ホールド回路とへ異なるタイミングでランプ信号を出力する。

10

【0012】

好ましくは、複数個のサンプル/ホールド回路の各々は、光/電気変換回路から受けたアナログ電気信号のレベルに対応する電荷が蓄えられるキャパシタと、キャパシタに電荷を蓄え、かつ保持するためのスイッチを含み、信号処理回路は、さらに、キャパシタへランプ信号を出力するランプ信号生成回路と、ランプ信号の出力開始に同期してカウントを開始し、カウント値を出力するカウンタとを備え、複数個のアナログ/デジタル変換回路の各々は、キャパシタの充電電圧が閾値より大きくなるとラッチ信号を出力するラッチ信号生成回路と、ラッチ信号を受けて、カウンタから受けたカウント値をラッチするラッチ回路とを含み、複数個のアナログ/デジタル変換回路のうちの少なくともいずれか1個に含まれるスイッチと他のアナログ/デジタル変換回路に含まれるスイッチとは、異なるタイミングでオン・オフされる。

20

【0013】

好ましくは、複数個のサンプル/ホールド回路の各々は、光/電気変換回路から受けたアナログ電気信号のレベルに対応する電荷が蓄えられるキャパシタを含み、信号処理回路は、さらに、キャパシタへランプ信号を出力するランプ信号生成回路と、ランプ信号の出力開始に同期してカウントを開始し、カウント値を出力するカウンタとを備え、複数個のアナログ/デジタル変換回路の各々は、キャパシタの充電電圧を受けるノードを初期化するためのスイッチを有し、ノードのレベルが閾値より大きくなるとラッチ信号を出力するラッチ信号生成回路と、ラッチ信号を受けて、カウンタから受けたカウント値をラッチするラッチ回路とを含み、複数個のラッチ信号生成回路のうちの少なくともいずれか1個に含まれるスイッチと他のラッチ信号生成回路に含まれるスイッチとは、異なるタイミングでオン・オフされる。

30

【0014】

上記課題を解決するために、本発明のある局面に係わる撮像装置は、光を照射する光学部と、信号処理回路とを備え、信号処理回路は、光学部から照射された光による像をアナログ電気信号に変換して出力する光/電気変換回路と、光/電気変換回路から受けたアナログ電気信号をサンプリングし、サンプリングしたアナログ電気信号を保持するとともに出力するサンプル/ホールド回路と、サンプル/ホールド回路から受けたアナログ電気信号をデジタル信号に変換するアナログ/デジタル変換回路とを複数組含み、複数組のうちの少なくとも1組に属するサンプル/ホールド回路およびアナログ/デジタル変換回路のうちの少なくともいずれか一方は、他の組に属するサンプル/ホールド回路およびアナログ/デジタル変換回路とは異なるタイミング信号に基づいて動作し、複数組に属する各光/電気変換回路は共通のタイミング信号に基づいて動作する。

40

50

【発明の効果】**【0015】**

本発明によれば、ノイズを低減し、かつ画質の劣化を防ぐことができる。

【発明を実施するための最良の形態】**【0016】**

以下、本発明の実施の形態について図面を用いて説明する。なお、図中同一または相当部分には同一符号を付してその説明は繰り返さない。

【0017】

[構成および基本動作]

図1は、本発明の実施の形態に係る信号処理回路の構成を示す図である。

10

【0018】

図1を参照して、信号処理回路101は、光学部Lと、光/電気変換回路PDU1~PDU_nと、サンプル&ホールド回路SH1~SH_nと、アナログ/デジタル変換回路AD1~AD_nと、タイミング回路T1~T5とを備える。

【0019】

以下、光/電気変換回路PDU1~PDU_nの各々を光/電気変換回路PDUと称する場合がある。また、サンプル&ホールド回路SH1~SH_nの各々をサンプル&ホールド回路SHと称する場合がある。また、アナログ/デジタル変換回路AD1~AD_nの各々をアナログ/デジタル変換回路ADと称する場合がある。ここでは、光/電気変換回路PDU1, PDU2, PDU_{n-1}, PDU_nと、サンプル&ホールド回路SH1, SH2, SH_{n-1}, SH_nと、アナログ/デジタル変換回路AD1, AD2, AD_{n-1}, AD_nとを代表的に図示して説明する。

20

【0020】

信号処理回路101では、光/電気変換回路PDUと、サンプル&ホールド回路SHと、アナログ/デジタル変換回路ADとの組がn個配置される。nは、たとえば数100~数1000の数値である。

【0021】

光学部Lは、光/電気変換回路PDU1~PDU_nに光を照射する。光/電気変換回路PDU1~PDU_nは、それぞれ撮像素子を含み、光学部Lから照射された光による像をアナログ電気信号に変換して対応のサンプル&ホールド回路SHへ出力する。

30

【0022】

サンプル&ホールド回路SH1~SH_nの各々は、対応の光/電気変換回路PDUから受けたアナログ電気信号をサンプリングして保持し、対応のアナログ/デジタル変換回路ADへ出力する。

【0023】

アナログ/デジタル変換回路AD1~AD_nの各々は、対応のサンプル&ホールド回路SHから受けたアナログ電気信号をデジタル信号に変換する。

【0024】

タイミング回路T1は、光/電気変換回路PDU1, PDU2, PDU_{n-1}, PDU_nへ共通のタイミング信号T1を出力する。タイミング回路T2は、サンプル&ホールド回路SH1, SH2へ共通のタイミング信号T2を出力する。タイミング回路T3は、サンプル&ホールド回路SH_{n-1}, SH_nへ共通のタイミング信号T3を出力する。タイミング回路T4は、アナログ/デジタル変換回路AD1, AD2へ共通のタイミング信号T4を出力する。タイミング回路T5は、アナログ/デジタル変換回路AD_{n-1}, AD_nへ共通のタイミング信号T5を出力する。タイミング信号T1~T5は、それぞれ異なるタイミングでアサートされる。

40

【0025】

これにより、光/電気変換回路PDU1~PDU_nは同じタイミングで動作する。また、サンプル&ホールド回路SH1, SH2と、サンプル&ホールド回路SH_{n-1}, SH_nとは異なるタイミングで動作する。また、アナログ/デジタル変換回路AD1, AD2

50

と、アナログ/デジタル変換回路 AD_{n-1} , AD_n とは異なるタイミングで動作する。

【0026】

図2は、本発明の実施の形態に係る信号処理回路における各回路の動作タイミングを示すタイミングチャートである。

【0027】

図2を参照して、まず、タイミング信号 T_1 がアサートされる、すなわち論理ローレベルから論理ハイレベルに遷移する。そうすると、光/電気変換回路 PDU_1 , PDU_2 , PDU_{n-1} , PDU_n は図2の矢印で示すタイミングで同時に動作を開始し、光学部 L から照射された光による像をアナログ電気信号に変換してそれぞれサンプル&ホールド回路 SH_1 , SH_2 , SH_{n-1} , SH_n へ出力する。

10

【0028】

次に、タイミング信号 T_2 がアサートされる、すなわち論理ローレベルから論理ハイレベルに遷移する。そうすると、サンプル&ホールド回路 SH_1 , SH_2 は、図2の矢印で示すタイミングで同時に動作を開始し、それぞれ光/電気変換回路 PDU_1 , PDU_2 から受けたアナログ電気信号をサンプリングして保持し、アナログ/デジタル変換回路 AD_1 , AD_2 へそれぞれ出力する。

【0029】

次に、タイミング信号 T_3 がアサートされる、すなわち論理ローレベルから論理ハイレベルに遷移する。そうすると、サンプル&ホールド回路 SH_{n-1} , SH_n は、図2の矢印で示すタイミングで同時に動作を開始し、それぞれ光/電気変換回路 PDU_{n-1} , PDU_n から受けたアナログ電気信号をサンプリングして保持し、アナログ/デジタル変換回路 AD_{n-1} , AD_n へそれぞれ出力する。

20

【0030】

次に、タイミング信号 T_4 がアサートされる、すなわち論理ローレベルから論理ハイレベルに遷移する。そうすると、アナログ/デジタル変換回路 AD_1 , AD_2 は、図2の矢印で示すタイミングで同時に動作を開始し、それぞれサンプル&ホールド回路 SH_1 , SH_2 から受けたアナログ電気信号をデジタル信号に変換する。

【0031】

次に、タイミング信号 T_5 がアサートされる、すなわち論理ローレベルから論理ハイレベルに遷移する。そうすると、アナログ/デジタル変換回路 AD_{n-1} , AD_n は、図2の矢印で示すタイミングで同時に動作を開始し、それぞれサンプル&ホールド回路 SH_{n-1} , SH_n から受けたアナログ電気信号をデジタル信号に変換する。

30

【0032】

ここで、光/電気変換回路 PDU 、サンプル&ホールド回路 SH およびアナログ/デジタル変換回路 AD の n 組を k (k は2以上かつ n 未満の自然数) 個のグループに分けた場合について考える。

【0033】

光/電気変換回路 PDU は、すべてのグループで同時に動作を開始する。サンプル&ホールド回路 $SH_1 \sim SH_n$ およびアナログ/デジタル変換回路 $AD_1 \sim AD_n$ については各グループ間で動作開始タイミングに時間差を与える。サンプル&ホールド回路 $SH_1 \sim SH_n$ およびアナログ/デジタル変換回路 $AD_1 \sim AD_n$ へそれぞれタイミング信号を出力するタイミング回路は、 k 個のグループに対応して k 個ずつ設けられる。これにより、サンプル&ホールド回路 SH およびアナログ/デジタル変換回路 AD をグループごとに別々のタイミングで動作させることができる。

40

【0034】

図3は、各タイミング回路を起動するための信号を生成する構成の一例を示す図である。図3では、タイミング回路 $T_1 \sim T_3$ を代表的に示している。

【0035】

図3を参照して、この回路は、直列接続された遅延素子 $G_1 \sim G_4$ を含む。遅延素子 $G_1 \sim G_4$ は、タイミング回路 $T_1 \sim T_3$ の動作を開始させるためのスイッチ信号 S を遅延

50

させて出力する。

【0036】

タイミング回路 T 1 は、スイッチ信号 S を受けて、タイミング信号の出力を開始する。タイミング回路 T 2 は、遅延素子 G 1 , G 2 を通過したスイッチ信号 S を受けて、タイミング信号の出力を開始する。タイミング回路 T 3 は、遅延素子 G 1 ~ G 4 を通過したスイッチ信号 S を受けて、タイミング信号の出力を開始する。

【0037】

このように、信号処理回路 101 における各回路を異なるタイミングで動作させるためには、タイミング回路を任意の時間差で動作させればよい。すなわち、タイミング回路 T 1 ~ T 3 へ時間差をもって順番にアサートされる信号を与えればよい。

10

【0038】

ところで、特許文献 1 記載の方法を CMOS イメージセンサ等の撮像装置に適用すると、複数画素の各々に対応する各回路の動作タイミングがずれることから、画質が劣化してしまうという問題点があった。

【0039】

しかしながら、本発明の実施の形態に係る信号処理回路では、光 / 電気変換回路 P D U 1 ~ P D U n は共通のタイミング信号に基づいて動作する。そして、光 / 電気変換回路 P D U、サンプル & ホールド回路 S H およびアナログ / デジタル変換回路 A D の組のうち少なくとも 1 組に属するサンプル & ホールド回路 S H およびアナログ / デジタル変換回路 A D のうち少なくともいずれか一方は、他の組に属するサンプル & ホールド回路 S H およびアナログ / デジタル変換回路 A D とは異なるタイミング信号に基づいて動作する。このような構成により、受けた光をアナログ電気信号に変換するタイミングを光 / 電気変換回路 P D U 間すなわち各画素間で共通にすることができるため、画質の劣化を防ぐことができる。また、サンプル & ホールド回路 S H およびアナログ / デジタル変換回路 A D の動作タイミングをずらすことにより、ノイズとなるピーク電流を小さくすることができるため、ノイズを低減することができる。

20

【0040】

さらに、本発明の実施の形態に係る信号処理回路では、以下のような効果を得ることができる。すなわち、各回路の動作タイミングの時間差を調整することにより、信号処理回路 101 における任意の周波数成分のノイズレベルを低減することができる。

30

【0041】

たとえば、同一振幅の 2 つの過渡波形を 5 n (ナノ) 秒ずらして足した場合には、足された 2 つの信号のうち 100 MHz の周波数成分は、互いに 180 度の位相差を持つことから打ち消しあって振幅が 0 になる。

【0042】

すなわち、ノイズが発生し易い周波数が分かっている場合には、その周波数に合わせた時間差を各タイミング信号に与えることにより、ノイズを効果的に低減することができる。

【0043】

図 4 は、本発明の実施の形態に係る信号処理回路におけるノイズ低減効果を示す図である。

40

【0044】

ここでは、たとえば $n = 1000$ 、 $k = 4$ とする、すなわち信号処理回路 101 における 1000 個の光 / 電気変換回路 P D U、1000 個のサンプル & ホールド回路 S H および 1000 個のアナログ / デジタル変換回路 A D を、各々が 250 個の光 / 電気変換回路 P D U、250 個のサンプル & ホールド回路 S H および 250 個のアナログ / デジタル変換回路 A D で構成される 4 つのグループに分ける。

【0045】

そして、グループ間に $T = 5$ n 秒の時間差を与えて動作させる、たとえば図 1 に示す信号処理回路 101 において、タイミング信号 T 2 , T 3 に 5 n 秒の時間差を与え、かつタ

50

イミング信号 T 4 , T 5 に 5 n 秒の時間差を与える。

【 0 0 4 6 】

そうすると、図 4 に示すように、5 0 M H z 、 1 0 0 M H z 、 1 5 0 M H z の周波数成分のレベルを低減することができる。

【 0 0 4 7 】

ただし、 $f = 1 / T$ より、 $f = 2 0 0 M H z$ の信号については各タイミング信号の位相が一致するため、上記減衰効果は得られない。

【 0 0 4 8 】

したがって、タイミング回路 T 2 ~ T 5 が、以下の式を用いて所定時間差で順番にアサートされるタイミング信号を出力するように前述のスイッチ信号 S の遅延量を設定する。

【 0 0 4 9 】

$$T < 1 / B W$$

ただし、T は所定時間差、B W は信号処理回路 1 0 1 がノイズを低減すべき周波数帯域における最大周波数である。

【 0 0 5 0 】

次に、より具体的な回路例として、カラム A D C 方式を用いた撮像装置について説明する。

【 0 0 5 1 】

図 5 は、本発明の実施の形態に係る撮像装置の構成を示す図である。

図 5 を参照して、撮像装置 2 0 1 は、光 / 電気変換回路 P D U と、基準電圧発生回路 V S と、アナログ / デジタル変換部 5 1 と、カウンタ 5 2 と、ランプ信号生成回路 5 3 と、制御線 R S と、制御線 A D R と、制御線 T G と、列信号線 C L とを備える。光 / 電気変換回路 P D U は、フォトダイオード (撮像素子) P D と、N チャネル M O S トランジスタ M 1 ~ M 4 とを含む。アナログ / デジタル変換部 5 1 は、サンプル & ホールド回路 S H と、アナログ / デジタル変換回路 A D とを含む。サンプル & ホールド回路 S H は、スイッチ S 3 および S 4 と、キャパシタ C 3 とを含む。アナログ / デジタル変換回路 A D は、ラッチ信号生成回路 6 1 と、ラッチ L T 1 とを含む。ラッチ信号生成回路 6 1 は、スイッチ S 1 および S 2 と、N O T 回路 A 1 および A 2 と、キャパシタ C 1 および C 2 とを含む。

【 0 0 5 2 】

なお、以下の説明において、制御線 A D R が延伸する方向を行方向と称し、列信号線 C L が延伸する方向を列方向と称する。

【 0 0 5 3 】

図 5 では、撮像装置 2 0 1 における 1 画素分の構成が代表的に示されているが、たとえば撮像装置 2 0 1 がイメージセンサである場合には同様の構成が行方向に数百個 ~ 数千個配置される。また、列方向に数百個 ~ 数千個の画素分の光 / 電気変換回路 P D U が配置され、列信号線 C L を介して基準電圧発生回路 V S およびアナログ / デジタル変換部 5 1 が共有される。

【 0 0 5 4 】

光 / 電気変換回路 P D U において、N チャネル M O S トランジスタ M 1 のゲートが制御線 R S に接続され、ドレインが電源電圧 V D D の供給される電源ノード V D D に接続され、ソースがノード F D に接続される。N チャネル M O S トランジスタ M 2 のゲートが制御線 T G に接続され、ドレインがノード F D に接続され、ソースがフォトダイオード P D のカソードに接続される。フォトダイオード P D のアノードが接地電圧 V S S の供給される接地ノード V S S に接続される。N チャネル M O S トランジスタ M 3 のゲートが制御線 A D R に接続され、ドレインが電源ノード V D D に接続され、ソースが N チャネル M O S トランジスタ M 4 のドレインに接続される。N チャネル M O S トランジスタ M 4 のゲートがノード F D に接続され、ソースが列信号線 C L に接続される。

【 0 0 5 5 】

アナログ / デジタル変換部 5 1 において、スイッチ S 3 の第 1 端が列信号線 C L に接続され、第 2 端がキャパシタ C 1 の第 1 端およびキャパシタ C 3 の第 1 端に接続される。ス

10

20

30

40

50

スイッチS4の第1端がランプ信号生成回路53の出力ノードRMPに接続され、第2端がキャパシタC3の第2端に接続される。スイッチS1の第1端がキャパシタC1の第2端およびNOT回路A1の入力端子に接続され、第2端がNOT回路A1の出力端子およびキャパシタC2の第1端に接続される。スイッチS2の第1端がキャパシタC2の第2端およびNOT回路A2の入力端子に接続され、第2端がNOT回路A2の出力端子およびラッチLT1に接続される。

【0056】

図6は、本発明の実施の形態に係る撮像装置の動作を示す波形図である。

図6を参照して、フォトダイオードPDは、受けた光に基づいて、NチャネルMOSトランジスタM2のソースとフォトダイオードPDのカソードとの間のノードに電荷を蓄える。基準電圧発生回路VSは、列信号線CLにリセット基準電圧を供給している。

10

【0057】

まず、制御線ADRが論理ローレベルから論理ハイレベルに設定されることにより、制御線ADRに接続されたNチャネルMOSトランジスタM3がオンする。

【0058】

次に、制御線RSが論理ローレベルから論理ハイレベルに設定されることにより、制御線RSに接続されたNチャネルMOSトランジスタM1がオンする。これにより、ノードFDが初期化される、すなわちノードFDの電位が基準電位となる。

【0059】

次に、スイッチS3がオンし、その後、スイッチS1およびS2がオンする。そして、スイッチS1がオフし、その後、スイッチS2がオフする。これにより、NOT回路A1の入力ノードであるノードVINと、NOT回路A2の入力ノードとが初期化される。すなわち、NOT回路A1の入力電圧と、NOT回路A2の入力電圧とが、NOT回路A1およびA2の各々の閾値電圧すなわちレベルVRSにそれぞれクランプされる。

20

【0060】

次に、制御線TGが論理ローレベルから論理ハイレベルに設定されることにより、フォトダイオードPDによって蓄えられた電荷がノードFDに伝達される。NチャネルMOSトランジスタM4は、ノードFDに蓄えられた電荷に基づいて列信号線CLに電圧を供給する、すなわちノードFDの電圧を増幅したアナログ電気信号を画素信号として列信号線CLへ出力する。

30

【0061】

次に、スイッチS4がオンすることにより、画素信号がサンプリングされる、すなわちキャパシタC3に列信号線CLの電圧に対応する電荷が蓄えられる。

【0062】

次に、スイッチS3がオフすることにより、画素信号がホールドされる、すなわちキャパシタC3に蓄えられた電荷が保持される。このとき、ノードVINのレベルはVPである。

【0063】

次に、ランプ信号生成回路53は、ランプ信号RMPをスイッチS4を介してキャパシタC3へ出力する。そうすると、ランプ信号RMPのレベル上昇に従ってキャパシタC3の充電電圧レベルすなわちノードVINのレベルがVPから上昇する。そして、ノードVINのレベルがNOT回路A1の閾値電圧すなわちレベルVRSを超えると、NOT回路A1およびA2の出力信号の論理レベルが反転する。これにより、ラッチ信号が出力される、すなわちノードVLATCHのレベルが論理ローレベルから論理ハイレベルに遷移する。

40

【0064】

また、カウンタ52は、ランプ信号生成回路53によるランプ信号RMPの出力開始に同期してカウントを開始し、たとえば10ビットのカウント信号CNTをラッチLT1へ出力する。

【0065】

50

ラッチ L T 1 は、ノード V L A T C H のレベルが論理ローレベルから論理ハイレベルに遷移すると、カウンタ 5 2 から受けたカウント信号をラッチする、すなわちこのカウント信号 C N T が示すカウント値を保持し、フォトダイオード P D の受光量として出力する。

【 0 0 6 6 】

ここで、各光 / 電気変換回路 P D U 間で制御線 A D R および R S は、異なるタイミングでアサートされる。このような構成により、光 / 電気変換回路 P D U 1 ~ P D U n におけるピーク電流を小さくすることができる。しかしながら、フォトダイオード P D によって蓄えられた電荷をノード F D に伝達し、列信号線 C L へ画素信号を出力するタイミングを規定する制御線 T G をアサートするタイミングは各光 / 電気変換回路 P D U 間で共通に設定する。このような構成により、画質の劣化を防ぐことができる。

10

【 0 0 6 7 】

また、複数列のうちのいずれか 1 列に対応するアナログ / デジタル変換部 5 1 に含まれるスイッチ S 1 ~ S 4 と他の列に対応するアナログ / デジタル変換部 5 1 に含まれるスイッチ S 1 ~ S 4 とを、異なるタイミングでオン・オフする。たとえば、図 3 に示すような回路を用いることにより、時間差をもって順番にアサートされるタイミング信号を各アナログ / デジタル変換部 5 1 のスイッチへそれぞれ出力する。このような構成により、複数列における各アナログ / デジタル変換部 5 1 によるピーク電流を小さくすることができる。

【 0 0 6 8 】

図 7 は、本発明の実施の形態に係る撮像装置が備える複数個のアナログ / デジタル変換回路におけるランプ信号およびカウント信号の波形図である。

20

【 0 0 6 9 】

図 7 を参照して、ランプ信号生成回路 5 3 およびカウンタ 5 2 は、複数列のうちのいずれか 1 列に対応するアナログ / デジタル変換回路 A D へランプ信号 R M P 1 およびカウント信号 C N T 1 を出力し、他の列に対応するアナログ / デジタル変換回路 A D へランプ信号 R M P 2 およびカウント信号 C N T 2 を出力する。

【 0 0 7 0 】

ラッチ L T 1 は、たとえば 1 0 ビットのデータをラッチするため、複数個のラッチ L T 1 が同時に動作した場合に発生するノイズは他の回路と比べて大きい。本発明の実施の形態に係る撮像装置では、上記のような構成により、ラッチ L T 1 の動作タイミングを各アナログ / デジタル変換回路 A D 間で分散させることができるため、ノイズを大幅に低減することができる。

30

【 0 0 7 1 】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【 図面の簡単な説明 】

【 0 0 7 2 】

【 図 1 】 本発明の実施の形態に係る信号処理回路の構成を示す図である。

40

【 図 2 】 本発明の実施の形態に係る信号処理回路における各回路の動作タイミングを示すタイミングチャートである。

【 図 3 】 各タイミング回路を起動するための信号を生成する構成の一例を示す図である。

【 図 4 】 本発明の実施の形態に係る信号処理回路におけるノイズ低減効果を示す図である。

【 図 5 】 本発明の実施の形態に係る撮像装置の構成を示す図である。

【 図 6 】 本発明の実施の形態に係る撮像装置の動作を示す波形図である。

【 図 7 】 本発明の実施の形態に係る撮像装置が備える複数個のアナログ / デジタル変換回路におけるランプ信号およびカウント信号の波形図である。

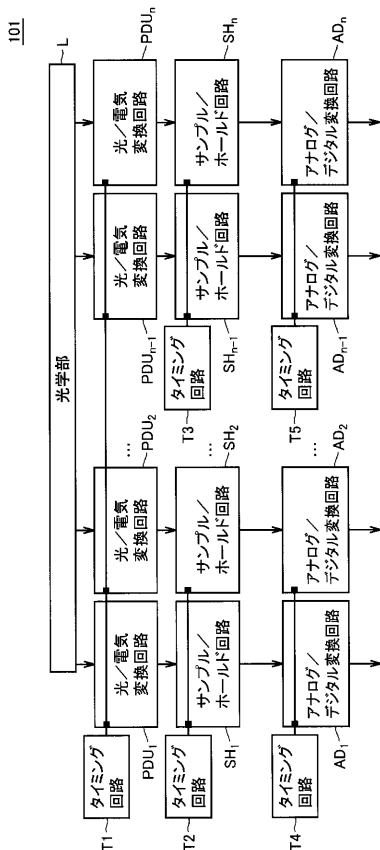
【 符号の説明 】

50

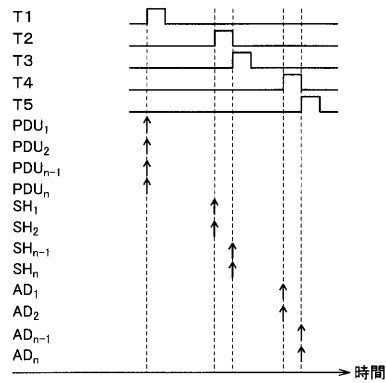
【 0 0 7 3 】

5 1 アナログ/デジタル変換部、5 2 カウンタ、5 3 ランプ信号生成回路、6 1
 ラッチ信号生成回路、1 0 1 信号処理回路、2 0 1 撮像装置、L 光学部、P D U
 1 ~ P D U n 光/電気変換回路、S H 1 ~ S H n サンプル&ホールド回路、A D 1 ~
 A D n アナログ/デジタル変換回路、T 1 ~ T 5 タイミング回路、V S 基準電圧発
 生回路、R S , A D R , T G 制御線、C L 列信号線、P D フォトダイオード(撮像
 素子)、M 1 ~ M 4 NチャンネルM O S トランジスタ、S 1 ~ S 4 スイッチ、C 1 ~ C
 3 キャパシタ、L T 1 ラッチ、A 1 , A 2 N O T 回路。

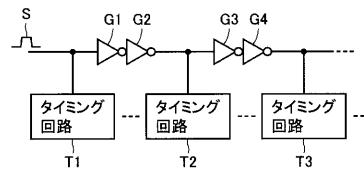
【 図 1 】



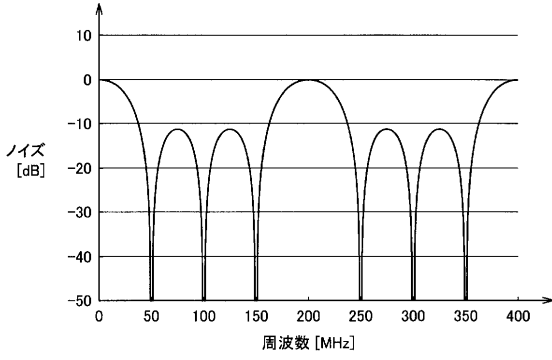
【 図 2 】



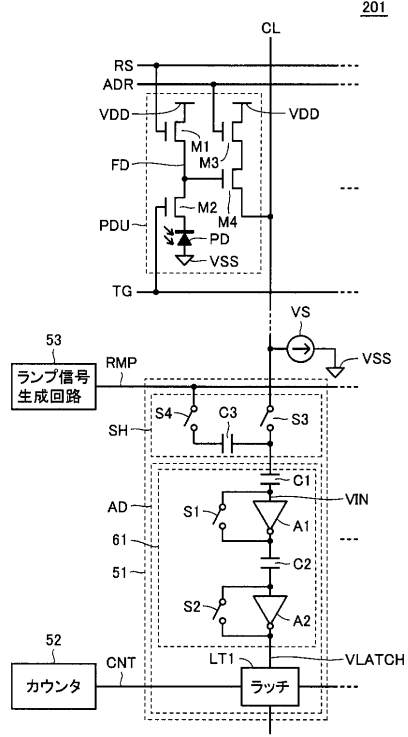
【 図 3 】



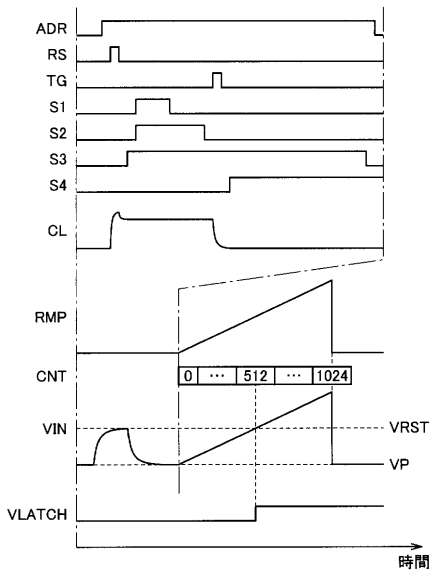
【 図 4 】



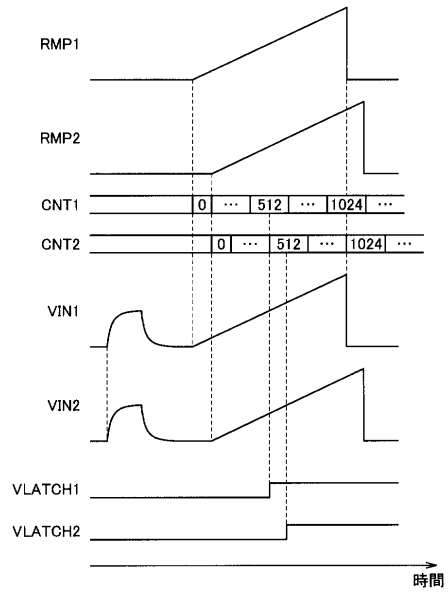
【 図 5 】



【 図 6 】



【 図 7 】



フロントページの続き

(74)代理人 100111246

弁理士 荒川 伸夫

(72)発明者 久保田 英正

大阪府大阪市阿倍野区長池町2-2番2-2号 シャープ株式会社内

Fターム(参考) 5C024 AX01 BX01 CY16 GX03 GY31 HX03 HX13 HX23 HX41 JX41