



(12) 实用新型专利

(10) 授权公告号 CN 214954954 U

(45) 授权公告日 2021. 11. 30

(21) 申请号 202120105754.9

(22) 申请日 2021.01.14

(73) 专利权人 普联国际有限公司

地址 中国香港九龙尖沙咀科学馆路9号新
东海中心9楼901室

(72) 发明人 李金明

(74) 专利代理机构 广州三环专利商标代理有限
公司 44202

代理人 麦小婵 郝传鑫

(51) Int. Cl.

G06F 13/40 (2006.01)

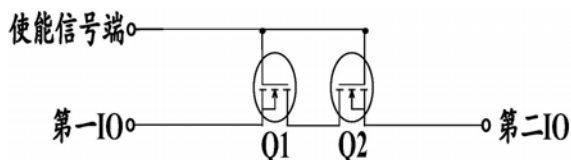
权利要求书1页 说明书5页 附图3页

(54) 实用新型名称

热插拔保护电路及板卡

(57) 摘要

本实用新型涉及热插拔技术领域,公开了一种热插拔保护电路及板卡,所述热插拔电路包括第一MOS管以及第二MOS管;其中,所述第一MOS管的源极与被保护的第一IO连接,所述第一MOS管的栅极与使能信号端连接,所述第一MOS管的漏极与所述第二MOS管的漏极连接;所述第二MOS管的栅极与所述第一MOS管的栅极连接,所述第二MOS管的源极与第二IO连接。本实用新型实施例提供的一种热插拔保护电路及板卡,能够防止板卡在热插拔时IO上电时序错误。



1. 一种热插拔保护电路,其特征在于,包括第一MOS管以及第二MOS管;其中,所述第一MOS管的源极与被保护的第一IO连接,所述第一MOS管的栅极与使能信号端连接,所述第一MOS管的漏极与所述第二MOS管的漏极连接;

所述第二MOS管的栅极与所述第一MOS管的栅极连接,所述第二MOS管的源极与第二IO连接。

2. 根据权利要求1所述的热插拔保护电路,其特征在于,还包括第一二极管;其中,所述第一二极管的负极与所述第二IO连接,所述第一二极管的正极接地。

3. 根据权利要求1所述的热插拔保护电路,其特征在于,还包括双二极管钳位电路;其中,所述双二极管钳位电路的第一端与所述第二IO连接,所述双二极管钳位电路的第二端接地,所述双二极管钳位电路的第三端与电压源连接。

4. 根据权利要求1所述的热插拔保护电路,其特征在于,还包括第一压敏电阻;其中,所述第一压敏电阻的一端与所述第二IO连接,所述第一压敏电阻的另一端接地。

5. 根据权利要求1至4任一项所述的热插拔保护电路,其特征在于,还包括第一电阻;其中,所述第一MOS管的栅极通过所述第一电阻与所述使能信号端连接。

6. 根据权利要求5所述的热插拔保护电路,其特征在于,还包括第三MOS管、第四MOS管以及第五MOS管;其中,

所述第三MOS管的栅极通过所述第一电阻与所述使能信号端连接,所述第三MOS管的源极接地,所述第三MOS管的漏极与所述第五MOS管的栅极连接;

所述第四MOS管的栅极与所述第三MOS管的漏极连接,所述第四MOS管的源极与所述第一IO连接,所述第四MOS管的漏极与所述第五MOS管的漏极连接;

所述第五MOS管的源极与所述第二IO连接。

7. 根据权利要求6所述的热插拔保护电路,其特征在于,还包括第二电阻;其中,所述第三MOS管的漏极通过所述第二电阻与所述第二IO连接。

8. 根据权利要求6所述的热插拔保护电路,其特征在于,还包括第三电阻、第二二极管以及第三二极管;其中,

所述第三电阻的一端与所述第三MOS管的漏极连接,所述第三电阻的另一端与所述第二二极管的负极连接;

所述第二二极管的正极与所述第一IO连接;

所述第三二极管的正极与所述第二IO连接,所述第三二极管的负极与所述第三电阻的另一端连接。

9. 根据权利要求6所述热插拔保护电路,其特征在于,所述第一MOS管为NMOS管,所述第二MOS管为NMOS管,所述第三MOS管为NMOS管,所述第四MOS管为PMOS管,所述第五MOS管为PMOS管。

10. 一种板卡,其特征在于,包括如权利要求1至9任一项所述的热插拔保护电路。

热插拔保护电路及板卡

技术领域

[0001] 本实用新型涉及热插拔技术领域,特别是涉及一种热插拔保护电路及板卡。

背景技术

[0002] 对于机框式设备,各模块板卡都需要支持插拔更换,甚至要求带电热插拔,在插拔过程中,对于模块间的互连IO,主要存在以下几方面的影响:IO上电时序错误,在板卡插入后的很短时间内,由于新模块的系统供电不会马上开始工作,所以板内芯片系统还没有供电,但外部互连IO已经存在来自其他模块的电压,这就导致了IO先于芯片系统上电的问题。很多芯片都要求芯片上电前IO不能有电平过来,否则该电平会倒灌到芯片供电,引起上电时序错误,甚至损坏芯片IO。

[0003] 为了解决上述问题,目前基本上是采用长短针+TVS(Transient Voltage Suppressor,瞬态电压抑制二极管)来进行规避。其中,长短针是把连接器的GND引脚做得比其他信号引脚长,这样在插入时,地线会首先连上,在拔出时地线最后脱离,以实现在信号线接触前平衡两边系统的电平,避免只有信号线相连的情况,防止ESD和浪涌冲击损坏IO。

[0004] 采用长短针+TVS的方式,虽然对由于两边板卡的系统电平或者静电积累不平衡导致的ESD和浪涌冲击有显著的改善效果,但对于一些具有热插拔功能,并且有电源缓启功能的板卡,长短针的设计并不能有效地防止IO上电时序错误的问题。

实用新型内容

[0005] 本实用新型实施例所要解决的技术问题是:提供一种热插拔保护电路及板卡,防止板卡在热插拔时IO上电时序错误。

[0006] 为了解决上述技术问题,第一方面,本实用新型实施例提供一种热插拔保护电路,包括第一MOS管以及第二MOS管;其中,

[0007] 所述第一MOS管的源极与被保护的第一IO连接,所述第一MOS管的栅极与使能信号端连接,所述第一MOS管的漏极与所述第二MOS管的漏极连接;

[0008] 所述第二MOS管的栅极与所述第一MOS管的栅极连接,所述第二MOS管的源极与第二IO连接。

[0009] 作为一个优选方案,所述热插拔保护电路还包括第一二极管;其中,所述第一二极管的负极与所述第二IO连接,所述第一二极管的正极接地。

[0010] 作为一个优选方案,所述热插拔保护电路还包括双二极管钳位电路;其中,所述双二极管钳位电路的第一端与所述第二IO连接,所述双二极管钳位电路的第二端接地,所述双二极管钳位电路的第三端与电压源连接。

[0011] 作为一个优选方案,所述热插拔保护电路还包括第一压敏电阻;其中,所述第一压敏电阻的一端与所述第二IO连接,所述第一压敏电阻的另一端接地。

[0012] 作为一个优选方案,所述热插拔保护电路还包括第一电阻;其中,所述第一MOS管的栅极通过所述第一电阻与所述使能信号端连接。

[0013] 作为一个优选方案,所述热插拔保护电路还包括第三MOS管、第四MOS管以及第五MOS管;其中,

[0014] 所述第三MOS管的栅极通过所述第一电阻与所述使能信号端连接,所述第三MOS管的源极接地,所述第三MOS管的漏极与所述第五MOS管的栅极连接;

[0015] 所述第四MOS管的栅极与所述第三MOS管的漏极连接,所述第四MOS管的源极与所述第一IO连接,所述第四MOS管的漏极与所述第五MOS管的漏极连接;

[0016] 所述第五MOS管的源极与所述第二IO连接。

[0017] 作为一个优选方案,所述热插拔保护电路还包括第二电阻;其中,所述第三MOS管的漏极通过所述第二电阻与所述第二IO连接。

[0018] 作为一个优选方案,所述热插拔保护电路还包括第三电阻、第二二极管以及第三二极管;其中,

[0019] 所述第三电阻的一端与所述第三MOS管的漏极连接,所述第三电阻的另一端与所述第二二极管的负极连接;

[0020] 所述第二二极管的正极与所述第一IO连接;

[0021] 所述第三二极管的正极与所述第二IO连接,所述第三二极管的负极与所述第三电阻的另一端连接。

[0022] 作为一个优选方案,所述第一MOS管为NMOS管,所述第二MOS管为NMOS管,所述第三MOS管为NMOS管,所述第四MOS管为PMOS管,所述第五MOS管为PMOS管。

[0023] 为了解决上述技术问题,第二方面,本实用新型实施例提供一种板卡,所述板卡包括如第一方面任一项所述的热插拔保护电路。

[0024] 与现有技术相比,本实用新型提供的一种热插拔保护电路及板卡,其有益效果在于:通过MOS管实现板内IO(第一IO)和对外IO(第二IO)的隔离,能够防止板卡在热插拔时IO上电时序错误;适用于热插拔的IO上电时序控制,能够保护IO不被ESD打坏,避免IO先于芯片系统供电上电;同时也适用于板内或者板间的不同芯片系统的互连IO上电时序控制,能够避免不同芯片系统由于上电时序不同、上下电控制不同等原因导致的IO上电异常、台阶、不单调等问题,提高芯片系统的可靠性。

附图说明

[0025] 为了更清楚地说明本实用新型实施例的技术特征,下面将对本实用新型实施例中所需要使用的附图做简单地介绍,显而易见地,下面所描述的附图仅仅是本实用新型的一些实施例,对于本领域技术人员来说,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0026] 图1是本实用新型提供的一种热插拔保护电路的第一实施例的电路示意图;

[0027] 图2是本实用新型提供的一种热插拔保护电路的第二实施例的电路示意图;

[0028] 图3是本实用新型提供的一种热插拔保护电路的第三实施例的电路示意图;

[0029] 图4是本实用新型提供的一种热插拔保护电路的第四实施例的电路示意图;

[0030] 图5是本实用新型提供的一种热插拔保护电路的第五实施例的电路示意图;

[0031] 图6是本实用新型提供的一种热插拔保护电路的第六实施例的电路示意图;

[0032] 图7是本实用新型提供的一种热插拔保护电路的上电时序示意图。

具体实施方式

[0033] 为了对本实用新型的技术特征、目的、效果有更加清楚的理解,下面结合附图和实施例,对本实用新型的具体实施方式作进一步详细描述。以下实施例仅用于说明本实用新型,但是不用来限制本实用新型的保护范围。基于本实用新型的实施例,本领域技术人员在没有付出创造性劳动的前提下所获得的其他实施例,都应属于本实用新型的保护范围。

[0034] 在本实用新型的描述中,应当理解的是,本文中的编号本身,例如“第一”、“第二”等,仅用于区分所描述的对象,不具有顺序或者技术含义,不能理解为规定或者暗示所描述的对象的重要性。

[0035] 在本实用新型的描述中,需要说明的是,除非另有明确的规定和限定,术语“安装”、“相连”、“连接”应做广义理解,例如,可以是固定连接,也可以是可拆卸连接,或一体地连接;可以是机械连接,也可以是电连接;可以是直接相连,也可以通过中间媒介间接相连,可以是两个元件内部的连通。对于本领域的普通技术人员而言,可以具体情况理解上述术语在本实用新型中的具体含义。

[0036] 图1所示为本实用新型提供了一种热插拔保护电路的第一实施例的电路示意图。

[0037] 如图1所示,所述热插拔保护电路包括第一MOS管Q1以及第二MOS管Q2;其中,

[0038] 所述第一MOS管Q1的源极与被保护的第一IO连接,所述第一MOS管Q1的栅极与使能信号端连接,所述第一MOS管Q1的漏极与所述第二MOS管Q2的漏极连接;

[0039] 所述第二MOS管Q2的栅极与所述第一MOS管Q1的栅极连接,所述第二MOS管Q2的源极与第二IO连接。

[0040] 其中,本实用新型的热插拔保护电路应用于板卡之中,在板卡插入或者拔出系统(例如,计算机的主板)时起到保护作用。则,所述第一IO为板卡的板内IO,所述第二IO为板卡的对外IO。

[0041] 进一步的,所述使能信号端的使能电路可以是CPU的GPIO,或者直接连接到系统供电。

[0042] 本实施例提供的热插拔保护电路,通过一组背对背MOS管实现隔离电路,MOS管的栅极连接到使能信号端,使能信号为低电平时,第一IO与第二IO处于隔离状态,任何一方的电压都不会传输到另一方;当使能信号变为高电平后,第一IO和第二IO就可以实现电平同步,能够防止板卡在热插拔时IO上电时序错误。该热插拔保护电路可以实现开漏型IO保护,支持实时双向通信,适用于绝大多数IO应用。

[0043] 图2所示为本实用新型提供了一种热插拔保护电路的第二实施例的电路示意图。

[0044] 如图2所示,在第一实施例的基础上,所述热插拔保护电路还包括第一二极管D1;其中,所述第一二极管D1的负极与所述第二IO连接,所述第一二极管D1的正极接地。

[0045] 其中,所述第一二极管D1为瞬态电压抑制二极管,实现热插拔保护电路的ESD和浪涌保护。

[0046] 可以理解的,实现热插拔保护电路的ESD和浪涌保护还可以使用其他形式的保护器件进行替代,例如,双二极管钳位电路、压敏电阻等。

[0047] 则,在另一个优选实施例中,所述热插拔保护电路还包括双二极管钳位电路;其中,所述双二极管钳位电路的第一端与所述第二IO连接,所述双二极管钳位电路的第二端接地,所述双二极管钳位电路的第三端与电压源连接。

[0048] 在又一个优选实施例中,所述热插拔保护电路还包括第一压敏电阻;其中,所述第一压敏电阻的一端与所述第二I0连接,所述第一压敏电阻的另一端接地。

[0049] 图3所示为本实用新型提供的一种热插拔保护电路的第三实施例的电路示意图。

[0050] 如图3所示,在第二实施例的基础上,所述热插拔保护电路还包括第一电阻R1;其中,所述第一MOS管Q1的栅极通过所述第一电阻R1与所述使能信号端连接。

[0051] 其中,所述第一电阻R1能够对所述第一MOS管Q1和所述第二MOS管Q2的栅极起到保护作用。

[0052] 图4所示为本实用新型提供的一种热插拔保护电路的第四实施例的电路示意图。

[0053] 如图4所示,在第三实施例的基础上,所述热插拔保护电路还包括第三MOS管Q3、第四MOS管Q4以及第五MOS管Q5;其中,

[0054] 所述第三MOS管Q3的栅极通过所述第一电阻R1与所述使能信号端连接,所述第三MOS管Q3的源极接地,所述第三MOS管Q3的漏极与所述第五MOS管Q5的栅极连接;

[0055] 所述第四MOS管Q4的栅极与所述第三MOS管Q3的漏极连接,所述第四MOS管Q4的源极与所述第一I0连接,所述第四MOS管Q4的漏极与所述第五MOS管Q5的漏极连接;

[0056] 所述第五MOS管Q5的源极与所述第二I0连接。

[0057] 本实施例提供的热插拔保护电路,通过两组MOS管实现隔离电路,其中,第一MOS管Q1和第二MOS管Q2为NMOS管,第四MOS管Q4和第五MOS管Q5为PMOS管;第三MOS管Q3为NMOS管,作为使能信号翻转。该热插拔保护电路适用于推挽驱动型I0隔离,并且支持实时双向通信。

[0058] 其具体的工作原理如下:

[0059] 1、当使能信号为低电平时:第一MOS管Q1、第二MOS管Q2、第三MOS管Q3处于截止状态;第四MOS管Q4、第五MOS管Q5的栅极处于悬空(或上拉)状态,所以第四MOS管Q4、第五MOS管Q5也处于截止状态;

[0060] 2、当使能信号为高电平时:第一MOS管Q1、第二MOS管Q2的栅极为高电平,第三MOS管Q3处于导通状态,第四MOS管Q4、第五MOS管Q5的栅极为低电平,这时:

[0061] a、如果第二I0为低电平,则第一MOS管Q1、第二MOS管Q2导通;第四MOS管Q4、第五MOS管Q5截止;

[0062] b、如果第二I0为高电平,则第四MOS管Q4、第五MOS管Q5导通、第一MOS管Q1、第二MOS管Q2截止。

[0063] 由此可见,当使能信号为高电平时,无论第二I0是高电平还是低电平,总有一组MOS管处于导通状态。

[0064] 图5所示为本实用新型提供的一种热插拔保护电路的第五实施例的电路示意图。

[0065] 如图5所示,在第四实施例的基础上,所述热插拔保护电路还包括第二电阻R2;其中,所述第三MOS管Q3的漏极通过所述第二电阻R2与所述第二I0连接。

[0066] 其中,第二电阻R2的作用是为第四MOS管Q4、第五MOS管Q5的栅极提供上拉电平,提高抗干扰能力。

[0067] 图6所示为本实用新型提供的一种热插拔保护电路的第六实施例的电路示意图。

[0068] 如图6所示,在第四实施例的基础上,所述热插拔保护电路还包括第三电阻R3、第二二极管D2以及第三二极管D3;其中,

[0069] 所述第三电阻R3的一端与所述第三MOS管Q3的漏极连接,所述第三电阻R3的另一

端与所述第二二极管D2的负极连接；

[0070] 所述第二二极管D2的正极与所述第一IO连接；

[0071] 所述第三二极管D3的正极与所述第二IO连接，所述第三二极管D3的负极与所述第三电阻R3的另一端连接。

[0072] 其中，第三电阻R3、第二二极管D2以及第三二极管D3的作用是为第四MOS管Q4、第五MOS管Q5的栅极提供上拉电平，提高抗干扰能力。

[0073] 图7所示为本实用新型提供的一种热插拔保护电路的上电时序示意图。

[0074] 如图7所示，一般热插拔的初始化过程都能分为三个阶段，分别是插入阶段、上电阶段和工作阶段。其中，

[0075] 在插入阶段，芯片系统还没有供电，使能信号为低电平。对于第二IO（对外IO），插入瞬间会存在一个电压幅度很高，持续时间很短的ESD脉冲；加入保护电路后，该脉冲将会被ESD保护二极管压制在比正常工作电压高大约20%的位置，避免击穿MOS管。由于使能信号为低电平，第一IO与第二IO仍然处于断开状态，第一IO（板内IO）维持零电平，避免IO先于芯片系统供电上电，ESD放电能量也不会进入到芯片系统中。

[0076] 在上电阶段，芯片系统供电开始上电，第一IO将会依芯片系统的初始化电平配置，变为高电平或者低电平。但由于此时使能信号还是低电平，第一IO与第二IO仍然处于断开状态，并不会同步电平变化。

[0077] 在正常工作阶段，使能信号变为高电平，第二IO与第一IO打通连接，两边实现电平同步变化，正常通信。

[0078] 由此可见，本实用新型可以在芯片系统上电前隔离所有外部IO干扰，包括ESD、浪涌和电压，保护IO不被打坏，同时保证芯片系统IO上电时序满足系统的要求。

[0079] 本实用新型适用于热插拔的IO上电时序控制，能够保护IO不被ESD打坏，避免IO先于芯片系统供电上电；同时也适用于板内或者板间的不同芯片系统的互连IO上电时序控制，能够避免不同芯片系统由于上电时序不同、上下电控制不同等原因导致的IO上电异常、台阶、不单调等问题，提高芯片系统的可靠性。

[0080] 相应的，本实用新型实施例还提供一种板卡，所述板卡包括上述任一实施例所述的热插拔保护电路。

[0081] 以上所述，仅是本实用新型的优选实施方式，但本实用新型的保护范围并不局限于此，应当指出，对于本领域技术人员来说，在不脱离本实用新型技术原理的前提下，还可以做出若干等效的明显变型方式和/或等同替换方式，这些明显变型方式和/或等同替换方式也应视为本实用新型的保护范围。

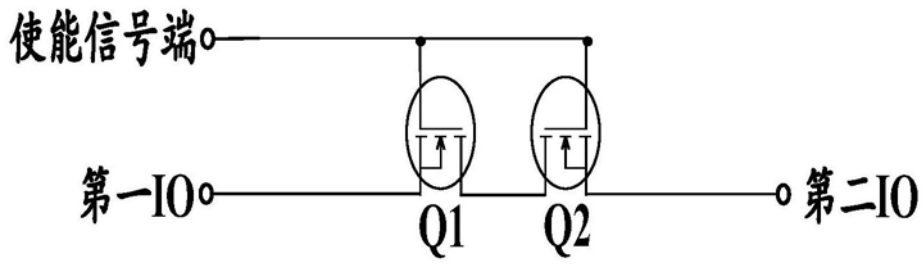


图1

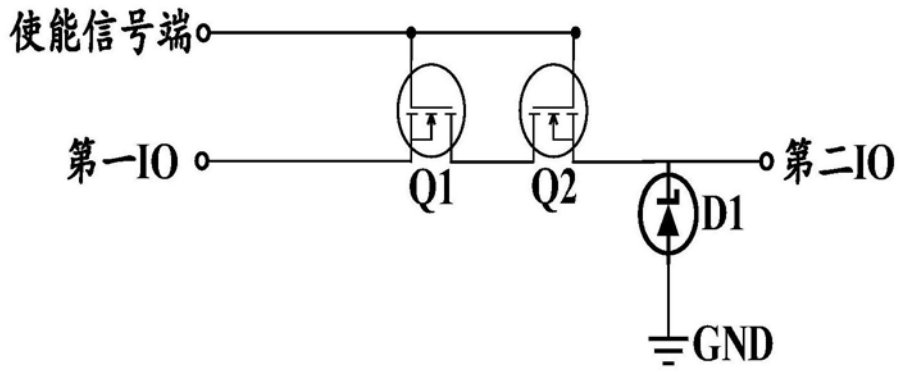


图2

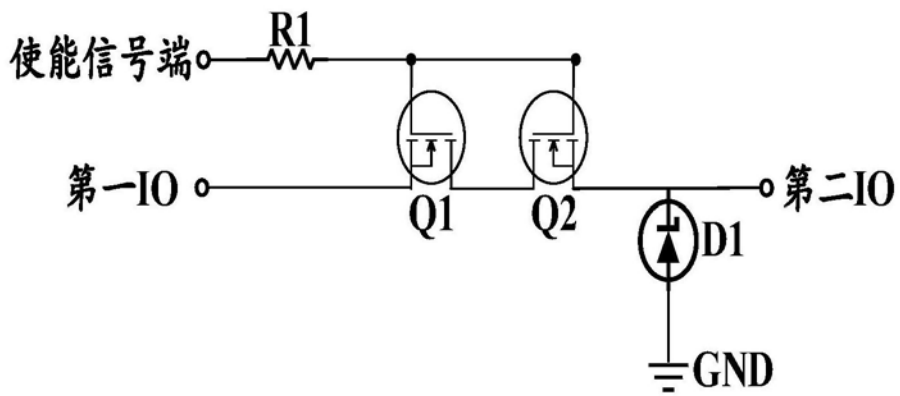


图3

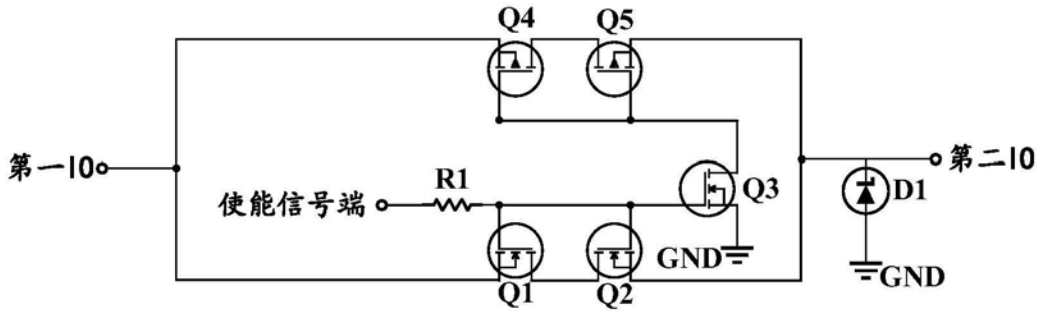


图4

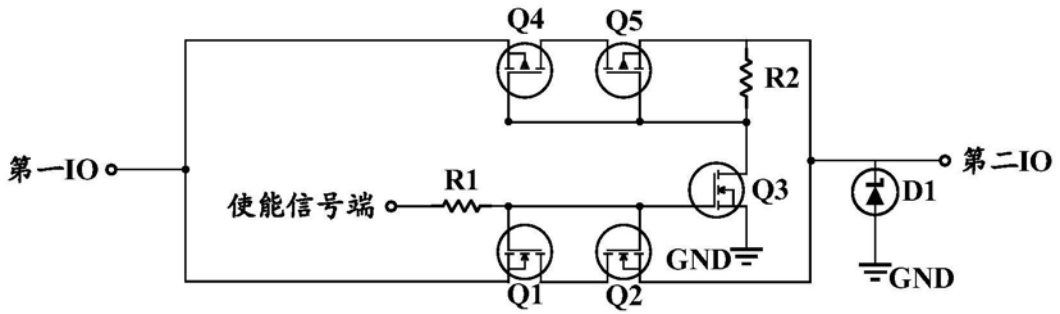


图5

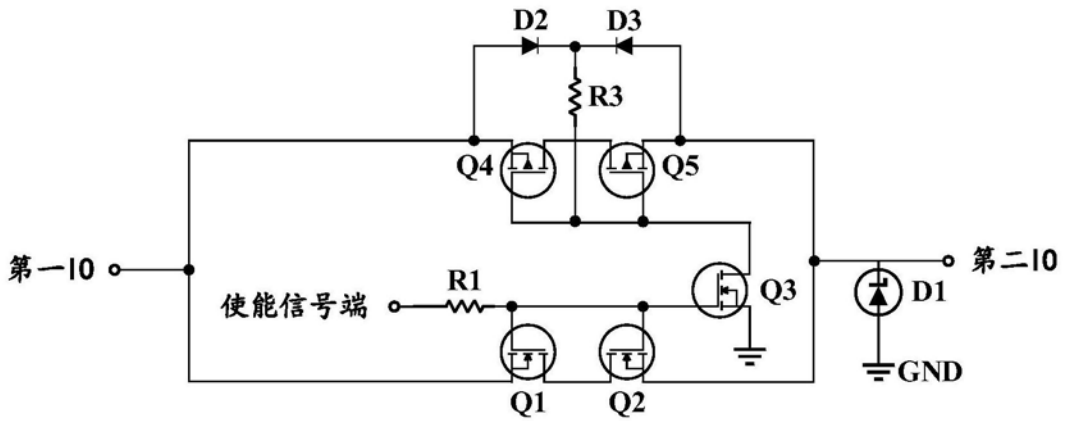


图6

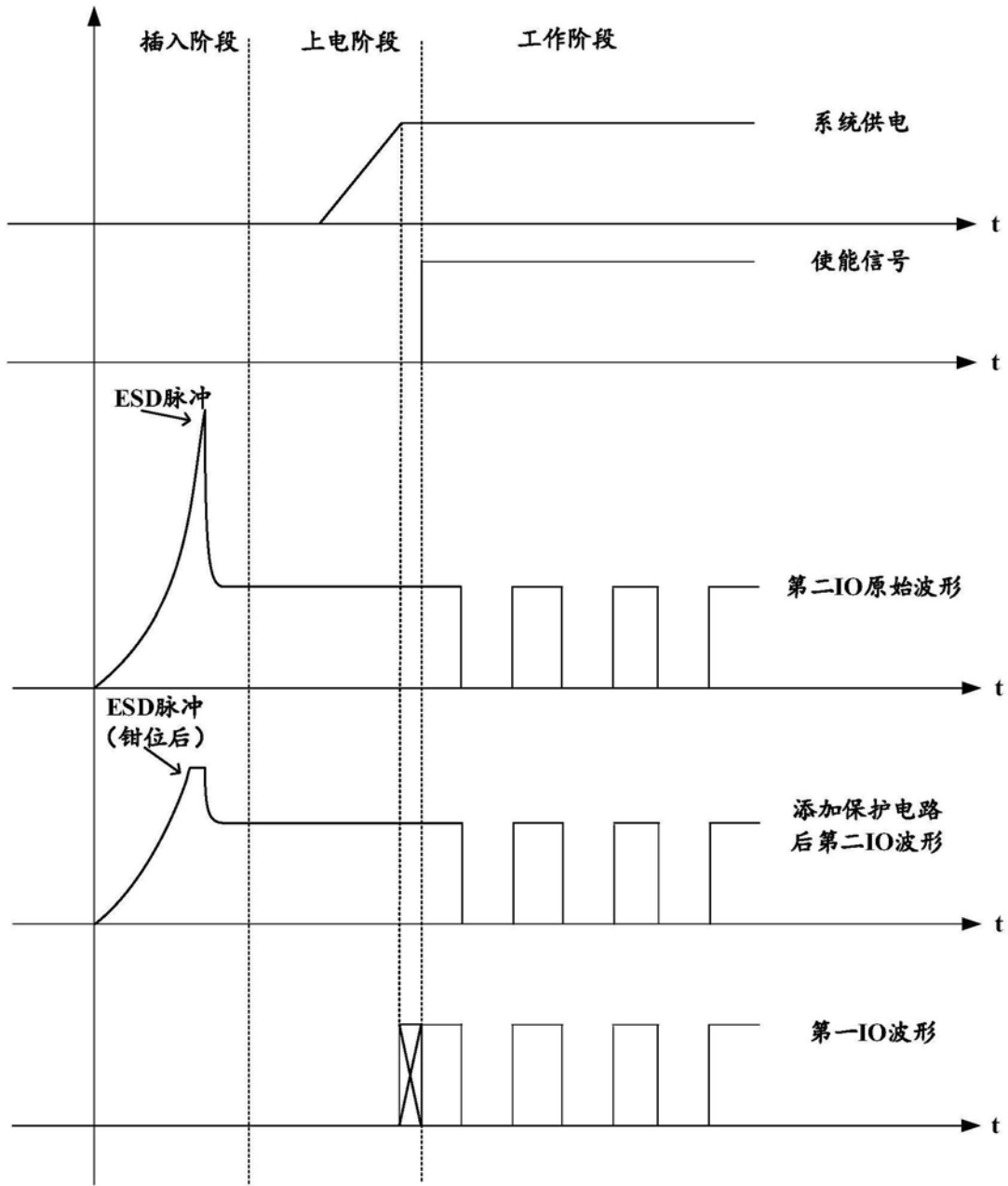


图7