

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-95861

(P2004-95861A)

(43) 公開日 平成16年3月25日(2004.3.25)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
HO 1 L 27/105	HO 1 L 27/10 4 4 4 B	5 F 0 8 3
HO 1 L 27/10	HO 1 L 27/10 4 8 1	

審査請求 未請求 請求項の数 10 O L (全 34 頁)

(21) 出願番号	特願2002-255036 (P2002-255036)	(71) 出願人	000005223 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1番1号
(22) 出願日	平成14年8月30日 (2002.8.30)	(74) 代理人	100091672 弁理士 岡本 啓三
		(72) 発明者	佐次田 直也 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		Fターム(参考)	5F083 AD21 AD49 FR02 GA27 JA14 JA15 JA17 JA33 JA35 JA36 JA37 JA38 JA39 JA40 JA43 KA01 KA05 MA06 MA16 MA19 NA01 PR03 PR06 PR21 PR34 PR39 PR40 PR43 PR44 PR45 PR46 PR53 PR54 PR55 PR56

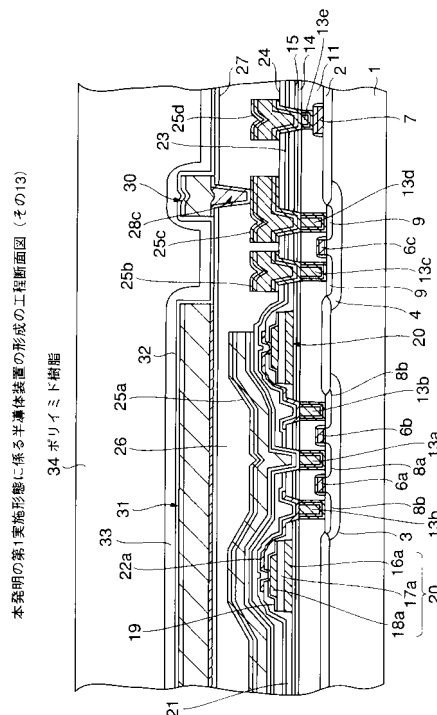
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 層間絶縁膜に覆われるキャパシタの特性を良好にすることができる半導体装置及びその製造方法を提供すること。

【解決手段】 シリコン基板(半導体基板) 1の上方に形成された第1の層間絶縁膜(第1絶縁膜)と、第1の層間絶縁膜11上に形成され且つ下部電極16a、誘電体膜17a及び上部電極18aを有するキャパシタ20と、キャパシタ20及び第1層間絶縁膜11の上方に形成された第4の層間絶縁膜(第2絶縁膜)26と、キャパシタ20及びその周辺の上方であって第4の層間絶縁膜26の上に形成され且つ第4の層間絶縁膜26とは逆の方向の応力を有する金属パターン31とを有することを特徴とする半導体装置による。

【選択図】 図13



【特許請求の範囲】

【請求項 1】

半導体基板の上方に形成された第 1 絶縁膜と、
前記第 1 絶縁膜上に形成され且つ下部電極、誘電体膜及び上部電極を有するキャパシタと、
前記キャパシタ及び前記第 1 絶縁膜の上方に形成された第 2 絶縁膜と、
前記キャパシタ及びその周辺の上方であって前記第 2 絶縁膜の上に形成され且つ前記第 2 絶縁膜とは逆の方向の応力を有する金属パターンとを有することを特徴とする半導体装置。

【請求項 2】

半導体基板の上方に形成された第 1 絶縁膜と、
前記第 1 絶縁膜上に形成され且つ下部電極、誘電体膜及び上部電極を有するキャパシタと、
前記キャパシタ及び前記第 1 絶縁膜の上方に形成された第 2 絶縁膜と、
前記キャパシタ及びその周辺の上方における前記第 2 絶縁膜に形成された溝と、
前記溝に形成され、前記第 2 絶縁膜とは逆の方向の応力を有する金属パターンと、
を有することを特徴とする半導体装置。

【請求項 3】

前記キャパシタはセル領域に複数形成され、前記金属パターンは前記セル領域の全体を覆うことを特徴とする請求項 1 又は請求項 2 に記載の半導体装置。

【請求項 4】

前記金属パターンは前記セル領域よりも広く形成されていることを特徴とする請求項 1 乃至請求項 3 のいずれか一項に記載の半導体装置。

【請求項 5】

前記金属パターンの前記応力は引張応力であることを特徴とする請求項 1 乃至請求項 4 のいずれか一項に記載の半導体装置。

【請求項 6】

半導体基板の上方に第 1 絶縁膜を形成する工程と、
前記第 1 絶縁膜の上に、下部電極、誘電体膜及び上部電極を有するキャパシタをセル領域に複数形成する工程と、
前記キャパシタ及び前記第 1 絶縁膜の上方に第 2 絶縁膜を形成する工程と、
前記第 2 絶縁膜の上に金属膜を形成する工程と、
前記金属膜をパターンニングして前記セル領域を覆う金属パターンを形成する工程と、
前記金属パターンの形成の前又は後に、前記金属膜の融点以下で前記金属膜を加熱することにより前記金属膜の応力を変化させる工程とを有することを特徴とする半導体装置の製造方法。

【請求項 7】

半導体基板の上方に第 1 絶縁膜を形成する工程と、
前記第 1 絶縁膜の上に、下部電極、誘電体膜及び上部電極を有するキャパシタをセル領域に複数形成する工程と、
前記キャパシタ及び前記第 1 絶縁膜の上方に第 2 絶縁膜を形成する工程と、
前記セル領域を覆う溝を前記第 2 絶縁膜に形成する工程と、
前記溝を埋める厚さの金属膜を該溝内と前記第 2 絶縁膜上とに形成する工程と、
前記第 2 絶縁膜上の前記金属膜を除去すると共に、該金属膜を前記溝内に残して金属パターンとする工程と、
前記金属パターンの形成の前又は後に、前記金属膜の融点以下で前記金属膜を加熱することにより前記金属膜の応力を変化させる工程とを有することを特徴とする半導体装置の製造方法。

【請求項 8】

前記金属膜の加熱により、前記金属膜の応力は前記第 2 絶縁膜の応力とは逆の応力に変化

10

20

30

40

50

されることを特徴とする請求項 6 又は請求項 7 に記載の半導体装置の製造方法。

【請求項 9】

前記金属膜の加熱により、前記金属膜の応力は引張応力に変化されることを特徴とする請求項 8 に記載の半導体装置の製造方法。

【請求項 10】

前記第 2 絶縁膜は、圧縮応力を有することを特徴とする請求項 6 乃至請求項 9 のいずれか一項に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置及びその製造方法に関し、より詳しくは、キャパシタを有する半導体装置及びその製造方法に関する。

【0002】

【従来技術】

電源を切っても情報を記憶することができる不揮発性メモリとして、フラッシュメモリや強誘電体メモリ (F e R A M) が知られている。

【0003】

フラッシュメモリは、絶縁ゲート型電界効果トランジスタ (I G F E T) のゲート絶縁膜中に埋め込んだフローティングゲートを有し、記憶情報となる電荷をフローティングゲートに蓄積することによって情報を記憶する。情報の書込、消去にはゲート絶縁膜にトンネル電流を流す必要があり、比較的高い電圧を必要とする。

【0004】

F e R A M は、強誘電体のヒステリシス特性を利用して情報を記憶する強誘電体キャパシタを有している。強誘電体キャパシタにおいて上部電極と下部電極の間に形成される強誘電体膜は、上部電極及び下部電極の間に印加する電圧値に応じて分極を生じ、印加電圧を取り去っても分極を保持する自発分極を有する。印加電圧の極性を反転すれば、自発分極の極性も反転する。この自発分極の極性、大きさを検出すれば情報を読み出すことができる。

【0005】

F e R A M は、フラッシュメモリに比べて低電圧で動作し、省電力で高速の書込ができるという利点がある。

【0006】

F e R A M のメモリセルは、例えば特開 2 0 0 1 - 6 0 6 6 9 号公報に記載されているように、シリコン基板に形成された M O S トランジスタと、シリコン基板及び M O S トランジスタ上に形成された第 1 層間絶縁膜と、第 1 層間絶縁膜上に形成された強誘電体キャパシタと、強誘電体キャパシタ及び第 1 層間絶縁膜上に形成された第 2 層間絶縁膜と、第 1 及び第 2 層間絶縁膜に形成されたホール内に埋め込まれて M O S トランジスタに接続される導電性プラグと、導電性プラグと強誘電体キャパシタの上部電極を接続する第 1 の配線パターンと、第 1 の配線パターン及び第 2 層間絶縁膜の上に形成された第 3 の層間絶縁膜と、第 3 の層間絶縁膜上に形成された第 2 の配線パターンとを有している。

【0007】

【発明が解決しようとする課題】

強誘電体キャパシタを覆う層間絶縁膜は、圧縮 (c o m p r e s s i v e) 応力が強く、自らが膨張しようとする方向の力が働く。従って、強誘電体キャパシタの上に層間絶縁膜をさらに重ねて形成する毎に、強誘電体キャパシタには収縮力が加わることになり、強誘電体キャパシタの特性を劣化させる。

【0008】

また、第 1 の配線パターンをアルミニウムから形成する場合には、第 1 の配線パターンの引っ張り力により強誘電体キャパシタの残留分極特性が劣化する。これに対して、強誘電体キャパシタを構成する強誘電体膜のキュリー点を超える温度でアルミニウム膜を加熱し

10

20

30

40

50

て引っ張り力を緩和した後に、アルミニウム膜をパターンニングして配線パターンを形成することが、特開2001-36025号公報に記載されている。

【0009】

しかし、第1の配線パターン同士の隙間には依然として層間絶縁膜が存在するので、第1の配線パターンの応力の如何に関わらず層間絶縁膜の圧縮応力が強誘電体キャパシタを劣化するという問題は残っている。

【0010】

これに対して、強誘電体キャパシタに対して引張応力となるように層間絶縁膜を形成することが特開平11-330390号公報に記載されている。しかし、引張応力を有する層間絶縁膜は水分含有量が多く、水分により強誘電体キャパシタを劣化させてしまうという別の問題が生じてしまう。

10

【0011】

本発明の目的は、層間絶縁膜に覆われるキャパシタの特性を良好にすることができる半導体装置及びその製造方法を提供することにある。

【0012】

【課題を解決するための手段】

上記した課題は、半導体基板の上方に形成された第1絶縁膜と、前記第1絶縁膜上に形成され且つ下部電極、誘電体層及び上部電極を有するキャパシタと、前記キャパシタ及び前記第1絶縁膜の上方に形成された第2絶縁膜と、前記キャパシタ及びその周辺の上方であって前記第1絶縁膜の上に形成され且つ前記第2絶縁膜とは逆の方向の応力を有する金属パターンとを有することを特徴とする半導体装置によって解決する。

20

【0013】

次に、本発明の作用について説明する。

【0014】

本発明に係る半導体装置よれば、第2絶縁膜とは逆の方向の応力を有する金属パターンを備えるので、第2絶縁膜からキャパシタに作用する応力が金属パターンの応力によって緩和され、キャパシタの強誘電体特性が向上する。しかも、金属パターンは、絶縁膜とは異なり水分が出ることがないので、水分によってキャパシタが劣化することが無い。

【0015】

そのような金属パターンは、第2絶縁膜の上に形成してもよいし、或いは、第2絶縁膜に溝を設けてそこに形成してもよい。

30

【0016】

又は、上記した課題は、半導体基板の上方に第1絶縁膜を形成する工程と、前記第1絶縁膜の上に、下部電極、誘電体層及び上部電極を有するキャパシタをセル領域に複数形成する工程と、前記キャパシタ及び前記第1絶縁膜の上方に第2絶縁膜を形成する工程と、前記第2絶縁膜の上に金属膜を形成する工程と、前記金属膜をパターンニングしてセル領域を覆う金属パターンを形成する工程と、前記金属パターンの形成の前又は後に、前記金属膜の融点以下で前記金属膜を加熱することにより前記金属膜の応力を変化させることを特徴とする半導体装置の製造方法によって解決する。

【0017】

次に、本発明の作用について説明する。

40

【0018】

本発明に係る半導体装置の製造方法によれば、金属パターンの形成の前又は後に、金属膜をその融点以下の温度に加熱することにより、該金属膜の応力を変化させるので、例えば、その金属膜の応力が第2絶縁膜の応力とは逆の応力に変化すると、第2絶縁膜の応力が金属膜によって緩和され、キャパシタの強誘電体特性が向上する。

【0019】

【発明の実施の形態】

以下に本発明の実施形態を図面に基づいて説明する。

(第1の実施の形態)

50

図1～図13は本発明の第1実施形態の半導体装置の製造方法を工程順に示す断面図である。図14は、図13の平面図である。

【0020】

まず、図1に示す断面構造を形成するまでの工程を説明する。

【0021】

図1に示すように、p型シリコン(半導体)基板1表面の一部に、LOCOS(Local Oxidation of Silicon)を素子分離絶縁膜2として形成する。素子分離絶縁膜2としてはLOCOSの他の素子分離構造、例えばSTI(Shallow Trench Isolation)を採用してもよい。

【0022】

素子分離絶縁膜2を形成した後に、シリコン基板1のメモリセル領域A、周辺回路領域Bにおける所定の活性領域にp型不純物及びn型不純物を選択的に導入して、pウェル3及びnウェル4を形成する。なお、図1には示していないが、周辺回路領域BではCMOSを形成するためにpウェルも形成される。

【0023】

その後、シリコン基板1の活性領域表面を熱酸化して、ゲート絶縁膜5としてシリコン酸化膜を形成する。

【0024】

次に、シリコン基板1の上側全面にアモルファスシリコン膜及びタングステンシリサイド膜を形成し、これらのアモルファスシリコン膜及びタングステンシリサイド膜をフォトリソグラフィ法により所定の形状にパターニングして、ゲート電極6a、6b、6c及び配線7を形成する。なお、アモルファスシリコン膜の代わりにポリシリコン膜を形成してもよい。

【0025】

メモリセル領域Aでは、1つのpウェル3上には2つのゲート電極6a、6bがほぼ平行に配置され、それらのゲート電極6a、6bはワード線WLの一部を構成する。

【0026】

次に、メモリセル領域Aのpウェル3において、ゲート電極6a、6bの両側にn型不純物をイオン注入して、nチャンネルMOSトランジスタのソース・ドレインとなるn型不純物拡散領域8a、8bを形成する。これと同時に、周辺回路領域Bのpウェル(不図示)にもn型不純物拡散領域を形成してもよい。続いて、周辺回路領域Bのnウェル4において、ゲート電極6cの両側にp型不純物をイオン注入して、pチャンネルMOSトランジスタのソース・ドレインとなるp型不純物拡散領域9を形成する。n型不純物とp型不純物の打ち分けは、レジストパターンを使用して行われる。

【0027】

その後に、シリコン基板1の全面に絶縁膜を形成した後、その絶縁膜をエッチバックしてゲート電極6a、6b、6c及び配線7の両側部分にのみサイドウォール10として残す。その絶縁膜として、例えばCVD法により酸化シリコン(SiO_2)を形成する。

【0028】

次に、プラズマCVD法によりシリコン基板1の全面に、カバー膜として酸化窒化シリコン(SiON)膜を約200nmの厚さに形成する。その後、TEOSガスを用いるプラズマCVD法により、カバー膜の上に酸化シリコン(SiO_2)を約1.0 μm の厚さに成長させる。これら SiON 膜及び SiO_2 膜により第1の層間絶縁膜(第1絶縁膜)11が構成される。なお、TEOSを用いてプラズマCVD法により形成される SiO_2 膜を、以下にTEOS膜ともいう。

【0029】

続いて、第1の層間絶縁膜11の緻密化処理として、常圧の窒素雰囲気中で第1の層間絶縁膜11を700の温度で30分間熱処理する。その後、第1の層間絶縁膜11を化学的機械研磨(Chemical Mechanical Polishing:以下、CMPという)法により研磨して第1の層間絶縁膜11上面を平坦化する。

10

20

30

40

50

【0030】

次に、フォトリソグラフィ法により、メモリセル領域Aのゲート電極6a, 6b両側のn型不純物拡散領域8a, 8bと周辺回路領域Bのp型不純物拡散層9にそれぞれ到達する深さのコンタクトホール11a~11dと、周辺回路領域Bの配線7に到達する深さのビアホール11eをそれぞれ第1の層間絶縁膜11に形成する。その後、第1の層間絶縁膜11上面とホール11a~11f内面に膜厚20nmのTi(チタン)薄膜と膜厚50nmのTiN(窒化チタン)薄膜をスパッタ法により順に形成する。さらに、CVD法によりタングステン(W)をTiN薄膜上に成長する。この結果、コンタクトホール11a~11d、ビアホール11e内にタングステン膜が埋め込まれる。

【0031】

その後、第1の層間絶縁膜11上面が露出するまでタングステン膜、TiN薄膜及びTi薄膜をCMP法により研磨する。この研磨後にホール11a~11e内に残存するタングステン膜等は、後述の配線を不純物拡散領域8a, 8b, 9と配線14に電気的接続するための導電性プラグ13a~13eとして使用される。

【0032】

メモリセル領域Aの1つのpウェル3において、2つのゲート電極6a, 6bに挟まれるn型不純物拡散領域8a上の第1の導電性プラグ13aは後述するビット線に接続され、さらに、第1の導電性プラグの両側の第2の導電性プラグ13bは後述するキャパシタに接続される。

【0033】

次に、導電性プラグ13a~13eの酸化を防止するために、プラズマCVD法により、第1の層間絶縁膜17上と導電性プラグ13a~13e上にSiON膜14を100nmの厚さに形成し、さらに、成膜ガスにTEOSを用いてSiO₂膜15を150nmの厚さに形成する。その後、SiON膜14、SiO₂膜15は脱ガスのために650~700の温度で加熱される。

【0034】

次に、図2に示す構造を形成するまでの工程を説明する。

【0035】

まず、DCスパッタ法によりSiO₂膜15上に、Ti層とPt層をそれぞれ20nmと175nmの厚さに順に堆積させて二層構造の第1の導電膜16を形成する。

【0036】

続いて、RFスパッタ法により、第1の導電膜16の上に強誘電体材料であるチタン酸ジルコン酸鉛(PZT; $Pb(Zr_{1-x}Ti_x)O_3$)を100~300nm、例えば200nmの厚さに形成してPZT膜17を形成する。

【0037】

強誘電体材料膜の形成方法としては、上記したスパッタ法の他にスピノン法、ゾル-ゲル法、MOD(Metal Organic Deposition)法、MOCVD法がある。また、強誘電体材料としてはPZTの他に、ジルコン酸チタン酸ランタン鉛(PLZT)、 $SrBi_2(Ta_xNb_{1-x})_2O_9$ (但し、 $0 < x < 1$)、 $Bi_4Ti_2O_{12}$ などがある。更に、DRAMを形成する場合には、上記の強誘電体材料に代えて(BaSr)TiO₃(BST)、チタン酸ストロンチウム(STO)等の高誘電体材料を使用すればよい。

【0038】

そして、PZT膜17の結晶化処理として、酸素雰囲気中で温度750、60秒間の条件でRTA(Rapid Thermal Annealing)を行う。

【0039】

さらに、PZT膜17の上に第2の導電膜18としてIrO_x膜をDCスパッタ法により約200nmの厚さに形成する。

【0040】

次に、図3の構造を形成するまでの工程について説明する。

10

20

30

40

50

【0041】

まず、第2の導電膜18をパターニングして上部電極18aを形成した後に、強誘電体であるPZT膜17のダメージ除去のために、例えば酸素雰囲気中で650、60分の条件でPZT膜17を回復アニールする。

【0042】

さらに、PZT膜17をパターニングして少なくとも上部電極18aの下にキャパシタの誘電体膜17aとして残した後に、酸素雰囲気中で例えば350、60分の条件で誘電体膜17aをアニールする。

【0043】

続いて、図4に示すように、上部電極18a、誘電体膜17a及び第1の導電膜16の上にスパッタにより酸化アルミニウム(Al_2O_3)よりなる第1のキャパシタ保護絶縁膜19を50nmの厚さに形成する。その後、スパッタにより受けた誘電体膜17aのダメージを緩和するために、例えば酸素雰囲気中で550、60分の条件で誘電体膜17aをアニールする。

【0044】

その後、図5に示すように、第1の導電膜16をパターニングして下部電極16aを形成する。第1のキャパシタ保護絶縁膜19は第1の導電膜16とともにパターニングされる。

【0045】

これにより、上部電極18a、誘電体膜17a及び下部電極16aにより強誘電体キャパシタ20が構成される。続いて、酸素雰囲気中で650、30分の条件で強誘電体キャパシタ20をアニールする。

【0046】

次に、図6に示す構造を形成するまでの工程を説明する。

【0047】

まず、強誘電体キャパシタ20及び SiO_2 膜15の全面に第2の層間絶縁膜21を形成する。第2の層間絶縁膜21は、最初に、TEOSを用いて形成された厚さ約480nmの絶縁膜と、その上に形成された厚さ約90nmのSOG膜の二層構造に形成される。その後、第2の層間絶縁膜21を約300nmの厚さ分程度にエッチングバックして約270nmの厚さにされる。

【0048】

その後、350の温度で N_2O ガスを用いて第2の層間絶縁膜21及びその下の各種の膜に対してプラズマアニールを行う。このプラズマアニールは、プラズマ発生装置のチャンパー内にシリコン基板1を載置し、そのチャンパー内に N_2O ガスを700sccm、 N_2 ガスを200sccmの流量でそれぞれ導入し、450以下の基板温度で1分以上の時間で第2の層間絶縁膜21及びその下の各種の膜をプラズマに曝す。これにより、第2の層間絶縁膜21の表面から深くまで窒素が入り込んで、水分の侵入が防止される。以降、この処理を N_2O プラズマ処理と呼ぶ。この実施形態では、加熱温度と加熱時間として、例えば350、2分が選択される。

【0049】

次に、図7に示す構造を形成するまでの工程を説明する。

【0050】

まず、フォトリソグラフィ法により第2の層間絶縁膜21のうち強誘電体キャパシタ20の上部電極16aの上に第1のコンタクトホール21aを形成する。同時に、図に対して垂直方向に配置される下部電極16aのコンタクト領域の上にもコンタクトホール(不図示)を形成する。その後、誘電体膜17aに対して回復アニールを実施する。具体的には、酸素雰囲気中で550の温度で60分間加熱する。

【0051】

次に、第2の層間絶縁膜21、 SiO_2 膜15、 $SiON$ 膜14をフォトリソグラフィ法によりパターニングして、メモリセル領域Aのpウェル3の両端寄りの第2の導電性ブ

ラグ 1 3 b の上にそれぞれ第 2 のコンタクトホール 2 1 b を形成して第 2 の導電性プラグ 1 3 b を露出させる。そして、第 2 の層間絶縁膜 2 1 上とコンタクトホール 2 1 a , 2 1 b 内に、膜厚 1 2 5 n m の T i N 膜をスパッタ法により形成する。続いて、その T i N 膜をフォトリソグラフィ法でパターンングすることにより、メモリセル領域 A においてコンタクトホール 2 1 a , 2 1 b を通して第 2 の導電性プラグ 1 8 b と強誘電体キャパシタ 2 0 の上部電極 1 8 a とを電氣的接続するための局所配線 2 2 a を形成する。その後、第 2 の層間絶縁膜 2 1 に対して窒素 (N ₂) 雰囲気中で 3 5 0 ° C 、 3 0 分 の条件で加熱する。

【 0 0 5 2 】

さらに、局所配線 2 2 a 及び第 2 の層間絶縁膜 2 1 の上にスパッタ法により酸化アルミニウムよりなる第 2 のキャパシタ保護絶縁膜 2 3 を 2 0 n m の厚さに形成する。 10

【 0 0 5 3 】

続いて、局所配線 2 2 a と第 2 の層間絶縁膜 2 1 の上に、T E O S ガスを使用してプラズマ C V D 法により酸化シリコン膜を約 3 0 0 n m の厚さに形成し、この酸化シリコン膜を第 3 の層間絶縁膜 2 4 とする。その後、N ₂ O プラズマ処理によって第 3 の層間絶縁膜 2 4 の改質を行う。この N ₂ O プラズマ処理の条件は、第 2 の層間絶縁膜 2 1 に対する N ₂ O プラズマ処理の条件と同じにする。

【 0 0 5 4 】

次に、図 8 に示す構造を形成するまでの工程を説明する。

【 0 0 5 5 】

まず、メモリセル領域 A における第 3 の層間絶縁膜 2 4 からその下方の S i O N 膜 1 4 ままでをフォトリソグラフィ法によりパターンングすることにより、p ウェル 3 の中央位置の第 1 の導電性プラグ 1 3 a の上にコンタクトホール 2 4 a を形成する。それと同時に、周辺回路領域 B の各導電性プラグ 1 3 c ~ 1 3 e 上にもコンタクトホール 2 4 c ~ 2 4 e を形成する。 20

【 0 0 5 6 】

さらに、第 3 の層間絶縁膜 2 4 の上とコンタクトホール 2 4 c ~ 2 4 e の中に厚さ 2 0 n m の T i 膜、厚さ 5 0 n m の T i N 膜、厚さ 6 0 0 n m の A l - C u 膜、厚さ 5 n m の T i 膜及び厚さ 1 5 0 n m の T i N 膜の 5 層を順次積層し、これらの金属膜をパターンングすることにより、メモリセル領域 A でビット線 2 5 a を形成するとともに、周辺回路領域 B では配線 2 5 b , 2 5 c , 2 5 d を形成する。なお、A l - C u 膜は、例えば C u を 0 . 5 % 含有している。ビット線 2 5 a 、配線 2 5 b , 2 5 c , 2 5 d は一層目のアルミニウム配線である。 30

【 0 0 5 7 】

次に、T E O S ガスを用いたプラズマ C V D 法により、約 2 . 3 μ m の厚さの S i O ₂ からなる第 4 の層間絶縁膜 (第 2 絶縁膜) 2 6 を第 3 の層間絶縁膜 2 4 、ビット線 2 5 a 及び配線 2 5 b ~ 2 5 d 上に形成する。

【 0 0 5 8 】

その後、第 4 の層間絶縁膜 2 6 を平坦化するために、その上面を C M P 法により研磨する工程を採用する。その研磨量は約 1 . 2 μ m である。その後、N ₂ O プラズマ処理によって第 4 の層間絶縁膜 2 6 の改質を行う。この N ₂ O プラズマ処理の条件は、第 2 の層間絶縁膜 2 1 に対する N ₂ O プラズマ処理の条件と同じにする。 40

【 0 0 5 9 】

次に、図 9 に示すように、T E O S を用いてプラズマ C V D 法により再堆積層間絶縁膜 2 7 を層間絶縁膜 3 3 の上に約 3 0 0 n m の厚さに形成する。続いて、N ₂ O プラズマ処理によって再堆積層間絶縁膜 2 7 の改質を行う。この N ₂ O プラズマ処理の条件は、第 2 の層間絶縁膜 2 1 に対する N ₂ O プラズマ処理の条件と同じにする。

【 0 0 6 0 】

次に、図 1 0 に示す構造を形成するまでの工程を説明する。

【 0 0 6 1 】

まず、再堆積層間絶縁膜 27 及び第 4 の層間絶縁膜 26 をフォトリソグラフィ法によりパターンニングして、一層目のアルミニウム配線、例えば周辺回路領域 B の配線 25c に到達するビアホール 26a を形成する。

【0062】

続いて、ビアホール 26a の内面と再堆積層間絶縁膜 27 の上面に、厚さ 20nm の Ti 膜と厚さ 50nm の TiN 膜をスパッタリングにより順次形成し、それらの膜をグルーレイヤー 29a とする。その後、WF₆ (六フッ化タングステン) ガスと SiH₄ (シラン) ガス及び H₂ (水素) を用いて 370 の成長温度でグルーレイヤー 29a の上にタングステン膜 29b を形成する。

【0063】

続いて、エッチバックによりタングステン膜 29b を除去して、ビアホール 26a 内のみ残存させる。このとき、グルーレイヤー 29a は除去しない。ここで、ビアホール 26a 内に残ったタングステン膜 29b を導電性プラグ 28c として使用する。

【0064】

その後に、厚さ 600nm の Al-Cu 膜 29c と厚さ 150nm の TiN 膜 29d をグルーレイヤー 29a 及び導電性プラグ 28c 上に形成する。ここで、Al-Cu 膜 29c は、Cu を 3% 含んでいる。

【0065】

次に、グルーレイヤー 29a、Al-Cu 膜 29c 及び TiN 膜 29d からなる多層金属膜をパターンニングすることにより、メモリセル領域 A における複数の強誘電体キャパシタ 20 を上方で覆う金属パターン 31 と、周辺回路領域 B に金属配線 30 を形成する。その後、350 に保ったサセプター上にシリコン基板 1 を固定し、2 Torr の酸素雰囲気中で 30 分間アニールを行った後に、酸素をカットした減圧下、例えば 1m Torr 以下の雰囲気中で 350 のアニールを 90 分間行った。

【0066】

金属パターン 31 は、強誘電体キャパシタ 20 を十分に覆うように配置されており、その占有面積はメモリセル領域 A の広さによって変化する。ここで、セル効率を、メモリセル領域の面積 S₁ をチップ面積 S₂ で割った値の百分率 (S₁ / S₂ × 100%) と定義すると、例えば、セル効率が 30% ならば、金属パターン 31 の面積はチップ面積の 30% 以上とする。

【0067】

これによれば、常にメモリセル領域 A の全体を覆うように金属パターン 31 が配置されるため、金属パターン 31 の面積のチップ面積に対する割合は、セル効率よりも高い数値となる。このことは、後述の第 2 実施形態でも同様である。金属パターン 31 と金属配線 30 を構成する Ti 膜、TiN 膜、Al-Cu 膜及び TiN 膜の多層金属膜ストレスは、多層金属膜の形成直後では 1×10^8 dyne/cm² の弱い引張応力 (tensile stress) を及ぼすが、真空中でアニールを加えると、 6×10^9 dyne/cm² ~ 1×10^9 dyne/cm² に変化し、成膜直後よりも引張方向に強いストレスとなる。そのストレスの変化が下方の強誘電体キャパシタ 20 に好ましい応力を与えるので、強誘電体キャパシタ 20 の強誘電体特性が向上する。

【0068】

グルーレイヤー 29a を構成する TiN 膜と TiN 膜 29d は成膜当初では圧縮応力を有し、Al-Cu 膜 29c は引張応力を有し、全体の多層金属膜としては僅かに引張応力となっている。

【0069】

なお、多層金属膜の比抵抗は、アニールにより 5 ~ 10% 上昇する。

【0070】

上記した例では、多層金属膜をパターンニングして金属パターン 31 と金属配線 30 を形成した後に、多層金属膜をアニールした。しかし、多層金属膜の成膜直後に多層金属膜を上記した条件でアニールし、その後に、多層金属膜のパターンニングして金属パターン 31 及

10

20

30

40

50

び金属配線 30 を形成しても、金属パターン 31 と金属配線 30 には最終的に同じストレス効果が生じる。つまり、金属パターン 31 と金属配線 30 を構成する金属膜のストレスを阻害しなような処理がなされなければ、どの段階で多層金属膜をアニールしても同じ効果が期待できる。例えば、次の工程で形成される第 1 のカバー膜 (第 3 絶縁膜) 32 の形成後であってもよい。

【0071】

金属パターン 31 の電位は、固定電位であるか、あるいは電氣的に孤立した浮遊電位となる。

【0072】

次に、図 11 に示すように、TEOS ガスを用いるプラズマ CVD 法により、厚さ 100 nm の酸化シリコンよりなる第 1 のカバー膜 32 を金属パターン 31 と金属配線 30 と再堆積層間絶縁膜 27 の上に形成する。その後、第 1 のカバー膜 32 を N₂O プラズマ処理する。その N₂O プラズマ処理の条件は、第 2 の層間絶縁膜 21 に対する N₂O プラズマ処理の条件と同じにする。

【0073】

次に、図 12 に示すように、CVD 法により厚さ 350 nm の窒化シリコンからなる第 2 のカバー膜 33 を第 1 のカバー膜 32 上に形成する。続いて、シリコン基板 1 のチップ領域 (半導体装置チップ領域) の最外周に近い領域で、第 1 及び第 2 のカバー膜 32, 33 をフォトリソグラフィ法によりパターンニングして図しない二層目のアルミニウム配線に接続されるホール (不図示) を形成する。

【0074】

この後に、図 13 に示すように、パッケージ時のクラック対策のためにポリイミド樹脂 34 を第 2 のカバー膜 33 の上に塗り、さらにポリイミド樹脂 34 にボンディング用の開口 (不図示) を形成する、その後、250 の温度でポリイミド樹脂 34 をキュアする。これにより、FeRAM が完成する。

【0075】

なお、図 13 に示した半導体装置の平面構造は図 14 のようになる。ただし、図 14 において、素子分離絶縁膜 2 以外の絶縁膜は省略されている。

【0076】

上記した実施形態において、強誘電体キャパシタ 20 の上方に形成された再堆積層間絶縁膜 27 の上であってメモリセル領域 A の全体を覆う領域に引張応力の金属パターン 31 を形成している。これにより、圧縮応力をもつ層間絶縁膜 27, 26, 24 及びカバー膜 32, 33 により強誘電体キャパシタ 20 に加わる力は、金属パターン 31 により緩和される。しかも、金属パターン 31 は、絶縁膜とは異なって水分が出ることはないので、強誘電体キャパシタ 20 を劣化させることはない。

【0077】

ところで、金属パターン 31 を構成する多層金属膜 29a, 29c, 29d を酸素雰囲気中でアニールする工程を経て形成された FeRAM の歩留まりと、そのようなアニール工程を経ないで形成された FeRAM の歩留まりについて調査したところ、図 15 に示すような結果が得られた。

【0078】

図 15 において、PT1 は、FeRAM の形成初期の強誘電体キャパシタの特性を測定することによって調査した初期生産量に対する歩留まりを示し、PT2 は、FeRAM を 200 で 4 時間加熱して強誘電体キャパシタのリテンション及びインプリントの特性を測定することによる初期生産量に対する歩留まりを示している。

【0079】

また、図 15 において、「O₂ anneal」は、金属パターン 31 を構成する多層金属膜を酸素雰囲気中で加熱する工程を経て形成された FeRAM を示し、また、「SiO₂ 有り + O₂ anneal」は、多層金属パターン 31 の上に第 1 のカバー膜 32 として厚さ 80 nm の SiO₂ 膜を形成した後に金属パターン 31 をアニールする工程を経て形成

された F e R A M を示し、さらに、「アニールなし」は、金属パターン 3 1 を構成する多層金属膜をアニールする工程を経ないで形成された F e R A M を示している。

【 0 0 8 0 】

図 1 5 によれば、金属パターン 3 1 を構成する多層金属膜をアニールする工程を経て形成された F e R A M について、P T 1 と P T 2 については違いはなく、F e R A M の製造直後で良好な製品は 2 0 0 で 4 時間加熱の後にもそのままメモリセル特性が維持できていた。

【 0 0 8 1 】

これに対して、多層金属膜をアニールする工程を経ないで形成された F e R A M については、P T 1 の歩留まりよりも P T 2 の歩留まりが低下し、2 0 0 、4 時間の加熱によって F e R A M が劣化することがわかった。

10

【 0 0 8 2 】

次に、図 1 5 に用いた 3 種類の F e R A M の完成直後の強誘電体キャパシタについて、スイッチングチャージ Q_{sw} と、蓄積電荷飽和電圧 V_{90} を調べたところ、図 1 6 に示すような結果が得られた。なお、蓄積電荷飽和電圧 V_{90} は、蓄積電荷が飽和値の 9 0 % となる電圧値である。

【 0 0 8 3 】

図 1 6 によれば、金属パターン 3 1 を構成する金属膜をアニールすることにより強誘電体キャパシタ特性が改善されることがわかる。

【 0 0 8 4 】

次に、金属膜のアニールによるストレスの変動について調査した。調査試料として、シリコン基板を覆っている厚さ 1 0 0 n m の $S i O_2$ 膜の上に、金属膜として厚さ 5 0 0 n m の $A l - C u$ 膜と厚さ 1 0 0 n m の $T i N$ 膜を形成し、その後に金属膜をアニールしてストレスの変動を調べたところ、図 1 7 に示すような結果が得られた。なお、アニール条件は、2 . 2 T o r r の雰囲気内で 3 5 0 の温度とし、アニール時間を 3 0 分、6 0 分、1 2 0 分とし、アニール雰囲気に導入するガスを酸素ガス、窒素ガスのいずれかとした。

20

【 0 0 8 5 】

図 1 7 において、横軸はアニールされる場合の条件を示している。また、図 1 7 においてはアニールされない状態を示して横軸で示した条件でアニールされていない。

【 0 0 8 6 】

図 1 7 によれば、酸素又は窒素が導入される減圧雰囲気において金属膜をアニールすると、アルミニウム膜を含む金属膜はアニール時間が長いほど引張応力が大きくなることがわかった。即ち、引張応力は、時間により制御できることになり、層間絶縁膜の圧縮応力の大きさに対する最適値を選択できる。

30

【 0 0 8 7 】

ところで、上記した実施形態では、再堆積層間絶縁膜 2 7 の上でメモリセル領域 A の全体を覆う金属パターンを、 $A l - C u$ 膜を含む多層金属膜から構成しているが、多層金属膜でなくてもよい。即ち、金属パターン 3 1 を構成する金属膜として、アルミニウム、銅、タングステン、チタン、タンタルのいずれかの膜、またはそれらのいずれかの元素との合金又は混合物の膜であってもよい。アルミニウム膜を形成する場合にはその厚さを 2 5 0 n m 以上にすることが好ましい。タングステンから金属パターン 3 1 を形成する例として、例えば膜 2 9 b を導電性プラグ 2 8 c を形成するタングステン膜 2 9 b をメモリセル領域 A の再堆積層間絶縁膜 2 7 の上に選択的に残してこれを金属パターン 3 1 としてもよい。銅膜は、成膜初期の状態では $- 5 \times 1 0^{10}$ d y n e / c m² の圧縮応力を有するが、不活性ガス雰囲気中で例えば 3 7 0 の温度でアニールすると、 $5 \times 1 0^{10}$ d y n e / c m² の引張応力に変化する。

40

【 0 0 8 8 】

なお、金属パターン 3 1 を構成する金属膜のアニールは、酸素雰囲気、酸素含有雰囲気、不活性ガス雰囲気、不活性ガス含有雰囲気のいずれの中で行ってもよい。

【 0 0 8 9 】

50

また、そのアニールにおいて金属膜をその融点以上に加熱してしまうと金属膜が熔融し、金属膜が所望のストレスを生じなくなるので、アニール温度は金属膜の融点以下にする必要がある。

【0090】

(第2の実施の形態)

本発明は、ダマシンプロセスにも適用し得る。以下、それについて説明する。図18～図32は、本発明の第2実施形態に係る半導体装置の製造方法を工程順に示す断面図である。この例では、スタック型のF e R A Mについて説明するが、本実施形態はこれに限定されず、プレーナー型のF e R A Mにも適用し得る。

【0091】

まず、図18(a)に示す断面構造を形成するまでの工程を説明する。

【0092】

図18(a)に示すように、n型のシリコン(半導体)基板51のトランジスタ形成領域の周囲にフォトリソグラフィー法により素子分離用溝を形成した後に、その中に酸化シリコン($S i O_2$)を埋め込んでS T I用の素子分離絶縁膜52を形成する。なお、L O C O S法により形成した絶縁膜を素子分離絶縁膜52として採用してもよい。

【0093】

続いて、シリコン基板51の所定のトランジスタ形成領域にp型不純物を選択的に導入してpウエル53を形成し、さらに、シリコン基板51のpウエル53の表面を熱酸化して、ゲート絶縁膜54となるシリコン酸化膜を形成する。

【0094】

次に、シリコン基板51の上側全面に非晶質又は多結晶のシリコン膜とタングステンシリサイド膜を順次形成する。その後、シリコン膜とタングステンシリサイド膜をフォトリソグラフィー法によりパターニングして、ゲート絶縁膜54の上にゲート電極56a、56bとして残す。なお、それらのゲート電極56a、56bはワード線(W L)の一部を構成する。

【0095】

次に、ゲート電極56a、56bの両側のpウエル53にn型不純物、例えばリンをイオン注入してソース/ドレインとなる第1～第3のn型不純物拡散領域55a～55cを形成する。さらに、C V D法により絶縁膜、例えば酸化シリコン($S i O_2$)膜をシリコン

基板51の全面に形成した後に、その絶縁膜をエッチバックしてゲート電極56a、56bの両側部分に絶縁性のサイドウォール57として残す。

【0096】

続いて、ゲート電極56a、56bとサイドウォール57とをマスクに使用して、第1～第3のn型不純物拡散領域55a～55cに再びn型不純物をイオン注入する。これにより、第1～第3のn型不純物拡散領域55a～55cのそれぞれに高濃度不純物領域が形成され、該第1～第3のn型不純物拡散領域55a～55cはL D D (L i g h t l y D o p e d D r a i n) 構造となる。

【0097】

上記の拡散領域のうち、第1、第3のn型不純物拡散領域55a、55cは後述するキャパシタの下部電極に電氣的に接続され、第2のn型不純物拡散領域55bは後述するビット線に電氣的に接続される。

【0098】

以上の工程により、pウエル53上にはゲート電極56a、56bとn型不純物拡散領域55a～55cを有する2つのn型のM O S トランジスタ T_1 、 T_2 が1つのn型不純物拡散領域55bを共通にして形成されたことになる。

【0099】

次いで、M O S トランジスタ T_1 、 T_2 を覆うカバー絶縁膜58として約200nmの厚さの酸化シリコン($S i O N$)膜をプラズマC V D法によりシリコン基板51の全面に形成する。その後、T E O S ガスを用いるプラズマC V D法により、下地絶縁膜59とし

10

20

30

40

50

て厚さが $1.0 \mu\text{m}$ 程度の酸化シリコン (SiO_2) をカバー絶縁膜 58 の上に形成する。

【0100】

続いて、下地絶縁膜 59 の上面を化学機械研磨 (CMP) 法により平坦化する。その後、 N_2 雰囲気中、約 650 で下地絶縁膜 59 を約 30 分間アニールすることにより、下地絶縁膜 59 の緻密化と脱水処理とを行う。

【0101】

次に、図 18 (b) に示す構造を得るまでの工程について説明する。

【0102】

まず、フォトリソグラフィ法によりカバー絶縁膜 58 と下地絶縁膜 59 とをパターンニングして、第 1 ~ 第 3 の n 型不純物拡散領域 55 a ~ 55 c に至る深さのコンタクトホール 59 a ~ 59 c を形成する。 10

【0103】

次いで、下地絶縁膜 59 の上面とコンタクトホール 59 a ~ 59 c の内面にグルー膜 60 として厚さ約 20 nm のチタン (Ti) と厚さ約 50 nm の窒化チタン (TiN) とをスパッタ法によりこの順に形成する。更に、六フッ化タングステン (WF_6) を用いる CVD 法によりタングステン (W) 膜 61 をグルー膜 60 上に成長させて各コンタクトホール 59 a ~ 59 c 内を完全に埋め込む。

【0104】

次いで、図 18 (c) に示すように、下地絶縁膜 59 を研磨ストッパー膜として使用しながら、タングステン膜 61 とグルー膜 60 とを CMP 法により選択的に研磨して下地絶縁膜 59 の上面上から除去する。これにより、タングステン膜 61 とグルー膜 60 とがコンタクトホール 59 a ~ 59 c 内に第 1 導電性プラグ 62 a、62 c、及び第 2 導電性プラグ 62 b として残されることになる。 20

【0105】

次に、図 19 (a) に示す断面構造を得るまでの工程について説明する。

【0106】

まず、全面に Ir 膜をスパッタ法により厚さ 200 ~ 400 nm 程度、例えば 250 nm に形成する。その後、その Ir 膜上にスパッタ法により TiN 膜 63 a を厚さ 200 ~ 400 nm 程度、例えば 200 nm に全面に形成し、更にその上に TEOS を使用するプラズマ CVD 法により SiO_2 膜 63 b を厚さ 800 ~ 900 nm 程度、例えば 800 nm に全面に形成する。そして、この SiO_2 膜 63 b 上に不図示のレジストパターンを形成し、そのレジストパターンをエッチングマスクにして SiO_2 膜 63 b と TiN 膜 63 a とをパターンニングし、それらをハードマスク 63 とする。 30

【0107】

その後、シリコン基板 51 をエッチングチャンバ (不図示) 内の下部電極上に載置し、その下部電極に周波数 600 kHz のバイアス用の高周波電力を 700 W 印加することにより、シリコン基板 51 にバイアス電圧を印加する。更に、チャンバの周囲に設けられたコイルに周波数 13.56 MHz の高周波電力をアンテナパワーとして 800 W 印加し、チャンバ内に HBr 、 O_2 、及び C_4F_8 をそれぞれ 10 sccm、40 sccm、5 sccm の流量で導入して、チャンバ内の圧力を 0.4 Pa に保持すると共に、基板温度を 400 にする。これにより、チャンバ内は Ir に対するエッチング雰囲気となる。なお、エッチング雰囲気中に上記のように C_4F_8 を添加するのは、エッチングプロセスを安定させるためである。 40

【0108】

上記のエッチング雰囲気に対し、ハードマスク 63 はエッチング耐性を有するので、ハードマスク 63 がエッチングマスクとして機能し、その下の Ir 膜が選択的にエッチングされてパターンニングされる。その結果、Ir 膜よりなる導電性酸素バリア膜 64 a、64 c が第 1 導電性プラグ 62 a、62 c 上に選択的に残されることになる。

【0109】

その導電性酸素バリア膜64a、64cは、酸素透過防止能力に優れているIr膜よりなるので、その下の第1導電性プラグ62a、62cが後で行われる種々の熱工程において酸化されてコンタクト不良を起こすのを防止することができる。

【0110】

次に、図19(b)に示す断面構造を得るまでの工程について説明する。

【0111】

まず、酸化防止絶縁膜65aとしてSiON膜をプラズマCVD法により厚さ約100nm程度に全面に形成する。その後、TEOSを使用するプラズマCVD法により、酸化防止絶縁膜65a上に絶縁性密着膜65bとしてSiO₂膜を厚さ約400nm程度に形成する。

10

【0112】

続いて、この絶縁性密着膜65bの上面上からCMP法により研磨を行い、TiN膜63aの表面上において研磨をストップさせる。これにより、図19(c)に示すように、SiO₂膜63bが除去されてTiN膜63aの表面が露出することになる。

【0113】

その後、露出したTiN膜63aを過酸化アンモニア水溶液に曝すことにより、図20(a)に示すように、TiN膜63aを除去する。

【0114】

続いて、図20(b)に示すように、犠牲膜66としてレジストを約1000nmの厚さに全面に塗布する。そのようなレジストとしては、エッチレートが酸化防止絶縁膜65a及び絶縁性密着膜65bのエッチレートと略同じものを使用する。そのような犠牲膜66をプラズマエッチングによりエッチバックすることにより、被エッチング面が平坦なまま下に下がり、エッチバック終了後には、図20(c)に示すように、エッチバック前の犠牲膜66の平坦な上面が酸化防止絶縁膜65a及び絶縁性密着膜65bに転写されることになる。その後、残存する酸化防止絶縁膜65aと絶縁性密着膜65bとを絶縁性酸素バリア膜65として使用する。

20

【0115】

絶縁性酸素バリア膜65中の酸化防止絶縁膜65aは、既述のようにSiON膜よりなり、その下の第2導電性プラグ62bが種々の熱工程により酸化されるのを防ぐ役割を担う。

30

【0116】

次に、図21(a)に示す断面構造を得るまでの工程について説明する。

【0117】

まず、全面にIr膜とIrO₂膜とをこの順にスパッタ法によりそれぞれ厚さ約200nm、約30nmに形成し、それらをIrO₂/Ir膜67とする。このIrO₂/Ir膜67のうち、最下層のIr膜は、その下の第1導電性プラグ62aの酸化を防止し、コンタクト特性が劣化するのを防止するように機能する。

【0118】

その後、IrO₂/Ir膜67上にPtO膜とPt膜とをこの順にスパッタ法によりそれぞれ厚さ約30nm、約50nmに形成し、それらをPt/PtO膜68とする。Pt/PtO膜68のうち、Pt膜は、その上に後で形成される強誘電体膜の配向を揃える役割を果たす。

40

【0119】

そして、これらIrO₂/Ir膜67とPt/PtO膜68とを下部電極用導電膜69として使用する。

【0120】

なお、下部電極用導電膜69の形成前又は後に、例えば膜剥がれ防止のために絶縁性密着膜65bをアニールしてもよい。そのアニール方法としては、例えば、アルゴン雰囲気中、750、60秒間のRTAが採用され得る。

【0121】

50

次いで、下部電極用導電膜69上に、強誘電体膜70としてPZT膜をスパッタ法により約180nmの厚さに形成する。強誘電体膜70の成膜方法としては、スパッタ法の他に、MOD法、MOCVD法、ゾル・ゲル法等がある。また、強誘電体膜70の材料としては、PZT以外に、PLCSZT、PLZTのような他のPZT系材料や、 $SrBi_2Ta_2O_9$ 、 $SrBi_2(Ta, Nb)_2O_9$ 等のBi層状構造化合物材料、その他の金属酸化物強誘電体を採用してもよい。更に、DRAMを形成する場合には、上記の強誘電体材料に代えて(BaSr)TiO₃(BST)、チタン酸ストロンチウム(STO)等の高誘電体材料を使用すればよい。

【0122】

次いで、酸素含有雰囲気中で強誘電体膜70をアニールにより結晶化する。そのアニールとして、例えばArとO₂の混合ガス雰囲気中で基板温度600、時間90秒の条件を第1ステップ、酸素雰囲気中で基板温度750、時間60秒の条件を第2ステップとする2ステップのRTA処理を採用する。 10

【0123】

続いて、強誘電体膜70の上に、上部電極用導電膜71として例えば厚さが200nmのIrO₂膜をスパッタ法により形成する。その後、この上部電極用導電膜71の成膜時に強誘電体膜70が受けたダメージを回復させるため、650の酸素雰囲気でのファーネス(不図示)中でアニールを約60分間行う。

【0124】

次に、図21(b)に示す断面構造を得るまでの工程について説明する。 20

【0125】

まず、上部電極用導電膜71の上にTiN膜95をスパッタ法により形成し、更にその上にTEOSを使用するプラズマCVD法によりSiO₂膜96を形成する。その後、このTiN膜95とSiO₂膜96とをフォトリソグラフィによりキャパシタ形状にパターンニングし、それらをハードマスク97とする。

【0126】

次いで、シリコン基板51をエッチングチャンバ(不図示)内の下部電極上に載置し、その下部電極に周波数600kHzのバイアス用の高周波電力を700W印加することによりシリコン基板51にバイアス電圧を印加する。更に、チャンバの周囲に設けられたコイルに周波数13.56MHzの高周波電力をアンテナパワーとして800W印加し、チャンバ内にHBrとO₂をそれぞれ10sccm、40sccmの流量で導入して、チャンバ内の圧力を0.4Paに保持すると共に、基板温度を400にする。これにより、エッチングチャンバ内はIrO₂に対するエッチング雰囲気となり、IrO₂よりなる上部電極用導電膜71がエッチングされる。そして、上部電極用導電膜71が10%オーバーエッチされたところでエッチングを終了することにより、上部電極用導電膜71がハードマスク97の形状にエッチングされて上部電極71aとなる。なお、10%のオーバーエッチングとは、上部電極用導電膜71の膜厚200nmの10%分、すなわち20nmだけ上部電極用導電膜71を過剰にエッチングすることを言う。 30

【0127】

続いて、バイアスパワーとアンテナパワーとをそのままにし、エッチングガスを40sccmのCl₂と10sccmのArに変えることにより、チャンバ内をPZTに対するエッチング雰囲気にし、PZTよりなる強誘電体膜70をハードマスク97の形状にエッチングしていく。そして、終点検出器でエッチングの終点をモニターすることにより、エッチングを下部電極用導電膜69上で停止させる。これにより、強誘電体膜70はエッチングされて、キャパシタ用の誘電体膜70aとなる。 40

【0128】

次いで、エッチングガスを再び10sccmのHBrと40sccmのO₂にして下部電極用導電膜69のエッチングを開始し、10%のオーバーエッチングとなったところでエッチングを終了する。これにより、下部電極用導電膜69は、ハードマスク97の形状にエッチングされ、下部電極69aとなる。 50

【0129】

この工程により、下部電極69a、強誘電体膜70a、及び上部電極71aをこの順に積層してなる強誘電体キャパシタQ1、Q2が、導電性酸素バリア膜64a、64cと絶縁性酸素バリア膜65とを介して下地絶縁膜9の上に形成されたことになる。その強誘電体キャパシタQ1、Q2は、導電性酸素バリア膜64a、64cと第1導電性プラグ62a、62cとを介して、それぞれ第1の拡散領域55a及び第3の拡散領域55cと電氣的に接続される。

【0130】

この強誘電体キャパシタQ1、Q2の一部は絶縁性酸素バリア膜65上に形成されるが、絶縁性酸素バリア膜65の最上層をSiO₂よりなる絶縁性密着膜65bとしたことで、強誘電体キャパシタQ1、Q2の下部電極69aが絶縁性酸素バリア膜65から剥がれるのを防止することができる。

10

【0131】

続いて、エッチングによる誘電体膜70aのダメージを回復するために、回復アニールを行う。この場合の回復アニールは、例えば、基板温度650、60分間の条件で酸素を含むファーンズ内で行われる。

【0132】

そのような回復アニールを行っても、絶縁性酸素バリア膜65によって第2導電性プラグ62bの酸化を防ぐことができ、また、導電性酸素バリア膜64a、64cによって第1導電性プラグ62a、62cの酸化を防止することができる。なお、ハードマスク97は、強誘電体キャパシタQ1、Q2を形成後に除去される。

20

【0133】

次に、図22(a)に示すように、強誘電体キャパシタQ1、Q2上、及び絶縁性酸素バリア膜65上に、第1キャパシタ保護絶縁膜73として厚さ約50nmのアルミナをスパッタ法により形成する。この第1キャパシタ保護絶縁膜73は、プロセスダメージから強誘電体キャパシタQ1、Q2を保護するものであって、アルミナの他、PZTで構成してもよい。

【0134】

その後、TEOSを使用するプラズマCVD法により、この第1キャパシタ保護絶縁膜73上に第2キャパシタ保護絶縁膜72としてSiO₂膜を厚さ約100nmに形成する。

30

【0135】

次に、図22(b)に示すように、SiH₄を使用するHDPCVD(High Density Plasma)法により、SiO₂よりなる第1絶縁膜74を第2キャパシタ絶縁膜72上に約1.5µmの厚さに形成する。そのようなHDPCVD法では、シリコン基板51にバイアス電圧を印加することで、ボイドの発生無しに、高アスペクトレシオの強誘電体キャパシタQ1、Q2間に埋め込み性の良い第1絶縁膜74を形成することができる。

【0136】

但し、上記のHDPCVD法では、還元性のある水素を有するSiH₄を反応ガスとして使用しているため、その水素によって誘電体膜70aが劣化する恐れがある。そこで、O₂をSiH₄の流量の5倍以上供給することにより、雰囲気中の水素をできるだけ酸化し、水素による誘電体膜70aの劣化を極力防ぐのが好ましい。

40

【0137】

また、理由は不明であるが、TEOSを使用するプラズマCVD法で第2キャパシタ保護絶縁膜72を形成すると、第1キャパシタ保護絶縁膜73を単層で使用する場合よりも強誘電体キャパシタQ1、Q2の劣化がより良好に防止することができる。

【0138】

その後、図23(a)に示すように、TEOSを使用するプラズマCVD法により、第1絶縁膜74上にCMP用の犠牲膜75としてSiO₂膜を厚さ約500nmに形成する。

【0139】

50

そして、犠牲膜 75 を CMP で研磨することにより、図 23 (b) に示すように、第 1 絶縁膜 74 の表面を平坦化して、上部電極 71 a 上での第 1 絶縁膜 74 の厚さを約 500 nm とする。

【0140】

次に、図 24 (a) に示すように、平坦化された第 1 絶縁膜 74 上に、第 1 低誘電率絶縁膜 76 として BN 膜 (誘電率 : 約 2) を厚さ約 200 nm 程度に形成する。

【0141】

第 1 低誘電率絶縁膜 76 は、配線段差の無い平坦化された第 1 絶縁膜 74 上に形成されるものであるから、その成膜方法として埋め込み性が良いもの、例えば基板バイアスを印加する HDPCVD 法を採用する必要がない。よって、上記の BN 膜は、シリコン基板 51 にバイアス電圧を印加しない (ノンバイアス) で成膜することができ、例えば、 B_2H_6 と N_2 とを反応ガスとして使用するノンバイアスのプラズマ CVD 法により形成することができる。

10

【0142】

ノンバイアスなので、成膜ガス中の水素がバイアス電圧によりシリコン基板 51 に引き込まれることがなく、水素によって強誘電体キャパシタ Q1、Q2 が劣化してしまうのを防止することができる。

【0143】

なお、低誘電率絶縁膜 76 としては、BN 膜の他に、SOL-GEL 法で形成されたものを使用してもよい。この場合は、低誘電率膜 76 からの脱ガスをブロックするブロック膜 (不図示) を第 1 絶縁膜 74 上に形成し、このブロック膜上に第 1 低誘電率絶縁膜 76 を形成するのが好ましい。そのようなブロック膜としては、例えば、Cat-CVD (Catalytic Chemical Vapor Deposition) 法で形成された SiN 膜、 SiO_2 膜、SiC 膜、及び TiO_x 膜等が挙げられる。

20

【0144】

続いて、TEOS を使用するプラズマ CVD 法により、厚さ 100 nm の SiO_2 膜を第 1 キャップ膜 77 として第 1 低誘電率膜 76 上に形成する。この第 1 キャップ膜 77 は、第 1 低誘電率膜 76 からの脱ガスが上方に拡散するのを防止する役割を担う。なお、第 1 キャップ膜 77 としては、上述の Cat-CVD 法で形成した種々の膜を使用しても良い。そして、この第 1 キャップ膜 77 も平坦な表面上に形成されるものであるから HDPCVD 法で成膜する必要が無い。

30

【0145】

この工程により、各絶縁膜 72 ~ 74、76 ~ 77 で構成される第 1 の層間絶縁膜 118 が、強誘電体キャパシタ Q1、Q2 を覆って形成されたことになる。

【0146】

次に、図 24 (b) に示す断面構造を得るまでの工程について説明する。

【0147】

まず、第 1 キャップ膜 77 上にフォトリジストを塗布し、それを露光・現像することにより、ホール形状のレジスト開口 78 a を有する第 1 レジストパターン 78 とする。次いで、この第 1 レジストパターン 78 をエッチングマスクとして使用しながら、第 1 キャップ膜 77、第 1 低誘電率絶縁膜 76、第 1 絶縁膜 74、第 2 キャパシタ保護絶縁膜 72 をエッチングし、各膜に第 1 ホール 72 a、74 a、76 a、77 a を形成する。

40

【0148】

この場合のエッチングガスとしては、例えば CF_4 、 C_4F_8 、 O_2 、及び Ar の混合ガスが使用される。

【0149】

このエッチングにおけるアルミナと SiO_2 とのエッチング選択比は、(アルミナ) : (SiO_2) = 1 : 2 ~ 3 程度なので、アルミナよりなる第 1 キャパシタ保護絶縁膜 73 がこのエッチングにおけるエッチングストップ膜の役割を果たす。

【0150】

50

このエッチングが終了後、第1レジストパターン78を酸素プラズマによりアッシングして除去する。

【0151】

次に、図25(a)に示す断面構造を得るまでの工程について説明する。

【0152】

まず、全面にフォトリソを塗布し、それを露光・現像することにより、ホール形状の第1レジスト開口79aと配線形状の第2レジスト開口79bとを有する第2レジストパターン79とする。次いで、この第2レジストパターン79をエッチングマスクとして使用しながら、第1レジスト開口79a下の第1キャップ膜77、第1低誘電率絶縁膜76、第1絶縁膜74、第2キャパシタ保護絶縁膜72をエッチングし、それぞれの膜に第3ホール77c、76c、及び第2ホール74b、72bを形成する。このエッチングにおけるエッチングガスとしては、例えばCF₄、C₄F₈、O₂、及びArの混合ガスが使用される。

10

【0153】

なお、これらのホールを先のエッチング工程(図24(b))において形成することも可能であるが、これらのホールを合わせた深さが強誘電体キャパシタQ1、Q2上の各ホール72a、74a、76a、77aの合計深さよりも深いため、強誘電体キャパシタQ1、Q2上の第1キャパシタ保護絶縁膜73がエッチングされ、強誘電体キャパシタQ1、Q2がエッチング雰囲気中に長時間曝されてダメージを受ける恐れがある。

【0154】

再び図25(a)を参照する。上記のエッチングでは、第2レジスト開口79b下の第1キャップ膜77と第1低誘電率絶縁膜76もエッチングされ、それぞれの膜に第2ホール77b、76bが形成される。第1配線溝80は、その第2ホール77a、76bにより構成される。

20

【0155】

なお、このエッチングでは、第1ホール72a下の第1キャパシタ保護絶縁膜73がエッチングされ、そこに第1ホール73aが形成される。これにより、各ホール72a~74aで構成される第1コンタクトホール81が第1配線溝80の底部から下に延びて形成され、その第1コンタクトホール81内に強誘電体キャパシタQ1、Q2の上部電極71aが露出することになる。

30

【0156】

この工程が終了後、第2レジストパターン79は酸素プラズマによりアッシングされて除去される。

【0157】

その後、強誘電体キャパシタQ1、Q2の形成後からここまでの工程において強誘電体キャパシタQ1、Q2が受けたダメージを回復させるため、550の酸素雰囲気中で60分間の酸素アニールを行う。この酸素アニールの際、第2導電性プラグ62bの上に絶縁性酸素バリア膜65を形成しているため、第2導電性プラグ62bの酸化を防ぐことができる。

【0158】

次に、図25(b)に示す断面構造を得るまでの工程について説明する。

40

【0159】

まず、全面にフォトリソを塗布し、それを露光・現像することにより、配線形状のレジスト開口82aを有する第3レジストパターン82とする。

【0160】

次いで、この第3レジストパターン82をエッチングマスクに使用しながら、レジスト開口82a下の第1キャップ膜77と第1低誘電率絶縁膜76とをエッチングし、それぞれの膜に第4ホール77d、76dを形成してそれらを第2配線溝83として使用する。このエッチングにおけるエッチングガスとしては、例えば、CF₄、C₄F₈、O₂、及びArの混合ガスが使用される。

50

【0161】

また、このエッチングにおいては、第2ホール72b下の第1キャパシタ保護絶縁膜73、絶縁性密着膜65b、及び酸化防止絶縁膜65aもエッチングされて、それぞれの膜に第2ホール73b、第1ホール65d、65cが形成される。そして、各ホール74b、72b、73b、65d、65cを第2コンタクトホール84として使用する。

【0162】

なお、この工程が終了後、第3レジストパターン82は酸素プラズマによりアッシングされて除去される。

【0163】

次に、図26(a)に示す断面構造を得るまでの工程について説明する。

10

【0164】

まず、上部電極71aと第2導電性プラグ62bの各上面をArプラズマにより約20nmエッチングして清浄面を出す。その後、第1、第2コンタクトホール81、84、及び第1、第2配線溝80、83の各内面に、銅の拡散を防止するための第1拡散防止膜85としてTa₂Nをスパッタ法により厚さ約50nmに形成する。

【0165】

次に、図26(b)に示すように、全面に不図示のCuシード層を形成してそれに対して給電を行い、第1、第2コンタクトホール81、84、及び第1、第2配線溝80、83の各内面を完全に埋め込む厚さの第1銅膜86をめっき法により形成する。そのめっき法においては、硫酸銅の他、銅の埋め込み性を良くするための有機物が添加されためっき液が使用される。めっき法では、基板51を加熱しないためサーマルバジェットが低下し、強誘電体キャパシタQ1、Q2が熱によりダメージを受けるのを防ぐことができる。

20

【0166】

なお、めっき法に代えて、CVD法により第1銅膜86を形成してもよい。そのCVD法においては、図33に示すチャンバ124内の基板載置台125上にシリコン基板51を載置し、チャンバ124の上方からCl₂ガスを導入する。そして、高周波電源128で発生した周波数13.56MHz、パワー3000Wの高周波電力をコイル126に供給することにより、チャンバ124内にClプラズマを生成させ、そのClプラズマを温度約300℃に保持された銅板127の開口127aに通す。このようにすると、銅板127の銅がClプラズマに曝されてCu_xCl_yなる銅の塩化物が生成し、それがシリコン

30

【0167】

このようにCVD法で第1銅膜86を形成する場合は、第1銅膜86の表面に自然酸化膜が形成されるのを防ぐため、第1銅膜86の形成後にそれを大気に曝すのは避けた方がよい。

【0168】

次に、図27に示す断面構造を得るまでの工程について説明する。

40

【0169】

まず、第1キャップ膜77よりも上にある第1銅膜86及び第1拡散防止膜85をCMP法により研磨して除去し、それらを第1、第2配線溝80、83、及び第1、第2コンタクトホール81、84内に残して、第1、第2銅配線86a、86c及び第1、第2銅プラグ86b、86dとする。なお、第1銅配線86aは、第1銅プラグ86bを介して強誘電体キャパシタQ1、Q2の上部電極71aと電氣的に接続されて、プレート線として機能する。そして、第2銅配線86cは、ピット線として機能し、第2銅プラグ86dと第2導電性プラグ62bとを介して第2のn型不純物拡散領域55bと電氣的に接続される。

【0170】

50

そのような銅配線の形成方法は、デュアルダマシンプロセスと称される。

【0171】

次いで、銅の上方への拡散を防止するために、第2拡散防止膜87を全面に形成する。この第2拡散防止膜87としては、例えば厚さが70nmのSiN膜が採用され得るが、強誘電体キャパシタQ1、Q2のダメージを避けるため、ノンバイアスのプラズマCVD法によりSiN膜を形成するのが好ましい。或いは、SiN膜に代えて、BN膜、SiC膜、及びアルミナ膜を採用しても良い。更に、このような絶縁膜に代えて、スパッタ法で形成されたTa、Ta₂N₅、Ti、TiN等の導電膜を第2拡散防止絶縁膜87として採用しても良い。そのような導電膜を使用する場合は、各銅配線86a、86cが電氣的に接続されるのを防止するため、導電膜を形成後にそれを各銅配線86a、86cの形状にパターンニングする工程が行われる。

【0172】

続いて、図28に示す断面構造を得るまでの工程について説明する。

【0173】

まず、TEOSを使用するプラズマCVD法により、第2絶縁膜88として厚さ約500nmのSiO₂膜を第2拡散防止膜87上に形成する。その後、B₂H₆とN₂とを反応ガスとして使用するノンバイアスのプラズマCVD法により、この第2絶縁膜88上に第2低誘電率絶縁膜89としてBN膜を厚さ約200nm程度に形成する。続いて、TEOSを使用するプラズマCVD法により、厚さ100nmのSiO₂膜を第2キャップ膜90として第2低誘電率膜89上に形成する。この第2キャップ膜90は、第2低誘電率膜89からの脱ガスが上方に拡散するのを防止するように機能する。

【0174】

ここまでの工程により、各絶縁膜87~90で構成される第2の層間絶縁膜119が形成されたことになる。

【0175】

次に、図29に示す断面構造を得るまでの工程について説明する。

【0176】

まず、第2キャップ膜90上に不図示のフォトリソレジストを塗布し、それを露光・現像することにより、金属パターン形状の開口を有するレジストパターン(不図示)を形成する。次いで、そのレジストパターンをエッチングマスクとして使用し、第2キャップ膜90と第2低誘電率絶縁膜89とをエッチングして、金属パターン用溝92を構成する第1ホール89a、90aをこれらの膜に形成する。その金属パターン用溝92は、キャパシタQ1、Q2を含むセル領域を覆うように、キャパシタQ1、Q2とその周囲の上方に形成される。

【0177】

次に、図30に示すように、この金属パターン用溝92内に第3拡散防止膜130としてTa₂N₅膜を厚さ30nm程度に形成し、更にスパッタ法、或いは記述のめっき法やCVD法により、この第3拡散防止膜130上に第2銅膜131を形成する。その第2銅膜131の厚さは、金属パターン用溝92を完全に埋める深さとする。

【0178】

続いて、図31に示すように、第3拡散防止膜130と第2銅膜131とをCMP法により研磨する。これにより、第3拡散防止膜130と第2銅膜131は、第2キャップ膜90の表面上から除去されると共に、金属パターン用溝92内に残されて金属パターン132を構成することになる。

【0179】

この金属パターン132は、強誘電体キャパシタQ1、Q2を十分に覆うようにセル領域よりも広く形成され、また、その電位は限定されず、固定電位、及び電氣的に孤立した浮遊電位のいずれでもよい。

【0180】

その後、370 に保ったサセプター上にシリコン基板51を固定し、不活性ガスの減圧

10

20

30

40

50

雰囲気中、例えば圧力 2 Torr の N_2 雰囲気中で金属パターン 132 を 30 分間アニールする。

【0181】

このアニール前、金属パターン 132 中の第 2 銅膜 131 は $-5 \times 10^{10} \text{ dyne/cm}^2$ の圧縮応力を有するが、このアニール後には、 $5 \times 10^{10} \text{ dyne/cm}^2$ の引っ張り応力に変化する。このストレスの変化が下方の強誘電体キャパシタ Q1、Q2 に好ましい応力を与えるので、強誘電体キャパシタ Q1、Q2 の強誘電体特性が向上する。

【0182】

なお、上記では、第 3 拡散防止膜 130 と第 2 銅膜 131 とで構成される金属膜を CMP で研磨した後に金属パターン 132 をアニールしたが、金属パターン 132 の形成とアニールの順序は限定されない。例えば、CMP 前の金属膜に対して上記の条件でアニールを行っても、金属パターン 132 には上記と同様のストレス効果が生じると期待できる。更に、金属パターン 132 の上に後述の第 4 拡散防止膜 100 を形成した後にアニールを行ってもよい。

【0183】

そのアニールにおいて金属膜をその融点以上に加熱してしまうと金属膜が溶融し、金属膜が所望のストレスを生じなくなるので、アニール温度は金属膜の融点以下にする必要がある。

【0184】

更に、このアニールは、不活性ガスの減圧雰囲気中に限らず、酸素雰囲気、酸素含有雰囲気、不活性ガス含有雰囲気で行ってもよい。

【0185】

次に、図 32 に示す断面構造を得るまでの工程について説明する。

【0186】

まず、金属パターン 132 上と第 2 キャップ膜 90 上とに、第 4 拡散防止膜 100 として厚さ約 70 nm のアルミナ膜又は Ta 膜をスパッタ法により形成する。第 4 拡散防止膜 100 をスパッタ法で形成することで、成膜雰囲気が還元雰囲気にならないので、還元雰囲気によってキャパシタ Q1、Q2 が劣化するのを防止することができる。

【0187】

なお、Ta 膜を第 4 拡散防止膜 100 として使用する場合は、金属パターン 132 がそれと同一層内にある配線（不図示）と電氣的に接続されるのを防止するため、Ta 膜を形成後にそれを金属パターン 132 の形状にパターンニングする。

【0188】

次いで、その第 4 拡散防止膜 100 上に、TEOS を使用するプラズマ CVD 法により厚さ約 100 nm の SiO_2 膜を形成し、それを第 3 絶縁膜 101 とする。その後、この第 3 絶縁膜 101 上に第 3 低誘電率絶縁膜 102 として BN 膜を厚さ約 200 nm に形成し、更にその上に TEOS を使用するプラズマ CVD 法により厚さ約 100 nm の SiO_2 膜を形成し、それを第 3 キャップ膜 103 とする。

【0189】

続いて、デュアルダマシンプロセスを使用して、これら第 3 拡散防止膜 100、第 3 絶縁膜 101、第 3 低誘電率絶縁膜 102、及び第 3 キャップ膜 103 に第 3 銅プラグ 104 と第 3 銅配線 105 とを埋め込む。第 3 銅プラグ 104 と第 3 銅配線 105 は、いずれも TiN 膜と銅膜との二層構造を有し、下方の金属パターン 132 と電氣的に接続される。

【0190】

ここで、金属パターン 132 を浮遊電位とする場合は、第 3 銅プラグ 104 を金属パターン 132 に接続する必要は無い。この場合は、金属パターン 132 にホールを形成し、そのホールに触れずにその中を通して第 1 銅配線 86a に至るように第 3 銅プラグ 104 を形成すればよい。こうする場合は、第 3 銅プラグ 104 が埋め込まれるホールを各絶縁膜 87 ~ 90 に形成することになる。

【0191】

10

20

30

40

50

次に、この第3銅配線105上と第3キャップ膜103上とに、第5拡散防止膜106として厚さ約70nmのアルミナ膜又はTa膜をスパッタ法により形成する。Ta膜を第5拡散防止膜106として使用する場合は、Ta膜を形成後にそれを第3銅配線105の形状にパターンニングする。

【0192】

その後、TEOSを使用するプラズマCVD法により、第5拡散防止膜106上に第4絶縁膜107としてSiO₂膜を厚さ約500nmに形成する。更に、この第4絶縁膜107上にBN膜等の第4低誘電率絶縁膜108を厚さ約200nmに形成し、その上に、TEOSを使用するプラズマCVD法によりSiO₂膜を形成し、それを第4キャップ膜109とする。

10

【0193】

そして、デュアルダマシンプロセスにより、これら第5拡散防止膜106、第4絶縁膜107、第4低誘電率絶縁膜108、及び第4キャップ膜109に第4銅配線110を埋め込む。この第4銅配線110は、TiN膜と銅膜との二層構造を有し、不図示の銅プラグにより第3銅配線105と電氣的に接続される。

【0194】

続いて、第4銅配線110上と第4キャップ膜109上とに、第6拡散防止膜111としてアルミナ膜又はTa膜をスパッタ法により厚さ約70nm程度に形成する。Ta膜を第4拡散防止膜111として使用する場合は、Ta膜を形成後にそれを第6銅配線110の形状にパターンニングする。その後、TEOSを使用するプラズマCVD法により第6拡散防止膜111上に厚さ約500nmのSiO₂膜を形成し、それを第5絶縁膜112とする。そして、フォトリソグラフィー法により第5絶縁膜112と第4拡散防止膜111とにホールを形成し、そのホール内に第3導電性プラグ113を形成する。その第3導電性プラグ113は、例えば、下から順にTa₂N₅膜、TiN膜、及びタングステン膜を積層した構造を有する。

20

【0195】

その後、第3導電性プラグ113上と第5絶縁膜112上とに多層金属膜を形成する。その多層金属膜として、例えば、厚さ60nmのTi膜、厚さ30nmのTiN膜、厚さ400nmのAl-Cu膜、厚さ5nmのTi膜、及び厚さ70nmのTiN膜をスパッタ法により順に形成する。そして、フォトリソグラフィーによりその多層金属膜をパターンニングして、最終金属配線115とする。

30

【0196】

そして、TEOSを使用するプラズマCVD法により、最終金属配線115を覆う第6絶縁膜114として厚さ約1.5μmのSiO₂膜を形成する。

【0197】

そして最後に、デバイス表面を保護するための表面保護膜116として、SiN膜を厚さ約500nmに形成する。そのSiN膜は、キャパシタQ1、Q2にダメージを与えないために、ノンバイアスのプラズマCVD法で形成されるのが好ましい。

【0198】

上記した本実施形態によれば、第2の層間絶縁膜119に金属パターン用溝92を設け、そこに引っ張り応力を有する金属パターン132を形成する。そのため、第2の層間絶縁膜119内の第2絶縁膜88等で発生する圧縮応力が金属パターンによって緩和され、強誘電体キャパシタQ1、Q2に作用する正味の応力が低減し、強誘電体キャパシタQ1、Q2の強誘電体特性が向上する。

40

【0199】

なお、上記では第2の層間絶縁膜119を複数の絶縁膜88~90で構成したが、単層の絶縁膜で第2層間絶縁膜119を形成してもよい。

【0200】

更に、上記では金属パターン132を第3拡散防止膜130と第2銅膜131との多層金属膜で構成したが、多層金属膜でなくてもよい。即ち、アルミニウム、チタン、銅、タン

50

タル、タングステンのいずれかの膜、又はそれらのいずれかの元素との合金又は混合物の膜であってもよい。

【0201】

以下、本発明の特徴について付記する。

(付記1) 半導体基板の上方に形成された第1絶縁膜と、
前記第1絶縁膜上に形成され且つ下部電極、誘電体膜及び上部電極を有するキャパシタと

、
前記キャパシタ及び前記第1絶縁膜の上方に形成された第2絶縁膜と、
前記キャパシタ及びその周辺の上方であって前記第2絶縁膜の上に形成され且つ前記第2絶縁膜とは逆の方向の応力を有する金属パターンと
を有することを特徴とする半導体装置。 10

(付記2) 前記第2絶縁膜内には複数の金属配線パターンが形成されていることを特徴とする付記1に記載の半導体装置。

(付記3) 半導体基板の上方に形成された第1絶縁膜と、
前記第1絶縁膜上に形成され且つ下部電極、誘電体膜及び上部電極を有するキャパシタと

、
前記キャパシタ及び前記第1絶縁膜の上方に形成された第2絶縁膜と、
前記キャパシタ及びその周辺の上方における前記第2絶縁膜に形成された溝と、
前記溝に形成され、前記第2絶縁膜とは逆の方向の応力を有する金属パターンと、
を有することを特徴とする半導体装置。 20

(付記4) 前記金属パターンの電位は、固定電位又は浮遊電位であることを特徴とする付記1乃至付記3のいずれかに記載の半導体装置。

(付記5) 前記キャパシタはセル領域に複数形成され、前記金属パターンは前記セル領域の全体を覆うことを特徴とする付記1乃至付記4に記載の半導体装置。

(付記6) 前記金属パターンは前記セル領域よりも広く形成されていることを特徴とする付記1乃至付記5のいずれかに記載の半導体装置。

(付記7) 前記金属パターンの前記応力は引張応力であることを特徴とする付記1乃至付記6のいずれかに記載の半導体装置。

(付記8) 前記金属パターンは単層構造又は多層構造であることを特徴とする付記1乃至付記7のいずれかに記載の半導体装置。 30

(付記9) 前記金属パターンは、アルミニウム、チタン、銅、タンタル、タングステンのいずれかの材料、又は、アルミニウム、チタン、銅、タンタル、タングステンのいずれかを含む材料から構成されることを特徴とする付記1乃至付記8のいずれかに記載の半導体装置。

(付記10) 半導体基板の上方に第1絶縁膜を形成する工程と、
前記第1絶縁膜の上に、下部電極、誘電体膜及び上部電極を有するキャパシタをセル領域に複数形成する工程と、

前記キャパシタ及び前記第1絶縁膜の上方に第2絶縁膜を形成する工程と、
前記第2絶縁膜の上に金属膜を形成する工程と、
前記金属膜をパターンニングして前記セル領域を覆う金属パターンを形成する工程と、
前記金属パターンの形成の前又は後に、前記金属膜の融点以下で前記金属膜を加熱することにより前記金属膜の応力を変化させる工程とを有することを特徴とする半導体装置の製造方法。 40

(付記11) 前記金属膜のパターンニングによって前記金属パターンから離れた領域に金属配線を形成する工程をさらに有することを特徴とする付記10に記載の半導体装置の製造方法。

(付記12) 前記第2絶縁膜は、TEOSを含む反応ガスを用いて形成された膜であることを特徴とする付記10又は付記11に記載の半導体装置の製造方法。

(付記13) 半導体基板の上方に第1絶縁膜を形成する工程と、
前記第1絶縁膜の上に、下部電極、誘電体膜及び上部電極を有するキャパシタをセル領域 50

に複数形成する工程と、

前記キャパシタ及び前記第 1 絶縁膜の上方に第 2 絶縁膜を形成する工程と、

前記セル領域を覆う溝を前記第 2 絶縁膜に形成する工程と、

前記溝を埋める厚さの金属膜を該溝内と前記第 2 絶縁膜上とに形成する工程と、

前記第 2 絶縁膜上の前記金属膜を除去すると共に、該金属膜を前記溝内に残して金属パターンとする工程と、

前記金属パターンの形成の前又は後に、前記金属膜の融点以下で前記金属膜を加熱することにより前記金属膜の応力を変化させる工程とを有することを特徴とする半導体装置の製造方法。

(付記 14) 前記第 2 絶縁膜は複数の絶縁膜の積層膜からなり、そのうちの少なくとも一層が T E O S を含む反応ガスを用いて形成された膜であることを特徴とする付記 13 に記載の半導体装置の製造方法。 10

(付記 15) 前記金属膜の加熱は、減圧雰囲気中でなされることを特徴とする付記 10 乃至付記 14 のいずれかに記載の半導体装置の製造方法。

(付記 16) 前記金属膜の加熱は、酸素雰囲気、酸素含有雰囲気、不活性ガス雰囲気、不活性ガス含有雰囲気のいずれかの中でなされることを特徴とする付記 10 乃至付記 14 のいずれかに記載の半導体装置の製造方法。

(付記 17) 前記金属膜を加熱する前に、前記金属膜の上に第 3 絶縁膜を形成する工程をさらに有することを特徴とする付記 10 乃至付記 16 のいずれかに記載の半導体装置の製造方法。 20

(付記 18) 前記金属膜の形成は、アルミニウム、チタン、銅、タンタル、タングステンのいずれかの材料、又は、アルミニウム、チタン、銅、タンタル、タングステンのいずれかを含む材料からなる膜の形成であることを特徴とする付記 10 乃至付記 17 のいずれかに記載の半導体装置の製造方法。

(付記 19) 前記金属膜の加熱により、前記金属膜の応力は前記第 2 絶縁膜の応力とは逆の応力に変化されることを特徴とする付記 10 乃至付記 18 のいずれかに記載の半導体装置の製造方法。

(付記 20) 前記金属膜の加熱により、前記金属膜の応力は引張応力に変化されることを特徴とする付記 19 に記載の半導体装置の製造方法。

(付記 21) 前記第 2 絶縁膜は、圧縮応力を有することを特徴とする付記 10 乃至付記 20 のいずれかに記載の半導体装置の製造方法。 30

(付記 22) 前記金属膜は、単層構造又は多層構造で形成されることを特徴とする付記 10 乃至付記 21 のいずれかに記載の半導体装置の製造方法。

【0202】

【発明の効果】

以上述べたように、本発明に係る半導体装置によれば、第 2 絶縁膜とは逆の方向の応力を有する金属パターンを設けたので、第 2 絶縁膜からキャパシタに作用する応力を金属パターンの応力によって緩和することができ、キャパシタの強誘電体特性を向上させることができる。しかも、金属パターンは、絶縁膜とは異なり水分が出ることがないので、水分によってキャパシタが劣化することが無い。 40

【0203】

また、本発明に係る半導体装置の製造方法によれば、金属パターンの形成の前又は後に、金属膜をその融点以下の温度に加熱することにより、該金属膜の応力を変化させるので、第 2 絶縁膜の応力が金属膜によって緩和され、キャパシタの強誘電体特性を向上させることができる。

【図面の簡単な説明】

【図 1】図 1 は、本発明の第 1 実施形態に係る半導体装置の形成工程を示す断面図（その 1）である。

【図 2】図 2 は、本発明の第 1 実施形態に係る半導体装置の形成工程を示す断面図（その 2）である。 50

【図 3】図 3 は、本発明の第 1 実施形態に係る半導体装置の形成工程を示す断面図（その 3）である。

【図 4】図 4 は、本発明の第 1 実施形態に係る半導体装置の形成工程を示す断面図（その 4）である。

【図 5】図 5 は、本発明の第 1 実施形態に係る半導体装置の形成工程を示す断面図（その 5）である。

【図 6】図 6 は、本発明の第 1 実施形態に係る半導体装置の形成工程を示す断面図（その 6）である。

【図 7】図 7 は、本発明の第 1 実施形態に係る半導体装置の形成工程を示す断面図（その 7）である。

【図 8】図 8 は、本発明の第 1 実施形態に係る半導体装置の形成工程を示す断面図（その 8）である。

【図 9】図 9 は、本発明の第 1 実施形態に係る半導体装置の形成工程を示す断面図（その 9）である。

【図 10】図 10 は、本発明の第 1 実施形態に係る半導体装置の形成工程を示す断面図（その 10）である。

【図 11】図 11 は、本発明の第 1 実施形態に係る半導体装置の形成工程を示す断面図（その 11）である。

【図 12】図 12 は、本発明の第 1 実施形態に係る半導体装置の形成工程を示す断面図（その 12）である。

【図 13】図 13 は、本発明の第 1 実施形態に係る半導体装置の形成工程を示す断面図（その 13）である。

【図 14】図 14 は、本発明の第 1 実施形態に係る半導体装置の平面図である。

【図 15】図 15 は、本発明の第 1 実施形態に係る F e R A M の歩留まりと従来技術により形成された F e R A M の歩留まりを示す図である。

【図 16】図 16 は、本発明の第 1 実施形態に係る F e R A M 内の強誘電体キャパシタの特性と従来技術により形成された F e R A M 内の強誘電体キャパシタの特性を示す図である。

【図 17】図 17 は、金属膜のアニールによるストレスの変化を示す図である。

【図 18】図 18 は、本発明の第 2 実施形態に係る半導体装置の形成工程を示す断面図（その 1）である。

【図 19】図 19 は、本発明の第 2 実施形態に係る半導体装置の形成工程を示す断面図（その 2）である。

【図 20】図 20 は、本発明の第 2 実施形態に係る半導体装置の形成工程を示す断面図（その 3）である。

【図 21】図 21 は、本発明の第 2 実施形態に係る半導体装置の形成工程を示す断面図（その 4）である。

【図 22】図 22 は、本発明の第 2 実施形態に係る半導体装置の形成工程を示す断面図（その 5）である。

【図 23】図 23 は、本発明の第 2 実施形態に係る半導体装置の形成工程を示す断面図（その 6）である。

【図 24】図 24 は、本発明の第 2 実施形態に係る半導体装置の形成工程を示す断面図（その 7）である。

【図 25】図 25 は、本発明の第 2 実施形態に係る半導体装置の形成工程を示す断面図（その 8）である。

【図 26】図 26 は、本発明の第 2 実施形態に係る半導体装置の形成工程を示す断面図（その 9）である。

【図 27】図 27 は、本発明の第 2 実施形態に係る半導体装置の形成工程を示す断面図（その 10）である。

【図 28】図 28 は、本発明の第 2 実施形態に係る半導体装置の形成工程を示す断面図（

10

20

30

40

50

その 11) である。

【図 29】図 29 は、本発明の第 2 実施形態に係る半導体装置の形成工程を示す断面図 (その 12) である。

【図 30】図 30 は、本発明の第 2 実施形態に係る半導体装置の形成工程を示す断面図 (その 13) である。

【図 31】図 31 は、本発明の第 2 実施形態に係る半導体装置の形成工程を示す断面図 (その 14) である。

【図 32】図 32 は、本発明の第 2 実施形態に係る半導体装置の形成工程を示す断面図 (その 15) である。

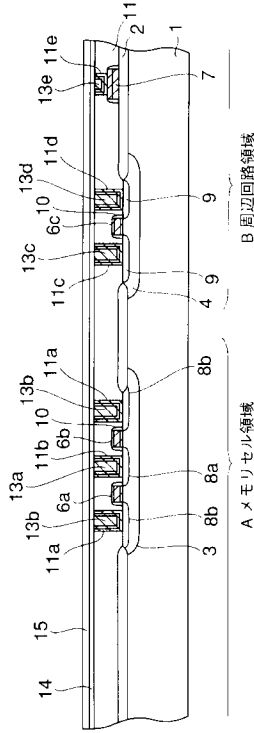
【図 33】図 33 は、本発明の第 2 実施形態に係る半導体装置の形成工程に使用される銅膜形成装置の構成図である。 10

【符号の説明】

A ... メモリセル領域、B ... 周辺回路領域、1, 51 ... シリコン (半導体) 基板、2, 52 ... 素子分離絶縁膜、3a, 3b, 53 ... p ウェル、4 ... n ウェル、5, 54 ... ゲート絶縁膜、6a ~ 6c, 56a, 56b ... ゲート電極、7 ... 引出電極、8a, 8b, 55a ~ 55c ... n 型不純物拡散領域、9 ... p 型不純物拡散領域、10, 57 ... サイドウォール、11 ... 層間絶縁膜、12a ~ 12e ... ホール、13a ~ 13e ... コンタクトプラグ、14 ... SiON 膜、15 ... SiO₂ 膜、16 ... 第 1 の導電膜、16a ... 下部電極、17 ... 強誘電体膜、17a ... 誘電体膜、18 ... 第 2 の導電膜、18a ... 上部電極、19 ... 第 1 のキャパシタ保護絶縁膜、20 ... キャパシタ、21 ... 層間絶縁膜、22a ... 局所配線、23 ... 第 20
2 のキャパシタ保護絶縁膜、24 ... 層間絶縁膜、24a ~ 24f ... ホール、25a ... ビット線、25b ~ 25d ... 配線、26 ... 層間絶縁膜、26c, 26e ... ホール、27 ... 再堆積層間絶縁膜、28c ... 導電性プラグ、30 ... 金属配線、31, 132 ... 金属パターン、32, 33 ... カバー膜、58 ... カバー絶縁膜、59 ... 下地絶縁膜、60 ... グルー膜、61 ... タングステン膜、59a ~ 59c ... コンタクトホール、62a, 62c ... 第 1 導電性プラグ、62b ... 第 2 導電性プラグ、63a ... TiN 膜、63b ... SiO₂ 膜、63 ... ハードマスク、64a, 64b ... 導電性酸素バリア膜、65a ... 酸化防止絶縁膜、65b ... 絶縁性密着膜、65 ... 絶縁性酸素バリア膜、66, 75 ... 犠牲膜、67 ... IrO₂ / Ir 膜、68 ... Pt / PtO 膜、69 ... 下部電極用導電膜、69a ... 下部電極、70 ... 強誘電体膜、70a ... 誘電体膜、71 ... 上部電極用導電膜、71a ... 上部電極、72 ... 第 2 キャパシタ保護絶縁膜、73 ... 第 1 キャパシタ保護絶縁膜、74 ... 第 1 絶縁膜、76 ... 第 1 低誘電率絶縁膜、77 ... 第 1 キャップ膜、78 ... 第 1 レジストパターン、72a, 74a, 76a, 77a ... 第 1 ホール、74b, 72b, 76b, 77b ... 第 2 ホール、76c, 77c ... 第 3 ホール、76d, 77d ... 第 4 ホール、78a ... レジストパターン、79 ... 第 2 レジストパターン、80 ... 第 1 配線溝、81 ... 第 1 コンタクトホール、82 ... 第 3 レジストパターン、83 ... 第 2 配線溝、84 ... 第 2 コンタクトホール、85 ... 第 1 拡散防止膜、86 ... 第 1 銅膜、86a ... 第 1 銅配線、86b ... 第 1 銅プラグ、86c ... 第 2 銅配線、86d ... 第 2 銅プラグ、87 ... 第 2 拡散防止膜、88 ... 第 2 絶縁膜、89 ... 第 2 低誘電率絶縁膜、90 ... 第 2 キャップ膜、90a, 89a ... 第 1 ホール、92 ... 金属パターン用溝、95 ... TiN 膜、96 ... SiO₂ 膜、97 ... ハードマスク、100 ... 第 4 拡散防止膜、40
101 ... 第 3 絶縁膜、102 ... 第 3 低誘電率絶縁膜、103 ... 第 3 キャップ膜、104 ... 第 3 銅プラグ、105 ... 第 3 銅配線、106 ... 第 5 拡散防止膜、107 ... 第 4 絶縁膜、108 ... 第 4 低誘電率絶縁膜、109 ... 第 4 キャップ膜、110 ... 第 4 銅配線、111 ... 第 6 拡散防止膜、112 ... 第 5 絶縁膜、113 ... 第 3 導電性プラグ、114 ... 第 6 絶縁膜、115 ... 最終金属配線、116 ... 表面保護膜、124 ... チャンバ、125 ... 基板載置台、126 ... コイル、127 ... 銅板、127a ... 開口、128 ... 高周波電源、130 ... 第 3 拡散防止膜、131 ... 第 2 銅膜。

【図 1】

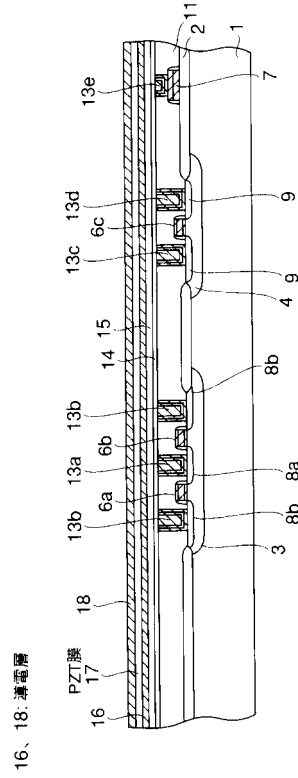
本発明の第1実施形態に係る半導体装置の形成の工程断面図 (その1)



- 1: シリコン基板
- 2: 素子分離絶縁膜
- 3: Pウェル
- 4: nウェル
- 5: ゲート絶縁膜
- 6a, 6b, 6c: ゲート電極
- 7: 引出電極
- 8a, 8b: n型不純物拡散領域
- 9: サイドウォール
- 10: nウェル
- 11: 層間絶縁膜
- 13a, 13b, 13c, 13d, 13e: 層間絶縁膜
- 14: SiON膜
- 15: SiO₂膜

【図 2】

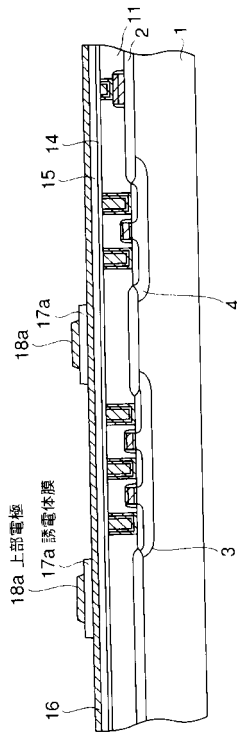
本発明の第1実施形態に係る半導体装置の形成の工程断面図 (その2)



16, 18: 溝電層

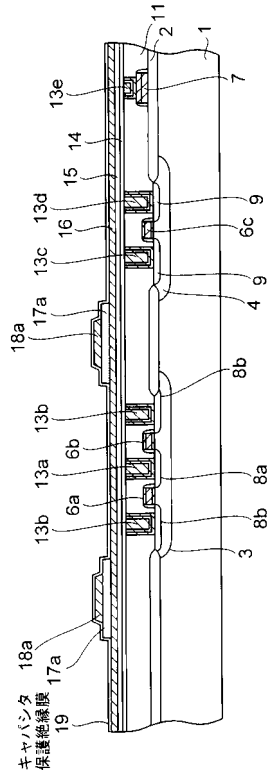
【図 3】

本発明の第1実施形態に係る半導体装置の形成の工程断面図 (その3)



【図 4】

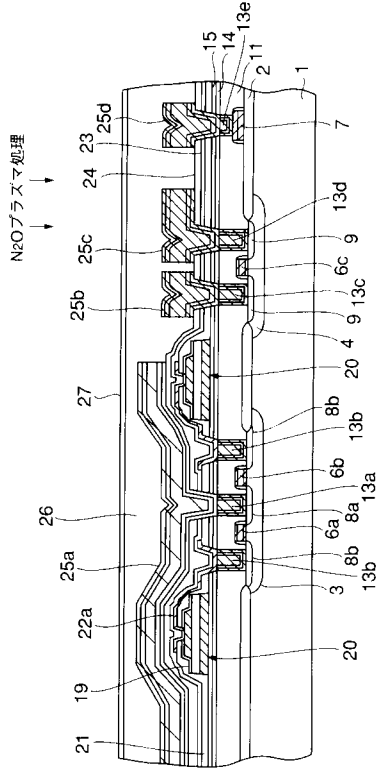
本発明の第1実施形態に係る半導体装置の形成の工程断面図 (その4)



キャパシタ
保護絶縁膜
19

【図9】

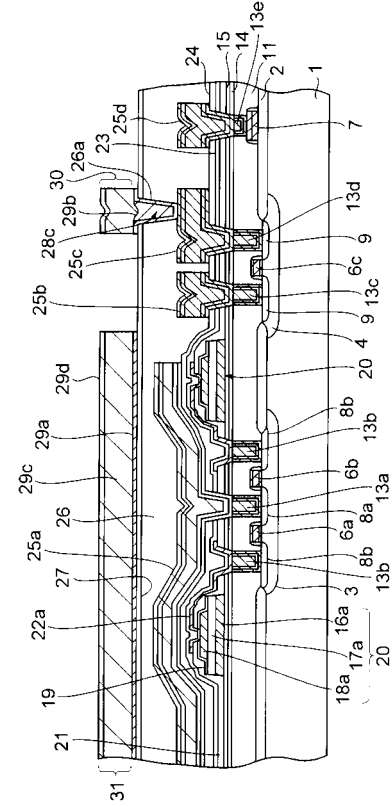
本発明の第1実施形態に係る半導体装置の形成の工程断面図（その9）



【図10】

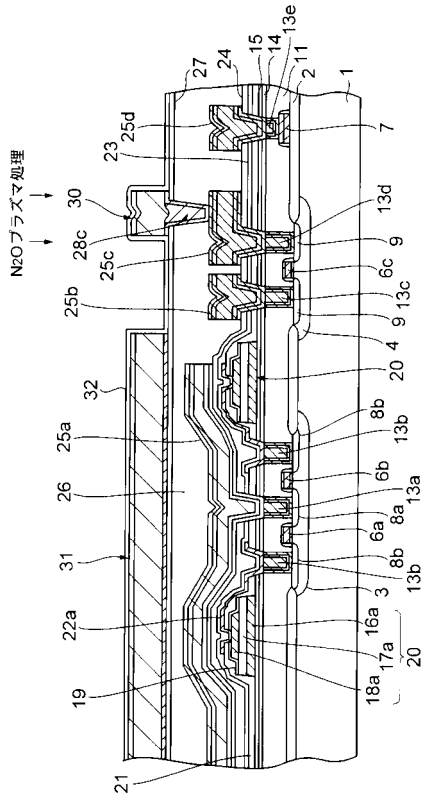
本発明の第1実施形態に係る半導体装置の形成の工程断面図（その10）

30: 配線
31: 金属パターン



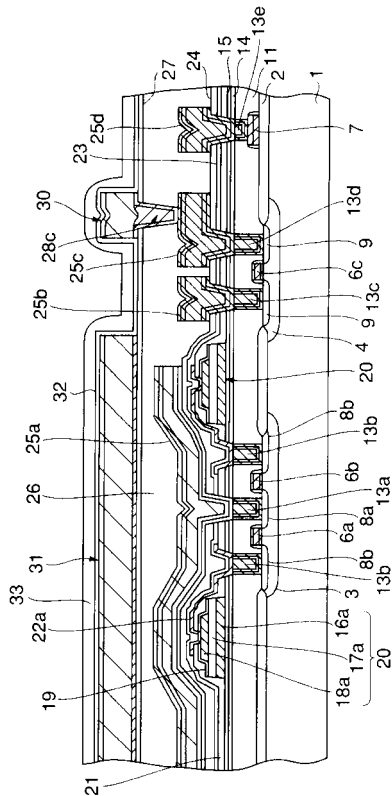
【図11】

本発明の第1実施形態に係る半導体装置の形成の工程断面図（その11）



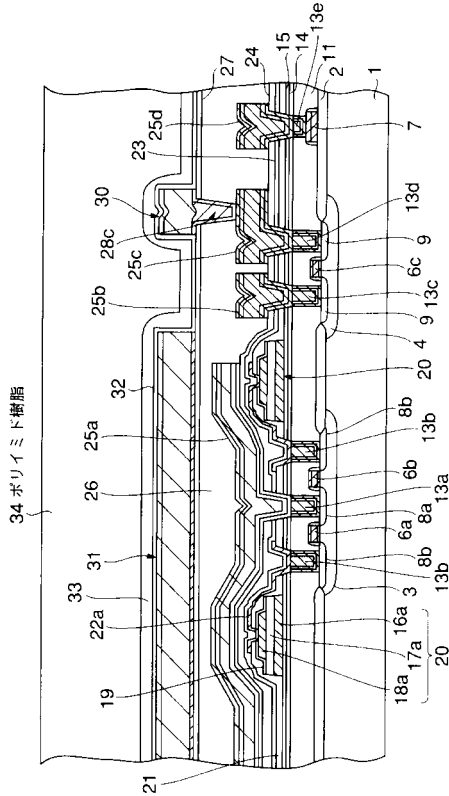
【図12】

本発明の第1実施形態に係る半導体装置の形成の工程断面図（その12）



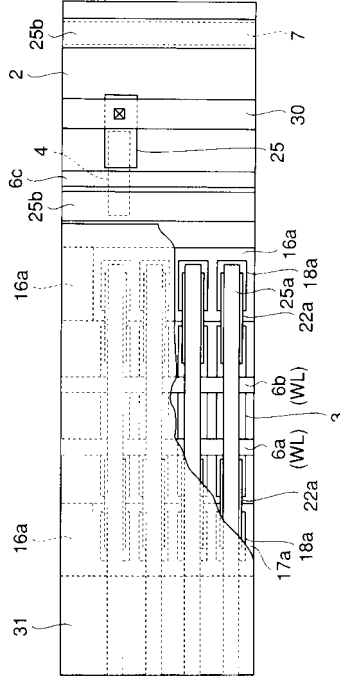
【 図 1 3 】

本発明の第1実施形態に係る半導体装置の形成の工程断面図 (その13)



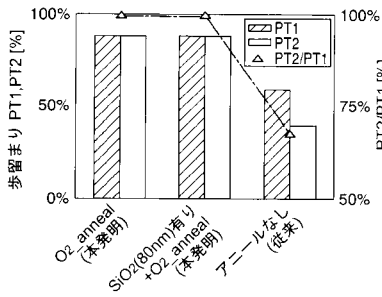
【 図 1 4 】

本発明の第1実施形態に係る半導体装置の平面図



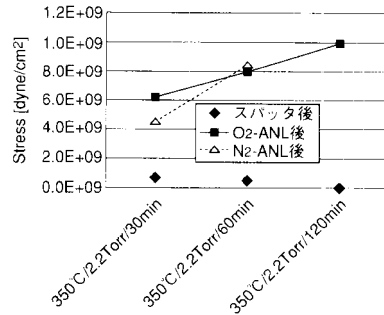
【 図 1 5 】

本発明の第1実施形態に係るFeRAMの歩留まりと従来技術により形成されたFeRAMの歩留まり



【 図 1 7 】

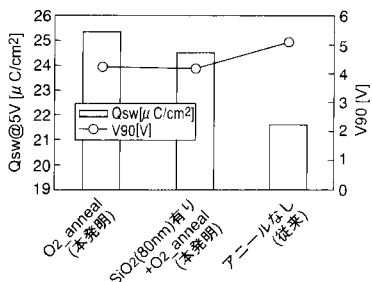
金属膜アニールによるストレスの変化



Sample構造; TiN100nm/Al-Cu500nm/SiO₂(100nm)/Si

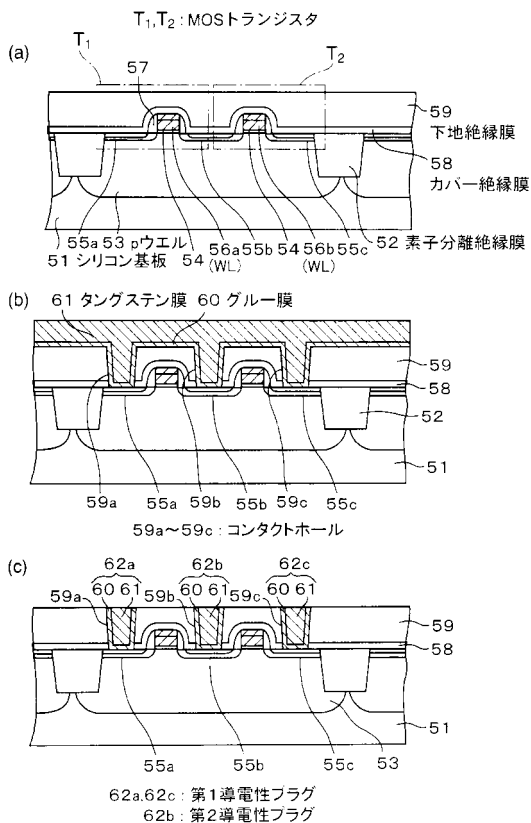
【 図 1 6 】

本発明の第1実施形態に係るFeRAM内の強誘電体キャパシタの特性と従来技術により形成されたFeRAM内の強誘電体キャパシタの特性



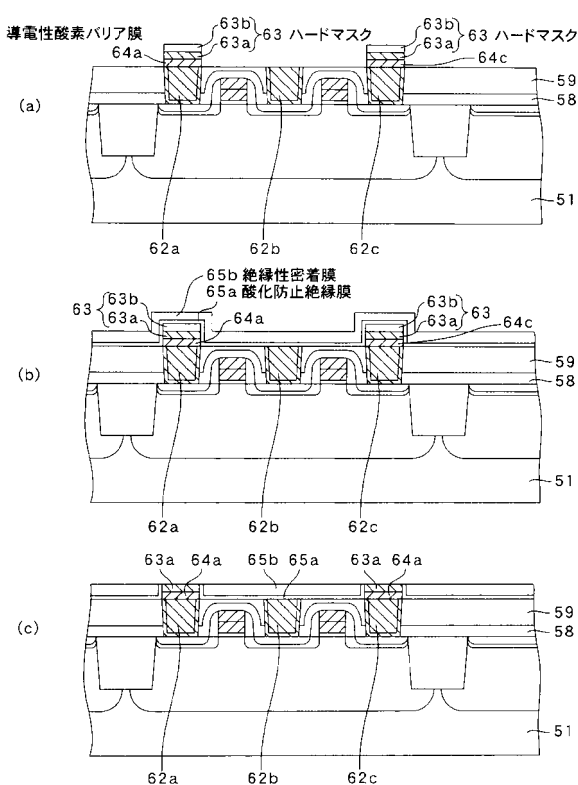
【 図 1 8 】

本発明の実施の形態に係る半導体装置の形成方法について示す断面図(その1)



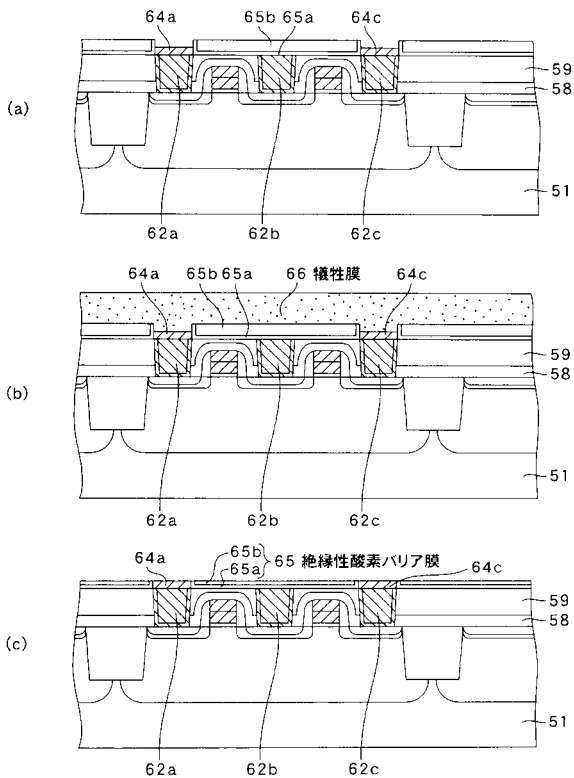
【 図 1 9 】

本発明の第2の実施の形態に係る半導体装置の形成方法について示す断面図(その2)



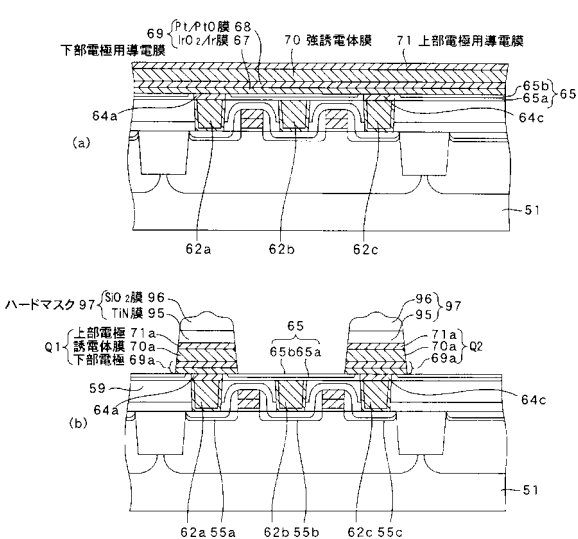
【 図 2 0 】

本発明の第2実施の形態に係る半導体装置の形成方法について示す断面図(その3)



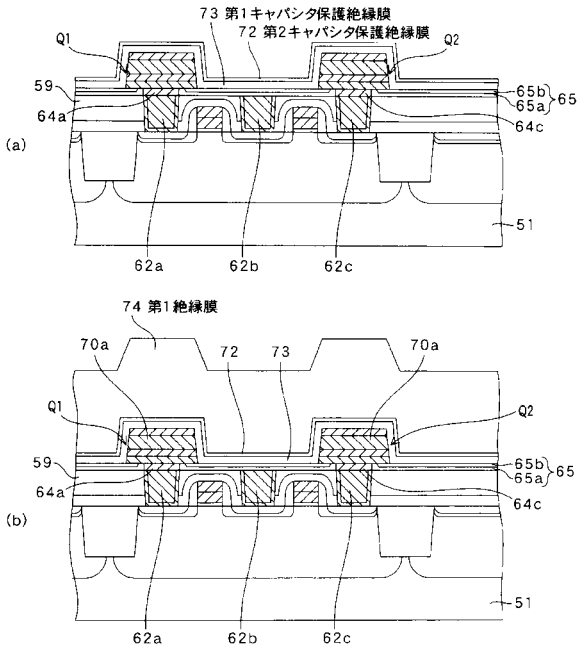
【 図 2 1 】

本発明の第2の実施の形態に係る半導体装置の形成方法について示す断面図(その4)



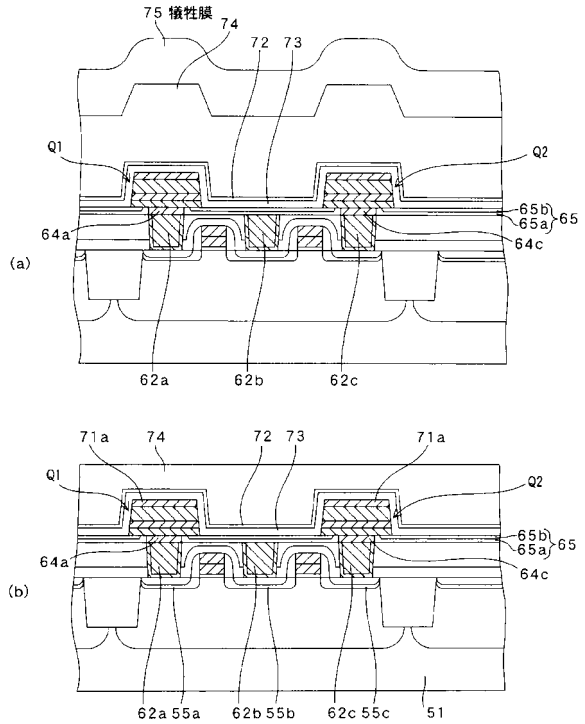
【図 2 2】

本発明の第2の実施の形態に係る半導体装置の形成方法について示す断面図(その5)



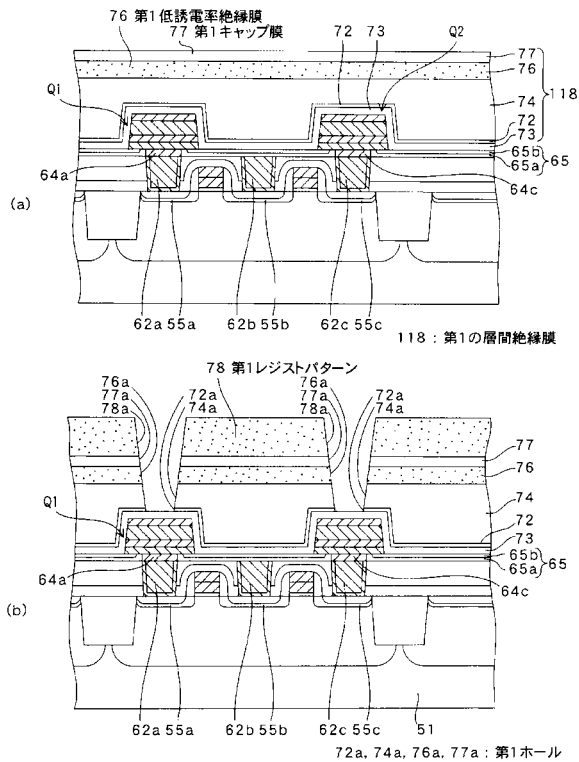
【図 2 3】

本発明の第2の実施の形態に係る半導体装置の形成方法について示す断面図(その6)



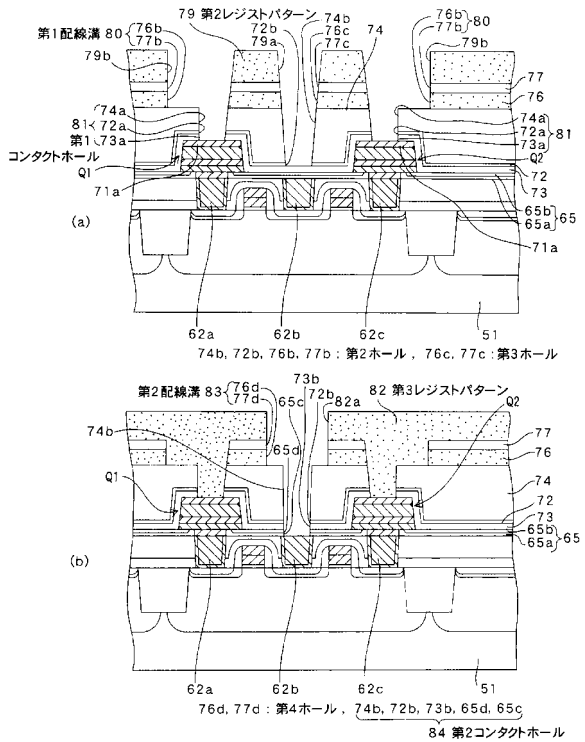
【図 2 4】

本発明の第2の実施の形態に係る半導体装置の形成方法について示す断面図(その7)



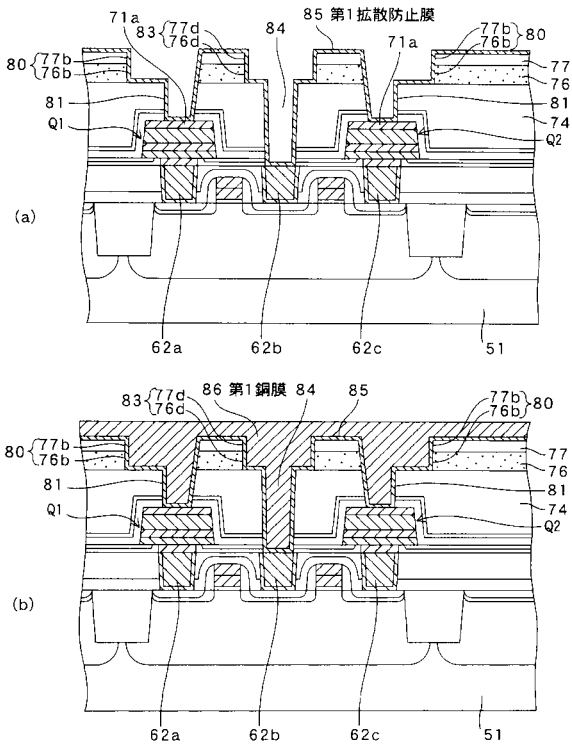
【図 2 5】

本発明の第2の実施の形態に係る半導体装置の形成方法について示す断面図(その8)



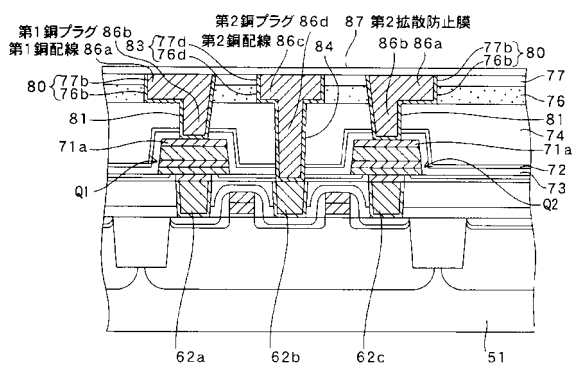
【図 26】

本発明の第2の実施の形態に係る半導体装置の形成方法について示す断面図(その9)



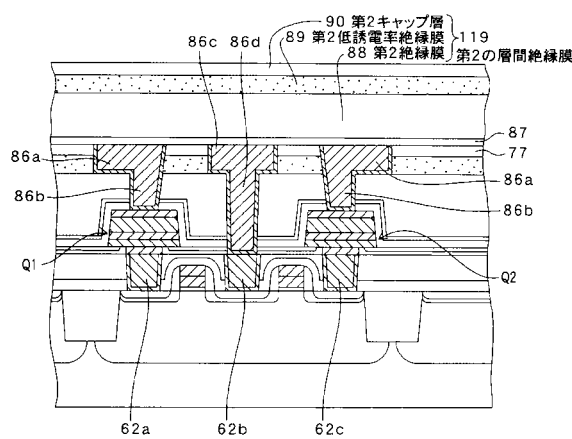
【図 27】

本発明の第2の実施の形態に係る半導体装置の形成方法について示す断面図(その10)



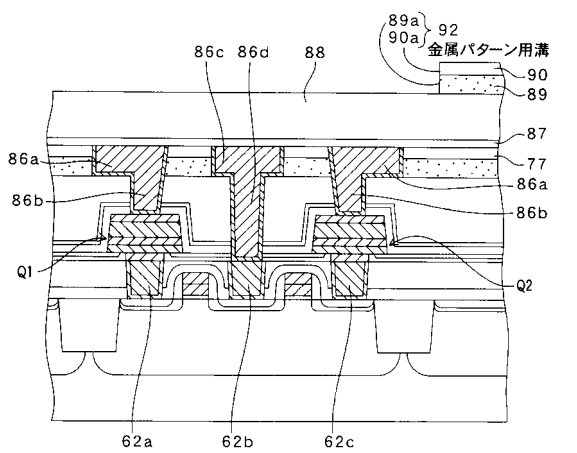
【図 28】

本発明の第2の実施の形態に係る半導体装置の形成方法について示す断面図(その11)



【図 29】

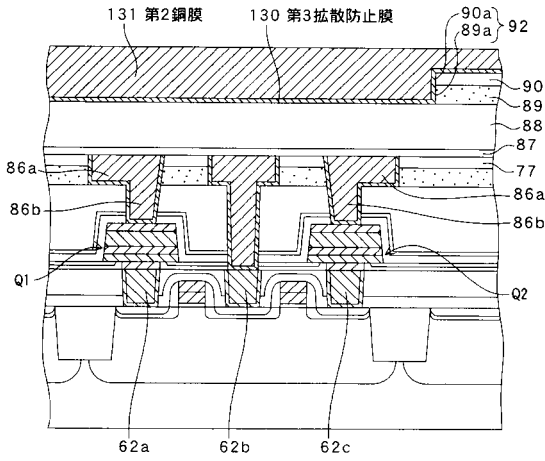
本発明の第2の実施の形態に係る半導体装置の形成方法について示す断面図(その12)



89a, 90a: 第1ホール

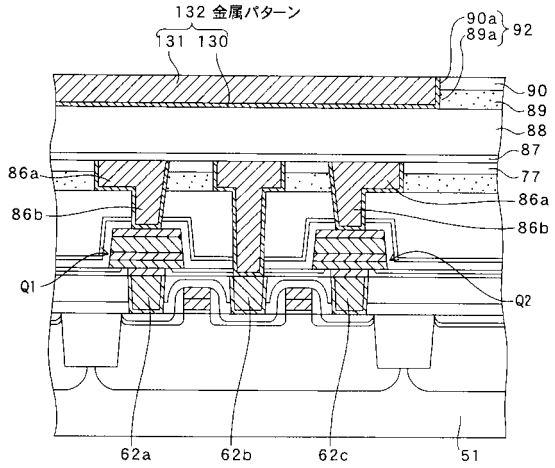
【 図 3 0 】

本発明の第2の実施の形態に係る半導体装置の形成方法について示す断面図(その13)



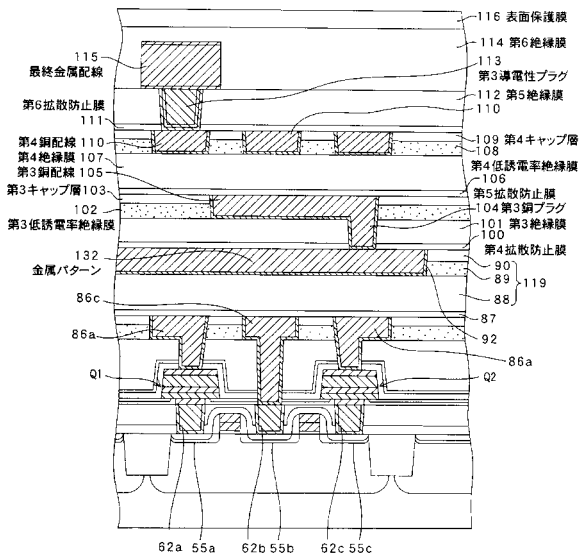
【 図 3 1 】

本発明の第2の実施の形態に係る半導体装置の形成方法について示す断面図(その14)



【 図 3 2 】

本発明の第2の実施の形態に係る半導体装置の形成方法について示す断面図(その15)



【 図 3 3 】

本発明の第2実施形態に係る半導体装置の形成工程に使用される銅膜形成装置の構成図

